

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/076774

発行日 平成27年4月27日 (2015. 4. 27)

(43) 国際公開日 平成25年5月30日 (2013. 5. 30)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	5C380
	H05B 33/14 A	

審査請求 有 予備審査請求 有 (全 46 頁)

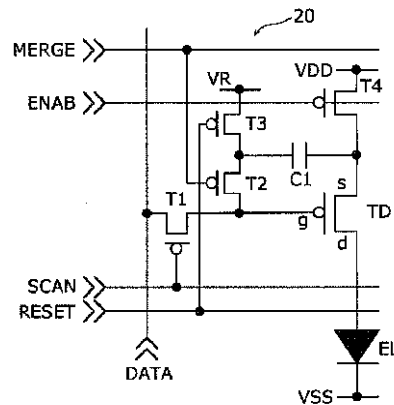
出願番号 特願2013-545655 (P2013-545655)	(71) 出願人 000005821
(21) 国際出願番号 PCT/JP2011/006548	パナソニック株式会社
(22) 国際出願日 平成23年11月24日 (2011. 11. 24)	大阪府門真市大字門真1006番地
(81) 指定国 AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN	(74) 代理人 100109210 弁理士 新居 広守
	(72) 発明者 小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
	Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH04 HH05 5C080 AA06 BB05 DD01 DD03 DD07 DD23 DD27 DD29 EE29 FF11 HH10 JJ02 JJ03 JJ04 JJ06 KK43

最終頁に続く

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【要約】

表示装置が備える複数の画素回路(10)の各々は、駆動トランジスタ(TD)と、第1の端子が駆動トランジスタ(TD)のソース端子に接続された第1の容量素子(C1)と、駆動トランジスタ(TD)のゲート端子とデータ線(DATA)との導通及び非導通を切り換える第1のスイッチング素子(T1)と、駆動トランジスタ(TD)のゲート端子と第1の容量素子(C1)の第2の端子との導通及び非導通を切り換える第2のスイッチング素子(T2)と、第1の容量素子(C1)の第2の端子と参照電圧線(VR)との導通及び非導通を切り換える第3のスイッチング素子(T3)と、第1の電源線(VDD)と前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子(T4)と、第1の端子が駆動トランジスタ(TD)のドレイン端子に接続され第2の端子が第2の電源線(VSS)に接続された発光素子(EL)とを備える。



【特許請求の範囲】**【請求項 1】**

複数の画素回路を配置してなる表示部を有する表示装置であって、
前記画素回路の各々は、
駆動トランジスタと、
第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、
前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、
前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、
第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、
第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、
を備える表示装置。

10

【請求項 2】

前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行う、
請求項 1 に記載の表示装置。

20

【請求項 3】

前記画素回路の各々は、さらに、第 1 の端子が前記駆動トランジスタのゲート端子に接続され、第 2 の端子が前記第 1 の容量素子の第 2 の端子と接続された第 2 の容量素子を備える、
請求項 1 に記載の表示装置。

【請求項 4】

前記第 2 の容量素子の容量値は、前記第 1 の容量素子の容量値よりも小さい、
請求項 3 に記載の表示装置。

【請求項 5】

前記画素回路の各々において、前記第 1 のスイッチング素子及び前記第 3 のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 1 に記載の表示装置。

30

【請求項 6】

前記画素回路の各々において、前記第 2 のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 5 に記載の表示装置。

【請求項 7】

複数の画素回路を配置してなる表示部を有する表示装置であって、
前記画素回路の各々は、
ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、
第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、
前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、
前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、
第 1 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

40

50

前記駆動トランジスタのソース端子と、前記発光素子の第 2 の端子との導通及び非導通を切り換える第 4 のスイッチング素子と、
を備える表示装置。

【請求項 8】

前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行う、請求項 7 に記載の表示装置。

【請求項 9】

前記画素回路の各々は、さらに、第 1 の端子が前記駆動トランジスタのゲート端子に接続され、第 2 の端子が前記第 1 の容量素子の第 2 の端子と接続された第 2 の容量素子を備える、
請求項 7 に記載の表示装置。

【請求項 10】

前記第 2 の容量素子の容量値は、前記第 1 の容量素子の容量値よりも小さい、
請求項 9 に記載の表示装置。

【請求項 11】

前記画素回路の各々において、前記第 1 のスイッチング素子及び前記第 3 のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 7 に記載の表示装置。

【請求項 12】

前記画素回路の各々において、前記第 2 のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 11 に記載の表示装置。

【請求項 13】

表示装置の制御方法であって、
前記表示装置は、複数の画素回路を配置してなる表示部を有し、
前記画素回路の各々は、
駆動トランジスタと、
第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、
前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、
前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、
第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、
第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、
を備え、

前記制御方法は、前記画素回路の各々において、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出するステップを含む、

表示装置の制御方法。

【請求項 14】

前記制御方法は、さらに、
前記画素回路の各々において、前記第 2 のスイッチング素子及び前記第 4 のスイッチング素子を非導通の状態とすると共に、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップと、

前記画素回路の各々において、前記第 4 のスイッチング素子を導通の状態にし、前記デ

10

20

30

40

50

ータ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項 13 に記載の表示装置の制御方法。

【請求項 15】

表示装置の制御方法であって、

前記表示装置は、複数の画素回路を配置してなる表示部を有し、

前記画素回路の各々は、

ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、
前記駆動トランジスタのソース端子と、前記発光素子の第 2 の端子との導通及び非導通を切り換える第 4 のスイッチング素子と、

を備え、

前記制御方法は、前記画素回路の各々において、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出するステップを含む、

表示装置の制御方法。

【請求項 16】

前記制御方法は、さらに、

前記画素回路の各々において、前記第 2 のスイッチング素子及び前記第 4 のスイッチング素子を非導通の状態とすると共に、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップと、

前記画素回路の各々において、前記第 4 のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項 15 に記載の表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法に関し、特に有機エレクトロルミネッセンス (EL) 素子を用いた表示装置及びその制御方法に関する。

【背景技術】

【0002】

昨今、有機 EL 素子を用いた表示装置 (以下、有機 EL 表示装置) の開発及び実用化が進んでいる。有機 EL 表示装置は、一般に、各々が有機 EL 素子を有する複数の画素回路をマトリクス状に配置してなる表示部と、当該表示部を駆動するための駆動回路とを有している。

【0003】

アクティブマトリクス型の有機 EL 表示装置に用いられる原理的な画素回路は、有機 EL 素子、スイッチングトランジスタ、キャパシタ、及び駆動トランジスタを用いて構成される。そのような画素回路では、まず、当該画素の選択スイッチングトランジスタを導通

10

20

30

40

50

させ、当該画素の輝度信号に対応したデータ電圧を、信号線よりキャパシタに記録した後、前記選択スイッチングトランジスタを非導通の状態にすることで、前記キャパシタにデータ電圧を保持する。次いで、キャパシタに保持された電圧に応じた大きさの電流を駆動トランジスタから有機EL素子に供給し、有機EL素子が駆動トランジスタから供給された電流に応じた輝度で発光する。

【0004】

このような原理的な画素回路に対し、有機EL素子をデータ電圧に対応した、より正確な輝度で発光させるための構成を設けた画素回路、及びその制御方法が、種々提案されている（例えば、特許文献1）。

【0005】

図30は、特許文献1に開示された従来画素回路90を示す回路図である。

【0006】

画素回路90は、トランジスタM1～M5、キャパシタCvth、Cst、及び有機EL素子OLEDから構成される。信号線Dmは、有機EL素子OLEDの発光輝度に対応するデータ電圧Vdataを伝達する。

【0007】

画素回路90は、概略として、次のように動作する。なお、以下の説明では、キャパシタの一端に電圧A、他端に電圧Bを印加し、当該キャパシタにて電圧Aと電圧Bとの差である電圧(A-B)を保持する動作を、電圧Aを、電圧Bを基準として、キャパシタに保持すると表現する。この表現は、本明細書の全体で用いられる。

【0008】

まず、キャパシタCvthにて、トランジスタM1のソース電圧（ここでは電源電圧VDD）からトランジスタM1の閾値電圧Vthだけ低下した電圧VDD-Vthを、基準電圧Vsusを基準として保持する。次に、キャパシタCstにて、データ電圧Vdataを、電源電圧VDDを基準として保持する。

【0009】

その結果、キャパシタCvthに保持されている電圧Vsus-(VDD-Vth)と、キャパシタCstに保持されている電圧VDD-Vdataとを加算した電圧（つまり、キャパシタCvth、Cstからなる直列回路の両端の電圧）は、基準電圧Vsusとデータ電圧Vdataとの差に閾値電圧Vthを加えた電圧Vsus-Vdata+Vthとなる。

【0010】

当該電圧Vsus-Vdata+Vthは、トランジスタM1のゲート・ソース端子間に、バイアス電圧として印加される。当該バイアス電圧には閾値電圧Vthが含まれており、トランジスタM1のソース電圧はVDDであるので、トランジスタM1のソース電流は、閾値電圧VthおよびトランジスタM1のソース電圧の影響がキャンセルされ、基準電圧Vsusとデータ電圧Vdataとの差のみに依存する大きさの電流を、有機EL素子OLEDに供給することができる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2005-258407号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、特許文献1に記載された従来画素回路とその制御方法によれば、キャパシタCvthに上述したトランジスタM1のソース電圧である電源電圧VDDが保持された時刻以後において電源電圧VDDが変動した場合（例えば動画表示において表示画像が変化した場合）、トランジスタM1が有機EL素子OLEDに供給する電流量、すなわち有機EL素子OLEDの発光輝度には、その変動量に応じた誤差が生じるという問題が

10

20

30

40

50

ある。

【0013】

画素回路に供給される電源電圧VDDの電圧降下は、特に複数の画素回路を配置してなる表示部においては、近隣の画素回路で消費される電流量（発光の有無、輝度の大小など）に応じて必然的に生じるものであり、その大きさも刻々と変化して予測し難い。

【0014】

図31(a)～(c)を参照して、上述した誤差が生じるメカニズムを説明する。説明の便宜上、電源電圧VDDは、本来の電源電圧VDD0からV1またはV2の大きさの電圧降下が生じた電圧であるとする。

【0015】

図31(a)は、Vth検出動作、つまり、キャパシタCvthにて、トランジスタM1のソース電圧（ここでは電源電圧VDD）からトランジスタM1の閾値電圧Vthだけ低下した電圧を保持する動作を説明する回路図である。この動作において非導通の状態になるトランジスタM3、M5は点線で示されている。このときの電源電圧VDDをVDD0 - V1とすると、電圧VDD0 - V1 - Vthを、基準電圧Vsusを基準として、キャパシタCvthに保持している。

10

【0016】

図31(b)は、データ書込み動作、つまり、トランジスタM3を介してデータ電圧Vdataを取得し、キャパシタCstにて、データ電圧Vdataを保持する動作を説明する回路図である。この動作において非導通の状態になるトランジスタM2、M4、M5は点線で示されている。このときの電源電圧VDDをVDD0 - V2とすると、データ電圧Vdataを、電源電圧VDD0 - V2を基準として、キャパシタCstに保持している。

20

【0017】

その結果、キャパシタCvth、Cstのそれぞれに保持されている電圧を加算したバイアス電圧は、 $(Vsus - (VDD0 - V1 - Vth)) + ((VDD0 - V2) - Vdata) = (V1 - V2) + Vsus - Vdata + Vth$ となり、バイアス電圧には電源電圧の変動量差 $(V1 - V2)$ が残留する。

【0018】

図31(c)は、発光動作、つまり、キャパシタCvth、Cstに保持されているバイアス電圧をトランジスタM1のゲート - ソース間に印加して、トランジスタM1から有機EL素子OLEDに電流を供給する動作を説明する回路図である。この動作において非導通の状態になるトランジスタM2、M3、M4は点線で示されている。トランジスタM1から有機EL素子OLEDに供給される電流Idは、 $I_d = \frac{1}{2} \times (Vs_g - Vth)^2 = \frac{1}{2} \times (V1 - V2 + Vsus - Vdata)^2$ となり、データ電圧Vdataに対応した正確な電流量と比べて、電源電圧の変動量差 $(V1 - V2)$ に応じた誤差が生じる。ここで $I_d = \mu \times Cox \times (W/L) \times V_{gs}^2$ であり、 μ はトランジスタの移動度、Coxは単位面積当たりのトランジスタのゲート絶縁膜容量、Wはトランジスタのチャネル幅、Lはトランジスタのチャネル長である。

30

【0019】

そのため、例えば動画表示時のコントラストの高いイメージが高速に表示領域を移動するシーンにおいて、Vth検出動作完了時刻での電源電圧VDDの電圧降下量V1と、データ書込み動作時の電源電圧VDDの電圧降下量V2との変動量差 $(V1 - V2)$ が大きくなり、データ電圧Vdataのみで画素電流を精度高く制御することができず、有機EL素子OLEDをデータ電圧に対応する正確な輝度で発光させることができなくなり、表示品位の劣化が生じる。

40

【0020】

本発明は、上記の課題に鑑みてなされたものであり、電源電圧の変動の影響を受けることなく、データ電圧に対応する正確な輝度で有機EL素子を発光させることができる画素回路を有する表示装置及びその制御方法を提供することを目的とする。

50

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明の1つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備える。

10

【0022】

また、本発明の1つの態様に係る制御方法は、前記表示装置の制御方法であって、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出するステップを含む。

20

【発明の効果】

【0023】

本発明の表示装置およびその制御方法によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

【0024】

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

30

【図面の簡単な説明】

【0025】

【図1】図1は、実施の形態1における表示装置の構成の一例を示す機能ブロック図である。

【図2】図2は、実施の形態1における画素回路と、走査線駆動回路及び信号線駆動回路との接続の一例を示す回路図である。

【図3】図3は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図4】図4は、実施の形態1における制御信号およびデータ信号の一例を示すタイミングチャートである。

40

【図5】図5は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図6】図6は、実施の形態1における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図7】図7は、実施の形態1における画素回路の動作の一例を示す回路図である。

【図8】図8は、実施の形態2における画素回路の構成の一例を示す回路図である。

【図9】図9は、実施の形態2における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図10】図10は、実施の形態2における画素回路の構成の一例を示す回路図である。

【図11】図11は、実施の形態2における制御信号およびデータ信号の一例を示すタイミングチャートである。

50

【図 1 2】図 1 2 は、実施の形態 2 における画素回路の動作の一例を示す回路図である。

【図 1 3】図 1 3 は、実施の形態 2 の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 1 4】図 1 4 は、実施の形態 2 の変形例における画素回路の動作の一例を示す回路図である。

【図 1 5】図 1 5 は、実施の形態 3 における画素回路の構成の一例を示す回路図である。

【図 1 6】図 1 6 は、実施の形態 3 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 1 7】図 1 7 は、実施の形態 3 における画素回路の構成の一例を示す回路図である。

【図 1 8】図 1 8 は、実施の形態 3 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 1 9】図 1 9 は、実施の形態 3 の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 0】図 2 0 は、実施の形態 3 の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 1】図 2 1 は、実施の形態 4 における画素回路の構成の一例を示す回路図である。

【図 2 2】図 2 2 は、実施の形態 4 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 3】図 2 3 は、実施の形態 4 における画素回路の構成の一例を示す回路図である。

【図 2 4】図 2 4 は、実施の形態 4 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 5】図 2 5 は、実施の形態 5 における画素回路の構成の一例を示す回路図である。

【図 2 6】図 2 6 は、実施の形態 5 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 7】図 2 7 は、実施の形態 5 における画素回路の構成の一例を示す回路図である。

【図 2 8】図 2 8 は、実施の形態 5 における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図 2 9】図 2 9 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外観図である。

【図 3 0】図 3 0 は、従来の画素回路の構成の一例を示す回路図である。

【図 3 1】図 3 1 は、従来の画素回路において発光輝度の誤差が生じるメカニズムを説明する図である。

【発明を実施するための形態】

【0026】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、を備える。

【0027】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対

10

20

30

40

50

応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、を備える。

【0028】

また、前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行ってもよい。

10

【0029】

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

【0030】

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

20

【0031】

また、前記画素回路の各々は、さらに、第1の端子が前記駆動トランジスタのゲート端子に接続され、第2の端子が前記第1の容量素子の第2の端子と接続された第2の容量素子を備えてもよい。

【0032】

この構成によれば、前記駆動トランジスタのゲート端子に、前記第2の容量素子に保持されたデータ電圧を印加して、前記閾値電圧を検出することができる。そのため、前記データ線から前記第2の容量素子に前記データ電圧を取得した後、十分な時間をかけて、より高い精度で前記閾値電圧を検出できる。

30

【0033】

また、前記第2の容量素子の容量値は、前記第1の容量素子の容量値よりも小さくすることもできる。また、前記画素回路の各々において、前記第1のスイッチング素子及び前記第3のスイッチング素子は、ダブルゲート型の薄膜トランジスタであってもよく、さらに、前記第2のスイッチング素子も、ダブルゲート型の薄膜トランジスタであってもよい。

【0034】

この構成によれば、前記第1の容量素子のリークを低減できるので、前記発光素子をより正確な輝度で発光させることができる。

40

【0035】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換え

50

る第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出するステップを含む。

【0036】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出するステップを含む。

10

20

【0037】

また、前記制御方法は、さらに、前記画素回路の各々において、前記第2のスイッチング素子及び前記第4のスイッチング素子を非導通の状態にすると共に、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップと、前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、を含んでもよい。

【0038】

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

30

【0039】

さらに、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するので、電源電圧の変動の影響を受けるとなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

【0040】

以下、本発明の実施の形態について説明する。なお、以下では、全ての図を通して同等の機能を発揮する要素には同じ符号を付し、重複する説明は適宜省略する。

40

【0041】

(実施の形態1)

本発明の実施の形態1について、図面を参照しながら説明する。

【0042】

実施の形態1における表示装置は、複数の画素回路をマトリクス状に配置してなる表示部を有する表示装置であって、前記各画素回路において、電源電圧の変動に係わらず、発光輝度に対応する正確なバイアス電圧がキャパシタにて保持されるように構成されている。

50

【 0 0 4 3 】

以下、本発明の実施の形態 1 について、図面を参照しながら説明する。

【 0 0 4 4 】

図 1 は、実施の形態 1 における表示装置 1 の構成の一例を示す機能ブロック図である。

【 0 0 4 5 】

表示装置 1 は、表示部 2、制御回路 3、走査線駆動回路 4、信号線駆動回路 5、及び電源回路 6 から構成される。

【 0 0 4 6 】

表示部 2 は、複数の画素回路 10 をマトリクスに配置してなる。当該マトリクスの各行には走査信号線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

10

【 0 0 4 7 】

制御回路 3 は、表示装置 1 の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部 2 に表示されるように、走査線駆動回路 4、信号線駆動回路 5 を制御する。

【 0 0 4 8 】

走査線駆動回路 4 は、表示部 2 の各行に設けられた走査信号線を介して画素回路 10 に、画素回路 10 の動作を制御するための制御信号を供給する。

【 0 0 4 9 】

信号線駆動回路 5 は、表示部 2 の各列に設けられたデータ信号線を介して画素回路 10 に、発光輝度に対応する電圧信号であるデータ信号を供給する。

20

【 0 0 5 0 】

電源回路 6 は、表示装置 1 の動作の電源を、表示装置 1 の各部に供給する。

【 0 0 5 1 】

図 2 は、画素回路 10 と、走査線駆動回路 4 及び信号線駆動回路 5 との接続の一例を示す回路図である。

【 0 0 5 2 】

表示部 2 の各行には、同じ行に配置される複数の画素回路 10 に共通に接続される走査信号線として、信号線 S C A N、M E R G E、R E S E T、E N A B が設けられており、表示部 2 の各列には、同じ列に配置される複数の画素回路 10 に共通に接続されるデータ信号線として、信号線 D A T A が設けられている。

30

【 0 0 5 3 】

また、表示部 2 には、電源回路 6 から供給される正の電源電圧を伝達して、画素回路 10 に分配する電源線 V D D、電源回路 6 から供給される負の電源電圧を伝達して、画素回路 10 に分配する電源線 V S S、及び電源回路 6 から供給される一定の参照電圧を伝達して、画素回路 10 に分配する参照電圧線 V R が設けられている。電源線 V D D、V S S、及び参照電圧線 V R は、全ての画素回路 10 に共通に接続される。

【 0 0 5 4 】

有機 E L 素子 E L に電流を供給する電源線 V D D、V S S の各々と画素回路 10 との接続点では、電気抵抗に起因する電圧降下による複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線 V R には、定常的な電圧降下は生じない。

40

【 0 0 5 5 】

表示部 2 に配置されている各画素回路 10 は、画素回路 10 が配置されている行の信号線 S C A N、M E R G E、R E S E T、E N A B で走査線駆動回路 4 に接続されると共に、画素回路 10 が配置されている行の信号線 D A T A で信号線駆動回路 5 に接続される。

【 0 0 5 6 】

信号線 S C A N、M E R G E、R E S E T、E N A B は、走査線駆動回路 4 から画素回路 10 へ、画素回路 10 の動作を制御するための制御信号を伝達する。信号線 D A T A は、信号線駆動回路 5 から画素回路 10 へ、発光輝度に対応するデータ信号を伝達する。

【 0 0 5 7 】

図 3 は、画素回路 10 の構成の一例を示す回路図である。

50

【 0 0 5 8 】

画素回路 1 0 は、データ信号に対応する輝度で有機 E L 素子を発光させる回路であり、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4、キャパシタ C 1、及び有機 E L 素子 E L から構成される。駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 は、n 型の薄膜トランジスタ (T F T) で構成される。

【 0 0 5 9 】

駆動トランジスタ T D は、ドレイン端子 d が電源線 V D D に接続されている。

【 0 0 6 0 】

キャパシタ C 1 は、第 1 (紙面の右側) の端子が駆動トランジスタ T D のソース端子 s に接続され、第 2 (紙面の左側) の端子がスイッチングトランジスタ T 2 を介して駆動トランジスタ T D のゲート端子 g に接続されている。

10

【 0 0 6 1 】

有機 E L 素子 E L は、第 1 (紙面の下側) の端子が電源線 V S S に接続されている。

【 0 0 6 2 】

スイッチングトランジスタ T 1 は、信号線 S C A N で伝達される制御信号に従って、駆動トランジスタ T D のゲート端子 g とデータ線 D A T A との導通及び非導通を切り換える。

【 0 0 6 3 】

スイッチングトランジスタ T 2 は、信号線 M E R G E で伝達される制御信号に従って、駆動トランジスタ T D のゲート端子 g とキャパシタ C 1 の第 2 の端子との導通及び非導通を切り換える。

20

【 0 0 6 4 】

スイッチングトランジスタ T 3 は、信号線 R E S E T で伝達される制御信号に従って、キャパシタ C 1 の第 2 の端子と参照電圧線 V R との導通及び非導通を切り換える。

【 0 0 6 5 】

スイッチングトランジスタ T 4 は、信号線 E N A B で伝達される制御信号に従って、駆動トランジスタ T D のソース端子 s と有機 E L 素子 E L の第 2 (紙面の上側) の端子との導通及び非導通を切り換える。

【 0 0 6 6 】

ここで、スイッチングトランジスタ T 1 ~ T 4 が、それぞれ第 1 ~ 第 4 のスイッチング素子の一例であり、キャパシタ C 1 が第 1 の容量素子の一例であり、有機 E L 素子 E L が発光素子の一例である。また、電源線 V D D が第 1 の電源線の一例であり、電源線 V S S が第 2 の電源線の一例である。また、データ信号がデータ電圧の一例である。

30

【 0 0 6 7 】

図 4 は、画素回路 1 0 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 4 において、縦軸は各信号のレベル、横軸は時間を表す。画素回路 1 0 のスイッチングトランジスタ T 1 ~ T 4 は n 型のトランジスタで構成されるので、スイッチングトランジスタ T 1 ~ T 4 の各々は、対応する制御信号が H i g h レベルの期間に導通の状態になり、対応する制御信号が L o w レベルの期間に非導通の状態になる。

40

【 0 0 6 8 】

図 4 に示す制御信号及びデータ信号に従って行われる画素回路 1 0 の動作を説明する。なお、説明の便宜上、電源線 V D D、V S S の各々と画素回路 1 0 との接続点の電圧を、それぞれ正の電源電圧 V D D、負の電源電圧 V S S と表記し、参照電圧線 V R の電圧を参照電圧 V R と表記する。

【 0 0 6 9 】

時刻 t 1 から t 2 までの C 1 リセット期間において、C 1 リセット動作が行われる。C 1 リセット動作とは、キャパシタ C 1 の電圧を所定の電圧にリセットする動作である。

【 0 0 7 0 】

C 1 リセット期間において、スイッチングトランジスタ T 1、T 3、T 4 が導通の状態

50

になり、駆動トランジスタTDのゲート端子gには、データ線DATAの電圧が設定され、キャパシタC1の第2の端子の電圧には、参照電圧VRが設定され、キャパシタC1の第1の端子の電圧である駆動トランジスタTDのソース電圧には、駆動トランジスタTDのゲート端子gの電圧に応じた有機EL素子ELのオン電圧を負の電源電圧VSSに加えた電圧が設定される。これにより、キャパシタC1の電圧はフレームごとに初期化されるので、先行フレームが終了したときにキャパシタC1に残留している先行フレームの電圧の影響が排除される。

【0071】

時刻t2からt3までのデータ書込み及びVth検出期間において、データ書込み動作及びVth検出動作が並行して行われる。データ書込み動作とは、信号線DATAから、スイッチングトランジスタT1を介して、データ電圧Vdataを画素内に伝達する（つまり、データ電圧Vdataが画素回路10内に書込まれる）動作である。Vth検出動作とは、駆動トランジスタTDのゲート端子gに所定の電圧を印加して、駆動トランジスタTDの閾値電圧Vthを検出する動作であり、ここでは、所定の電圧としてデータ電圧Vdataを用いる。

10

【0072】

データ書込み及びVth検出期間において、スイッチングトランジスタT4は非導通の状態であり、駆動トランジスタTDのソース端子sは負の電源電圧VSSから電氣的に切り離される。また、スイッチングトランジスタT1が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが駆動トランジスタTDのゲート端子gに印加される。また正の電源電圧VDDは、信号線DATAの最高電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算した電圧よりも高い電圧に設定しておく。

20

【0073】

その結果、データ書込み及びVth検出期間において、駆動トランジスタTDは、必ず飽和領域で動作するので、駆動トランジスタTDのドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタTDのゲート端子gはデータ電圧Vdataに固定されているので、結局、駆動トランジスタTDのドレイン・ソース電流は、ソース端子sの電圧で制御されることになる。

【0074】

駆動トランジスタTDのソース端子には、スイッチングトランジスタT4が非導通の状態となっているのでキャパシタC1の第1の端子のみが接続されており、駆動トランジスタTDのドレイン・ソース電流は、キャパシタC1に流れる。よってキャパシタC1は充電され、キャパシタC1の第1の端子の電圧、すなわち駆動トランジスタTDのソース端子sの電圧は上昇して、ついにVdata - Vthとなり、つまり駆動トランジスタTDのゲート・ソース端子間電圧が、駆動トランジスタTDの閾値電圧Vthと同じになると、駆動トランジスタTDはオフ状態となる。

30

【0075】

このようにして、駆動トランジスタTDのソース端子sの電圧は、正の電源電圧VDDおよび負の電源電圧VSSの影響を受けることなく、データ電圧Vdataから閾値電圧Vthだけ低下した電圧Vdata - Vthに収束する。

40

【0076】

この電圧が、参照電圧VRを基準として、キャパシタC1に保持される。キャパシタC1に保持される電圧はVR - (Vdata - Vth)であり、この電圧には、正の電源電圧VDDおよび負の電源電圧VSSの影響が全く含まれない。

【0077】

時刻t4以降の発光期間において、発光動作が行われる。発光動作とは、データ電圧Vdataに対応しかつ閾値電圧Vthで補正されたバイアス電圧を駆動トランジスタTDのゲート・ソース端子間に印加して、駆動トランジスタTDから有機EL素子ELに電流を供給する動作である。

50

【 0 0 7 8 】

発光期間において、スイッチングトランジスタ T 1、T 3 が非導通の状態になると共に、スイッチングトランジスタ T 2 が導通の状態になり、キャパシタ C 1 に保持されている電圧 $V_R - (V_{data} - V_{th})$ が駆動トランジスタ T D のゲート・ソース端子間に印加される。

【 0 0 7 9 】

その結果、駆動トランジスタ T D から有機 E L 素子 E L に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_R - V_{data})^2$ が供給されるので、有機 E L 素子 E L を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

10

【 0 0 8 0 】

なお、画素回路 1 0 において、スイッチングトランジスタ T 1、T 3 はダブルゲート型の T F T で構成することが望ましく、さらに望ましくは、スイッチングトランジスタ T 2 もまたダブルゲート型の T F T で構成してもよい。そのような構成によれば、キャパシタ C 1 のリークを低減できるので、有機 E L 素子 E L を、より正確な輝度で発光させることができる。

【 0 0 8 1 】

また、画素回路 1 0 において、次のような変形が可能である。

【 0 0 8 2 】

例えば、信号線 S C A N、R E S E T は、図 4 に示されるように、同一の制御信号を伝達しているので、1 つの信号線で兼用してもよい。

20

【 0 0 8 3 】

また、スイッチングトランジスタ T 2 を p 型のトランジスタで構成してもよい。制御信号のレベルが反転するため、p 型のトランジスタで構成したスイッチングトランジスタ T 2 は、n 型のトランジスタで構成したスイッチングトランジスタ T 1、T 3 の制御信号で制御できる。その場合、信号線 S C A N、M E R G E、R E S E T を、1 つの信号線で兼用してもよい。

【 0 0 8 4 】

また、信号線 E N A B と、隣接する行の信号線 M E R G E とを、1 つの信号線で兼用してもよい。

30

【 0 0 8 5 】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路 1 0 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 0 8 6 】

さらに、駆動トランジスタ T D 及びスイッチングトランジスタ T 1 ~ T 5 を全て、p 型のトランジスタで構成することも可能である。以下では、そのような画素回路について説明する。

【 0 0 8 7 】

図 5 は、画素回路 2 0 の構成の一例を示す回路図である。画素回路 2 0 は、図 3 に示す画素回路 1 0 と同様、データ信号に対応する輝度で有機 E L 素子を発光させる回路であり、駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4、キャパシタ C 1、及び有機 E L 素子 E L から構成される。

40

【 0 0 8 8 】

画素回路 2 0 は、画素回路 1 0 と比べて、駆動トランジスタ T D 及びスイッチングトランジスタ T 1 ~ T 5 が全て p 型のトランジスタで構成されている点異なる。画素回路 2 0 は、画素回路 1 0 に用いられる制御信号のレベルを単純に反転した制御信号が与えられると、画素回路 1 0 と同等の動作を行うように構成されている。

【 0 0 8 9 】

キャパシタ C 1 は、第 1 (紙面の右側) の端子が駆動トランジスタ T D のソース端子 s

50

に接続され、第 2 (紙面の左側) の端子がスイッチングトランジスタ T 2 を介して駆動トランジスタ T D のゲート端子 g に接続されている。

【 0 0 9 0 】

有機 E L 素子 E L は、第 1 (紙面の上側) の端子が駆動トランジスタ T D のドレイン端子 d に接続され、第 2 (紙面の下側) の端子が電源線 V S S に接続されている。

【 0 0 9 1 】

スイッチングトランジスタ T 1 は、信号線 S C A N で伝達される制御信号に従って、駆動トランジスタ T D のゲート端子 g とデータ線 D A T A との導通及び非導通を切り換える。

【 0 0 9 2 】

スイッチングトランジスタ T 2 は、信号線 M E R G E で伝達される制御信号に従って、駆動トランジスタ T D のゲート端子 g とキャパシタ C 1 の第 2 の端子との導通及び非導通を切り換える。

【 0 0 9 3 】

スイッチングトランジスタ T 3 は、信号線 R E S E T で伝達される制御信号に従って、キャパシタ C 1 の第 2 の端子と参照電圧線 V R との導通及び非導通を切り換える。

【 0 0 9 4 】

スイッチングトランジスタ T 4 は、信号線 E N A B で伝達される制御信号に従って、電源線 V D D と、駆動トランジスタ T D のソース端子 s との導通及び非導通を切り換える。

【 0 0 9 5 】

ここで、スイッチングトランジスタ T 1 ~ T 4 が、それぞれ第 1 ~ 第 4 のスイッチング素子の一例であり、キャパシタ C 1 が第 1 の容量素子の一例であり、有機 E L 素子 E L が発光素子の一例である。また、電源線 V D D が第 1 の電源線の一例であり、電源線 V S S が第 2 の電源線の一例である。また、データ信号がデータ電圧の一例である。

【 0 0 9 6 】

図 6 は、画素回路 2 0 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 6 において、縦軸は各信号のレベル、横軸は時間を表す。画素回路 2 0 のスイッチングトランジスタ T 1 ~ T 4 は p 型のトランジスタで構成されるので、スイッチングトランジスタ T 1 ~ T 4 の各々は、対応する制御信号が L o w レベルの期間に導通の状態になり、対応する制御信号が H i g h レベルの期間に非導通の状態になる。図 6 に示す画素回路 2 0 を動作させるための制御信号は、図 4 に示す画素回路 1 0 を動作させるための制御信号のレベルを単純に反転した制御信号である。

【 0 0 9 7 】

図 6 に示す制御信号及びデータ信号に従って行われる画素回路 2 0 の動作を、図 7 (a)、(b) を参照して説明する。

【 0 0 9 8 】

時刻 t 1 から t 2 までの C 1 リセット期間において、C 1 リセット動作が行われる。

【 0 0 9 9 】

C 1 リセット期間において、スイッチングトランジスタ T 3、T 4 が導通の状態になり、キャパシタ C 1 の第 2 の端子には、参照電圧 V R が設定され、キャパシタ C 1 の第 1 の端子には、正の電源電圧 V D D が設定される。これにより、キャパシタ C 1 はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ C 1 に残留している先行フレームの電圧の影響が排除される。

【 0 1 0 0 】

時刻 t 2 から t 3 までのデータ書込み及び V t h 検出期間において、データ書込み動作及び V t h 検出動作が並行して行われる。

【 0 1 0 1 】

図 7 (a) は、データ書込み動作及び V t h 検出動作を説明する回路図である。データ書込み及び V t h 検出期間において非導通の状態になるスイッチングトランジスタ T 2、

10

20

30

40

50

T 4 は点線で示されている。

【 0 1 0 2 】

データ書込み及び V t h 検出期間において、スイッチングトランジスタ T 4 は非導通の状態であり、駆動トランジスタ T D のソース端子 s は正の電源電圧 V D D から電氣的に切り離される。また、スイッチングトランジスタ T 1 が導通の状態になり、信号線 D A T A からデータ電圧 V d a t a が取得され、データ電圧 V d a t a が駆動トランジスタ T D のゲート端子 g に印加される。また、負の電源電圧 V S S は、信号線 D A T A の最低電圧に、全ての画素の駆動トランジスタ T D における閾値電圧 V t h の最大値を加算し、有機 E L 素子 E L の閾値電圧 V t h (E L) を減算した電圧よりも低く設定しておく。

【 0 1 0 3 】

その結果、データ書込み及び V t h 検出期間において、駆動トランジスタ T D は、必ず飽和領域で動作するので、駆動トランジスタ T D のソース・ドレイン電流はソース・ゲート端子間電圧のみで制御される。いま駆動トランジスタ T D のゲート端子 g はデータ電圧 V d a t a に固定されているので、結局、駆動トランジスタ T D のドレイン電流は、ソース端子 s の電圧で制御されることになる。

【 0 1 0 4 】

駆動トランジスタ T D のソース端子には、スイッチングトランジスタ T 4 が非導通の状態となっているのでキャパシタ C 1 の第 1 の端子のみが接続されており、駆動トランジスタ T D のソース・ドレイン電流は、キャパシタ C 1 から流れる。よってキャパシタ C 1 は放電され、キャパシタ C 1 の第 1 の端子の電圧、すなわち駆動トランジスタ T D のソース端子 s の電圧は下降して、ついに V d a t a + V t h となり、つまり駆動トランジスタ T D のゲート・ソース端子間電圧が、駆動トランジスタ T D の閾値電圧 V t h と同じになると、駆動トランジスタ T D はオフ状態となる。

【 0 1 0 5 】

このようにして、駆動トランジスタ T D のソース端子 s の電圧は、正の電源電圧 V D D および負の電源電圧 V S S の影響を受けることなく、データ電圧 V d a t a から閾値電圧 V t h だけ上昇した電圧 V d a t a + V t h に収束する。

【 0 1 0 6 】

この電圧が、参照電圧 V R を基準として、キャパシタ C 1 に保持される。キャパシタ C 1 に保持される電圧は $(V d a t a + V t h) - V R$ であり、この電圧には、正の電源電圧 V D D および負の電源電圧 V S S の影響が全く含まれない。

【 0 1 0 7 】

時刻 t 4 以降の発光期間において、発光動作が行われる。

【 0 1 0 8 】

図 7 (b) は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタ T 1、T 3 は点線で示されている。

【 0 1 0 9 】

発光期間において、スイッチングトランジスタ T 1、T 3 が非導通の状態になると共に、スイッチングトランジスタ T 2 が導通の状態になり、キャパシタ C 1 に保持されている電圧 $(V d a t a + V t h) - V R$ が駆動トランジスタ T D のゲート・ソース間に印加される。

【 0 1 1 0 】

その結果、駆動トランジスタ T D から有機 E L 素子 E L に、データ電圧 V d a t a に対応した正確な大きさの電流 $I s d = \quad / 2 \times (V d a t a - V R) ^ 2$ が供給されるので、有機 E L 素子 E L を、電源電圧の変動の影響を受けることなく、データ電圧 V d a t a に対応する正確な輝度で発光させることができる。

【 0 1 1 1 】

なお、画素回路 2 0 において、スイッチングトランジスタ T 1、T 3 はダブルゲート型の T F T で構成することが望ましく、さらに望ましくは、スイッチングトランジスタ T 2 もまたダブルゲート型の T F T で構成してもよい。そのような構成によれば、キャパシタ

10

20

30

40

50

C 1 のリークを低減できるので、有機 E L 素子 E L を、より正確な輝度で発光させることができる。

【 0 1 1 2 】

また、画素回路 2 0 において、画素回路 1 0 で説明した変形と同様の変形が可能である。すなわち、信号線 S C A N、R E S E T を、1 つの信号線で兼用してもよく、またスイッチングトランジスタ T 2 を n 型のトランジスタで構成した上で、信号線 S C A N、M E R G E、R E S E T を、1 つの信号線で兼用してもよい。

【 0 1 1 3 】

また、信号線 E N A B と、隣接する行の信号線 M E R G E とを、1 つの信号線で兼用してもよい。

【 0 1 1 4 】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路 2 0 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 1 1 5 】

(実施の形態 2)

本発明の実施の形態 2 について、図面を参照しながら説明する。

【 0 1 1 6 】

図 8 は、実施の形態 2 における画素回路 1 1 の構成の一例を示す回路図である。画素回路 1 1 は、図 3 の画素回路 1 0 に、データ電圧 V d a t a を保持するためのキャパシタ C 2 を追加して構成される。キャパシタ C 2 は、スイッチングトランジスタ T 2 と並列に接続される。キャパシタ C 2 は、第 2 の容量素子の一例である。

【 0 1 1 7 】

図 9 は、画素回路 1 1 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 9 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 1 1 8 】

図 1 0 は、実施の形態 2 における画素回路 2 1 の構成の一例を示す回路図である。画素回路 2 1 は、図 5 の画素回路 2 0 に、データ電圧 V d a t a を保持するためのキャパシタ C 2 を追加して構成される。キャパシタ C 2 は、スイッチングトランジスタ T 2 と並列に接続される。キャパシタ C 2 は、第 2 の容量素子の一例である。

【 0 1 1 9 】

図 1 1 は、画素回路 2 1 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 1 1 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 1 2 0 】

駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4 は、画素回路 1 1 においては n 型のトランジスタで構成され、画素回路 2 1 においては p 型のトランジスタで構成される。画素回路 1 1 及び画素回路 2 1 は、それぞれ図 9 及び図 1 1 に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【 0 1 2 1 】

これらを代表して、図 1 1 に示す制御信号及びデータ信号に従って行われる画素回路 2 1 の動作を、図 1 2 (a) ~ (d) を参照して説明する。

【 0 1 2 2 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 1 2 3 】

時刻 t 2 から t 3 までのデータ書込み期間において、データ書込み動作が行われる。

【 0 1 2 4 】

図 1 2 (a) は、データ書込み動作を説明する回路図である。データ書込み期間において非導通の状態になるスイッチングトランジスタ T 2、T 4 は点線で示されている。

10

20

30

40

50

【 0 1 2 5 】

データ書込み期間において、スイッチングトランジスタ T 1、T 3 が導通の状態になり、信号線 D A T A からデータ電圧 V d a t a が取得され、データ電圧 V d a t a が、参照電圧 V R を基準として、キャパシタ C 2 に保持される。

【 0 1 2 6 】

時刻 t 4 から t 5 までの C 1 リセット期間において、C 1 リセット動作が行われる。

【 0 1 2 7 】

図 1 2 (b) は、C 1 リセット動作を説明する回路図である。C 1 リセット期間において非導通の状態になるスイッチングトランジスタ T 1、T 2 は点線で示されている。

【 0 1 2 8 】

C 1 リセット期間において、スイッチングトランジスタ T 3、T 4 が導通の状態になり、キャパシタ C 1 の第 2 の端子には、参照電圧 V R が設定され、キャパシタ C 1 の第 1 の端子には、正の電源電圧 V D D が設定される。これにより、キャパシタ C 1 はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ C 1 に残留している先行フレームの電圧の影響が排除される。

【 0 1 2 9 】

時刻 t 5 から t 6 までの V t h 検出期間において、V t h 検出動作が行われる。

【 0 1 3 0 】

図 1 2 (c) は、V t h 検出動作を説明する回路図である。V t h 検出期間において非導通の状態になるスイッチングトランジスタ T 1、T 2、T 4 は点線で示されている。

【 0 1 3 1 】

V t h 検出期間において、スイッチングトランジスタ T 4 は非導通の状態であり、駆動トランジスタ T D のソース端子 s は正の電源電圧 V D D から電氣的に切り離される。キャパシタ C 2 に保持されているデータ電圧 V d a t a が、駆動トランジスタ T D のゲート端子 g に印加される。その結果、前述の図 7 (a) と同様の動作によって、駆動トランジスタ T D のソース端子 s の電圧は、正の電源電圧 V D D および負の電源電圧 V S S の影響を受けることなく、データ電圧 V d a t a から閾値電圧 V t h だけ上昇した電圧 V d a t a + V t h に収束する。

【 0 1 3 2 】

この電圧が、参照電圧 V R を基準として、キャパシタ C 1 に保持される。キャパシタ C 1 に保持される電圧は $(V d a t a + V t h) - V R$ であり、この電圧には、正の電源電圧 V D D および負の電源電圧 V S S の影響が全く含まれない。

【 0 1 3 3 】

時刻 t 7 以降の発光期間において、発光動作が行われる。

【 0 1 3 4 】

図 1 2 (d) は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタ T 1、T 3 は点線で示されている。

【 0 1 3 5 】

発光期間において、スイッチングトランジスタ T 1、T 3 が非導通の状態になると共に、スイッチングトランジスタ T 2 が導通の状態になり、キャパシタ C 1 に保持されている電圧 $(V d a t a + V t h) - V R$ が駆動トランジスタ T D のゲート・ソース端子間に印加される。

【 0 1 3 6 】

その結果、駆動トランジスタ T D から有機 E L 素子 E L に、データ電圧 V d a t a に対応した正確な大きさの電流 $I s d = \quad / 2 \times (V d a t a - V R)^2$ が供給されるので、有機 E L 素子 E L を、電源電圧の変動の影響を受けることなく、データ電圧 V d a t a に対応する正確な輝度で発光させることができる。

【 0 1 3 7 】

なお、画素回路 1 1、2 1 において、スイッチングトランジスタ T 1、T 3 はダブルゲート型の T F T で構成することが望ましく、さらに望ましくは、スイッチングトランジス

10

20

30

40

50

タ T 2 もまたダブルゲート型の T F T で構成してもよい。そのような構成によれば、キャパシタ C 1 のリークを低減できるので、有機 E L 素子 E L を、より正確な輝度で発光させることができる。

【 0 1 3 8 】

また、画素回路 1 1、2 1 において、次のような変形が可能である。

【 0 1 3 9 】

例えば、画素回路 1 1 のスイッチングトランジスタ T 2 を p 型のトランジスタで構成した上で、信号線 M E R G E、R E S E T を、1 つの信号線で兼用してもよく、また、画素回路 2 1 のスイッチングトランジスタ T 2 を n 型のトランジスタで構成した上で、信号線 M E R G E、R E S E T を、1 つの信号線で兼用してもよい。

10

【 0 1 4 0 】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路 1 1、2 1 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 1 4 1 】

(実施の形態 2 の変形例)

本発明の実施の形態 2 の変形例について、図面を参照しながら説明する。本変形例では、図 8 に示した画素回路 1 1 の動作の別の一例が示される。

【 0 1 4 2 】

図 1 3 は、画素回路 1 1 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 1 3 において、縦軸は各信号のレベル、横軸は時間を表す。

20

【 0 1 4 3 】

図 1 3 に示す制御信号及びデータ信号に従って行われる画素回路 1 1 の動作を、図 1 4 (a) ~ (d) を参照して説明する。

【 0 1 4 4 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 1 4 5 】

時刻 t 1 から t 5 までの C 1 リセット期間において、C 1 リセット動作が行われる。

【 0 1 4 6 】

図 1 4 (a) は、C 1 リセット動作を説明する回路図である。C 1 リセット期間において非導通の状態になるスイッチングトランジスタ T 1、T 2 は点線で示されている。

30

【 0 1 4 7 】

C 1 リセット期間において、スイッチングトランジスタ T 3、T 4 が導通の状態になり、キャパシタ C 1 の第 2 の端子には、参照電圧 V R が設定され、キャパシタ C 1 の第 1 の端子には、キャパシタ C 1 の第 1 の端子の電圧である駆動トランジスタ T D のソース電圧には、駆動トランジスタ T D のゲート端子 g の電圧に応じた有機 E L 素子 E L の電圧を負の電源電圧 V S S に加えた電圧が設定される。これにより、キャパシタ C 1 の電圧はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ C 1 に残留している先行フレームの電圧の影響が排除される。

40

【 0 1 4 8 】

時刻 t 3 から t 4 までのデータ書込み期間において、データ書込み動作が行われる。

【 0 1 4 9 】

図 1 4 (b) は、データ書込み動作を説明する回路図である。データ書込み期間において非導通の状態になるスイッチングトランジスタ T 2 は点線で示されている。

【 0 1 5 0 】

データ書込み期間において、スイッチングトランジスタ T 1、T 3 が導通の状態になり、信号線 D A T A からデータ電圧 V d a t a が取得され、データ電圧 V d a t a が、参照電圧 V R を基準として、キャパシタ C 2 に保持される。

【 0 1 5 1 】

50

時刻 t_5 から t_6 までの V_{th} 検出期間において、 V_{th} 検出動作が行われる。

【0152】

図14(c)は、 V_{th} 検出動作を説明する回路図である。 V_{th} 検出期間において非導通の状態になるスイッチングトランジスタ T_1 、 T_2 、 T_4 は点線で示されている。

【0153】

V_{th} 検出期間において、スイッチングトランジスタ T_4 は非導通であり、駆動トランジスタ T_D のソース端子 s は負の電源電圧 V_{SS} から電氣的に切り離される。キャパシタ C_2 に保持されているデータ電圧 V_{data} が、駆動トランジスタ T_D のゲート端子 g に印加される。また正の電源電圧 V_{DD} は、信号線 $DATA$ の最高電圧に、全ての画素の駆動トランジスタ T_D における閾値電圧 V_{th} の最大値を加算した電圧よりも高く設定しておく。

10

【0154】

その結果、データ書込み及び V_{th} 検出期間において、駆動トランジスタ T_D は、必ず飽和領域で動作するので、駆動トランジスタ T_D のドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタ T_D のゲート端子 g はデータ電圧 V_{data} に固定されているので、結局、駆動トランジスタ T_D のドレイン・ソース電流は、ソース端子 s の電圧で制御されることになる。

【0155】

駆動トランジスタ T_D のソース端子には、スイッチングトランジスタ T_4 が非導通の状態となっているのでキャパシタ C_1 の第1の端子のみが接続されており、駆動トランジスタ T_D のドレイン・ソース間電流は、キャパシタ C_1 に流れる。よってキャパシタ C_1 は充電され、キャパシタ C_1 の第1の端子の電圧、すなわち駆動トランジスタ T_D のソース端子 s の電圧は上昇して、ついに $V_{data} - V_{th}$ となり、つまり駆動トランジスタ T_D のゲート・ソース端子間電圧が、駆動トランジスタ T_D の閾値電圧 V_{th} と同じになると、駆動トランジスタ T_D はオフ状態となる。

20

【0156】

このようにして、駆動トランジスタ T_D のソース端子 s の電圧は、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響を受けることなく、データ電圧 V_{data} から閾値電圧 V_{th} だけ低下した電圧 $V_{data} - V_{th}$ に収束する。

【0157】

この電圧が、参照電圧 V_R を基準として、キャパシタ C_1 に保持される。キャパシタ C_1 に保持される電圧は $V_R - (V_{data} - V_{th})$ であり、この電圧には、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響が全く含まれない。

30

【0158】

時刻 t_7 以降の発光期間において、発光動作が行われる。

【0159】

図14(d)は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタ T_1 、 T_3 は点線で示されている。

【0160】

発光期間において、スイッチングトランジスタ T_1 、 T_3 が非導通の状態になると共に、スイッチングトランジスタ T_2 が導通の状態になり、キャパシタ C_1 に保持されている電圧 $V_R - (V_{data} - V_{th})$ が駆動トランジスタ T_D のゲート・ソース端子間に印加される。

40

【0161】

その結果、駆動トランジスタ T_D から有機 EL 素子 EL に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_R - V_{data})^2$ が供給されるので、有機 EL 素子 EL を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

【0162】

また、キャパシタ C_2 は、図12(c)および図14(c)に示す V_{th} 検出期間にお

50

いて、駆動トランジスタT Dのゲート電圧を保持する役割であり、図12(d)および図14(d)に示す発光期間においては、信号線MERGEによりスイッチングトランジスタT2がオン状態とされているため、駆動トランジスタT Dのゲート電圧を保持しているのはキャパシタC1のみとなる。すなわち、発光期間の有機EL素子ELの電流密度を下げて有機EL素子ELの寿命を長くするために、発光期間がVth検出期間よりも長く設定される場合には、キャパシタC2が電圧を保持する時間は、キャパシタC1が電圧を保持する時間よりも短い。すなわち、キャパシタC2の容量はキャパシタC1の容量よりも小さくすることができる。

【0163】

このことにより、キャパシタC1に対して、キャパシタC2より大きな面積を確保することが可能となり、発光期間において駆動トランジスタT Dから有機EL素子ELに供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

10

【0164】

(実施の形態3)

本発明の実施の形態3について、図面を参照しながら説明する。

【0165】

図15は、実施の形態3における画素回路12の構成の一例を示す回路図である。画素回路12は、図8の画素回路11に、スイッチングトランジスタT5を追加して構成される。画素回路12に対応して、表示部2の各行に設けられる信号線ENABが、2本の信号線ENAB1、ENAB2に変更される。

20

【0166】

画素回路12において、スイッチングトランジスタT4は、信号線ENAB1で伝達される制御信号に従って、駆動トランジスタT Dのソース端子sと有機EL素子ELの第2(紙面の上側)の端子との導通及び非導通を切り換える。

【0167】

スイッチングトランジスタT5は、電源線VDDと駆動トランジスタT Dのドレイン端子dとの間に挿入され、信号線ENAB2で伝達される制御信号に従って、電源線VDDと駆動トランジスタT Dのドレイン端子dとの導通及び非導通を切り替える。

【0168】

図16は、画素回路12を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図16において、縦軸は各信号のレベル、横軸は時間を表す。

30

【0169】

図17は、実施の形態3における画素回路22の構成の一例を示す回路図である。画素回路22は、図10の画素回路21に、スイッチングトランジスタT5を追加して構成される。画素回路22に対応して、表示部2の各行に設けられる信号線ENABが、2本の信号線ENAB1、ENAB2に変更される。

【0170】

画素回路22において、スイッチングトランジスタT4は、信号線ENAB1で伝達される制御信号に従って、電源線VDDと、駆動トランジスタT Dのソース端子sとの導通及び非導通を切り換える。

40

【0171】

スイッチングトランジスタT5は、駆動トランジスタT Dのドレイン端子dと有機EL素子ELの第1(紙面の上側)の端子との間に挿入され、信号線ENAB2で伝達される制御信号に従って、駆動トランジスタT Dのドレイン端子dと有機EL素子ELの第1の端子との導通及び非導通を切り替える。

【0172】

図18は、画素回路22を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図18において、縦軸は各信号のレベル、横軸は時間を表す。

50

【 0 1 7 3 】

駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 5 は、画素回路 1 2 においては n 型のトランジスタで構成され、画素回路 2 2 においては p 型のトランジスタで構成される。画素回路 1 2 及び画素回路 2 2 は、それぞれ図 1 6 及び図 1 8 に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【 0 1 7 4 】

図 1 6 に示す制御信号及びデータ信号に従って行われる画素回路 1 2 の動作は、図 1 3 に示す制御信号及びデータ信号に従って行われる画素回路 1 1 の動作と比べて、C 1 リセット動作、データ書込み動作、V t h 検出動作、及び発光動作から構成される点で共通しているが、スイッチングトランジスタ T 5 が非導通の状態になり、駆動トランジスタ T D のドレイン端子 d が正の電源電圧 V D D から電氣的に切り離された状態で、C 1 リセット動作及びデータ書込み動作が行われる点が異なっている。

10

【 0 1 7 5 】

これにより、C 1 リセット動作において、有機 E L 素子 E L に電流を流さずに、キャパシタ C 1 の両端の電圧を駆動トランジスタ T D の閾値電圧 V t h 以上にするのが可能となる。その結果、有機 E L 素子 E L の不要な発光が抑制され、表示コントラストを向上する効果が得られる。

【 0 1 7 6 】

このことは、図 1 8 に示す制御信号及びデータ信号に従って行われる画素回路 2 2 の動作にもあてはまる。すなわち、図 1 8 に示す制御信号及びデータ信号に従って行われる画素回路 2 2 の動作においては、スイッチングトランジスタ T 5 が非導通の状態になり、駆動トランジスタ T D のドレイン端子 d が負の電源電圧 V D D から電氣的に切り離された状態で、C 1 リセット動作及びデータ書込み動作が行われる。その結果、上述と同様に、有機 E L 素子 E L の不要な発光が抑制され、表示コントラストを向上する効果が得られる。

20

【 0 1 7 7 】

また実施の形態 2 と同様に、キャパシタ C 2 の容量はキャパシタ C 1 の容量よりも小さくすることができ、キャパシタ C 1 に対して、キャパシタ C 2 より大きな面積を確保することが可能となり、発光期間において駆動トランジスタ T D から有機 E L 素子 E L に供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

30

【 0 1 7 8 】

(実施の形態 3 の変形例)

本発明の実施の形態 3 の変形例について、図面を参照しながら説明する。本変形例では、画素回路 1 2、2 2 の動作の別の一例が示される。

【 0 1 7 9 】

図 1 9 は、画素回路 1 2 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。

【 0 1 8 0 】

図 2 0 は、画素回路 2 2 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。

40

【 0 1 8 1 】

図 1 9、図 2 0 において、縦軸は各信号のレベル、横軸は時間を表す。図 2 0 に示す画素回路 2 2 を動作させるための制御信号は、図 1 9 に示す画素回路 1 2 を動作させるための制御信号のレベルを単純に反転した制御信号である。

【 0 1 8 2 】

これらを代表して、図 1 9 に示す制御信号及びデータ信号に従って行われる画素回路 1 2 の動作を説明する。

【 0 1 8 3 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 1 8 4 】

50

時刻 t_2 から t_3 までの C_1 リセット期間において、 C_1 リセット動作が行われる。

【0185】

C_1 リセット期間において、スイッチングトランジスタ T_3 、 T_4 が導通の状態になり、キャパシタ C_1 の第2の端子に電圧は、参照電圧 V_R が設定され、キャパシタ C_1 の第1の端子である駆動トランジスタ T_D のソース電圧には、有機 EL 素子 EL のオフ電圧を負の電源電圧 V_{SS} に加えた電圧が設定される。これにより、キャパシタ C_1 はフレームごとに同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ C_1 に残留している先行フレームの電圧の影響が排除される。このとき、スイッチングトランジスタ T_2 も導通の状態になるので、キャパシタ C_2 の電圧は、0 にリセットされる。

【0186】

時刻 t_4 から t_5 までの V_{th} 検出期間において、 V_{th} 検出動作が行われる。

【0187】

V_{th} 検出期間において、スイッチングトランジスタ T_4 は非導通の状態であり、駆動トランジスタ T_D のソース端子 s は負の電源電圧 V_{SS} から電氣的に切り離される。スイッチングトランジスタ T_2 、 T_3 が導通の状態になり、参照電圧 V_R が駆動トランジスタ T_D のゲート端子 g に印加される。その結果、駆動トランジスタ T_D のソース端子 s の電圧は、負の電源電圧 V_{SS} の影響を受けることなく、参照電圧 V_R から閾値電圧 V_{th} だけ低下した電圧 $V_R - V_{th}$ に収束する。

【0188】

この電圧が、参照電圧 V_R を基準として、キャパシタ C_1 に保持される。キャパシタ C_1 に保持される電圧は $V_R - (V_R - V_{th}) = V_{th}$ であり、この電圧には、負の電源電圧 V_{SS} の影響が全く含まれない。

【0189】

時刻 t_6 から t_7 までのデータ書込み期間において、データ書込み動作が行われる。

【0190】

データ書込み期間において、スイッチングトランジスタ T_1 、 T_3 が導通の状態になり、信号線 $DATA$ からデータ電圧 V_{data} が取得され、参照電圧 V_R を基準として、キャパシタ C_2 に保持される。

【0191】

時刻 t_8 以降の発光期間において、発光動作が行われる。

【0192】

発光期間において、スイッチングトランジスタ $T_1 \sim T_3$ は非導通であり、キャパシタ C_1 、 C_2 のそれぞれに保持されている電圧を加算した電圧 $(V_{data} - V_R) + V_{th}$ が駆動トランジスタ T_D のゲート・ソース端子間に印加される。

【0193】

その結果、駆動トランジスタ T_D から有機 EL 素子 EL に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_{data} - V_R)^2$ が供給されるので、有機 EL 素子 EL を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

【0194】

(実施の形態4)

本発明の実施の形態4について、図面を参照しながら説明する。

【0195】

図21は、実施の形態4における画素回路13の構成の一例を示す回路図である。画素回路13は、図8の画素回路11に、キャパシタ C_3 を追加して構成される。画素回路13に対応して、表示部2の各行に設けられる信号線 $RESET$ が、2本の信号線 $RESET_1$ 、 $RESET_2$ に変更される。

【0196】

画素回路13において、スイッチングトランジスタ T_3 は、信号線 $RESET_1$ で伝達される制御信号に従って、キャパシタ C_1 の第2(紙面の左側)の端子と参照電圧線 V_R

10

20

30

40

50

との導通及び非導通を切り換える。

【0197】

キャパシタC3は、第1（紙面の上側）の端子が駆動トランジスタTDのソース端子sに接続され、第2（紙面の下側）の端子が信号線RESET2に接続されている。

【0198】

図22は、画素回路13を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図22において、縦軸は各信号のレベル、横軸は時間を表す。

【0199】

図23は、実施の形態4における画素回路23の構成の一例を示す回路図である。画素回路23は、図10の画素回路21に、キャパシタC3を追加して構成される。画素回路23に対応して、表示部2の各行に設けられる信号線RESETが、2本の信号線RESET1、RESET2に変更される。

10

【0200】

画素回路23において、スイッチングトランジスタT3は、信号線RESET1で伝達される制御信号に従って、キャパシタC1の第2（紙面の左側）の端子と参照電圧線VRとの導通及び非導通を切り換える。

【0201】

キャパシタC3は、第1（紙面の下側）の端子が駆動トランジスタTDのソース端子sに接続され、第2（紙面の左側）の端子が信号線RESET2に接続されている。

20

【0202】

図24は、画素回路23を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図24において、縦軸は各信号のレベル、横軸は時間を表す。

【0203】

駆動トランジスタTD、スイッチングトランジスタT1～T5は、画素回路13においてはn型のトランジスタで構成され、画素回路23においてはp型のトランジスタで構成される。画素回路13及び画素回路23は、それぞれ図22及び図24に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

30

【0204】

これらを代表して、図22に示す制御信号及びデータ信号に従って行われる画素回路13の動作を説明する。

【0205】

時刻t1において、先行フレームにおける発光が終了する。

【0206】

時刻t2からt3までのデータ書込み期間において、データ書込み動作が行われる。

【0207】

データ書込み期間において、スイッチングトランジスタT1、T3が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが、参照電圧VRを基準として、キャパシタC2に保持される。

40

【0208】

時刻t4からt5までのVth検出期間において、Vth検出動作が行われる。

【0209】

Vth検出期間において、スイッチングトランジスタT4は非導通の状態であり、駆動トランジスタTDのソース端子sは負の電源電圧VSSから電氣的に切り離される。キャパシタC2に保持されているデータ電圧Vdataが、駆動トランジスタTDのゲート端子gに印加される。また正の電源電圧VDDは、信号線DATAの最高電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算した電圧よりも高く設定しておく。

50

【0210】

時刻 t_4 において $RESET_2$ が High から Low に立下る。このときの $RESET_2$ の電圧変動量を V_{rst} とすると、駆動トランジスタ T_D のソース端子 s の電圧は、 t_4 の直前において $V_{so} (V_{DD} - V_{so})$ であるとすれば、 $V_{so} - V_{rst} \cdot C_3 / (C_1 + C_3)$ となる。ここで $RESET_2$ の立下り電圧変動量 V_{rst} は、 $V_{data} - V_{so} + V_{rst} \cdot C_3 / (C_1 + C_3) - V_{th}$ となるように設定する。

【0211】

すると、駆動トランジスタ T_D のゲート・ソース端子間電圧は閾値電圧 V_{th} よりも大きくなるので駆動トランジスタ T_D は導通の状態となり、駆動トランジスタ T_D のドレイン端子からソース端子へと電流が流れる。このとき、スイッチングトランジスタ T_4 は非導通の状態のため、駆動トランジスタ T_D のドレイン・ソース間電流は、キャパシタ C_1 およびキャパシタ C_3 に流れ、有機 EL 素子 EL には電流は供給されず発光しない。

10

【0212】

よってキャパシタ C_1 およびキャパシタ C_3 は充電され、キャパシタ C_1 の第1の端子の電圧、すなわち駆動トランジスタ T_D のソース端子 s の電圧は上昇して、ついに $V_{data} - V_{th}$ となり、つまり駆動トランジスタ T_D のゲート・ソース端子間電圧が、駆動トランジスタ T_D の閾値電圧 V_{th} と同じになると、駆動トランジスタ T_D はオフ状態となる。

【0213】

その結果、駆動トランジスタ T_D のソース端子 s の電圧は、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響を受けることなく、データ電圧 V_{data} から閾値電圧 V_{th} だけ低下した電圧 $V_{data} - V_{th}$ に収束する。

20

【0214】

この電圧が、参照電圧 V_R を基準として、キャパシタ C_1 に保持される。キャパシタ C_1 に保持される電圧は $V_R - (V_{data} - V_{th})$ であり、この電圧には、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響が全く含まれない。

【0215】

時刻 t_7 以降の発光期間において、発光動作が行われる。

【0216】

発光期間において、スイッチングトランジスタ T_1 、 T_3 が非導通の状態になると共に、スイッチングトランジスタ T_2 が導通の状態になり、キャパシタ C_1 に保持されている電圧 $V_R - (V_{data} - V_{th})$ が駆動トランジスタ T_D のゲート・ソース端子間に印加される。

30

【0217】

その結果、駆動トランジスタ T_D から有機 EL 素子 EL に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{ds} = \frac{1}{2} \times (V_R - V_{data})^2$ が供給されるので、有機 EL 素子 EL を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

【0218】

なお、画素回路 1_3 、 2_3 において、次のような変形が可能である。

40

【0219】

例えば、類似した波形の制御信号を伝達している信号線 $RESET_2$ 、 $SCAN$ を、1つの信号線で兼用してもよい。

【0220】

また、例えば、信号線 $SCAN$ で伝達される制御信号がアクティブ (図 22 では High レベル、図 24 では Low レベル) になる時間を、図 22、図 24 に破線で示すように、データ書込み期間の1倍以上の長さに拡大してもよい。例えば、信号線 $SCAN$ で伝達される制御信号がアクティブになる時間を、データ書込み期間の2倍の長さとした場合は、拡大された部分は、隣接する行に配置された画素回路のデータ書込み期間と等しい。そのため、信号線 $SCAN$ で伝達される拡大された制御信号と、隣接する行の信号線 RES

50

ET2で伝達される制御信号とが同じ波形になるので、信号線SCANと、隣接する行の信号線RESET2とを兼用してもよい。

【0221】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路13、23の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【0222】

また実施の形態2と同様に、キャパシタC2の容量はキャパシタC1の容量よりも小さくすることができ、キャパシタC1に対して、キャパシタC2より大きな面積を確保することが可能となり、発光期間において駆動トランジスタTDから有機EL素子ELに供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

10

【0223】

(実施の形態5)

本発明の実施の形態5について、図面を参照しながら説明する。

【0224】

図25は、実施の形態5における画素回路14の構成の一例を示す回路図である。画素回路14は、図8の画素回路11に、スイッチングトランジスタT6を追加して構成される。画素回路14に対応して、表示部2の各行に設けられる信号線RESETが、2本の信号線RESET1、RESET2に変更されると共に、各行に設けられる信号線MERGE、ENABが、1本の信号線ENABで兼用される。また、表示部2の参照電圧線VRが、2本の参照電圧線VR1、VR2に変更される。

20

【0225】

なお、信号線MERGE、ENABは、それぞれ独立に設置してもよい。独立に設置した場合はスイッチングトランジスタT6は、参照電圧線VR2と有機EL素子ELの第2の端子と接続されてもよく、これにより有機EL素子ELの電圧リセット動作が可能となり、例えば有機EL素子ELに逆バイアス電圧を印加することにより、有機EL素子ELの劣化を抑制することが可能となる。

【0226】

画素回路14において、スイッチングトランジスタT3は、信号線RESET1で伝達される制御信号に従って、キャパシタC1の第2(紙面の左側)の端子と参照電圧線VR1との導通及び非導通を切り換える。

30

【0227】

スイッチングトランジスタT2は、信号線ENABで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとキャパシタC1の第2の端子との導通及び非導通を切り換える。

【0228】

スイッチングトランジスタT6は、参照電圧線VR2と駆動トランジスタTDのソース端子sとの間に挿入され、信号線RESET2で伝達される制御信号に従って、参照電圧線VR2と駆動トランジスタTDのソース端子sとの導通及び非導通を切り替える。

【0229】

図26は、画素回路14を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図26において、縦軸は各信号のレベル、横軸は時間を表す。

40

【0230】

図27は、実施の形態5における画素回路24の構成の一例を示す回路図である。画素回路24は、図10の画素回路21に、スイッチングトランジスタT6を追加して構成される。画素回路14に対応して、表示部2の各行に設けられる信号線RESETが、2本の信号線RESET1、RESET2に変更されると共に、各行に設けられる信号線MERGE、ENABが、1本の信号線ENABで兼用される。また、表示部2の参照電圧線VRが、2本の参照電圧線VR1、VR2に変更される。

50

【 0 2 3 1 】

画素回路 2 4 において、スイッチングトランジスタ T 3 は、信号線 R E S E T 1 で伝達される制御信号に従って、キャパシタ C 1 の第 2 (紙面の左側) の端子と参照電圧線 V R との導通及び非導通を切り換える。

【 0 2 3 2 】

スイッチングトランジスタ T 2 は、信号線 E N A B で伝達される制御信号に従って、駆動トランジスタ T D のゲート端子 g とキャパシタ C 1 の第 2 の端子との導通及び非導通を切り換える。

【 0 2 3 3 】

スイッチングトランジスタ T 6 は、参照電圧線 V R 2 と有機 E L 素子 E L の第 1 (紙面の
10
上側) の端子との間に挿入され、信号線 R E S E T 2 で伝達される制御信号に従って、参照電圧線 V R 2 と有機 E L 素子 E L の第 1 の端子との導通及び非導通を切り替える。

【 0 2 3 4 】

図 2 8 は、画素回路 2 3 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 2 8 において、縦軸は各信号のレベル、横軸は時間を表す。

【 0 2 3 5 】

駆動トランジスタ T D、スイッチングトランジスタ T 1 ~ T 4、T 6 は、画素回路 1 4 においては n 型のトランジスタで構成され、画素回路 2 4 においては p 型のトランジスタで構成される。画素回路 1 4 及び画素回路 2 4 は、それぞれ図 2 6 及び図 2 8 に示すよう
20
な、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【 0 2 3 6 】

これらを代表して、図 2 6 に示す制御信号及びデータ信号に従って行われる画素回路 1 4 の動作を説明する。

【 0 2 3 7 】

時刻 t 1 において、先行フレームにおける発光が終了する。

【 0 2 3 8 】

時刻 t 2 から t 3 までのデータ書込み期間において、データ書込み動作が行われる。

【 0 2 3 9 】

データ書込み期間において、スイッチングトランジスタ T 1、T 3 が導通の状態になり、信号線 D A T A からデータ電圧 V d a t a が取得され、データ電圧 V d a t a が、参照電圧 V R を基準として、キャパシタ C 2 に保持される。
30

【 0 2 4 0 】

時刻 t 4 から t 5 までの C 1 リセット期間において、C 1 リセット動作が行われる。

【 0 2 4 1 】

C 1 リセット期間において、スイッチングトランジスタ T 3、T 6 が導通の状態になり、キャパシタ C 1 の第 2 の端子の電圧には、参照電圧 V R 1 が設定され、キャパシタ C 1 の第 1 の端子の電圧には、参照電圧 V R 2 が設定される。これにより、キャパシタ C 1 はフレームごとに同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ
40
C 1 に残留している先行フレームの電圧の影響が排除される。ここで参照電圧 V R 1 および V R 2 は、 $V R 1 - V R 2 = V_{th}$ となるように設定する。このとき、駆動トランジスタ T D はオン状態となるが、スイッチングトランジスタ T 4 は非導通の状態となっているため、有機 E L 素子 E L には電流は供給されず発光しない。

【 0 2 4 2 】

時刻 t 5 から t 6 までの V t h 検出期間において、V t h 検出動作が行われる。

【 0 2 4 3 】

V t h 検出期間において、スイッチングトランジスタ T 4、T 6 は非導通の状態であり、駆動トランジスタ T D のソース端子 s は負の電源電圧 V S S および参照電圧 V R 2 から電氣的に切り離される。キャパシタ C 2 に保持されているデータ電圧 V d a t a が、駆動
50

トランジスタTDのゲート端子gに印加される。また正の電源電圧VDDは、信号線DATAの最高電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算した電圧よりも高く設定しておく。

【0244】

その結果、Vth検出期間において、駆動トランジスタTDは、必ず飽和領域で動作するので駆動トランジスタTDのドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタTDのゲート端子gはデータ電圧Vdataに固定されているので、結局、駆動トランジスタTDのドレイン・ソース電流は、ソース端子sの電圧で制御されることになる。

【0245】

駆動トランジスタTDのソース端子には、スイッチングトランジスタT4、T6が非導通の状態になっているのでキャパシタC1の第1の端子のみが接続されており、駆動トランジスタTDのドレイン・ソース電流は、キャパシタC1に流れる。よってキャパシタC1は充電され、キャパシタC1の第1の端子の電圧、すなわち駆動トランジスタTDのソース端子sの電圧は上昇して、ついにVdata - Vthとなり、つまり駆動トランジスタTDのゲート・ソース端子間電圧が、駆動トランジスタTDの閾値電圧Vthと同じになると、駆動トランジスタTDはオフ状態となる。

【0246】

このようにして、駆動トランジスタTDのソース端子sの電圧は、正の電源電圧VDDおよび負の電源電圧VSSの影響を受けることなく、データ電圧Vdataから閾値電圧Vthだけ低下した電圧Vdata - Vthに収束する。

【0247】

この電圧が、参照電圧VR1を基準として、キャパシタC1に保持される。キャパシタC1に保持される電圧はVR1 - (Vdata - Vth)であり、この電圧には、正の電源電圧VDDおよび負の電源電圧VSSの影響が全く含まれない。

【0248】

時刻t7以降の発光期間において、発光動作が行われる。

【0249】

発光期間において、スイッチングトランジスタT1、T3が非導通の状態になると共に、スイッチングトランジスタT2が導通の状態になり、キャパシタC1に保持されている電圧VR1 - (Vdata - Vth)が駆動トランジスタTDのゲート・ソース間に印加される。

【0250】

その結果、駆動トランジスタTDから有機EL素子ELに、データ電圧Vdataに対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (VR1 - Vdata)^2$ が供給されるので、有機EL素子ELを、電源電圧の変動の影響を受けることなく、データ電圧Vdataに対応する正確な輝度で発光させることができる。

【0251】

なお、画素回路14、24において、次のような変形が可能である。

【0252】

例えば、スイッチングトランジスタT3を、画素回路14ではp型のトランジスタ、画素回路24ではn型のトランジスタで構成した上で、信号線RESET1、ENABを、1つの信号線で兼用してもよい。

【0253】

また、例えば、データ書込み期間が、隣接する行に配置された画素回路のC1リセット期間と等しい場合、信号線SCANで伝達される制御信号と、隣接する行の信号線RESET2で伝達される制御信号とが同じ波形になるので、信号線SCANと、隣接する行の信号線RESET2とを兼用してもよい。

【0254】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路14、24の配置

10

20

30

40

50

密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路４の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 2 5 5 】

また実施の形態２と同様に、キャパシタＣ２の容量はキャパシタＣ１の容量よりも小さくすることができ、キャパシタＣ１に対して、キャパシタＣ２より大きな面積を確保することが可能となり、発光期間において駆動トランジスタＴＤから有機ＥＬ素子ＥＬに供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

【 0 2 5 6 】

以上、本発明に係る表示装置及びその制御方法、特に、表示装置に用いられる特徴的な画素回路とその動作について、いくつかの実施の形態及び変形例を挙げて説明したが、本発明は、これらの実施の形態や変形例に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施し、また実施の形態及び変形例における構成要素及び動作を任意に組み合わせて実現される表示装置およびその制御方法も本発明に含まれる。

10

【 0 2 5 7 】

本発明に係る表示装置は、図２９に記載されたような薄型フラットＴＶに内蔵されてもよい。本発明に係る表示装置が内蔵されることにより、映像信号で表される画像を高精度に表示可能な薄型フラットＴＶが実現される。

【 産業上の利用可能性 】

【 0 2 5 8 】

本発明は、有機ＥＬ素子を用いた表示装置に有用であり、特に、アクティブマトリクス型の有機ＥＬ表示装置に有用である。

20

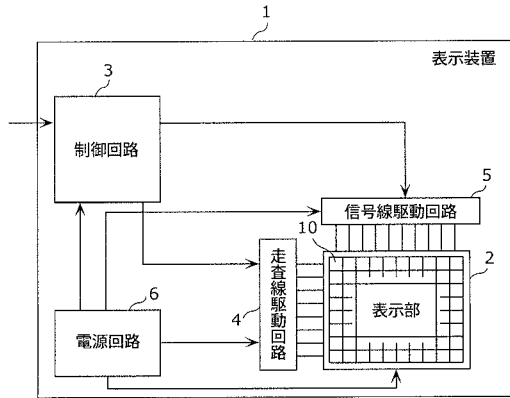
【 符号の説明 】

【 0 2 5 9 】

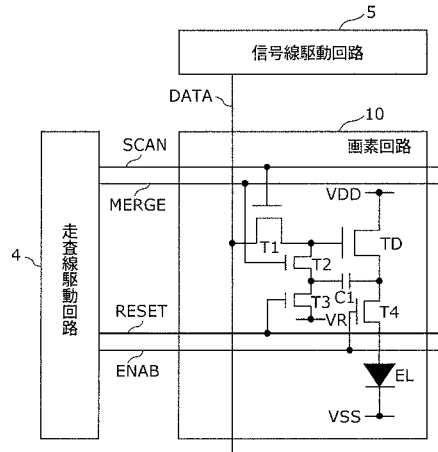
- 1 表示装置
- 2 表示部
- 3 制御回路
- 4 走査線駆動回路
- 5 信号線駆動回路
- 6 電源回路
- 10 ~ 14、20 ~ 24、90 画素回路
- TD 駆動トランジスタ
- T1 ~ T6 スイッチングトランジスタ
- C1、C2 キャパシタ
- EL 有機ＥＬ素子

30

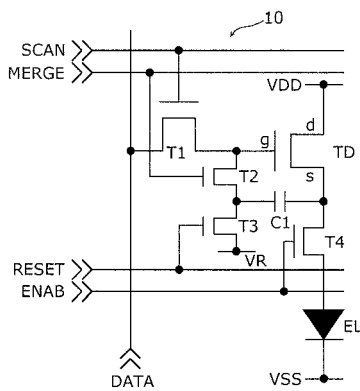
【 図 1 】



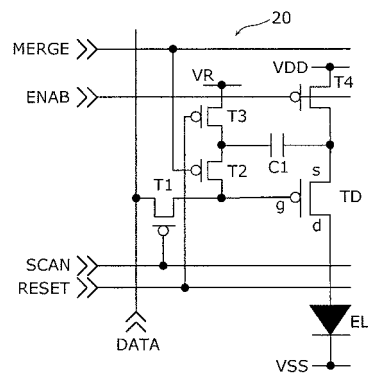
【 図 2 】



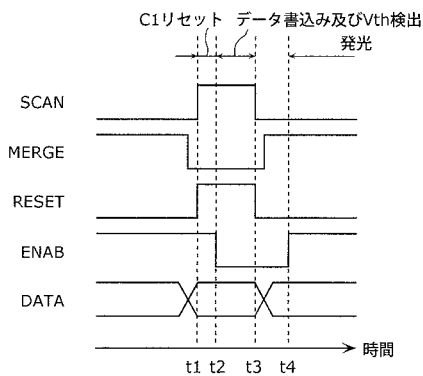
【 図 3 】



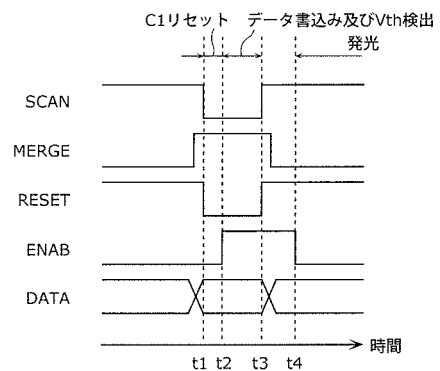
【 図 5 】



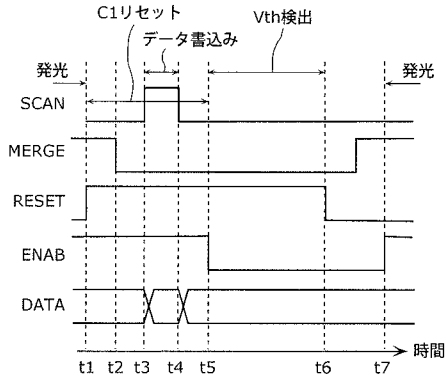
【 図 4 】



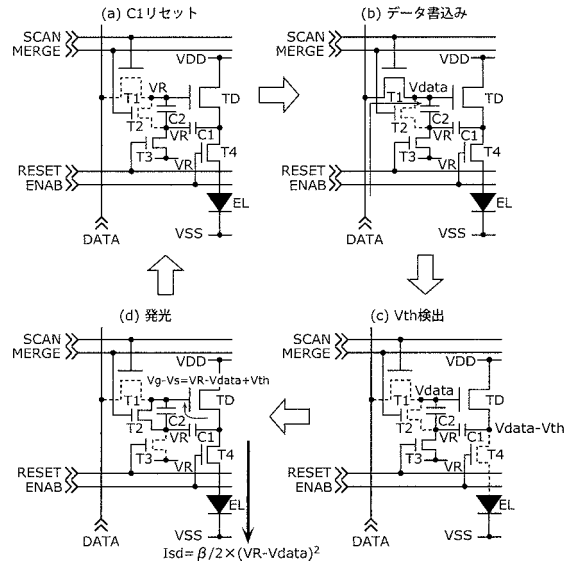
【 図 6 】



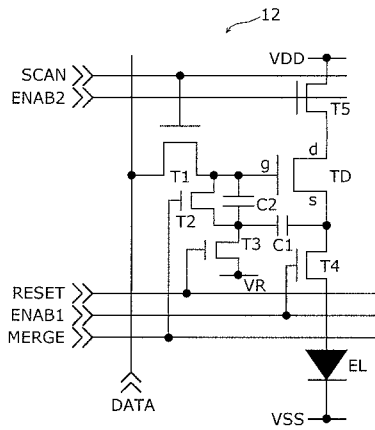
【 図 1 3 】



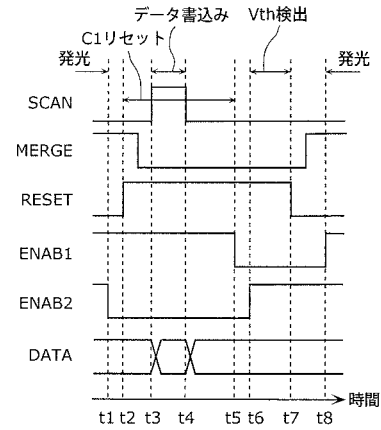
【 図 1 4 】



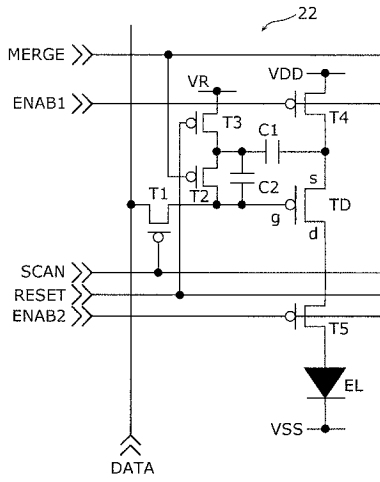
【 図 1 5 】



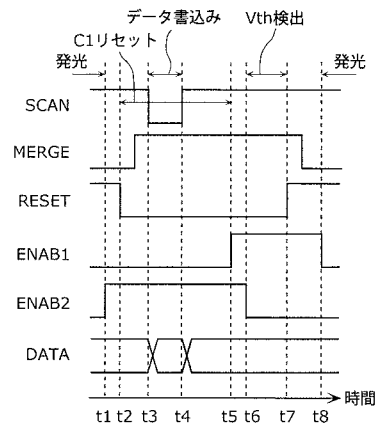
【 図 1 6 】



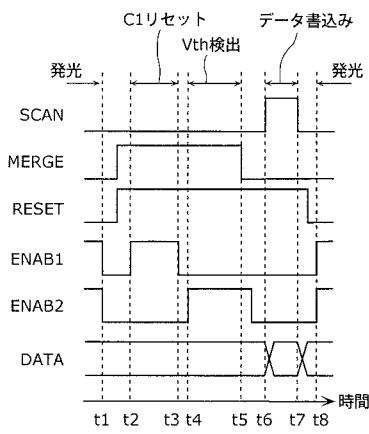
【 図 1 7 】



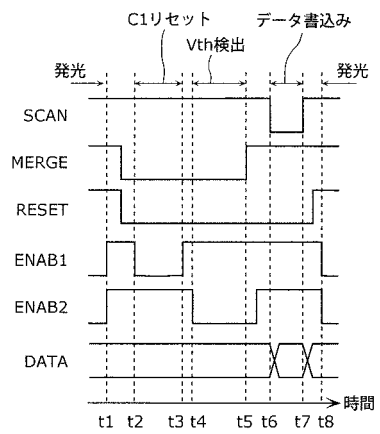
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



【手続補正書】

【提出日】平成25年7月11日(2013.7.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

駆動トランジスタと、

第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、

前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、

前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、

第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、

第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、

を備え、

前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる、

表示装置。

【請求項2】

(削除)

【請求項3】

前記画素回路の各々は、容量素子として前記第1の容量素子のみを備える、請求項1に記載の表示装置。

【請求項4】

(削除)

【請求項5】

前記画素回路の各々において、前記第1のスイッチング素子及び前記第3のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、

請求項1に記載の表示装置。

【請求項6】

前記画素回路の各々において、前記第2のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、

請求項5に記載の表示装置。

【請求項7】

複数の画素回路を配置してなる表示部を有する表示装置であって、

前記画素回路の各々は、

ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、

第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、

前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、

前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、

第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、

前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、

を備え、

前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる、

表示装置。

【請求項8】

(削除)

【請求項9】

前記画素回路の各々は、容量素子として前記第1の容量素子のみを備える、請求項7に記載の表示装置。

【請求項10】

(削除)

【請求項11】

前記画素回路の各々において、前記第1のスイッチング素子及び前記第3のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、

請求項7に記載の表示装置。

【請求項12】

前記画素回路の各々において、前記第2のスイッチング素子は、ダブルゲート型の薄膜トランジスタである、

請求項11に記載の表示装置。

【請求項13】

表示装置の制御方法であって、

前記表示装置は、複数の画素回路を配置してなる表示部を有し、

前記画素回路の各々は、

駆動トランジスタと、

第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、

前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、

前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、

第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、

第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、

を備え、

前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第

1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む、

表示装置の制御方法。

【請求項14】

前記制御方法は、さらに、

前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧Vdataに対応しかつ前記閾値電圧Vthで補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項13に記載の表示装置の制御方法。

【請求項15】

表示装置の制御方法であって、

前記表示装置は、複数の画素回路を配置してなる表示部を有し、

前記画素回路の各々は、

ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、

第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、

前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、

前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、

第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、

前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、

を備え、

前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む、

表示装置の制御方法。

【請求項16】

前記制御方法は、さらに、

前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧Vdataに対応しかつ前記閾値電圧Vthで補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項15に記載の表示装置の制御方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トラン

ジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、を備え、前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

[0 0 2 2]

また、本発明の 1 つの態様に係る制御方法は、前記表示装置の制御方法であって、前記画素回路の各々において、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

発明の効果

[0 0 2 3]

本発明の表示装置およびその制御方法によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

[0 0 2 4]

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【 0 0 0 8 】

[図 2 8] 図 2 8 は、実施の形態 5 における制御信号およびデータ信号の一例を示すタイミングチャートである。

[図 2 9] 図 2 9 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外觀図である。

[図 3 0] 図 3 0 は、従来の画素回路の構成の一例を示す回路図である。

[図 3 1] 図 3 1 は、従来の画素回路において発光輝度の誤差が生じるメカニズムを説明する図である。

発明を実施するための形態

[0 0 2 6]

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切

り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備え、前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

[0 0 2 7]

本発明の1つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、を備え、前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

[0 0 2 8]

[0 0 2 9]

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

[0 0 3 0]

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

[0 0 3 1]

また、前記画素回路の各々は、容量素子として前記第1の容量素子のみを備えてもよい。

[0 0 3 2]

この構成によれば、前記第1の容量素子以外の容量素子を用いることなく、前記閾値電圧を検出できる。

[0 0 3 3]

また、前記第2の容量素子の容量値は、前記第1の容量素子の容量値より

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

も小さくすることもできる。また、前記画素回路の各々において、前記第1のスイッチング素子及び前記第3のスイッチング素子は、ダブルゲート型の薄膜トランジスタであってもよく、さらに、前記第2のスイッチング素子も、ダブルゲート型の薄膜トランジスタであってもよい。

【0034】

この構成によれば、前記第1の容量素子のリークを低減できるので、前記発光素子をより正確な輝度で発光させることができる。

【0035】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

【0036】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換え

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

る第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ

、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

[0 0 3 7]

また、前記制御方法は、さらに、前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、を含んでもよい。

[0 0 3 8]

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

[0 0 3 9]

さらに、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

[0 0 4 0]

以下、本発明の実施の形態について説明する。なお、以下では、全ての図

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2011/006548
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/20-3/38 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2006/103797 A1 (Sharp Corp.), 05 October 2006 (05.10.2006), paragraphs [0062] to [0104], [0130] to [0156]; fig. 1 to 3, 8 to 9 & US 2009/0231308 A1	1-3, 5-9, 11-16 4, 10
Y	WO 2007/018006 A1 (Sharp Corp.), 15 February 2007 (15.02.2007), paragraphs [0203], [0225] & US 2009/0073092 A1	4, 10
A	WO 2010/041426 A1 (Panasonic Corp.), 15 April 2010 (15.04.2010), fig. 6 & JP 4719821 B2 & US 2010/0259531 A1 & EP 2226786 A1 & CN 101842829 A & KR 10-2010-0057890 A	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 February, 2012 (13.02.12)		Date of mailing of the international search report 21 February, 2012 (21.02.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 6 5 4 8	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/20-3/38			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	WO 2006/103797 A1 (シャープ株式会社) 2006.10.05	1-3, 5-9, 11-16	
Y	[0062] ~ [0104]、[0130] ~ [0156]、図1~ 3、8~9 &US 2009/0231308 A1	4, 10	
Y	WO 2007/018006 A1 (シャープ株式会社) 2007.02.15, [0203]、[0225] &US 2009/0073092 A1	4, 10	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 13.02.2012		国際調査報告の発送日 21.02.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小川 浩史	2G 9114
		電話番号 03-3581-1101 内線 3226	

国際調査報告

国際出願番号 PCT/JP2011/006548

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/041426 A1 (パナソニック株式会社) 2010.04.15, 図6 &JP 4719821 B2 &US 2010/0259531 A1 &EP 2226786 A1 &CN 101842829 A &KR 10-2010-0057890 A	1-16

フロントページの続き

F ターム(参考) 5C380 AA01 AB06 AB46 AC07 BA08 BA12 BA28 BA38 BA39 BB21
BB23 BD08 BD09 CA12 CB17 CB31 CC03 CC06 CC07 CC26
CC27 CC30 CC33 CC39 CC41 CC65 CC66 CC77 CD015 CD025
CD026 CD035 DA02 DA06 DA35 DA47 HA03 HA05 HA08

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其控制方法		
公开(公告)号	JPWO2013076774A1	公开(公告)日	2015-04-27
申请号	JP2013545655	申请日	2011-11-24
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD03 5C080/DD07 5C080/DD23 5C080/DD27 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB46 5C380/AC07 5C380/BA08 5C380/BA12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB21 5C380/BB23 5C380/BD08 5C380/BD09 5C380/CA12 5C380/CB17 5C380/CB31 5C380/CC03 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC65 5C380/CC66 5C380/CC77 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CD035 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA47 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	新居 广守		
其他公开文献	JP5779660B2		
外部链接	Espacenet		

摘要(译)

显示装置中包括的多个像素电路 (10) 中的每一个包括驱动晶体管 (TD) , 第一电容元件 (C1) , 其第一端子连接至驱动晶体管 (TD) 的源极端子 , 并且进行驱动。在晶体管 (TD) 的栅极端子和数据线 (DATA) , 驱动晶体管 (TD) 的栅极端子和第一电容元件 (C1) 之间的导通和不导通之间切换的第一开关元件 (T1) 。在第一电容元件 (C1) 的第二端子和参考电压线 (VR) 之间在导通和不导通之间切换的第二开关元件 (T2) 和在导通和不导通之间切换的第二开关元件 (T2) 。在图3的开关元件 (T3) 中 , 第一电源线 (VDD) 和第四开关元件 (T4) 在驱动晶体管的源极端子和第一端子之间切换导通和不导通 , (TD) 漏极端子 , 第二端子连接到第二电源线 (VSS) 。 那。

