

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/134263

発行日 平成24年11月8日 (2012.11.8)

(43) 国際公開日 平成22年11月25日 (2010.11.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 611J	
	G09G 3/20 611H	
	G09G 3/20 642A	

審査請求 未請求 予備審査請求 有 (全 69 頁) 最終頁に続く

出願番号 特願2011-514305 (P2011-514305)
 (21) 国際出願番号 PCT/JP2010/002858
 (22) 国際出願日 平成22年4月21日 (2010.4.21)
 (31) 優先権主張番号 特願2009-124735 (P2009-124735)
 (32) 優先日 平成21年5月22日 (2009.5.22)
 (33) 優先権主張国 日本国 (JP)

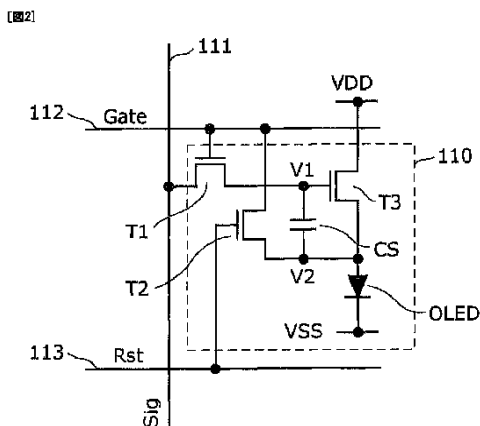
(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 松井 雅史
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 Fターム(参考) 5C080 AA06 BB05 CC06 DD05 DD27
 FF11 JJ02 JJ03 JJ04 KK43

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

本発明に係る表示装置は、行列状に配置された複数の発光画素(110)と、行毎に対応するゲート線(112)及びリセット線(113)と列毎に対応する信号線(111)とを備え、各発光画素(110)は、発光素子(OLED)と、発光素子(OLED)に電流を供給する駆動トランジスタ(T3)と、行選択トランジスタ(T1)と、ゲート端子がリセット線(113)に接続され、ソース端子及びドレイン端子の一方が駆動トランジスタ(T3)のソース端子に接続されたリセットトランジスタ(T2)と、駆動トランジスタ(T3)のゲート端子-ソース端子間に挿入された容量素子(CS)とを備え、リセットトランジスタ(T2)のソース端子及びドレイン端子の他方は、複数の発光画素(110)のいずれかの行に対応するゲート線(112)に接続されている。



【特許請求の範囲】**【請求項 1】**

行列状に配置された複数の発光画素を備える表示装置であって、
前記表示装置は、
前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、
前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、
前記複数の発光画素のそれぞれは、
ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、
電流が流れることにより発光する発光素子と、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、
一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子とを備え、
前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている
表示装置。

10

20

【請求項 2】

さらに、
前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線を前記第 1 スイッチングトランジスタがオフするような非アクティブ状態にしている間に、前記リセット線を前記リセットトランジスタがオンするようなアクティブ状態にする駆動部を備える
請求項 1 記載の表示装置。

30

【請求項 3】

前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、
各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧である
請求項 2 記載の表示装置。

【請求項 4】

前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続される
請求項 3 記載の表示装置。

40

【請求項 5】

前記駆動部はさらに、
前記同じ行に設けられたゲート線を非アクティブにする前に、当該ゲート線を前記第 1 スイッチングトランジスタがオンするようなアクティブ状態、かつ前記リセット線を前記リセットトランジスタがオフするような非アクティブ状態にする
請求項 4 記載の表示装置。

【請求項 6】

前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、次の行に設けられたゲート線に接続される
請求項 3 記載の表示装置。

50

【請求項 7】

前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されている

請求項 1 ~ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第 2 スイッチングトランジスタを備える

請求項 7 記載の表示装置。

【請求項 9】

前記駆動トランジスタ、前記第 1 スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n 型のトランジスタ素子である

請求項 1 ~ 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記発光素子は、有機 EL (Electro Luminescence) 素子である

請求項 1 ~ 9 のいずれか 1 項に記載の表示装置。

【請求項 11】

行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている表示装置の駆動方法であって、

前記第 1 スイッチングトランジスタをオフ、かつ前記リセットトランジスタをオンすることで、前記駆動トランジスタのソース端子及びドレイン端子の前記一方を前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧にするリセットステップを含む表示装置の駆動方法。

【請求項 12】

さらに、

前記リセットステップの後、前記第 1 スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、

検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、

前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、

前記書き込みステップの後、前記第 1 スイッチングトランジスタをオフすることで、前

10

20

30

40

50

記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含む

請求項 1 1 記載の表示装置の駆動方法。

【請求項 1 3】

前記検出ステップは、

前記第 1 スイッチングトランジスタをオンする第 1 サブステップと、

前記第 1 サブステップの後、前記第 1 スイッチングトランジスタをオフする第 2 サブステップとを含み、

前記第 2 サブステップの後、前記第 1 サブステップ及び前記第 2 サブステップを少なくとも 1 回繰り返す

請求項 1 2 記載の表示装置の駆動方法。

【請求項 1 4】

前記第 1 サブステップでは、前記第 1 スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、

前記第 2 サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給される

請求項 1 3 記載の表示装置の駆動方法。

【請求項 1 5】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第 2 スイッチングトランジスタを備え、

前記検出ステップにおいて、

前記第 2 スイッチングトランジスタをオンした状態で、前記第 1 スイッチングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、

前記保持ステップにおいて、

前記第 2 スイッチングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、

前記書き込みステップにおいて、

前記第 1 スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記第 2 スイッチングトランジスタをオフにした状態で前記駆動トランジスタのゲート端子に前記信号電圧を供給し、

前記発光ステップにおいて、

前記第 1 スイッチングトランジスタをオンからオフに切り替えた後、前記第 2 スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる、

請求項 1 2 ~ 1 4 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 1 6】

前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続され、

前記表示装置の駆動方法はさらに、前記リセットステップの前に、前記第 1 スイッチングトランジスタをオン、かつ前記リセットトランジスタをオフすることで、前記発光素子を消光させる消光ステップを含む

請求項 1 1 ~ 1 5 のいずれか 1 項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、有機エレクトロルミネッセンス（EL：Electro Luminescence）素子などの電流駆動型自発光素子を用いたアクティブマトリクス方式の画像表示装置に関する。

【背景技術】

【0002】

有機EL素子は電流制御で諧調を表現するが、アクティブマトリクス方式の有機EL表示装置は、各有機EL素子を駆動する駆動用トランジスタの閾値電圧のばらつきにより、同じ信号電圧を与えても輝度ムラが生じるといった問題がある。この有機EL素子の駆動用トランジスタの閾値を補償することは、輝度ムラを解消し均一な画面を作る上で必要となる。駆動用トランジスタの閾値のばらつきを抑制する為の閾値補償回路として、1画素当たり4つのトランジスタを用いることで駆動用トランジスタの閾値を検出する手法がある（例えば非特許文献1参照）。また、1画素当たり3つのトランジスタを用い、電源線の電圧を走査することにより駆動用トランジスタの閾値を検出する手法がある（例えば特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-259374号公報

【非特許文献】

20

【0004】

【非特許文献1】R.M.A. Dawson, et al, IEDM'98, Technical Digest, 1998, p.875

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、非特許文献1記載の手法では1画素当たりトランジスタを4つ用いる構成であり、ディスプレイの大型化に伴いトランジスタの集積数の増加に起因する歩留まりの低下が懸念される。

【0006】

また、特許文献1記載の手法では、トランジスタの個数が少なく、ディスプレイにした場合、高い生産性が期待できるが、電源線を走査する必要がある。電源線を走査するためには、電源線を1次元配線しなければならない。しかしながら1次元配線では、ディスプレイの大画面化に伴う電源線の電圧降下により、表示画像の周辺が暗くなるというクロストークが起こりやすく、大画面化に対応できないという課題があった。

30

【0007】

本発明は、上記課題を解決するためになされ、その目的とするところは、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償する表示装置を提供することにある。また、そのような表示装置の駆動方法を提供することも本発明に含まれる。

【課題を解決するための手段】

【0008】

40

上記課題を解決するために、本発明の表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端

50

子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタの前記ソース端子及び前記ドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている。

【0009】

これにより、発光画素当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラを解消できる。

10

【0010】

また、さらに、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線を前記第1スイッチングトランジスタがオフするような非アクティブ状態にしている間に、前記リセット線を前記リセットトランジスタがオンするようなアクティブ状態にする駆動部を備えてもよい。

【0011】

これにより、駆動トランジスタのソース端子の電圧を、リセットトランジスタのソース端子及びドレイン端子の他方が接続されたゲート線の電圧と同じにできるので、ゲート線の電圧を利用して、駆動トランジスタのソース端子の電圧を設定できる。

20

【0012】

また、前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧であってもよい。

【0013】

これにより、リセットトランジスタがオンした場合に、駆動トランジスタのソース端子の電圧を、確実に駆動トランジスタの閾値電圧分以上、基準電圧より低い電圧とできる。よって、駆動トランジスタの閾値電圧の検出が確実に行える。

【0014】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続されてもよい。

30

【0015】

また、前記駆動部はさらに、前記同じ行に設けられたゲート線を非アクティブにする前に、当該ゲート線を前記第1スイッチングトランジスタがオンするようなアクティブ状態、かつ前記リセット線を前記リセットトランジスタがオフするような非アクティブ状態にしてもよい。

【0016】

これにより、発光素子を確実に消光できる。具体的には、直前の駆動トランジスタのゲート端子の電圧が、発光素子が発光するために必要な電流を供給できるだけの電圧だった場合、ゲート線を非アクティブ状態とした後も、当該電圧が印加されることで発光素子が発光する。そこで、このようにゲート線をアクティブ状態、リセット線を非アクティブ状態とすることで、駆動トランジスタのゲート端子に消光時の電圧をかけることで、発光素子を確実に消光できる。

40

【0017】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、次の行に設けられたゲート線に接続されてもよい。

【0018】

これにより、同一行のゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電

50

圧とできる。その結果、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実に行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線に接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。

【0019】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されていてもよい。

10

【0020】

これにより、発光素子の寄生容量のばらつきによる、駆動トランジスタが発光素子に供給する電流である画素電流の変動を抑制することが可能となる。例えば、駆動回路が複数の発光画素に同一の信号電圧を供給した場合に、各発光画素の発光素子と駆動トランジスタとの接続点の電位のばらつきを抑制することが可能となる。以下、ばらつきを抑制できる理由について述べる。

【0021】

発光画素に所定の信号電圧が供給されたとき、発光素子と駆動トランジスタとの接続点の電位は、発光素子の寄生容量と、容量素子の容量との容量分配によって規定される。しかしながら、発光素子の寄生容量は発光素子ごとにばらつきを有するので、複数の発光画素に同一の信号電圧を供給した場合であっても、各発光画素の、発光素子と駆動トランジスタとの接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子と駆動トランジスタとの接続点の電位のばらつきにより、発光素子に供給される電流もばらつく。

20

【0022】

これに対し、容量素子の他端と、発光素子と駆動トランジスタとの接続点とを所定の素子を介して接続することにより、容量素子の他端の電位に対する発光素子の寄生容量の影響を低減できる。したがって、容量素子の一端と他端との電位差である容量素子の保持電圧に対する発光素子の寄生容量の影響を低減することが可能となる。

【0023】

よって、発光素子の寄生容量の影響を低減し、信号電圧に応じて精度良く発光素子を発光させることが可能となる。

30

【0024】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備えてもよい。

【0025】

これにより、第2スイッチングトランジスタをオン及びオフすることにより、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端と、発光素子と駆動トランジスタとの接続点との導通及び非導通を切り替えることができる。よって、例えば、第2スイッチングトランジスタをオフしている期間に駆動トランジスタのゲート端子に発光素子を発光させるための信号電圧を供給すれば、容量素子の他端の電位が発光素子の寄生容量の影響を受けないことがない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

40

【0026】

また、前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であってもよい。

50

【 0 0 2 7 】

また、前記発光素子は、有機 E L (E l e c t r o L u m i n e s c e n c e) 素子であってもよい。

【 0 0 2 8 】

また、本発明の駆動方法は、行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている表示装置の駆動方法であって、前記第 1 スイッチングトランジスタをオフ、かつ前記リセットトランジスタをオンすることで、前記駆動トランジスタのソース端子及びドレイン端子の前記一方を前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧にするリセットステップを含む。

10

20

【 0 0 2 9 】

また、さらに、前記リセットステップの後、前記第 1 スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、前記書き込みステップの後、前記第 1 スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含んでもよい。

30

【 0 0 3 0 】

これにより、発光ステップにおいて、駆動トランジスタは信号電圧と閾値電圧とを加算した電圧に応じた電流を発光素子へ供給するので、発光画素は閾値電圧に影響されず、信号電圧に応じた輝度で発光できる。

【 0 0 3 1 】

また、前記検出ステップは、前記第 1 スイッチングトランジスタをオンする第 1 サブステップと、前記第 1 サブステップの後、前記第 1 スイッチングトランジスタをオフする第 2 サブステップとを含み、前記第 2 サブステップの後、前記第 1 サブステップ及び前記第 2 サブステップを少なくとも 1 回繰り返してもよい。

40

【 0 0 3 2 】

これにより、複数の水平期間に亘って、駆動トランジスタの閾値電圧を検出できることにより、高精度な閾値電圧の検出ができる。

【 0 0 3 3 】

また、前記第 1 サブステップでは、前記第 1 スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、前記第 2 サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給されてもよい。

【 0 0 3 4 】

50

これにより、第1サブステップでの信号線の電圧を、当該信号線に対応する列の駆動トランジスタの閾値電圧を検出するための電圧とでき、第2サブステップでの信号線の電圧に対応する列の発光画素の信号電圧とできる。よって、例えば、1水平期間の前半は信号線の電圧を基準電圧とし、1水平期間の後半は信号線の電圧を信号電圧とすることで、1水平期間を分割して、前半は閾値電圧検出のための期間、後半は信号電圧の書き込み期間とできる。

【0035】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備え、前記検出ステップにおいて、前記第2スイッチングトランジスタをオンした状態で、前記第1スイッチングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、前記保持ステップにおいて、前記第2スイッチングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、前記書き込みステップにおいて、前記第2トランジスタをオフにした状態で、前記第1スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記駆動トランジスタのゲート端子に前記信号電圧を供給し、前記発光ステップにおいて、前記第1スイッチングトランジスタをオンからオフに切り替えた後、前記第2スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させるものである。

【0036】

これにより、第2スイッチングトランジスタがオフとなっている期間に、駆動トランジスタのゲート端子に信号電圧が供給されるので、容量素子の他端の電位が発光素子の寄生容量の影響を受けることがない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

【0037】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続され、前記表示装置の駆動方法はさらに、前記リセットステップの前に、前記第1スイッチングトランジスタをオン、かつ前記リセットトランジスタをオフすることで、前記発光素子を消光させる消光ステップを含んでもよい。

【発明の効果】

【0038】

以上のように、本発明に係る表示装置は、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償ができる。

【図面の簡単な説明】

【0039】

【図1】図1は、実施の形態1に係る表示装置の構成を示すブロック図である。

【図2】図2は、発光画素の詳細な構成を示す回路図である。

【図3】図3は、表示装置の動作を示すタイミングチャートである。

【図4】図4は、発光画素の電流の流れを模式的に示す図である。

【図5】図5は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示すタイミングチャートである。

【図6】図6は、実施の形態2に係る表示装置の構成を示すブロック図である。

【図7】図7は、発光画素の詳細な構成を示す回路図である。

【図8】図8は、表示装置の動作を示すタイミングチャートである。

【図9】図9は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示す

10

20

30

40

50

タイミングチャートである。

【図 1 0】図 1 0 は、実施の形態 3 に係る表示装置が有する発光画素の詳細な構成を示す回路図である。

【図 1 1】図 1 1 は、表示装置の動作を示すタイミングチャートである。

【図 1 2】図 1 2 は、発光画素の電流の流れを模式的に示す図である。

【図 1 3】図 1 3 は、本発明に係る表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0040】

(実施の形態 1)

本発明の実施の形態 1 に係る表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりリセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタの前記ソース端子及び前記ドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている。

【0041】

これにより、発光画素当たり 3 つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【0042】

以下、本発明の実施の形態 1 に係る表示装置について、図面を参照しながら説明する。

【0043】

図 1 は、実施の形態 1 に係る表示装置の構成を示すブロック図である。

【0044】

同図に示す表示装置 100 は、例えば、有機 EL 素子を用いたアクティブマトリクス型の有機 EL 表示装置であり、行列状に配置された複数の発光画素 110 と、行走査部 120 と、信号線駆動部 130 と、タイミング制御部 140 とを備える。

【0045】

発光画素 110 は、例えば n 行 \times m 列の行列状に配置され、信号線 111、ゲート線 112 及びリセット線 113 を介して行走査部 120 及び信号線駆動部 130 から出力されるゲートパルス、リセットパルス及び信号電圧に応じて駆動トランジスタの閾値電圧を補償して発光する。

【0046】

行走査部 120 は、複数の発光画素 110 の行ごとに対応して設けられたゲート線 112 及びリセット線 113 に接続され、各ゲート線 112 及び各リセット線 113 に走査信号を出力することで、複数の発光画素 110 を行単位で順次走査する。具体的には、行走査部 120 は、各ゲート線 112 を走査するゲート線駆動部 121 と、各リセット線 113 を走査するリセット線駆動部 122 とを有する。ゲート線駆動部 121 は、各ゲート線

10

20

30

40

50

112に対応するゲートパルスGate[k] (kは、1 k mを満たす整数)を出力することにより、各ゲート線112に対応する発光画素110への基準電圧及び基準電圧より大きい信号電圧を選択的に対応する発光画素110へ供給する。リセット線駆動部122は、各リセット線113に対応するリセットパルスRst[k]を出力することにより、各リセット線113に対応する発光画素110へゲート線112の電圧、すなわちゲートパルスGate[k]のハイレベル電圧またはローレベル電圧を印加するタイミングを制御する。

【0047】

信号線駆動部130は、各信号線111に接続され、各信号線111に対応する信号電圧Vdata (例えば、2~8V)又はリセット電圧Vreset (例えば、0V)を信号線電圧Sig[j] (jは、1 k nを満たす整数)として供給する。信号電圧Vdataは、発光画素110の発光輝度に対応する電圧であり、リセット電圧Vresetは、発光画素110を消光するため又は駆動トランジスタの閾値電圧を検出するための電圧である。

10

【0048】

タイミング制御部140は、行走査部120及び信号線駆動部130に駆動タイミングを指示する。なお、行走査部120、信号線駆動部130及びタイミング制御部140は、本発明の駆動部である。

【0049】

次に、発光画素110の詳細な構成について説明する。なお、以下では、1つの発光画素110の構成について説明するが、図1に示した複数の発光画素110それぞれは同様の構成を有する。また、当該発光画素110に対応するゲート線112に対してゲート線駆動部121から出力されるゲートパルスGate[k]を単にゲートパルスGateとし、当該発光画素110に対応するリセット線113に対してリセット線駆動部122から出力されるリセットパルスRst[k]を単にリセットパルスRstとし、当該発光画素110に対応する信号線111に対して供給される信号線電圧Sig[j]を単に信号線電圧Sigとする。

20

【0050】

図2は、図1に示した発光画素110の詳細な構成を示す回路図である。なお、同図には、発光画素110に対応する信号線111、ゲート線112及びリセット線113も示されている。

30

【0051】

発光画素110は、発光素子OLEDと、行選択トランジスタT1と、リセットトランジスタT2と、駆動トランジスタT3と、容量素子CSとを備える。

【0052】

発光素子OLEDは、電流が流れることにより発光する素子であり、アノードが駆動トランジスタのソース端子に接続され、カソードが電圧VSS (例えば、0V)の電源線に接続された、例えば有機EL素子である。この発光素子OLEDは、信号線111及び行選択トランジスタT1を介して駆動トランジスタT3のゲート端子に信号電圧Vdataが印加されることにより流れる電流により発光する。よって、発光素子OLEDの輝度は、信号線111に印加される信号電圧Vdataの大きさに対応する。

40

【0053】

行選択トランジスタT1、リセットトランジスタT2及び駆動トランジスタT3は、例えばn型のTFT (薄膜トランジスタ)である。

【0054】

行選択トランジスタT1は、本発明の第1スイッチングトランジスタであって、ゲート線112の電圧に応じて、駆動トランジスタT3の制御端子であるゲート端子に信号電圧を印加するかしないかを切り替える。具体的には、行選択トランジスタT1は、ゲート端子がゲート線112に接続され、ソース端子及びドレイン端子の一方が信号線111に接続され、ソース端子及びドレイン端子の他方が駆動トランジスタT3のゲート端子に接続

50

されている。よって、行選択トランジスタT1は、ゲート線112に印加されている電圧に応じて、信号線111と駆動トランジスタT3のゲート端子との導通及び非導通を切り替える。つまり、行選択トランジスタT1は、ゲートパルスGateがハイレベルの期間、信号線111に印加されている基準電圧Vreset又は信号電圧Vdataを駆動トランジスタT3のゲート端子に供給する。

【0055】

リセットトランジスタT2は、駆動トランジスタT3の閾値電圧を検出するために、駆動トランジスタT3のソース端子の電圧であるV2を設定する。具体的には、リセットトランジスタT2は、ゲート端子がリセット線113に接続され、ソース端子及びドレイン端子の一方がゲート線112に接続され、ソース端子及びドレイン端子の他方が駆動トランジスタT3のソース端子に接続されている。よって、リセットトランジスタT2は、リセットパルスRstがハイレベルの期間に、ゲート線112と駆動トランジスタT3のソース端子とを導通することで、ゲート線112の電圧をV2の電圧に設定する。

10

【0056】

駆動トランジスタT3は、発光素子OLEDに電流を供給する。具体的には、駆動トランジスタT3は、ゲート端子が行選択トランジスタT1を介して信号線111に接続され、ドレイン端子が電圧VDD（例えば、10V）の電源線に接続され、ソース端子が発光素子OLEDのアノードに接続されている。駆動トランジスタT3は、ゲート端子に供給された電圧を、その電圧の大きさに応じた電流に変換する。よって、駆動トランジスタT3は、ゲート線112の電圧がハイレベルの期間に信号線111に供給されている電圧、すなわち基準電圧Vreset又は信号電圧Vdataに応じた電流を発光素子OLEDに供給する。

20

【0057】

ただし、基準電圧Vresetに応じた電流は発光素子OLEDを発光させるには不十分であり、駆動トランジスタT3のゲート端子の電圧であるV1が基準電圧Vresetの場合には、発光素子OLEDは発光しない。一方、V1が信号電圧Vdataの場合には、発光素子OLEDが発光するために十分な電流が流れ、発光素子OLEDは信号電圧Vdataに応じた輝度で発光する。

【0058】

容量素子CSは、一端が駆動トランジスタT3のゲート端子に接続され、他端が駆動トランジスタT3のソース端子に接続されていることで、駆動トランジスタT3のゲート-ソース間の電圧を保持する。つまり、この容量素子CSは、駆動トランジスタT3の閾値電圧を保持することが可能である。

30

【0059】

次に、上述した表示装置100の駆動方法について図3及び図4を用いて説明する。

【0060】

図3は、実施の形態1に係る表示装置100の動作を示すタイミングチャートである。同図においては、横軸は時間を示し、縦方向には上から順に、ゲートパルスGate、リセットパルスRst、駆動トランジスタT3のゲート端子の電圧であるV1、駆動トランジスタT3のソース端子の電圧であるV2、及び信号線111に印加される信号線電圧Sigの波形が示されている。

40

【0061】

図4は、実施の形態1に係る表示装置100の発光画素110における電流の流れを模式的に示す図である。ここで、ゲートパルスGateのハイレベル電圧をVGate(H)、ゲートパルスGateのローレベル電圧をVGate(L)、リセットパルスRstのハイレベル電圧をVRst(H)、リセットパルスRstのローレベル電圧をVRst(L)とする。

【0062】

時刻t0以前において、発光素子OLEDは直前の垂直期間における信号電圧Vdataに応じて発光している。具体的には、V1が直前の垂直期間における信号電圧Vdat

50

aとなっており、その信号電圧 V_{data} により駆動トランジスタ T_3 が発光素子 $OLED$ へ駆動電流を供給している。

【0063】

次に、時刻 t_0 (リセット [1] 期間の開始時刻) において、ゲートパルス $Gate$ をローレベルからハイレベルにすることで、行選択トランジスタ T_1 をオンさせる。 $V_{Gate(L)}$ は例えば $-5V$ であり、 $V_{Gate(H)}$ は例えば $12V$ である。

【0064】

行選択トランジスタ T_1 がオンすることで、信号線 111 と駆動トランジスタ T_3 のゲート端子とが導通し、 V_1 は、信号線 111 に供給されている電圧と等しくなる。時刻 t_0 においては、信号線 111 の電圧は基準電圧である V_{reset} であるので、リセット [1] 期間に、 V_1 は V_{reset} へと遷移する。ここで、 V_{reset} の電圧は以下の式 1 の条件を満たす電圧とする。ただし、 $V_{th(EL)}$ は、発光素子 $OLED$ の発光開始電圧であり、 $V_{th(TFT)}$ は、駆動トランジスタ T_3 のゲート端子 - ソース端子間の閾値電圧である。

【0065】

$$V_{reset} < V_{th(EL)} + V_{th(TFT)} \quad (\text{式 1})$$

つまり、 V_{reset} は、発光素子 $OLED$ を確実に消光させる電圧である。

【0066】

また、このとき、リセットパルス Rst はローレベルであるので、リセットトランジスタ T_2 はオフされている。このとき、駆動トランジスタ T_3 は、ゲート端子に印加されている電圧が前フレームの信号電圧より低い基準電圧 V_{reset} となる為、発光素子に供給できる電流は減少する。これにより、 V_2 は直前のフレーム期間における発光電位から発光素子 $OLED$ の発光開始電圧 $V_{th(EL)}$ へと遷移する。

【0067】

次に、時刻 t_1 (リセット [2] 期間の開始時刻) において、ゲートパルス $Gate$ をローレベル、リセットパルス Rst をハイレベルとする。ゲートパルス $Gate$ がローレベルとなることで、行選択トランジスタ T_1 はオフし、信号線 111 と駆動トランジスタ T_3 のゲート端子とは非導通となる。一方、リセットパルス Rst がハイレベルとなることで、リセットトランジスタ T_2 はオンし、ゲート線 112 と駆動トランジスタ T_3 のソース端子とは導通する。よって、 V_2 は、ゲートパルス $Gate$ のローレベル電圧 $V_{Gate(L)}$ となる。ここで、 $V_{Gate(L)}$ は以下の式 2 を満たす電圧とする。

【0068】

$$V_{Gate(L)} < V_{reset} - V_{th(TFT)} \quad (\text{式 2})$$

また、 V_1 の電圧は、駆動トランジスタ T_3 のゲート端子と発光素子 $OLED$ のアノードとの間に挿入された容量素子 CS により、リセット [1] 期間からリセット [2] 期間における V_2 の電圧変動と同じだけ変化する。具体的には、リセット [1] 期間からリセット [2] 期間にかけて、 V_2 の電圧は $V_{Gate(L)} - V_{th(EL)}$ だけ変動したので、 V_1 の電圧は、リセット [1] 期間の電圧にその変動分を加算した $V_{reset} + V_{Gate(L)} - V_{th(EL)}$ となる。

【0069】

次に、時刻 t_2 (リセット [2] 期間の終了時刻) において、リセットパルス Rst がローレベルとなることでリセットトランジスタ T_2 がオフするので、ゲート線 112 と駆動トランジスタ T_3 のソース端子とは非導通となる。よって、容量素子 CS には、このときの V_1 と V_2 との電位差が保持される。

【0070】

図 3 の時刻 $t_0 \sim t_2$ に示すリセット期間では、容量素子 CS の一端には信号線 111 から基準電圧 V_{reset} を設定し、前記容量素子 CS の他端には固定電圧を設定して、容量素子 CS に所定の電位差の電圧を設定する必要がある。このリセット期間をリセット [1] 期間である T_1 期間 (時刻 $t_0 \sim t_1$) とリセット [2] 期間である T_2 期間 (時刻 $t_1 \sim t_2$) と二つの期間に区分けし、期間 T_1 では、容量素子 CS の一端に基準電圧

10

20

30

40

50

V r e s e tを設定し、一方、期間T 2では、容量素子C Sの他端に固定電圧を設定する。

【0071】

ここで、期間T 1では、容量素子C Sの一端に信号線1 1 1から基準電圧V r e s e tを設定するため、ゲート線1 1 2にハイレベル電圧V G a t e (H)を供給して行選択トランジスタT 1をオンにする必要がある。一方、期間T 2では容量素子C Sの一端に設定された基準電圧V r e s e tを固定するため、ゲート線1 1 2にローレベル電圧V G a t e (L)を供給して行選択トランジスタT 1をオフにする必要がある。ゲート線1 1 2にローレベル電圧V G a t e (L)を供給する際、ゲート線1 1 2は行単位にて配置されているため、行単位にローレベル電圧V G a t e (L)が供給される。このことは、T 2期間では行単位に固定電圧V G a t e (L)が設定されたのと同じ状態になることに意味する。

10

【0072】

そこで、リセット期間の中で、容量素子C Sの他端に固定電圧を設定する期間T 2では、前記ローレベル電圧V G a t e (L)が供給されて固定電位V G a t e (L)となった状態のゲート線1 1 2を所定の電源線に見立てて、前記ゲート線1 1 2に前記容量素子C Sの他端を接続するようにした。

【0073】

これにより、ゲート線1 1 2を、固定電位V G a t e (L)を供給するための電源線として兼用し、前記容量素子C Sの他端には前記ゲート線1 1 2を介して固定電位V G a t e (L)を供給しているので、前記容量素子C Sの他端に固定電位V G a t e (L)を供給するための電源線を削減することができる。その結果、簡易な構成で前記容量素子C Sの他端に固定電位V G a t e (L)を設定できる。

20

【0074】

次に、時刻t 3 (V t h 検出期間の開始時刻)において、ゲートパルスG a t e がハイレベルとなることで、V 1は再度V r e s e tとなる。このとき、V 2には、容量素子C Sと、発光素子O L E Dのアノード - カソード間の寄生容量との容量比に応じた電位変動が生じる。その結果、V 2は式3に示すような値となる。

【0075】

$$V 2 = V G a t e (L) + (1 - \quad) V t h (E L) \quad (式 3)$$

30

ただし、 $\quad = C e l / (C s + C e l)$ である。また、C sは容量素子C Sの容量であり、C e lは発光素子O L E Dのアノード - カソード間の寄生容量である。

【0076】

またここで、各電圧及び容量は下記の式4及び式5を満たす。

【0077】

$$V G a t e (L) - (V G a t e (L) - V t h (E L)) \cdot C s / (C s + C e l) < V t h (E L) \quad (式 4)$$

$$V r e s e t - V G a t e (L) + (V G a t e (L) - V t h (E L)) \cdot C s / (C s + C e l) > V t h (T F T) \quad (式 5)$$

40

式4では、時刻t 3において、容量比に応じた電位変動がV 2に生じても、V 2の電位がO L E Dの閾値電圧V t h (E L)以下でO L E Dに流れる電流が無視できる条件を示している。また式5では時刻t 3におけるV 2の電位変動が生じても、駆動トランジスタT 3には閾値電圧V t h (T F T)以上の電位差が容量素子C Sに保持される条件を示している。式5において、V 1とV 2との電位差が駆動トランジスタT 3の閾値電圧V t h (T F T)以上であれば、駆動トランジスタT 3がオン状態となり、駆動トランジスタT 3に電流が流れる。つまり、リセット[2]期間においてV 2が式2を満たし、且つ時刻t 3において式4及び式5が満たされることで、駆動トランジスタT 3に電流が流れる。この電流は、V 1とV 2との電位差が駆動トランジスタT 3の閾値電圧V t h (T F T)になるまで流れる。

【0078】

時刻t 4において、V 1とV 2との電位差がV t h (T F T)となると駆動トランジスタT 3はオフし、電流は流れなくなる。よって、ここで、容量素子C Sには駆動トランジ

50

スタT3の閾値電圧 $V_{th}(TFT)$ が保持される。

【0079】

その後、時刻 $t_5 \sim t_6$ の書き込み期間において、信号線111に信号電圧 V_{data} を印加する。これにより、 V_1 の電圧は V_{data} となり、時刻 t_5 における V_2 は式6となる。

【0080】

$$V_2 = (1 - \alpha) \cdot (V_{data} - V_{reset}) + V_{reset} - V_{th}(TFT) \quad (\text{式6})$$

よって、 V_1 と V_2 との電位差、すなわち駆動トランジスタT3のゲート-ソース端子間の電圧 V_{gs} は、式7で示される。

【0081】

$$V_{gs} = (V_{data} - V_{reset}) + V_{th}(TFT) \quad (\text{式7})$$

つまり、書き込み期間において、 V_{gs} には、信号電圧 V_{data} と基準電圧 V_{reset} との差に、閾値電圧 $V_{th}(TFT)$ だけ加えた電圧、すなわち閾値電圧 $V_{th}(TFT)$ を補償した電圧が書き込まれる。

【0082】

次に、時刻 t_6 において、ゲートパルス $Gate$ がローレベルとなると V_{gs} に書き込まれた電圧に応じた電流が発光素子 $OLED$ へ流れる。つまり、閾値電圧 $V_{th}(TFT)$ を補償した電圧に応じた電流が発光素子 $OLED$ へ流れるので、駆動トランジスタT3の特性のばらつきにより、同一の信号電圧 V_{data} を与えているにも関わらず輝度ムラが生じるという問題を解消できる。

【0083】

以上のように、本実施の形態に係る表示装置100は、リセットトランジスタT2をゲート線112と駆動トランジスタT3のソース端子との間に挿入し、ゲート線112に供給されるゲートパルス $Gate$ のローレベルの電圧を駆動トランジスタT3の閾値電圧を検出するための電圧とした。

【0084】

これにより、本実施の形態に係る表示装置100は、発光画素110当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタT3の閾値電圧を検出し、その閾値電圧を補償して発光素子 $OLED$ を発光させることができる。このように、駆動トランジスタT3の閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【0085】

また、ゲートパルス $Gate$ のローレベル時の電圧は、駆動トランジスタT3の閾値電圧 $V_{th}(TFT)$ 以上基準電圧 V_{reset} より低い電圧であるので、リセット[2]期間において、駆動トランジスタT3のソース端子の電圧を、駆動トランジスタT3の閾値電圧 $V_{th}(TFT)$ 以上基準電圧 V_{reset} より低い電圧にできる。つまり、リセット[2]期間における V_2 の電圧すなわち $V_{Gate}(L)$ を、 $V_{reset} - V_{th}(TFT)$ より低い電圧にできる。よって、その後の V_{th} 検出期間において、駆動トランジスタT3の閾値電圧 $V_{th}(TFT)$ の検出が確実にできる。

【0086】

また、リセット[2]期間でゲートパルス $Gate$ がローレベルとなる前に、リセット[1]期間において、ゲートパルス $Gate$ をハイレベルかつリセットパルス Rst をローレベルとする。これにより、発光素子 $OLED$ を消光できる。具体的には、リセット[1]期間を設けずにリセット[2]期間の動作を行った場合、駆動トランジスタT3のゲート端子には直前のフレーム期間における信号電圧 V_{data} が印加されているので、リセット期間[2]終了後、その信号電圧 V_{data} の設定値によっては、駆動トランジスタT3のゲート及びソース端子間電圧が閾値電圧 $V_{th}(TFT)$ 以上のままとなり、 V_{data} に応じた電流を流してしまう。その結果、発光素子 $OLED$ を消光することができない。上記説明のように、リセット[1]期間を設けることで、駆動トランジスタT3のゲート端子の電圧を基準電圧 V_{reset} にするので、リセット[2]期間において駆動トランジスタT3のゲート及びソース端子間電圧を閾値電圧 $V_{th}(TFT)$ 以下とな

10

20

30

40

50

るオフ状態としながら V_2 の電圧を確実にゲートパルス $Gate$ のローレベル電圧 $V_{Gate [L]}$ とできる。

【0087】

なお、本実施の形態の表示装置 100 は、複数の水平期間に亘り、閾値電圧の検出を行ってもよい。これにより、容量素子 CS に閾値電圧 $V_{th} (TFT)$ を保持させるための期間を長くとれるので、容量素子 CS に保持される電圧が安定し、高精度な閾値電圧補償が実現できる。

【0088】

(実施の形態 1 の変形例)

図 5 は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置 100 の動作を示すタイミングチャートである。同図において、横軸は時間を示し、上から順に 1 行目の発光画素に対応するゲート線 112 に印加されるゲートパルス $Gate [1]$ 、リセット線 113 に印加されるリセットパルス $Rst [1]$ 、1 行目の画素の $V_1 [1]$ の電圧波形及び 1 行目の画素の $V_2 [1]$ の電圧波形と、2 ~ 6 行目の発光画素のゲートパルス $Gate [2] \sim Gate [6]$ と、2 ~ 6 行目の発光画素のリセットパルス $Rst [2] \sim Rst [6]$ と、信号線 111 の信号線電圧 Sig とが示されている。なお、同図には、複数の発光画素 110 の 1 つの列に対応するタイミングチャートが示されている。また、行ごとに対応するゲートパルス $Gate [1] \sim [m]$ 及びリセットパルス $Rst [1] \sim [m]$ のうち、6 行分のみが示されている。

【0089】

信号線駆動部 130 は、信号線 111 に対し、各水平期間の後半は基準電圧 V_{reset} を供給し、各水平期間の前半は各信号線 111 が対応する列の表示画素の信号電圧 V_{data} を供給する。また、ゲート線駆動部 121 及びリセット線駆動部 122 は、1 水平期間ずつずらして、各ゲートパルス $Gate [1] \sim [6]$ 及び各リセットパルス $Rst [1] \sim [6]$ を各ゲート線 112 及び各リセット線 113 へ供給する。

【0090】

まず時刻 $t_0 \sim t_2$ のリセット $[1]$ 期間及びリセット $[2]$ 期間において、ゲート線駆動部 121 及びリセット線駆動部 122 は、上記実施の形態 1 で説明したようにゲートパルス $Gate [1]$ を一度ハイレベルとした後でローレベルとし、リセットパルス $Rst [1]$ をハイレベルとすることで、 $V_2 [1]$ の電圧を基準電圧 V_{reset} から閾値電圧 $V_{th} (TFT)$ より低い電圧とする。なお、ゲート線駆動時刻 t_0 の 1 水平期間後の時刻 t_1 において、2 行目のゲートパルス $Gate [2]$ がハイレベルとなり、2 行目のリセット $[1]$ 期間が始まる。

【0091】

次に、時刻 t_3 において、ゲートパルス $Gate [1]$ をハイレベルとすることで、 V_1 が基準電圧となり、駆動トランジスタ T_3 に電流が流れる。よって、 V_2 が上昇し始める。

【0092】

次に、時刻 t_4 において、2 行目のリセット線 113 のリセットパルス $Rst [2]$ 及び 3 行目のゲート線 112 のゲートパルス $Gate [3]$ が立ち下がる。

【0093】

以降、各水平期間の後半のみゲートパルス $Gate [1]$ がハイレベルとなることで、 V_2 は $V_{reset} - V_{th} (TFT)$ へと遷移する。

【0094】

上述したように、信号線 111 へは、各水平期間の後半においては基準電圧である V_{reset} が供給され、各水平期間の前半においては対応する列の発光画素 110 の輝度に対応する V_{data} が供給されている。

【0095】

よって、 V_{th} 検出期間において、各ゲートパルス $Gate [1] \sim Gate [6]$ が各水平期間の後半にハイレベルとなることで、 V_1 に基準電圧 V_{reset} を供給するの

10

20

30

40

50

で、駆動トランジスタ T 3 の閾値電圧を検出するために必要な期間の一部を確保できる。このように、各ゲートパルス Gate [1] ~ Gate [6] は、水平期間の後半にハイレベルとなる動作を複数の水平期間に亘り繰り返すことで、閾値電圧の検出に必要な時間を十分に確保することができる。

【 0 0 9 6 】

一方、各ゲートパルス Gate [1] ~ Gate [6] は、各水平期間の前半にローレベルとなることで、各水平期間の前半は信号線 1 1 1 と駆動トランジスタ T 3 のゲート端子とを非導通とし、信号電圧 V d a t a が供給されないようにする。

【 0 0 9 7 】

以上のように、本変形例に係る表示装置は、各水平期間の後半を閾値電圧 V t h (T F T) の検出期間とし、それを複数の水平期間に亘り繰り返すことで、閾値電圧 V t h (T F T) の検出に必要な期間を確保している。よって、容量素子 C S に保持される電圧が安定し、その結果、高精度な閾値電圧補償ができる。

【 0 0 9 8 】

なお、図 5 においては、V t h 検出期間を 4 水平期間としたが、V t h 検出期間に要する水平期間は 4 水平期間に限らず、駆動トランジスタ T 3 の閾値電圧 V t h (T F T) を検出するのに、十分な時間が確保されていれば良い。

【 0 0 9 9 】

(実施の形態 2)

実施の形態 2 の表示装置は、実施の形態 1 の表示装置 1 0 0 とほぼ同じであるが、リセットトランジスタが駆動トランジスタのソース端子と次の行に設けられたゲート線との間に挿入されている点が異なる。これにより、ゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電圧とできるので、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実にを行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線と接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1 フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。以下、実施の形態 2 に係る表示装置が実施の形態 1 に係る表示装置 1 0 0 と比較して異なる点を中心に述べる。

【 0 1 0 0 】

以下、本発明の実施の形態 2 に係る表示装置について、図面を参照しながら説明する。

【 0 1 0 1 】

図 6 は、実施の形態 2 に係る表示装置の構成を示すブロック図である。

【 0 1 0 2 】

同図に示す表示装置 2 0 0 は、図 1 に示した表示装置 1 0 0 と比較して、さらに、各発光画素 2 1 0 が次の行のゲート線 1 1 2 と接続されている点が異なる。また、表示装置 2 0 0 はさらに、ダミーゲート線 2 0 1 を備える。

【 0 1 0 3 】

ダミーゲート線 2 0 1 は、複数の発光画素 2 1 0 の最終行の発光画素 2 1 0 に接続され、ゲート線 1 1 2 と同様にゲート線駆動部 1 2 1 により走査される。ゲート線駆動部 1 2 1 は、ダミーゲート線 2 0 1 に対し、ゲートパルス Gate [m] を 1 水平期間遅らせたパルスであるゲートパルス Gate [d] を出力する。

【 0 1 0 4 】

図 7 は、図 6 に示した発光画素 2 1 0 の詳細な構成を示す回路図である。なお、同図に示す発光画素 2 1 0 は k 行目に設けられた発光画素 2 1 0 である。また、同図には、発光画素 2 1 0 に対応する信号線 1 1 1 と、k 行目のゲート線であるゲート線 1 1 2 (k) 及び k + 1 行目のゲート線であるゲート線 1 1 2 (k + 1) と、リセット線 1 1 3 も示されている。

【 0 1 0 5 】

10

20

30

40

50

同図に示す発光画素 2 1 0 は、図 2 に示した発光画素 1 1 0 と比較して、リセットトランジスタ T 2 に代わり、リセットトランジスタ T 2 ' を備える。このリセットトランジスタ T 2 ' は、実施の形態 1 に示した発光画素 1 1 0 のリセットトランジスタ T 2 と比較して、駆動トランジスタ T 3 のソース端子と次の行のゲート線 1 1 2 (k + 1) との間に挿入されている。

【 0 1 0 6 】

このような構成とすることで、本実施の形態に係る表示装置 2 0 0 の発光画素 2 1 0 は、駆動トランジスタ T 3 のソース端子の電位、すなわち V 2 、を次の行のゲート線 1 1 2 (k + 1) の電圧を利用して設定することができる。

【 0 1 0 7 】

図 8 は、実施の形態 2 に係る表示装置 2 0 0 の動作を示すタイミングチャートである。同図の縦軸には、図 3 のタイミングチャートと比較して、さらに次の行のゲート線 1 1 2 (k + 1) に供給されるゲートパルス Gate [k + 1] が示されている。なお、ゲートパルス Gate [k + 1] のローレベルの電圧は、V reset - V th (T F T) より低い値を示す電圧である。

10

【 0 1 0 8 】

まず、時刻 t 0 において、ゲートパルス Gate [k] はローレベルからハイレベルへと立ち上がる。また、リセットパルス R s t もローレベルからハイレベルへと立ち上がる。これにより、行選択トランジスタ T 1 がオンし、同時にリセットトランジスタ T 2 ' もオンする。

20

【 0 1 0 9 】

このとき、リセットトランジスタ T 2 ' は次の行のゲート線 1 1 2 (k + 1) と駆動トランジスタ T 3 のソース端子とを導通するので、V 2 は、次の行のゲート線 1 1 2 (k + 1) に供給されているゲートパルス Gate [k + 1] の電圧となる。この時刻 t 0 において、次の行のゲートパルス Gate [k + 1] はローレベルであるので、V 2 は V Gate (L) となる。

【 0 1 1 0 】

また、V 1 は、行選択トランジスタ T 1 がオンすることにより信号線 1 1 1 の電圧となる。時刻 t 1 において、信号線の電圧は基準電圧 V reset であるから、V 1 は V reset へと遷移する。

30

【 0 1 1 1 】

このように、本実施の形態の表示装置 2 0 0 は、発光画素の同一行のゲートパルス Gate [k] をハイレベルとし、かつリセットパルス R s t をハイレベルとした場合であっても、駆動トランジスタ T 3 のソース端子の電圧を次の行のゲート線 1 1 2 (k + 1) の電圧とできる。ここで、次の行のゲートパルス Gate [k + 1] がローレベルであり、このローレベルの電圧が V reset - V th (T F T) よりも低い電圧であることにより、駆動トランジスタ T 3 の閾値電圧 V th (T F T) の検出を確実にできる。

【 0 1 1 2 】

よって、実施の形態 1 に係る表示装置 1 0 0 では V th 検出期間の前に、リセット [1] 期間及びリセット [2] 期間が必要であったが、本実施の形態に係る表示装置 2 0 0 では、表示装置 1 0 0 と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

40

【 0 1 1 3 】

具体的には、図 8 の時刻 t 0 ~ t 1 に示すリセット期間では、容量素子 C S の一端には信号線 1 1 1 から基準電圧 V reset を設定し、前記容量素子 C S の他端には固定電圧を設定して、容量素子 C S に所定の電位差の電圧を設定する必要がある。実施の形態 1 の表示装置 1 0 0 では、容量素子 C S に所定の電位差の電圧を設定するために、リセット [1] 期間である図 3 の時刻 t 0 ~ t 1 と、リセット [2] 期間である図 3 の時刻 t 1 ~ t 2 との二つの期間に区分けして、容量素子 C S の一端に基準電圧 V reset を設定する期間と、容量素子 C S の他端に固定電圧を設定する期間とに分けていた。これに対し、本実施の形態では、容量素子 C S の一端に基準電圧 V reset を設定する期間と、容量素

50

子CSの他端に固定電圧を設定する期間とを同時にできる。

【0114】

ここで、図8の時刻 $t_0 \sim t_1$ では、容量素子CSの一端に基準電圧 V_{reset} を供給するときに、行選択トランジスタ T_1 をオンにする必要があり、ゲートパルス $Gate[k]$ はハイレベル電圧 $V_{Gate}(H)$ とする必要がある。このとき、次の行に対応するゲートパルス $Gate[k+1]$ はローレベル電圧 $V_{Gate}(L)$ となっている。そこで、リセットトランジスタ T_2' をオンにすることにより、容量素子CSの他端にゲートパルス $Gate[k+1]$ の電圧である $V_{Gate}[L]$ が設定される。

【0115】

つまり、実施の形態1において、閾値電圧検出のための予備動作は、当該動作を行っている発光画素110の属する行に対応するゲート線112を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用していた。これに対し、本実施の形態で、閾値電圧検出のための予備動作を行っている発光画素210が属する行の次の行に対応するゲート線112を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用する。これにより、本実施の形態の表示装置200は、実施の形態1の表示装置100と比較して、半分の期間で容量素子CSの他端に固定電位 $V_{Gate}(L)$ を設定できる。つまり、表示装置100と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

10

【0116】

次に、リセット期間の終了時刻である時刻 t_1 において、リセットパルス Rst がローレベルとなることでリセットトランジスタ T_2' がオフするので、ゲート線112($k+1$)と駆動トランジスタ T_3 のソース端子とは非導通となる。よって、容量素子CSには、このときの V_1 と V_2 との電位差が保持される。

20

【0117】

以降の動作は、図3で示した実施の形態1に係る表示装置100のタイミングチャートの時刻 t_3 以降と同様である。次の行のゲートパルス $Gate[k+1]$ は、時刻 t_4 でローレベルからハイレベルになる。つまり、時刻 t_4 から次の行のリセット期間が開始される。

【0118】

なお、次の行のゲートパルス $Gate[k+1]$ は、リセットパルス Rst がハイレベルの期間、すなわち少なくともリセット期間はローレベルであればよく、図8の駆動タイミングに限られない。

30

【0119】

また、本実施の形態の表示装置200は、実施の形態1の変形例と同様に複数の水平期間に亘り、閾値電圧の検出を行ってもよい。

【0120】

(実施の形態2の変形例)

図9は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置200の動作を示すタイミングチャートである。

【0121】

同図に示すタイミングチャートは、図5に示したタイミングチャートと比較して、リセットに要する期間が1水平期間となっている。このように、閾値電圧検出のための予備動作を半分の期間で行うことで、実施の形態1と比較して、 V_{th} 検出期間をより長い期間とすることができるので、高精度な閾値電圧補償を実現できる。なお、図9においては、 V_{th} 検出期間を5水平期間としたが、 V_{th} 検出期間に要する水平期間は5水平期間に限らず、駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFI)$ を検出するのに、十分な時間が確保されていれば良い。

40

【0122】

(実施の形態3)

実施の形態3の表示装置は、実施の形態1の表示装置100とほぼ同じであるが、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端が、駆動

50

トランジスタのソース端子及びドレイン端子の一方に所定の素子を介して接続されている点が異なる。

【0123】

具体的には、本実施の形態の表示装置が備える複数の発光画素のそれぞれは、実施の形態1の表示装置100が備える複数の発光画素のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタのソース端子及びドレイン端子の一方と容量素子の他端とに接続され、ソース端子及びドレイン端子の他端が駆動トランジスタのソース端子及びドレイン端子の一方に接続された第2スイッチングトランジスタを備える。

【0124】

以下、実施の形態3に係る表示装置について、図面を参照しながら説明する。

【0125】

図10は、実施の形態3に係る表示装置が有する発光画素の詳細な構成を示す回路図である。なお、同図には、発光画素310に対応する信号線111、ゲート線112、リセット線113及びマージ線301も示されている。また、図10には本実施の形態に係る表示装置が有する複数の発光画素のうちの1つの発光画素の構成について説明するが、他の発光画素も同様の構成を有する。

【0126】

まず、本実施の形態に係る表示装置の構成について説明する。

【0127】

本実施の形態に係る表示装置は、図1に示した表示装置100とほぼ同じ構成を有するが、表示装置100と比較して、発光画素110に代わり発光画素310を有し、さらに、複数の発光画素310の行ごとに対応して設けられたマージ線301を有する点が異なる。

【0128】

マージ線301は、複数の発光画素310の行ごとに対応して設けられ、行走査部120からマージパルスMergeが出力される。言い換えると、本実施の形態の表示装置における行走査部は、実施の形態1の表示装置100における行走査部120と比較して、さらに、各マージ線301にマージパルスMergeを出力することで、複数の発光画素310を行単位で順次走査する。

【0129】

次に、図10に示す発光画素の構成について説明する。

【0130】

発光画素310は、実施の形態1に係る表示装置100が有する発光画素110と比較して、リセットトランジスタT2のソース端子及びドレイン端子の一方、及び、容量素子CSの他端が、駆動トランジスタT3のソース端子にマージトランジスタTmを介して接続されている点が異なる。具体的には、発光画素310は、発光画素110と比較して、さらに、マージトランジスタTm及びマージ容量CSmを備える。

【0131】

マージトランジスタTmは、本発明の第2スイッチングトランジスタであって、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタT2のソース端子及びドレイン端子の一方と容量素子CSの他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタT3のソース端子に接続されている、例えばn型のTFETである。このマージトランジスタTmのゲート端子は、マージ線301に接続されている。つまり、マージトランジスタTmは、マージ線301に供給されるマージパルスMergeに応じてオン及びオフする。

【0132】

マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VSSの電源線との間に挿入される。

【0133】

10

20

30

40

50

このような構成とすることで、複数の発光画素 310 を有する本実施の形態に係る表示装置は、発光素子 O L E D の寄生容量のばらつきによる、駆動トランジスタ T 3 が発光素子 O L E D に供給する電流である画素電流の変動を抑制できる。例えば、信号線駆動部 130 が複数の発光画素 310 に同一の信号電圧を供給した場合に、各発光画素 310 の発光素子 O L E D と駆動トランジスタ T 3 との接続点の電位のばらつきを抑制することが可能となる。よって、発光素子 O L E D の寄生容量の影響を低減し、信号電圧に応じた正確な発光輝度で発光素子 O L E D を発光させることができる。

【0134】

次に、本実施の形態に係る表示装置の駆動方法について図 11 及び図 12 を用いて説明する。

【0135】

図 11 は、実施の形態 3 に係る表示装置の動作を示すタイミングチャートである。同図の縦軸には、図 3 のタイミングチャートと比較して、さらにマージ線 301 に供給されるマージパルス Merge が示されている。なお、図 3 において、V2 は駆動トランジスタ T 3 のソース端子の電位であったが、図 11 において、V2 は、リセットトランジスタ T 2 のソース端子及びドレイン端子の一方と容量素子 CS の他端との接続点の電位である。

【0136】

図 11 に示す各波形のうち、ゲートパルス Gate、リセットパルス Rst 及び信号線電圧 Sig の波形は、図 3 に示した実施の形態 1 に係る表示装置 100 のゲートパルス Gate、リセットパルス Rst 及び信号線電圧 Sig の波形と同じである。よって、マージパルス Merge と、V1 及び V2 の波形を中心に説明する。

【0137】

まず、時刻 t5 までの期間において、マージパルス Merge をハイレベルとしていることで、マージトランジスタ Tm をオンさせている。マージトランジスタ Tm がオンしていることで、駆動トランジスタ T 3 のソース端子と、容量素子 CS の他端とが導通している。つまり、時刻 t5 までの期間において、発光画素 310 は発光画素 110 と等価である。

【0138】

図 12 は、実施の形態 3 に係る表示装置の発光画素 310 における電流の流れを模式的に示す図である。ここで、マージパルス Merge のハイレベル電圧を V Merge (H)、マージパルス Merge のローレベル電圧を V Merge (L) とする。

【0139】

上述したように、時刻 t5 までの発光画素 310 の動作は図 3 に示した発光画素 110 の時刻 t5 までの動作と同様であるので、図 12 (a) ~ (c) における電流の流れは図 4 (a) ~ (c) に示す電流の流れと同様である。

【0140】

次に、時刻 t5 において、マージパルス Merge はハイレベルからローレベルへと立ち下がる。これにより、マージトランジスタ Tm がオフする。マージパルス Merge がハイレベルからローレベルへと立ち下がるタイミングは、V1 と V2 との電位差が Vth (TFT) となり駆動トランジスタ T 3 に流れる電流が止まってからであればよく、図 11 に示したタイミングに限らない。

【0141】

その後、時刻 t6 ~ t7 (図 3 の時刻 t5 ~ t6 に対応) の書き込み期間において、マージパルス Merge をローレベルとしたままで、信号線 111 に信号電圧を印加する。

【0142】

このように発光画素 310 に信号電圧が印加されたとき、容量素子 CS の他端の電位である V2 は、容量素子 CS の一端に印加される信号電圧、マージ容量 Csm に接続されている電源線の電圧 VSS、容量素子 CS の容量 Cs、及び、マージ容量 Csm の容量 Csm によって決定される。つまり、V2 は、容量素子 CS の容量 Cs と、マージ容量 Csm

10

20

30

40

50

の容量 C_{sm} との容量分配によって規定される。

【0143】

これに対し、実施の形態1に係る表示装置100の発光画素110に信号電圧が印加されたとき、 V_2 の電位は、 V_1 に印加される信号電圧、発光素子OLEDのカソードに接続されている電源線の電圧 V_{SS} 、容量素子CSの容量 C_s 、及び、発光素子OLEDの寄生容量によって決定される。つまり、 V_2 の電位は、容量素子CSの容量 C_s と、発光素子OLEDの寄生容量とによって規定される。しかしながら、発光素子OLEDのアノード-カソード間の寄生容量は発光素子OLEDごとにばらつきを有するので、複数の発光画素110に同一の信号電圧を供給した場合であっても、発光画素110間の、発光素子OLEDと駆動トランジスタT3との接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子OLEDと駆動トランジスタT3との接続点の電位のばらつきにより、発光素子OLEDに供給される電流もばらつく。

10

【0144】

本実施の形態に係る表示装置の発光画素310は、容量素子CSの他端と、駆動トランジスタT3のソース端子とをマージトランジスタ T_m を介して接続し、マージトランジスタ T_m をオフしている期間に発光画素310に信号電圧を書き込むことにより、 V_2 の電位に対する発光素子OLEDの寄生容量の影響を低減できる。

【0145】

また、発光画素310に信号電圧を書き込んでいる期間においてマージトランジスタ T_m はオフしているので、容量素子CSの自己放電電流を抑制できる。よって、実施の形態1の表示装置100における発光画素と比較して、駆動トランジスタT3の閾値をより精度良く検出し、補正できる。

20

【0146】

次に、時刻 t_7 において、ゲートパルスがローレベルとなって行選択トランジスタT1がオフすることにより、駆動トランジスタT3のゲート端子に供給されている電圧に応じた電流が発光素子OLEDへ流れ始める。そして、時刻 t_8 において、マージパルス $Merge$ をローレベルからハイレベルに立ち上げ、マージトランジスタ T_m をオンすることにより、駆動トランジスタT3のソース端子と容量素子 C_s とが接続される。これにより、発光素子OLEDには、駆動トランジスタT3のゲート-ソース端子間の電圧 V_{gs} に応じた電流が流れる。換言すれば、発光素子OLEDには、時刻 $t_6 \sim t_7$ の書き込み期間において、発光素子OLEDの寄生容量の影響が低減された電位 V_2 と、電位 V_1 との電位差に応じた電流が流れる。その結果、発光素子OLEDの寄生容量の影響を低減し、信号電圧に正確に応じた電流が発光素子OLEDに流れる。よって、信号電圧に応じて精度良く発光素子を発光させることができる。

30

【0147】

このように、マージトランジスタ T_m は、駆動トランジスタT3の閾値を検出する期間である時刻 $t_3 \sim t_4$ では継続してオンし、閾値の検出後の時刻 t_5 ではオンからオフに切り替わり、書き込み期間である時刻 $t_6 \sim t_7$ では継続してオフし、書き込み期間後(時刻 t_7 以降)の時刻 t_8 にオフからオンに切り替わる。

【0148】

以上のように、本実施の形態の表示装置が備える複数の発光画素310のそれぞれは、実施の形態1の表示装置100が備える複数の発光画素110のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタT2のソース端子及びドレイン端子の一方と容量素子CSの他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタT3のソース端子に接続されたマージトランジスタ T_m を備える。

40

【0149】

これにより、発光素子OLEDの寄生容量のばらつきによる、駆動トランジスタT3が発光素子OLEDに供給する電流である画素電流の変動を抑制できる。つまり、信号線駆動部130が複数の発光画素310に同一の信号電圧を供給した場合に、各発光画素31

50

0の駆動トランジスタT3のゲート端子とソース端子との電位差のばらつきを抑制できる。

【0150】

よって、発光素子OLEDの寄生容量の影響を防止し、信号電圧に応じて精度良く発光素子OLEDを発光させることができる。

【0151】

なお、上記説明では、マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VSSの電源線との間に挿入されるとしたが、接続される電源線はVSSに限らず固定電位であればよい。例えば、マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VDDの電源線との間に挿入されてもよい。

10

【0152】

また、実施の形態3の表示装置の発光画素310のリセットトランジスタT2に代わり、実施の形態2の表示装置の発光画素210に示したリセットトランジスタT2'を備えてもよい。つまり、当該発光画素の次の行に対応するゲート線112と、容量素子CS、マージ容量CSm及びマージトランジスタTmの接続点との間に挿入されたりセットトランジスタT2'を備えてもよい。

【0153】

また、本実施の形態の表示装置では、1水平期間で閾値電圧を検出したが、実施の形態2の変形例と同様に、複数の水平期間に亘り閾値電圧を検出してよい。

20

【0154】

以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施したもののや、異なる実施の形態及び変形例における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

【0155】

例えば、実施の形態2に於いて、第一スイッチングトランジスタ、及びリセットトランジスタはそれぞれ、ゲート端子に印加されているパルスがハイレベルのときにオンするn型トランジスタとしたが、これらをp型トランジスタで構成し、ゲート線及びリセット線の極性を反転させても良い。

30

【0156】

また、実施の形態3に於いて、マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VSSの電源線との間に挿入されるとしたが、マージ容量CSmは必ずしも電源線に接続される必要はない。例えばリセット線のローレベル出力期間を電源線に見立て、マージ容量のCSmをリセット線と接続しても良い。

【0157】

また、例えば、本発明に係る表示装置は、図13に示すような薄型フラットTVに内蔵される。本発明に係る表示装置が内蔵されることにより、輝度ムラのない高精度な画像表示が可能な薄型フラットTVが実現される。

40

【0158】

また、上記各実施の形態に係る表示装置は典型的には集積回路である一つのLSIとして実現される。なお、各実施の形態に係る表示装置に含まれる各処理部は、個別に1チップ化されてもよいし、一部又はすべてを含むように1チップ化されてもよい。

【0159】

ここでは、LSIとしたが、集積度の違いにより、IC、システムLSI、スーパーLSI、ウルトラLSIと呼称されることもある。

【0160】

また、集積回路化はLSIに限るものではなく、表示装置に含まれる処理部の一部を、発光画素と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッ

50

サで実現してもよい。L S I 製造後にプログラムすることが可能な F P G A (F i e l d Programmable Gate Array)、又は L S I 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【 0 1 6 1 】

また、各実施の形態に係る表示装置に含まれる駆動部の機能の一部を、C P U 等のプロセッサがプログラムを実行することにより実現してもよい。また、本発明は、上記駆動部により実現される特徴的なステップを含む表示装置の駆動方法として実現してもよい。

【 0 1 6 2 】

さらに、本発明は上記プログラムであってもよいし、上記プログラムが記録された記録媒体であってもよい。また、上記プログラムは、インターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

10

【 0 1 6 3 】

また、上記説明では、表示装置がアクティブマトリクス型の有機 E L 表示装置ある場合を例に述べたが、本発明を、アクティブマトリクス型以外の有機 E L 表示装置に適用してもよいし、電流駆動型の発光素子を用いた有機 E L 表示装置以外の表示装置に適用してもよいし、液晶表示装置等の電圧駆動型の発光素子を用いた表示装置に適用してもよい。

【 0 1 6 4 】

また、上記実施の形態 1 の変形例および実施の形態 2 の変形例において、各水平期間の後半を閾値電圧の検出期間とし、前半を信号電圧の書き込み期間としたが、この検出期間及び書き込み期間のデューティ比は 5 0 パーセントに限らない。例えば、書き込み期間が 1 水平期間の 1 0 パーセントであり、検出期間が 1 水平期間の 9 0 パーセントであってもよい。

20

【 0 1 6 5 】

また、上記実施の形態 2 において、m 行目の発光画素 1 1 0 が有するリセットトランジスタ T 2 ' はダミーゲート線 2 0 1 に接続されていたが、1 行目から m 行目までのゲート線 1 1 2 のいずれかに接続されていてもよい。

【 0 1 6 6 】

また、駆動トランジスタ T 3 のソース端子と電源線との間に容量素子を備えても良い。

【 産業上の利用可能性 】

【 0 1 6 7 】

本発明に係る表示装置は、特に、T F T と組み合わせた大画面アクティブマトリクス型の有機 E L ディスプレイパネルへの適用に有用である。

30

【 符号の説明 】

【 0 1 6 8 】

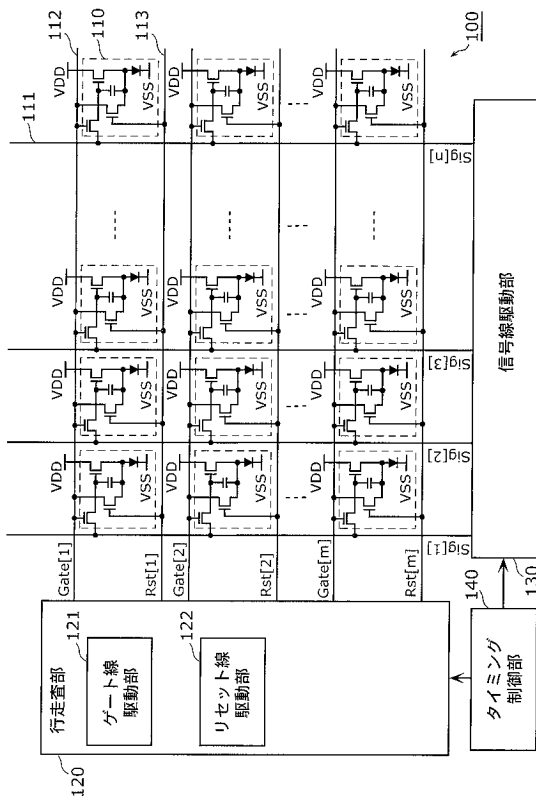
1 0 0、2 0 0 表示装置
 1 1 0、2 1 0、3 1 0 発光画素
 1 1 1 信号線
 1 1 2、1 1 2 (k)、1 1 2 (k + 1) ゲート線
 1 1 3 リセット線
 1 2 0 行走査部
 1 2 1 ゲート線駆動部
 1 2 2 リセット線駆動部
 1 3 0 信号線駆動部
 1 4 0 タイミング制御部
 2 0 1 ダミーゲート線
 3 0 1 マージ線
 C S 容量素子
 C S m マージ容量
 O L E D 発光素子
 T 1 行選択トランジスタ

40

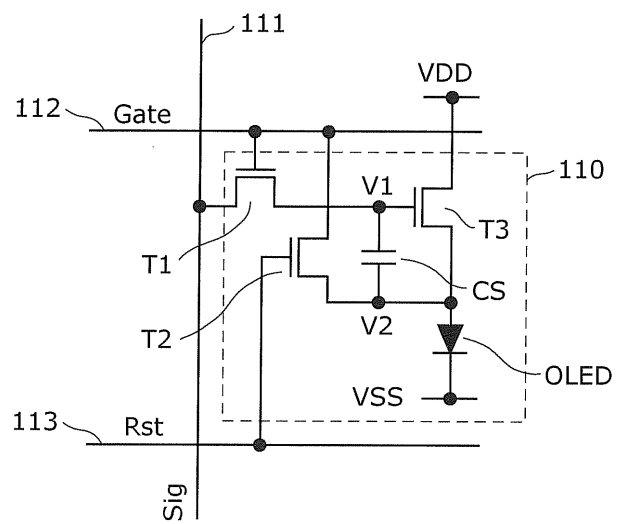
50

T 2、T 2' リセットトランジスタ
 T 3 駆動トランジスタ
 T m マージトランジスタ

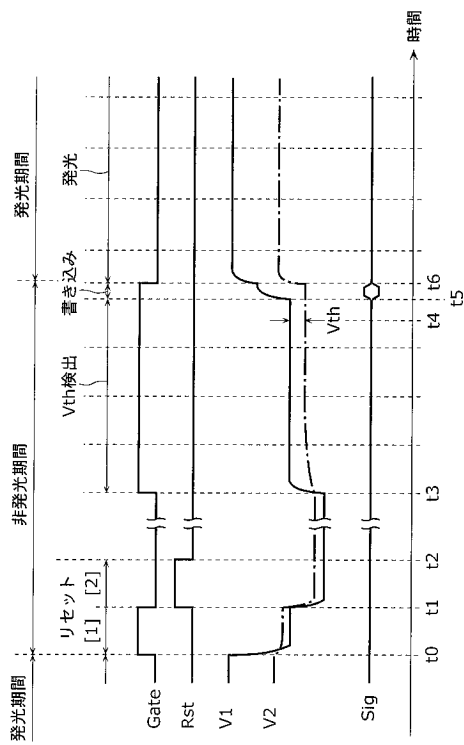
【 図 1 】



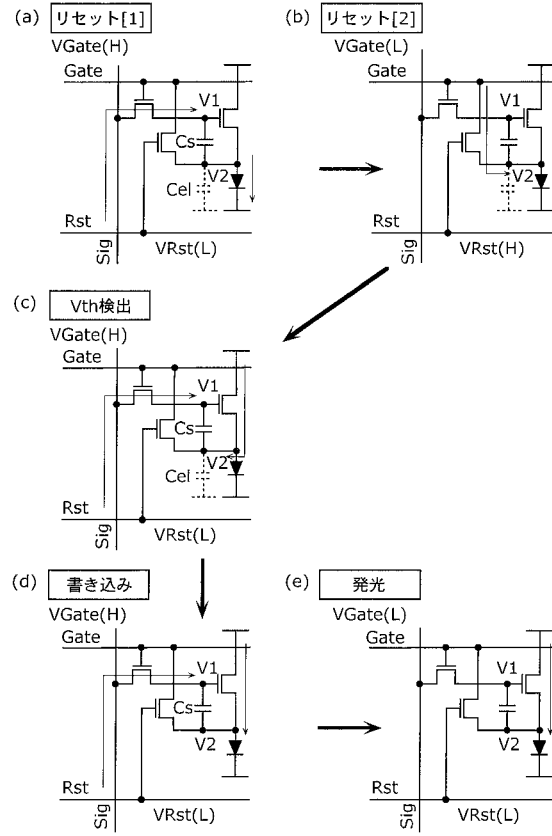
【 図 2 】



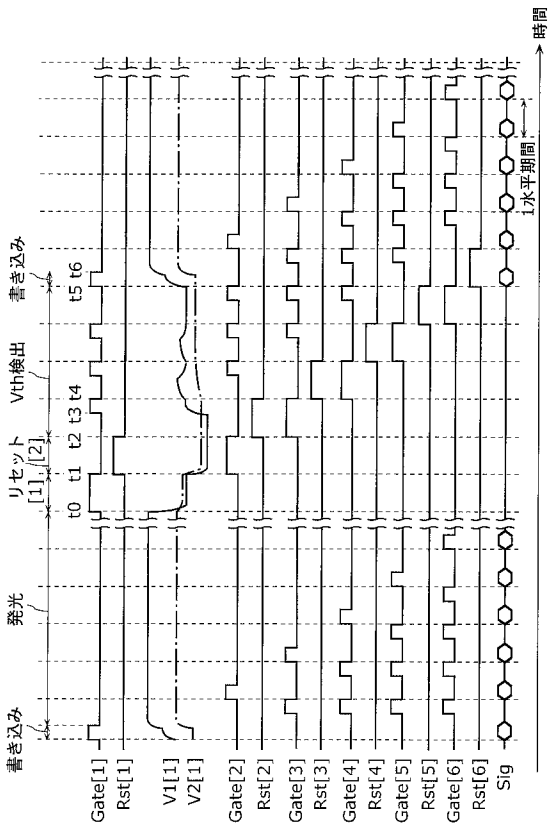
【 図 3 】



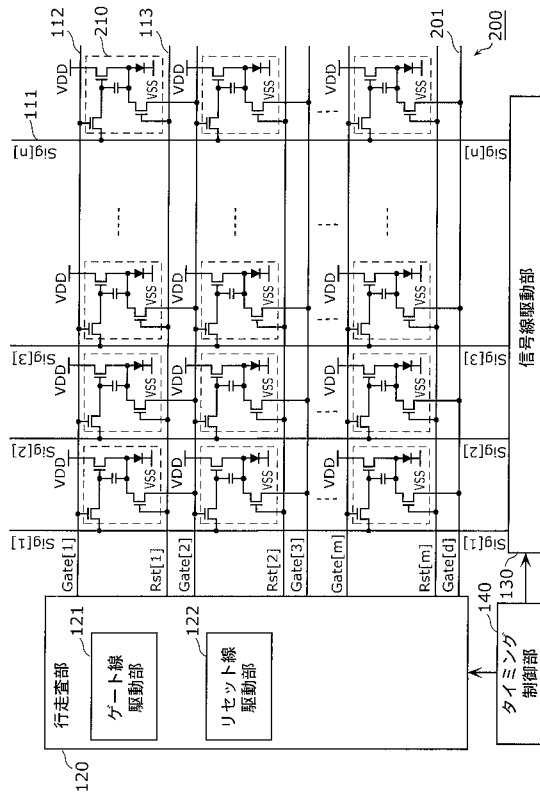
【 図 4 】



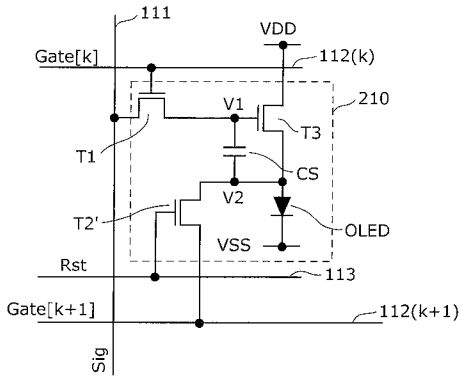
【 図 5 】



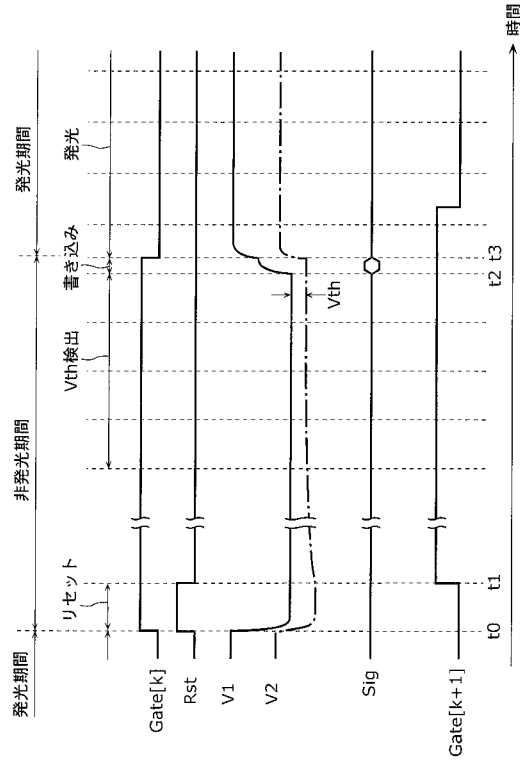
【 図 6 】



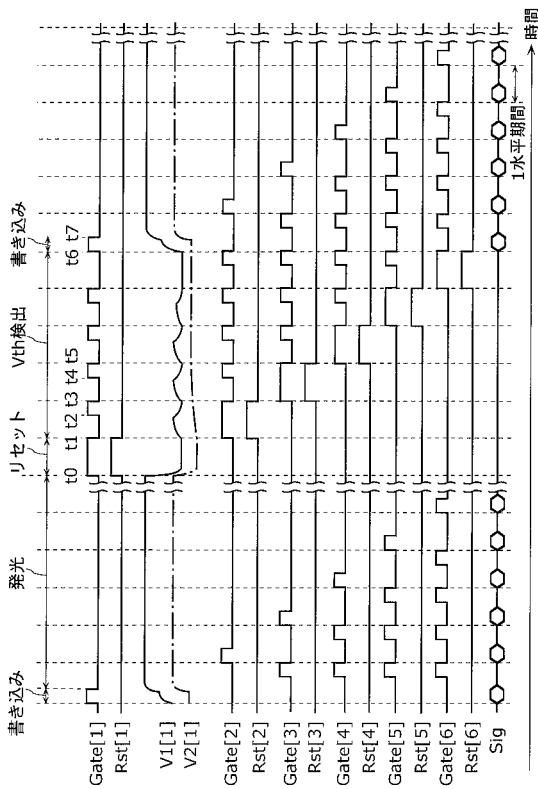
【 図 7 】



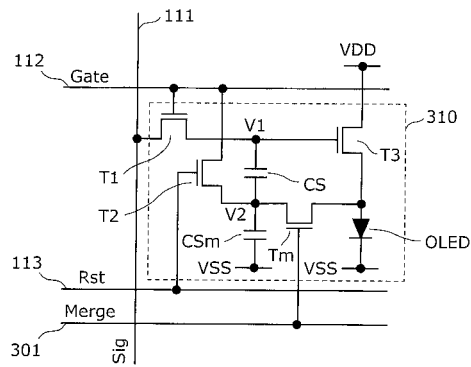
【 図 8 】



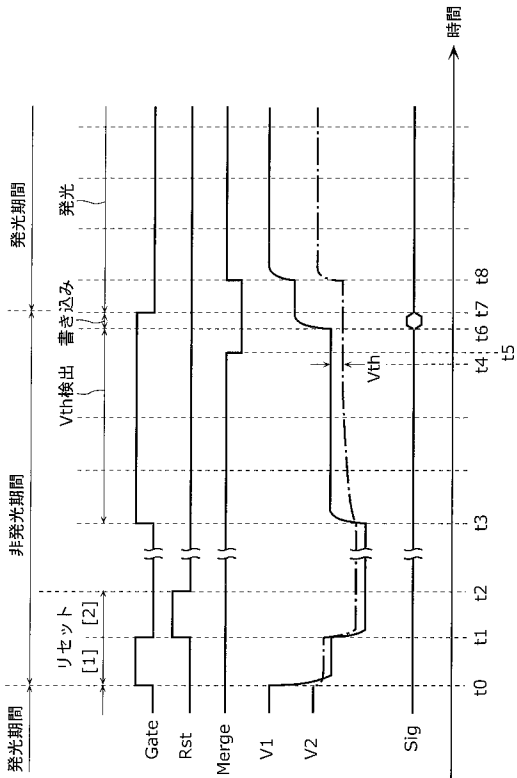
【 図 9 】



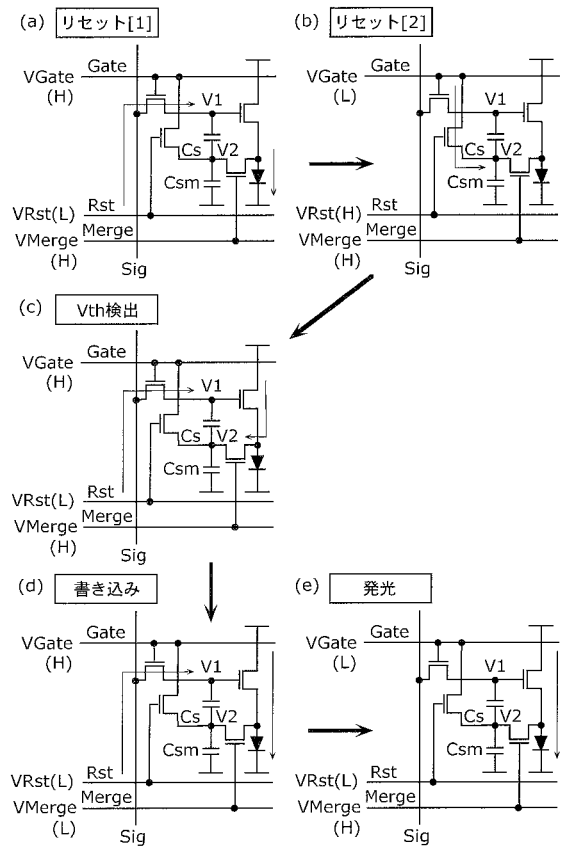
【 図 10 】



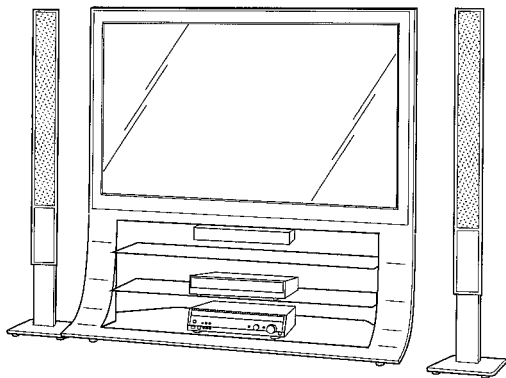
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



【手続補正書】

【提出日】平成22年12月24日(2010.12.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行列状に配置された複数の発光画素を備える表示装置であって、
前記表示装置は、
前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、
前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、
前記複数の発光画素のそれぞれは、
ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、
電流が流れることにより発光する発光素子と、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、
一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、
前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、
を備え、
前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、
前記駆動部は、
前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、
前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定する
表示装置。

【請求項2】

(削除)

【請求項3】

前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、

各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧である

請求項 1 に記載の表示装置。

【請求項 4】

(削除)

【請求項 5】

(削除)

【請求項 6】

(削除)

【請求項 7】

前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されている

請求項 1 または 3 に記載の表示装置。

【請求項 8】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第 2 スイッチングトランジスタを備える

請求項 7 記載の表示装置。

【請求項 9】

前記駆動トランジスタ、前記第 1 スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n 型のトランジスタ素子である

請求項 1、3、7 及び 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記発光素子は、有機 EL (Electro Luminescence) 素子である

請求項 1、3 及び 7 ~ 9 のいずれか 1 項に記載の表示装置。

【請求項 11】

行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、

前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、

を備え、

前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆動方法であって、

前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、

前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定するリセットステップを含む

表示装置の駆動方法。

【請求項 1 2】

さらに、

前記リセットステップの後、前記第 1 スwitchングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、

検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、

前記書き込みステップの後、前記第 1 スwitchングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含む

請求項 1 1 記載の表示装置の駆動方法。

【請求項 1 3】

前記検出ステップは、

前記第 1 スwitchングトランジスタをオンする第 1 サブステップと、

前記第 1 サブステップの後、前記第 1 スwitchングトランジスタをオフする第 2 サブステップとを含み、

前記第 2 サブステップの後、前記第 1 サブステップ及び前記第 2 サブステップを少なくとも 1 回繰り返す

請求項 1 2 記載の表示装置の駆動方法。

【請求項 1 4】

前記第 1 サブステップでは、前記第 1 スwitchングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、

前記第 2 サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給される

請求項 1 3 記載の表示装置の駆動方法。

【請求項 1 5】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第 2 スwitchングトランジスタを備え、

前記検出ステップにおいて、

前記第 2 スwitchングトランジスタをオンした状態で、前記第 1 スwitchングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、

前記保持ステップにおいて、

前記第 2 スwitchングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、

前記書き込みステップにおいて、

前記第1スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記第2スイッチングトランジスタをオフにした状態で前記駆動トランジスタのゲート端子に前記信号電圧を供給し、

前記発光ステップにおいて、

前記第1スイッチングトランジスタをオンからオフに切り替えた後、前記第2スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる、

請求項12～14のいずれか1項に記載の表示装置の駆動方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

の増加に起因する歩留まりの低下が懸念される。

[0006]

また、特許文献1記載の手法では、トランジスタの個数が少なく、ディスプレイにした場合、高い生産性が期待できるが、電源線を走査する必要がある。電源線を走査するためには、電源線を1次元配線しなければならない。しかしながら1次元配線では、ディスプレイの大画面化に伴う電源線の電圧降下により、表示画像の周辺が暗くなるというクロストークが起こりやすく、大画面化に対応できないという課題があった。

[0007]

本発明は、上記課題を解決するためになされ、その目的とするところは、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償する表示装置を提供することにある。また、そのような表示装置の駆動方法を提供することも本発明に含まれる。

課題を解決するための手段

[0008]

上記課題を解決するために、本発明の表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トラン

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

ジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給

し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、前記駆動部は、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定する。

[0 0 0 9]

これにより、発光画素当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラを解消できる。

[0 0 1 0]

また、さらに、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線を前記第1スイッチングトランジスタがオフするような非アクティブ状態にしている間に、前記リセット線を前記リセットトランジスタがオンするようなアクティブ状態にする駆動部を備えてもよい。

[0 0 1 1]

これにより、駆動トランジスタのソース端子の電圧を、リセットトランジスタのソース端子及びドレイン端子の他方が接続されたゲート線の電圧と同じにできるので、ゲート線の電圧を利用して、駆動トランジスタのソース端子の電圧を設定できる。

[0 0 1 2]

また、前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧であってもよい。

[0 0 1 3]

これにより、リセットトランジスタがオンした場合に、駆動トランジスタのソース端子の電圧を、確実に駆動トランジスタの閾値電圧分以上、基準電圧より低い電圧とできる。よって、駆動トランジスタの閾値電圧の検出が確実にできる。

[0 0 1 4]

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続されてもよい。

[0 0 1 5]

また、前記駆動部はさらに、前記同じ行に設けられたゲート線を非アクティブにする前に、当該ゲート線を前記第1スイッチングトランジスタがオン

【**手続補正4**】

【**補正対象書類名**】明細書

【**補正対象項目名**】0 0 0 6

【**補正方法**】変更

【**補正の内容**】

【0 0 0 6】

生容量の影響を受けることがない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

[0 0 2 6]

また、前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットト

ランジスタはそれぞれ、n型のトランジスタ素子であってもよい。

[0 0 2 7]

また、前記発光素子は、有機EL (Electro Luminescence) 素子であってもよい。

[0 0 2 8]

また、本発明の駆動方法は、行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

動方法であって、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定するリセットステップを含む。

[0 0 2 9]

また、さらに、前記リセットステップの後、前記第1スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、前記書き込みステップの後、前記第1スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含んでもよい。

[0 0 3 0]

これにより、発光ステップにおいて、駆動トランジスタは信号電圧と閾値電圧とを加算

した電圧に応じた電流を発光素子へ供給するので、発光画素は閾値電圧に影響されず、信号電圧に応じた輝度で発光できる。

[0 0 3 1]

また、前記検出ステップは、前記第1スイッチングトランジスタをオンする第1サブステップと、前記第1サブステップの後、前記第1スイッチングトランジスタをオフする第2サブステップとを含み、前記第2サブステップの後、前記第1サブステップ及び前記第2サブステップを少なくとも1回繰り返してもよい。

[0 0 3 2]

これにより、複数の水平期間に亘って、駆動トランジスタの閾値電圧を検出できることにより、高精度な閾値電圧の検出ができる。

[0 0 3 3]

また、前記第1サブステップでは、前記第1スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、前記第2サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給されてもよい。

[0 0 3 4]

これにより、第1サブステップでの信号線の電圧を、当該信号線に対応す

【手続補正書】

【提出日】平成23年7月27日(2011.7.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス(EL:Electro Luminescence)素子などの電流駆動型自発光素子を用いたアクティブマトリクス方式の画像表示装置に関する。

【背景技術】

【0002】

有機EL素子は電流制御で諧調を表現するが、アクティブマトリクス方式の有機EL表示装置は、各有機EL素子を駆動する駆動用トランジスタの閾値電圧のばらつきにより、同じ信号電圧を与えても輝度ムラが生じるという問題がある。この有機EL素子の駆動用トランジスタの閾値を補償することは、輝度ムラを解消し均一な画面を作る上で必要となる。駆動用トランジスタの閾値のばらつきを抑制する為の閾値補償回路として、1画素当たり4つのトランジスタを用いることで駆動用トランジスタの閾値を検出する手法がある(例えば非特許文献1参照)。また、1画素当たり3つのトランジスタを用い、電源線の電圧を走査することにより駆動用トランジスタの閾値を検出する手法がある(例えば特許文献1参照)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-259374号公報

【非特許文献】

【0004】

【非特許文献1】R.M.A. Dawson, et al, IEDM'98, Technical Digest, 1998, p.875

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、非特許文献1記載の手法では1画素当たりトランジスタを4つ用いる構成であり、ディスプレイの大型化に伴いトランジスタの集積数の増加に起因する歩留まりの低下が懸念される。

【0006】

また、特許文献1記載の手法では、トランジスタの個数が少なく、ディスプレイにした場合、高い生産性が期待できるが、電源線を走査する必要がある。電源線を走査するためには、電源線を1次元配線しなければならない。しかしながら1次元配線では、ディスプレイの大画面化に伴う電源線の電圧降下により、表示画像の周辺が暗くなるというクロストークが起こりやすく、大画面化に対応できないという課題があった。

【0007】

本発明は、上記課題を解決するためになされ、その目的とするところは、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償する表示装置を提供することにある。また、そのような表示装置の駆動方法を提供することも本発明に含まれる。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたリセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、前記駆動部は、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定する。

【0009】

これにより、発光画素当たり3つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラを解消できる。

【0010】

また、さらに、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線を前記第1スイッチングトランジスタがオフするような非アクティブ

状態にしている間に、前記リセット線を前記リセットトランジスタがオンするようなアクティブ状態にする駆動部を備えてもよい。

【0011】

これにより、駆動トランジスタのソース端子の電圧を、リセットトランジスタのソース端子及びドレイン端子の他方が接続されたゲート線の電圧と同じにできるので、ゲート線の電圧を利用して、駆動トランジスタのソース端子の電圧を設定できる。

【0012】

また、前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧であってもよい。

【0013】

これにより、リセットトランジスタがオンした場合に、駆動トランジスタのソース端子の電圧を、確実に駆動トランジスタの閾値電圧分以上、基準電圧より低い電圧とできる。よって、駆動トランジスタの閾値電圧の検出が確実に行える。

【0014】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続されてもよい。

【0015】

また、前記駆動部はさらに、前記同じ行に設けられたゲート線を非アクティブにする前に、当該ゲート線を前記第1スイッチングトランジスタがオンするようなアクティブ状態、かつ前記リセット線を前記リセットトランジスタがオフするような非アクティブ状態にしてもよい。

【0016】

これにより、発光素子を確実に消光できる。具体的には、直前の駆動トランジスタのゲート端子の電圧が、発光素子が発光するために必要な電流を供給できるだけの電圧だった場合、ゲート線を非アクティブ状態とした後も、当該電圧が印加されることで発光素子が発光する。そこで、このようにゲート線をアクティブ状態、リセット線を非アクティブ状態とすることで、駆動トランジスタのゲート端子に消光時の電圧をかけることで、発光素子を確実に消光できる。

【0017】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、次の行に設けられたゲート線に接続されてもよい。

【0018】

これにより、同一行のゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電圧とできる。その結果、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実に行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線に接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。

【0019】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されていてもよい。

【0020】

これにより、発光素子の寄生容量のばらつきによる、駆動トランジスタが発光素子に供給する電流である画素電流の変動を抑制することが可能となる。例えば、駆動回路が複数の発光画素に同一の信号電圧を供給した場合に、各発光画素の発光素子と駆動トランジスタとの接続点の電位のばらつきを抑制することが可能となる。以下、ばらつきを抑制でき

る理由について述べる。

【 0 0 2 1 】

発光画素に所定の信号電圧が供給されたとき、発光素子と駆動トランジスタとの接続点の電位は、発光素子の寄生容量と、容量素子の容量との容量分配によって規定される。しかしながら、発光素子の寄生容量は発光素子ごとにばらつきを有するので、複数の発光画素に同一の信号電圧を供給した場合であっても、各発光画素の、発光素子と駆動トランジスタとの接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子と駆動トランジスタとの接続点の電位のばらつきにより、発光素子に供給される電流もばらつく。

【 0 0 2 2 】

これに対し、容量素子の他端と、発光素子と駆動トランジスタとの接続点とを所定の素子を介して接続することにより、容量素子の他端の電位に対する発光素子の寄生容量の影響を低減できる。したがって、容量素子の一端と他端との電位差である容量素子の保持電圧に対する発光素子の寄生容量の影響を低減することが可能となる。

【 0 0 2 3 】

よって、発光素子の寄生容量の影響を低減し、信号電圧に応じて精度良く発光素子を発光させることが可能となる。

【 0 0 2 4 】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備えてもよい。

【 0 0 2 5 】

これにより、第2スイッチングトランジスタをオン及びオフすることにより、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端と、発光素子と駆動トランジスタとの接続点との導通及び非導通を切り替えることができる。よって、例えば、第2スイッチングトランジスタをオフしている期間に駆動トランジスタのゲート端子に発光素子を発光させるための信号電圧を供給すれば、容量素子の他端の電位が発光素子の寄生容量の影響を受けない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

【 0 0 2 6 】

また、前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子であってもよい。

【 0 0 2 7 】

また、前記発光素子は、有機EL (Electro Luminescence) 素子であってもよい。

【 0 0 2 8 】

また、本発明の駆動方法は、行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該

ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、を備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆動方法であって、前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定するリセットステップを含む。

【0029】

また、さらに、前記リセットステップの後、前記第1スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、前記書き込みステップの後、前記第1スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含んでもよい。

【0030】

これにより、発光ステップにおいて、駆動トランジスタは信号電圧と閾値電圧とを加算した電圧に応じた電流を発光素子へ供給するので、発光画素は閾値電圧に影響されず、信号電圧に応じた輝度で発光できる。

【0031】

また、前記検出ステップは、前記第1スイッチングトランジスタをオンする第1サブステップと、前記第1サブステップの後、前記第1スイッチングトランジスタをオフする第2サブステップとを含み、前記第2サブステップの後、前記第1サブステップ及び前記第2サブステップを少なくとも1回繰り返してもよい。

【0032】

これにより、複数の水平期間に亘って、駆動トランジスタの閾値電圧を検出できることにより、高精度な閾値電圧の検出ができる。

【0033】

また、前記第1サブステップでは、前記第1スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、前記第2サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給されてもよい。

【0034】

これにより、第1サブステップでの信号線の電圧を、当該信号線に対応する列の駆動トランジスタの閾値電圧を検出するための電圧とでき、第2サブステップでの信号線の電圧を対応する列の発光画素の信号電圧とできる。よって、例えば、1水平期間の前半は信号線の電圧を基準電圧とし、1水平期間の後半は信号線の電圧を信号電圧とすることで、1水平期間を分割して、前半は閾値電圧検出のための期間、後半は信号電圧の書き込み期間とできる。

【0035】

また、前記複数の発光画素のそれぞれは、さらに、ゲート端子とソース端子とドレイン

端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備え、前記検出ステップにおいて、前記第2スイッチングトランジスタをオンした状態で、前記第1スイッチングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、前記保持ステップにおいて、前記第2スイッチングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、前記書き込みステップにおいて、前記第2トランジスタをオフにした状態で、前記第1スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記駆動トランジスタのゲート端子に前記信号電圧を供給し、前記発光ステップにおいて、前記第1スイッチングトランジスタをオンからオフに切り替えた後、前記第2スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させるものである。

【0036】

これにより、第2スイッチングトランジスタがオフとなっている期間に、駆動トランジスタのゲート端子に信号電圧が供給されるので、容量素子の他端の電位が発光素子の寄生容量の影響を受けることがない。つまり、容量素子の保持電圧に対する発光素子の寄生容量の影響を確実に低減できる。言い換えると、発光素子の寄生容量の影響を防止し、信号電圧に応じた正確な発光輝度で発光素子を発光させることができる。

【0037】

また、前記リセットトランジスタのソース端子及びドレイン端子の前記他方は、同じ行に設けられたゲート線に接続され、前記表示装置の駆動方法はさらに、前記リセットステップの前に、前記第1スイッチングトランジスタをオン、かつ前記リセットトランジスタをオフすることで、前記発光素子を消光させる消光ステップを含んでもよい。

【発明の効果】

【0038】

以上のように、本発明に係る表示装置は、少ない素子数で電源線の走査を行わず、駆動素子の閾値電圧を補償ができる。

【図面の簡単な説明】

【0039】

【図1】図1は、実施の形態1に係る表示装置の構成を示すブロック図である。

【図2】図2は、発光画素の詳細な構成を示す回路図である。

【図3】図3は、表示装置の動作を示すタイミングチャートである。

【図4】図4は、発光画素の電流の流れを模式的に示す図である。

【図5】図5は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示すタイミングチャートである。

【図6】図6は、実施の形態2に係る表示装置の構成を示すブロック図である。

【図7】図7は、発光画素の詳細な構成を示す回路図である。

【図8】図8は、表示装置の動作を示すタイミングチャートである。

【図9】図9は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置の動作を示すタイミングチャートである。

【図10】図10は、実施の形態3に係る表示装置が有する発光画素の詳細な構成を示す回路図である。

【図11】図11は、表示装置の動作を示すタイミングチャートである。

【図12】図12は、発光画素の電流の流れを模式的に示す図である。

【図13】図13は、本発明に係る表示装置を内蔵した薄型フラットTVの外観図である。

【発明を実施するための形態】

【 0 0 4 0 】

(実施の形態 1)

本発明の実施の形態 1 に係る表示装置は、行列状に配置された複数の発光画素を備える表示装置であって、前記表示装置は、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりリセットトランジスタと、一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタの前記ソース端子及び前記ドレイン端子の前記一方に接続された容量素子とを備え、前記リセットトランジスタのソース端子及びドレイン端子の他方は、前記複数の発光画素のいずれかの行に対応して設けられたゲート線に接続されている。

【 0 0 4 1 】

これにより、発光画素当たり 3 つのトランジスタで、電源線を走査することなく、駆動トランジスタの閾値電圧を検出し、その閾値電圧を補償して発光素子を発光させることができる。このように、駆動トランジスタの閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【 0 0 4 2 】

以下、本発明の実施の形態 1 に係る表示装置について、図面を参照しながら説明する。

【 0 0 4 3 】

図 1 は、実施の形態 1 に係る表示装置の構成を示すブロック図である。

【 0 0 4 4 】

同図に示す表示装置 100 は、例えば、有機 EL 素子を用いたアクティブマトリクス型の有機 EL 表示装置であり、行列状に配置された複数の発光画素 110 と、行走査部 120 と、信号線駆動部 130 と、タイミング制御部 140 とを備える。

【 0 0 4 5 】

発光画素 110 は、例えば n 行 \times m 列の行列状に配置され、信号線 111、ゲート線 112 及びリセット線 113 を介して行走査部 120 及び信号線駆動部 130 から出力されるゲートパルス、リセットパルス及び信号電圧に応じて駆動トランジスタの閾値電圧を補償して発光する。

【 0 0 4 6 】

行走査部 120 は、複数の発光画素 110 の行ごとに対応して設けられたゲート線 112 及びリセット線 113 に接続され、各ゲート線 112 及び各リセット線 113 に走査信号を出力することで、複数の発光画素 110 を行単位で順次走査する。具体的には、行走査部 120 は、各ゲート線 112 を走査するゲート線駆動部 121 と、各リセット線 113 を走査するリセット線駆動部 122 とを有する。ゲート線駆動部 121 は、各ゲート線 112 に対応するゲートパルス $G a t e [k]$ (k は、 $1 \leq k \leq m$ を満たす整数) を出力することにより、各ゲート線 112 に対応する発光画素 110 への基準電圧及び基準電圧より大きい信号電圧を選択的に対応する発光画素 110 へ供給する。リセット線駆動部 122 は、各リセット線 113 に対応するリセットパルス $R s t [k]$ を出力することにより、各リセット線 113 に対応する発光画素 110 へゲート線 112 の電圧、すなわちゲートパルス $G a t e [k]$ のハイレベル電圧またはローレベル電圧を印加するタイミングを制御する。

【 0 0 4 7 】

信号線駆動部 130 は、各信号線 111 に接続され、各信号線 111 に対応する信号電圧 V_{data} (例えば、2 ~ 8 V) 又はリセット電圧 V_{reset} (例えば、0 V) を信号線電圧 $Sig[j]$ (j は、1 ~ $k - n$ を満たす整数) として供給する。信号電圧 V_{data} は、発光画素 110 の発光輝度に対応する電圧であり、リセット電圧 V_{reset} は、発光画素 110 を消光するため又は駆動トランジスタの閾値電圧を検出するための電圧である。

【0048】

タイミング制御部 140 は、行走査部 120 及び信号線駆動部 130 に駆動タイミングを指示する。なお、行走査部 120、信号線駆動部 130 及びタイミング制御部 140 は、本発明の駆動部である。

【0049】

次に、発光画素 110 の詳細な構成について説明する。なお、以下では、1つの発光画素 110 の構成について説明するが、図 1 に示した複数の発光画素 110 それぞれは同様の構成を有する。また、当該発光画素 110 に対応するゲート線 112 に対してゲート線駆動部 121 から出力されるゲートパルス $Gate[k]$ を単にゲートパルス $Gate$ とし、当該発光画素 110 に対応するリセット線 113 に対してリセット線駆動部 122 から出力されるリセットパルス $Rst[k]$ を単にリセットパルス Rst とし、当該発光画素 110 に対応する信号線 111 に対して供給される信号線電圧 $Sig[j]$ を単に信号線電圧 Sig とする。

【0050】

図 2 は、図 1 に示した発光画素 110 の詳細な構成を示す回路図である。なお、同図には、発光画素 110 に対応する信号線 111、ゲート線 112 及びリセット線 113 も示されている。

【0051】

発光画素 110 は、発光素子 $OLED$ と、行選択トランジスタ $T1$ と、リセットトランジスタ $T2$ と、駆動トランジスタ $T3$ と、容量素子 CS とを備える。

【0052】

発光素子 $OLED$ は、電流が流れることにより発光する素子であり、アノードが駆動トランジスタのソース端子に接続され、カソードが電圧 V_{SS} (例えば、0 V) の電源線に接続された、例えば有機 EL 素子である。この発光素子 $OLED$ は、信号線 111 及び行選択トランジスタ $T1$ を介して駆動トランジスタ $T3$ のゲート端子に信号電圧 V_{data} が印加されることにより流れる電流により発光する。よって、発光素子 $OLED$ の輝度は、信号線 111 に印加される信号電圧 V_{data} の大きさに対応する。

【0053】

行選択トランジスタ $T1$ 、リセットトランジスタ $T2$ 及び駆動トランジスタ $T3$ は、例えば n 型の TFT (薄膜トランジスタ) である。

【0054】

行選択トランジスタ $T1$ は、本発明の第 1 スイッチングトランジスタであって、ゲート線 112 の電圧に応じて、駆動トランジスタ $T3$ の制御端子であるゲート端子に信号電圧を印加するかしないかを切り替える。具体的には、行選択トランジスタ $T1$ は、ゲート端子がゲート線 112 に接続され、ソース端子及びドレイン端子の一方が信号線 111 に接続され、ソース端子及びドレイン端子の他方が駆動トランジスタ $T3$ のゲート端子に接続されている。よって、行選択トランジスタ $T1$ は、ゲート線 112 に印加されている電圧に応じて、信号線 111 と駆動トランジスタ $T3$ のゲート端子との導通及び非導通を切り替える。つまり、行選択トランジスタ $T1$ は、ゲートパルス $Gate$ がハイレベルの期間、信号線 111 に印加されている基準電圧 V_{reset} 又は信号電圧 V_{data} を駆動トランジスタ $T3$ のゲート端子に供給する。

【0055】

リセットトランジスタ $T2$ は、駆動トランジスタ $T3$ の閾値電圧を検出するために、駆動トランジスタ $T3$ のソース端子の電圧である V_2 を設定する。具体的には、リセットト

ランジスタT2は、ゲート端子がリセット線113に接続され、ソース端子及びドレイン端子の一方がゲート線112に接続され、ソース端子及びドレイン端子の他方が駆動トランジスタT3のソース端子に接続されている。よって、リセットパルスRstがハイレベルの期間に、ゲート線112と駆動トランジスタT3のソース端子とを導通することで、ゲート線112の電圧をV2の電圧に設定する。

【0056】

駆動トランジスタT3は、発光素子OLEDに電流を供給する。具体的には、駆動トランジスタT3は、ゲート端子が行選択トランジスタT1を介して信号線111に接続され、ドレイン端子が電圧VDD（例えば、10V）の電源線に接続され、ソース端子が発光素子OLEDのアノードに接続されている。駆動トランジスタT3は、ゲート端子に供給された電圧を、その電圧の大きさに応じた電流に変換する。よって、駆動トランジスタT3は、ゲート線112の電圧がハイレベルの期間に信号線111に供給されている電圧、すなわち基準電圧Vreset又は信号電圧Vdataに応じた電流を発光素子OLEDに供給する。

【0057】

ただし、基準電圧Vresetに応じた電流は発光素子OLEDを発光させるには不十分であり、駆動トランジスタT3のゲート端子の電圧であるV1が基準電圧Vresetの場合には、発光素子OLEDは発光しない。一方、V1が信号電圧Vdataの場合には、発光素子OLEDが発光するために十分な電流が流れ、発光素子OLEDは信号電圧Vdataに応じた輝度で発光する。

【0058】

容量素子CSは、一端が駆動トランジスタT3のゲート端子に接続され、他端が駆動トランジスタT3のソース端子に接続されていることで、駆動トランジスタT3のゲート-ソース間の電圧を保持する。つまり、この容量素子CSは、駆動トランジスタT3の閾値電圧を保持することが可能である。

【0059】

次に、上述した表示装置100の駆動方法について図3及び図4を用いて説明する。

【0060】

図3は、実施の形態1に係る表示装置100の動作を示すタイミングチャートである。同図においては、横軸は時間を示し、縦方向には上から順に、ゲートパルスGate、リセットパルスRst、駆動トランジスタT3のゲート端子の電圧であるV1、駆動トランジスタT3のソース端子の電圧であるV2、及び信号線111に印加される信号線電圧Sigの波形が示されている。

【0061】

図4は、実施の形態1に係る表示装置100の発光画素110における電流の流れを模式的に示す図である。ここで、ゲートパルスGateのハイレベル電圧をVGate(H)、ゲートパルスGateのローレベル電圧をVGate(L)、リセットパルスRstのハイレベル電圧をVRst(H)、リセットパルスRstのローレベル電圧をVRst(L)とする。

【0062】

時刻t0以前において、発光素子OLEDは直前の垂直期間における信号電圧Vdataに応じて発光している。具体的には、V1が直前の垂直期間における信号電圧Vdataとなっており、その信号電圧Vdataにより駆動トランジスタT3が発光素子OLEDへ駆動電流を供給している。

【0063】

次に、時刻t0（リセット[1]期間の開始時刻）において、ゲートパルスGateをローレベルからハイレベルにすることで、行選択トランジスタT1をオンさせる。VGate(L)は例えば-5Vであり、VGate(H)は例えば12Vである。

【0064】

行選択トランジスタT1がオンすることで、信号線111と駆動トランジスタT3のゲ

ート端子とが導通し、 V_1 は、信号線111に供給されている電圧と等しくなる。時刻 t_0 においては、信号線111の電圧は基準電圧である V_{reset} であるので、リセット[1]期間に、 V_1 は V_{reset} へと遷移する。ここで、 V_{reset} の電圧は以下の式1の条件を満たす電圧とする。ただし、 $V_{th}(EL)$ は、発光素子OLEDの発光開始電圧であり、 $V_{th}(TFT)$ は、駆動トランジスタT3のゲート端子 - ソース端子間の閾値電圧である。

【0065】

$$V_{reset} < V_{th}(EL) + V_{th}(TFT) \quad (\text{式1})$$

つまり、 V_{reset} は、発光素子OLEDを確実に消光させる電圧である。

【0066】

また、このとき、リセットパルス Rst はローレベルであるので、リセットトランジスタT2はオフされている。このとき、駆動トランジスタT3は、ゲート端子に印加されている電圧が前フレームの信号電圧より低い基準電圧 V_{reset} となる為、発光素子に供給できる電流は減少する。これにより、 V_2 は直前のフレーム期間における発光電位から発光素子OLEDの発光開始電圧 $V_{th}(EL)$ へと遷移する。

【0067】

次に、時刻 t_1 (リセット[2]期間の開始時刻)において、ゲートパルス $Gate$ をローレベル、リセットパルス Rst をハイレベルとする。ゲートパルス $Gate$ がローレベルとなることで、行選択トランジスタT1はオフし、信号線111と駆動トランジスタT3のゲート端子とは非導通となる。一方、リセットパルス Rst がハイレベルとなることで、リセットトランジスタT2はオンし、ゲート線112と駆動トランジスタT3のソース端子とは導通する。よって、 V_2 は、ゲートパルス $Gate$ のローレベル電圧 $V_{Gate}(L)$ となる。ここで、 $V_{Gate}(L)$ は以下の式2を満たす電圧とする。

【0068】

$$V_{Gate}(L) < V_{reset} - V_{th}(TFT) \quad (\text{式2})$$

また、 V_1 の電圧は、駆動トランジスタT3のゲート端子と発光素子OLEDのアノードとの間に挿入された容量素子 CS により、リセット[1]期間からリセット[2]期間における V_2 の電圧変動と同じだけ変化する。具体的には、リセット[1]期間からリセット[2]期間にかけて、 V_2 の電圧は $V_{Gate}(L) - V_{th}(EL)$ だけ変動したので、 V_1 の電圧は、リセット[1]期間の電圧にその変動分を加算した $V_{reset} + V_{Gate}(L) - V_{th}(EL)$ となる。

【0069】

次に、時刻 t_2 (リセット[2]期間の終了時刻)において、リセットパルス Rst がローレベルとなることでリセットトランジスタT2がオフするので、ゲート線112と駆動トランジスタT3のソース端子とは非導通となる。よって、容量素子 CS には、このときの V_1 と V_2 との電位差が保持される。

【0070】

図3の時刻 $t_0 \sim t_2$ に示すリセット期間では、容量素子 CS の一端には信号線111から基準電圧 V_{reset} を設定し、前記容量素子 CS の他端には固定電圧を設定して、容量素子 CS に所定の電位差の電圧を設定する必要がある。このリセット期間をリセット[1]期間であるT1期間(時刻 $t_0 \sim t_1$)とリセット[2]期間であるT2期間(時刻 $t_1 \sim t_2$)と二つの期間に区分けし、期間T1では、容量素子 CS の一端に基準電圧 V_{reset} を設定し、一方、期間T2では、容量素子 CS の他端に固定電圧を設定する。

【0071】

ここで、期間T1では、容量素子 CS の一端に信号線111から基準電圧 V_{reset} を設定するため、ゲート線112にハイレベル電圧 $V_{Gate}(H)$ を供給して行選択トランジスタT1をオンにする必要がある。一方、期間T2では容量素子 CS の一端に設定された基準電圧 V_{reset} を固定するため、ゲート線112にローレベル電圧 $V_{Gate}(L)$ を供給して行選択トランジスタT1をオフにする必要がある。ゲート線112に

ローレベル電圧 $V_{Gate(L)}$ を供給する際、ゲート線 112 は行単位にて配置されているため、行単位にローレベル電圧 $V_{Gate(L)}$ が供給される。このことは、T2 期間では行単位に固定電圧 $V_{Gate(L)}$ が設定されたのと同じ状態になることに意味する。

【0072】

そこで、リセット期間の中で、容量素子 C_S の他端に固定電圧を設定する期間 T2 では、前記ローレベル電圧 $V_{Gate(L)}$ が供給されて固定電位 $V_{Gate(L)}$ となった状態のゲート線 112 を所定の電源線に見立てて、前記ゲート線 112 に前記容量素子 C_S の他端を接続するようにした。

【0073】

これにより、ゲート線 112 を、固定電位 $V_{Gate(L)}$ を供給するための電源線として兼用し、前記容量素子 C_S の他端には前記ゲート線 112 を介して固定電位 $V_{Gate(L)}$ を供給しているので、前記容量素子 C_S の他端に固定電位 $V_{Gate(L)}$ を供給するための電源線を削減することができる。その結果、簡易な構成で前記容量素子 C_S の他端に固定電位 $V_{Gate(L)}$ を設定できる。

【0074】

次に、時刻 t_3 (V_{th} 検出期間の開始時刻) において、ゲートパルス G_{ate} がハイレベルとなることで、 V_1 は再度 V_{reset} となる。このとき、 V_2 には、容量素子 C_S と、発光素子 $OLED$ のアノード - カソード間の寄生容量との容量比に応じた電位変動が生じる。その結果、 V_2 は式 3 に示すような値となる。

【0075】

$$V_2 = V_{Gate(L)} + (1 - \alpha) V_{th(EL)} \quad (\text{式 3})$$

ただし、 $\alpha = C_{el} / (C_s + C_{el})$ である。また、 C_s は容量素子 C_S の容量であり、 C_{el} は発光素子 $OLED$ のアノード - カソード間の寄生容量である。

【0076】

またここで、各電圧及び容量は下記の式 4 及び式 5 を満たす。

【0077】

$$V_{Gate(L)} - (V_{Gate(L)} - V_{th(EL)}) \cdot C_s / (C_s + C_{el}) < V_{th(EL)} \quad (\text{式 4})$$

$$V_{reset} - V_{Gate(L)} + (V_{Gate(L)} - V_{th(EL)}) \cdot C_s / (C_s + C_{el}) > V_{th(TFT)} \quad (\text{式 5})$$

式 4 では、時刻 t_3 において、容量比に応じた電位変動が V_2 に生じても、 V_2 の電位が $OLED$ の閾値電圧 $V_{th(EL)}$ 以下で $OLED$ に流れる電流が無視できる条件を示している。また式 5 では時刻 t_3 における V_2 の電位変動が生じても、駆動トランジスタ T3 には閾値電圧 $V_{th(TFT)}$ 以上の電位差が容量素子 C_S に保持される条件を示している。式 5 において、 V_1 と V_2 との電位差が駆動トランジスタ T3 の閾値電圧 $V_{th(TFT)}$ 以上であれば、駆動トランジスタ T3 がオン状態となり、駆動トランジスタ T3 に電流が流れる。つまり、リセット [2] 期間において V_2 が式 2 を満たし、且つ時刻 t_3 において式 4 及び式 5 が満たされることで、駆動トランジスタ T3 に電流が流れる。この電流は、 V_1 と V_2 との電位差が駆動トランジスタ T3 の閾値電圧 $V_{th(TFT)}$ になるまで流れる。

【0078】

時刻 t_4 において、 V_1 と V_2 との電位差が $V_{th(TFT)}$ となると駆動トランジスタ T3 はオフし、電流は流れなくなる。よって、ここで、容量素子 C_S には駆動トランジスタ T3 の閾値電圧 $V_{th(TFT)}$ が保持される。

【0079】

その後、時刻 $t_5 \sim t_6$ の書き込み期間において、信号線 111 に信号電圧 V_{data} を印加する。これにより、 V_1 の電圧は V_{data} となり、時刻 t_5 における V_2 は式 6 となる。

【0080】

$$V_2 = (1 - \alpha) \cdot (V_{data} - V_{reset}) + V_{reset} - V_{th(TFT)} \quad (\text{式 6})$$

よって、 V_1 と V_2 との電位差、すなわち駆動トランジスタ T3 のゲート - ソース端子

間の電圧 V_{gs} は、式 7 で示される。

【 0 0 8 1 】

$$V_{gs} = (V_{data} - V_{reset}) + V_{th}(TFT) \quad (\text{式 7})$$

つまり、書き込み期間において、 V_{gs} には、信号電圧 V_{data} と基準電圧 V_{reset} との差に、閾値電圧 $V_{th}(TFT)$ だけ加えた電圧、すなわち閾値電圧 $V_{th}(TFT)$ を補償した電圧が書き込まれる。

【 0 0 8 2 】

次に、時刻 t_6 において、ゲートパルス $Gate$ がローレベルとなると V_{gs} に書き込まれた電圧に応じた電流が発光素子 $OLED$ へ流れる。つまり、閾値電圧 $V_{th}(TFT)$ を補償した電圧に応じた電流が発光素子 $OLED$ へ流れるので、駆動トランジスタ T_3 の特性のばらつきにより、同一の信号電圧 V_{data} を与えているにも関わらず輝度ムラが生じるという問題を解消できる。

【 0 0 8 3 】

以上のように、本実施の形態に係る表示装置 100 は、リセットトランジスタ T_2 をゲート線 112 と駆動トランジスタ T_3 のソース端子との間に挿入し、ゲート線 112 に供給されるゲートパルス $Gate$ のローレベルの電圧を駆動トランジスタ T_3 の閾値電圧を検出するための電圧とした。

【 0 0 8 4 】

これにより、本実施の形態に係る表示装置 100 は、発光画素 110 当たり 3 つのトランジスタで、電源線を走査することなく、駆動トランジスタ T_3 の閾値電圧を検出し、その閾値電圧を補償して発光素子 $OLED$ を発光させることができる。このように、駆動トランジスタ T_3 の閾値電圧のばらつきを補償するので、輝度ムラが解消できる。

【 0 0 8 5 】

また、ゲートパルス $Gate$ のローレベル時の電圧は、駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ 以上基準電圧 V_{reset} より低い電圧であるので、リセット [2] 期間において、駆動トランジスタ T_3 のソース端子の電圧を、駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ 以上基準電圧 V_{reset} より低い電圧にできる。つまり、リセット [2] 期間における V_2 の電圧すなわち $V_{Gate(L)}$ を、 $V_{reset} - V_{th}(TFT)$ より低い電圧にできる。よって、その後の V_{th} 検出期間において、駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ の検出が確実にできる。

【 0 0 8 6 】

また、リセット [2] 期間でゲートパルス $Gate$ がローレベルとなる前に、リセット [1] 期間において、ゲートパルス $Gate$ をハイレベルかつリセットパルス Rst をローレベルとする。これにより、発光素子 $OLED$ を消光できる。具体的には、リセット [1] 期間を設けずにリセット [2] 期間の動作を行った場合、駆動トランジスタ T_3 のゲート端子には直前のフレーム期間における信号電圧 V_{data} が印加されているので、リセット期間 [2] 終了後、その信号電圧 V_{data} の設定値によっては、駆動トランジスタ T_3 のゲート及びソース端子間電圧が閾値電圧 $V_{th}(TFT)$ 以上のままとなり、 V_{data} に応じた電流を流してしまう。その結果、発光素子 $OLED$ を消光することができない。上記説明のように、リセット [1] 期間を設けることで、駆動トランジスタ T_3 のゲート端子の電圧を基準電圧 V_{reset} にするので、リセット [2] 期間において駆動トランジスタ T_3 のゲート及びソース端子間電圧を閾値電圧 $V_{th}(TFT)$ 以下となるオフ状態としながら V_2 の電圧を確実にゲートパルス $Gate$ のローレベル電圧 $V_{Gate[L]}$ とできる。

【 0 0 8 7 】

なお、本実施の形態の表示装置 100 は、複数の水平期間に亘り、閾値電圧の検出を行ってもよい。これにより、容量素子 CS に閾値電圧 $V_{th}(TFT)$ を保持させるための期間を長くとれるので、容量素子 CS に保持される電圧が安定し、高精度な閾値電圧補償が実現できる。

【 0 0 8 8 】

(実施の形態1の変形例)

図5は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置100の動作を示すタイミングチャートである。同図において、横軸は時間を示し、上から順に1行目の発光画素に対応するゲート線112に印加されるゲートパルスGate[1]、リセット線113に印加されるリセットパルスRst[1]、1行目の画素のV1[1]の電圧波形及び1行目の画素のV2[1]の電圧波形と、2～6行目の発光画素のゲートパルスGate[2]～Gate[6]と、2～6行目の発光画素のリセットパルスRst[2]～Rst[6]と、信号線111の信号線電圧Sigとが示されている。なお、同図には、複数の発光画素110の1つの列に対応するタイミングチャートが示されている。また、行ごとに対応するゲートパルスGate[1]～[m]及びリセットパルスRst[1]～[m]のうち、6行分のみが示されている。

【0089】

信号線駆動部130は、信号線111に対し、各水平期間の後半は基準電圧Vresetを供給し、各水平期間の前半は各信号線111が対応する列の表示画素の信号電圧Vdataを供給する。また、ゲート線駆動部121及びリセット線駆動部122は、1水平期間ずつずらして、各ゲートパルスGate[1]～[6]及び各リセットパルスRst[1]～[6]を各ゲート線112及び各リセット線113へ供給する。

【0090】

まず時刻t0～t2のリセット[1]期間及びリセット[2]期間において、ゲート線駆動部121及びリセット線駆動部122は、上記実施の形態1で説明したようにゲートパルスGate[1]を一度ハイレベルとした後でローレベルとし、リセットパルスRst[1]をハイレベルとすることで、V2[1]の電圧を基準電圧Vresetから閾値電圧Vth(TFT)分より低い電圧とする。なお、ゲート線駆動時刻t0の1水平期間後の時刻t1において、2行目のゲートパルスGate[2]がハイレベルとなり、2行目のリセット[1]期間が始まる。

【0091】

次に、時刻t3において、ゲートパルスGate[1]をハイレベルとすることで、V1が基準電圧となり、駆動トランジスタT3に電流が流れる。よって、V2が上昇し始める。

【0092】

次に、時刻t4において、2行目のリセット線113のリセットパルスRst[2]及び3行目のゲート線112のゲートパルスGate[3]が立ち下がる。

【0093】

以降、各水平期間の後半のみゲートパルスGate[1]がハイレベルとなることで、V2はVreset-Vth(TFT)へと遷移する。

【0094】

上述したように、信号線111へは、各水平期間の後半においては基準電圧であるVresetが供給され、各水平期間の前半においては対応する列の発光画素110の輝度に対応するVdataが供給されている。

【0095】

よって、Vth検出期間において、各ゲートパルスGate[1]～Gate[6]が各水平期間の後半にハイレベルとなることで、V1に基準電圧Vresetを供給するので、駆動トランジスタT3の閾値電圧を検出するために必要な期間の一部を確保できる。このように、各ゲートパルスGate[1]～Gate[6]は、水平期間の後半にハイレベルとなる動作を複数の水平期間に亘り繰り返すことで、閾値電圧の検出に必要な時間を十分に確保することができる。

【0096】

一方、各ゲートパルスGate[1]～Gate[6]は、各水平期間の前半にローレベルとなることで、各水平期間の前半は信号線111と駆動トランジスタT3のゲート端子とを非導通とし、信号電圧Vdataが供給されないようにする。

【0097】

以上のように、本変形例に係る表示装置は、各水平期間の後半を閾値電圧 $V_{th}(TF T)$ の検出期間とし、それを複数の水平期間に亘り繰り返すことで、閾値電圧 $V_{th}(TF T)$ の検出に必要な期間を確保している。よって、容量素子 CS に保持される電圧が安定し、その結果、高精度な閾値電圧補償ができる。

【0098】

なお、図5においては、 V_{th} 検出期間を4水平期間としたが、 V_{th} 検出期間に要する水平期間は4水平期間に限らず、駆動トランジスタ $T3$ の閾値電圧 $V_{th}(TF T)$ を検出するのに、十分な時間が確保されていれば良い。

【0099】

(実施の形態2)

実施の形態2の表示装置は、実施の形態1の表示装置100とほぼ同じであるが、リセットトランジスタが駆動トランジスタのソース端子と次の行に設けられたゲート線との間に挿入されている点が異なる。これにより、ゲート線をアクティブ状態にし、かつリセット線をアクティブ状態とした場合であっても、駆動トランジスタのソース端子の電圧を次の行のゲート線の電圧とできるので、次の行のゲート線の電圧を駆動トランジスタの閾値電圧分以上基準電圧より低い電圧とすることで、駆動トランジスタの閾値電圧の検出が確実に行うことが可能となる。つまり、リセットトランジスタを同じ行のゲート線と接続した場合と比較して、発光素子の消光と、駆動トランジスタのソース端子の電圧の設定とが同時にできるので、1フレーム期間において、より多くの時間を駆動トランジスタの閾値電圧の検出に割り当てることができる。以下、実施の形態2に係る表示装置が実施の形態1に係る表示装置100と比較して異なる点を中心に述べる。

【0100】

以下、本発明の実施の形態2に係る表示装置について、図面を参照しながら説明する。

【0101】

図6は、実施の形態2に係る表示装置の構成を示すブロック図である。

【0102】

同図に示す表示装置200は、図1に示した表示装置100と比較して、さらに、各発光画素210が次の行のゲート線112と接続されている点が異なる。また、表示装置200はさらに、ダミーゲート線201を備える。

【0103】

ダミーゲート線201は、複数の発光画素210の最終行の発光画素210に接続され、ゲート線112と同様にゲート線駆動部121により走査される。ゲート線駆動部121は、ダミーゲート線201に対し、ゲートパルス $Gate[m]$ を1水平期間遅らせたパルスであるゲートパルス $Gate[d]$ を出力する。

【0104】

図7は、図6に示した発光画素210の詳細な構成を示す回路図である。なお、同図に示す発光画素210は k 行目に設けられた発光画素210である。また、同図には、発光画素210に対応する信号線111と、 k 行目のゲート線であるゲート線112(k)及び $k+1$ 行目のゲート線であるゲート線112($k+1$)と、リセット線113も示されている。

【0105】

同図に示す発光画素210は、図2に示した発光画素110と比較して、リセットトランジスタ $T2$ に代わり、リセットトランジスタ $T2'$ を備える。このリセットトランジスタ $T2'$ は、実施の形態1に示した発光画素110のリセットトランジスタ $T2$ と比較して、駆動トランジスタ $T3$ のソース端子と次の行のゲート線112($k+1$)との間に挿入されている。

【0106】

このような構成とすることで、本実施の形態に係る表示装置200の発光画素210は、駆動トランジスタ $T3$ のソース端子の電位、すなわち V_2 、を次の行のゲート線112

($k + 1$) の電圧を利用して設定することができる。

【0107】

図8は、実施の形態2に係る表示装置200の動作を示すタイミングチャートである。同図の縦軸には、図3のタイミングチャートと比較して、さらに次の行のゲート線112 ($k + 1$) に供給されるゲートパルス $Gate [k + 1]$ が示されている。なお、ゲートパルス $Gate [k + 1]$ のローレベルの電圧は、 $V_{reset} - V_{th} (TFT)$ より低い値を示す電圧である。

【0108】

まず、時刻 t_0 において、ゲートパルス $Gate [k]$ はローレベルからハイレベルへと立ち上がる。また、リセットパルス Rst もローレベルからハイレベルへと立ち上がる。これにより、行選択トランジスタ T_1 がオンし、同時にリセットトランジスタ T_2' もオンする。

【0109】

このとき、リセットトランジスタ T_2' は次の行のゲート線112 ($k + 1$) と駆動トランジスタ T_3 のソース端子とを導通するので、 V_2 は、次の行のゲート線112 ($k + 1$) に供給されているゲートパルス $Gate [k + 1]$ の電圧となる。この時刻 t_0 において、次の行のゲートパルス $Gate [k + 1]$ はローレベルであるので、 V_2 は $V_{Gate} (L)$ となる。

【0110】

また、 V_1 は、行選択トランジスタ T_1 がオンすることにより信号線111の電圧となる。時刻 t_1 において、信号線の電圧は基準電圧 V_{reset} であるから、 V_1 は V_{reset} へと遷移する。

【0111】

このように、本実施の形態の表示装置200は、発光画素の同一行のゲートパルス $Gate [k]$ をハイレベルとし、かつリセットパルス Rst をハイレベルとした場合であっても、駆動トランジスタ T_3 のソース端子の電圧を次の行のゲート線112 ($k + 1$) の電圧とできる。ここで、次の行のゲートパルス $Gate [k + 1]$ がローレベルであり、このローレベルの電圧が $V_{reset} - V_{th} (TFT)$ よりも低い電圧であることにより、駆動トランジスタ T_3 の閾値電圧 $V_{th} (TFT)$ の検出を確実にできる。

【0112】

よって、実施の形態1に係る表示装置100では V_{th} 検出期間の前に、リセット [1] 期間及びリセット [2] 期間が必要であったが、本実施の形態に係る表示装置200では、表示装置100と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

【0113】

具体的には、図8の時刻 $t_0 \sim t_1$ に示すリセット期間では、容量素子 CS の一端には信号線111から基準電圧 V_{reset} を設定し、前記容量素子 CS の他端には固定電圧を設定して、容量素子 CS に所定の電位差の電圧を設定する必要がある。実施の形態1の表示装置100では、容量素子 CS に所定の電位差の電圧を設定するために、リセット [1] 期間である図3の時刻 $t_0 \sim t_1$ と、リセット [2] 期間である図3の時刻 $t_1 \sim t_2$ との二つの期間に区分けして、容量素子 CS の一端に基準電圧 V_{reset} を設定する期間と、容量素子 CS の他端に固定電圧を設定する期間とに分けていた。これに対し、本実施の形態では、容量素子 CS の一端に基準電圧 V_{reset} を設定する期間と、容量素子 CS の他端に固定電圧を設定する期間とを同時にできる。

【0114】

ここで、図8の時刻 $t_0 \sim t_1$ では、容量素子 CS の一端に基準電圧 V_{reset} を供給するときに、行選択トランジスタ T_1 をオンにする必要がある。ゲートパルス $Gate [k]$ はハイレベル電圧 $V_{Gate} (H)$ とする必要がある。このとき、次の行に対応するゲートパルス $Gate [k + 1]$ はローレベル電圧 $V_{Gate} (L)$ となっている。そこで、リセットトランジスタ T_2' をオンにすることにより、容量素子 CS の他端にゲートパルス $Gate [k + 1]$ の電圧である $V_{Gate} [L]$ が設定される。

【 0 1 1 5 】

つまり、実施の形態 1 において、閾値電圧検出のための予備動作は、当該動作を行っている発光画素 1 1 0 の属する行に対応するゲート線 1 1 2 を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用していた。これに対し、本実施の形態で、閾値電圧検出のための予備動作を行っている発光画素 2 1 0 が属する行の次の行に対応するゲート線 1 1 2 を、固定電位 $V_{Gate}(L)$ を供給するための電源線として兼用する。これにより、本実施の形態の表示装置 2 0 0 は、実施の形態 1 の表示装置 1 0 0 と比較して、半分の期間で容量素子 CS の他端に固定電位 $V_{Gate}(L)$ を設定できる。つまり、表示装置 1 0 0 と比較して、半分の期間で閾値電圧検出のための予備動作を行える。

【 0 1 1 6 】

次に、リセット期間の終了時刻である時刻 t_1 において、リセットパルス Rst がローレベルとなることでリセットトランジスタ T_2' がオフするので、ゲート線 1 1 2 ($k+1$) と駆動トランジスタ T_3 のソース端子とは非導通となる。よって、容量素子 CS には、このときの V_1 と V_2 との電位差が保持される。

【 0 1 1 7 】

以降の動作は、図 3 で示した実施の形態 1 に係る表示装置 1 0 0 のタイミングチャートの時刻 t_3 以降と同様である。次の行のゲートパルス $Gate[k+1]$ は、時刻 t_4 でローレベルからハイレベルになる。つまり、時刻 t_4 から次の行のリセット期間が開始される。

【 0 1 1 8 】

なお、次の行のゲートパルス $Gate[k+1]$ は、リセットパルス Rst がハイレベルの期間、すなわち少なくともリセット期間はローレベルであればよく、図 8 の駆動タイミングに限られない。

【 0 1 1 9 】

また、本実施の形態の表示装置 2 0 0 は、実施の形態 1 の変形例と同様に複数の水平期間に亘り、閾値電圧の検出を行ってもよい。

【 0 1 2 0 】

(実施の形態 2 の変形例)

図 9 は、複数の水平期間に亘り閾値電圧を検出する場合の表示装置 2 0 0 の動作を示すタイミングチャートである。

【 0 1 2 1 】

同図に示すタイミングチャートは、図 5 に示したタイミングチャートと比較して、リセットに要する期間が 1 水平期間となっている。このように、閾値電圧検出のための予備動作を半分の期間で行うことで、実施の形態 1 と比較して、 V_{th} 検出期間をより長い期間とすることができるので、高精度な閾値電圧補償を実現できる。なお、図 9 においては、 V_{th} 検出期間を 5 水平期間としたが、 V_{th} 検出期間に要する水平期間は 5 水平期間に限らず、駆動トランジスタ T_3 の閾値電圧 $V_{th}(TFT)$ を検出するのに、十分な時間が確保されていれば良い。

【 0 1 2 2 】

(実施の形態 3)

実施の形態 3 の表示装置は、実施の形態 1 の表示装置 1 0 0 とほぼ同じであるが、リセットトランジスタのソース端子及びドレイン端子の一方、及び、容量素子の他端が、駆動トランジスタのソース端子及びドレイン端子の一方に所定の素子を介して接続されている点が異なる。

【 0 1 2 3 】

具体的には、本実施の形態の表示装置が備える複数の発光画素のそれぞれは、実施の形態 1 の表示装置 1 0 0 が備える複数の発光画素のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタのソース端子及びドレイン端子の一方と容量素子の他端とに接続され、ソース端子及びドレイン端子の他端が駆動トランジスタのソース端子及びドレイン端

子の一方に接続された第2スイッチングトランジスタを備える。

【0124】

以下、実施の形態3に係る表示装置について、図面を参照しながら説明する。

【0125】

図10は、実施の形態3に係る表示装置が有する発光画素の詳細な構成を示す回路図である。なお、同図には、発光画素310に対応する信号線111、ゲート線112、リセット線113及びマージ線301も示されている。また、図10には本実施の形態に係る表示装置が有する複数の発光画素のうちの1つの発光画素の構成について説明するが、他の発光画素も同様の構成を有する。

【0126】

まず、本実施の形態に係る表示装置の構成について説明する。

【0127】

本実施の形態に係る表示装置は、図1に示した表示装置100とほぼ同じ構成を有するが、表示装置100と比較して、発光画素110に代わり発光画素310を有し、さらに、複数の発光画素310の行ごとに対応して設けられたマージ線301を有する点が異なる。

【0128】

マージ線301は、複数の発光画素310の行ごとに対応して設けられ、行走査部120からマージパルスMergeが出力される。言い換えると、本実施の形態の表示装置における行走査部は、実施の形態1の表示装置100における行走査部120と比較して、さらに、各マージ線301にマージパルスMergeを出力することで、複数の発光画素310を行単位で順次走査する。

【0129】

次に、図10に示す発光画素の構成について説明する。

【0130】

発光画素310は、実施の形態1に係る表示装置100が有する発光画素110と比較して、リセットトランジスタT2のソース端子及びドレイン端子の一方、及び、容量素子CSの他端が、駆動トランジスタT3のソース端子にマージトランジスタTmを介して接続されている点が異なる。具体的には、発光画素310は、発光画素110と比較して、さらに、マージトランジスタTm及びマージ容量CSmを備える。

【0131】

マージトランジスタTmは、本発明の第2スイッチングトランジスタであって、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタT2のソース端子及びドレイン端子の一方と容量素子CSの他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタT3のソース端子に接続されている、例えばn型のTFETである。このマージトランジスタTmのゲート端子は、マージ線301に接続されている。つまり、マージトランジスタTmは、マージ線301に供給されるマージパルスMergeに応じてオン及びオフする。

【0132】

マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VSSの電源線との間に挿入される。

【0133】

このような構成とすることで、複数の発光画素310を有する本実施の形態に係る表示装置は、発光素子OLEDの寄生容量のばらつきによる、駆動トランジスタT3が発光素子OLEDに供給する電流である画素電流の変動を抑制できる。例えば、信号線駆動部130が複数の発光画素310に同一の信号電圧を供給した場合に、各発光画素310の発光素子OLEDと駆動トランジスタT3との接続点の電位のばらつきを抑制することが可能となる。よって、発光素子OLEDの寄生容量の影響を低減し、信号電圧に応じた正確な発光輝度で発光素子OLEDを発光させることができる。

【0134】

次に、本実施の形態に係る表示装置の駆動方法について図 1 1 及び図 1 2 を用いて説明する。

【 0 1 3 5 】

図 1 1 は、実施の形態 3 に係る表示装置の動作を示すタイミングチャートである。同図の縦軸には、図 3 のタイミングチャートと比較して、さらにマージ線 3 0 1 に供給されるマージパルス *Merge* が示されている。なお、図 3 において、*V2* は駆動トランジスタ *T3* のソース端子の電位であったが、図 1 1 において、*V2* は、リセットトランジスタ *T2* のソース端子及びドレイン端子の一方と容量素子 *CS* の他端との接続点の電位である。

【 0 1 3 6 】

図 1 1 に示す各波形のうち、ゲートパルス *Gate*、リセットパルス *Rst* 及び信号線電圧 *Sig* の波形は、図 3 に示した実施の形態 1 に係る表示装置 1 0 0 のゲートパルス *Gate*、リセットパルス *Rst* 及び信号線電圧 *Sig* の波形と同じである。よって、マージパルス *Merge* と、*V1* 及び *V2* の波形を中心に説明する。

【 0 1 3 7 】

まず、時刻 *t5* までの期間において、マージパルス *Merge* をハイレベルとしていることで、マージトランジスタ *Tm* をオンさせている。マージトランジスタ *Tm* がオンしていることで、駆動トランジスタ *T3* のソース端子と、容量素子 *CS* の他端とが導通している。つまり、時刻 *t5* までの期間において、発光画素 3 1 0 は発光画素 1 1 0 と等価である。

【 0 1 3 8 】

図 1 2 は、実施の形態 3 に係る表示装置の発光画素 3 1 0 における電流の流れを模式的に示す図である。ここで、マージパルス *Merge* のハイレベル電圧を *V Merge (H)*、マージパルス *Merge* のローレベル電圧を *V Merge (L)* とする。

【 0 1 3 9 】

上述したように、時刻 *t5* までの発光画素 3 1 0 の動作は図 3 に示した発光画素 1 1 0 の時刻 *t5* までの動作と同様であるので、図 1 2 (a) ~ (c) における電流の流れは図 4 (a) ~ (c) に示す電流の流れと同様である。

【 0 1 4 0 】

次に、時刻 *t5* において、マージパルス *Merge* はハイレベルからローレベルへと立ち下がる。これにより、マージトランジスタ *Tm* がオフする。マージパルス *Merge* がハイレベルからローレベルへと立ち下がるタイミングは、*V1* と *V2* との電位差が *V th (TF T)* となり駆動トランジスタ *T3* に流れる電流が止まってからであればよく、図 1 1 に示したタイミングに限らない。

【 0 1 4 1 】

その後、時刻 *t6* ~ *t7* (図 3 の時刻 *t5* ~ *t6* に対応) の書き込み期間において、マージパルス *Merge* をローレベルとしたままで、信号線 1 1 1 に信号電圧を印加する。

【 0 1 4 2 】

このように発光画素 3 1 0 に信号電圧が印加されたとき、容量素子 *CS* の他端の電位である *V2* は、容量素子 *CS* の一端に印加される信号電圧、マージ容量 *CSm* に接続されている電源線の電圧 *VSS*、容量素子 *CS* の容量 *Cs*、及び、マージ容量 *CSm* の容量 *Csm* によって決定される。つまり、*V2* は、容量素子 *CS* の容量 *Cs* と、マージ容量 *CSm* の容量 *Csm* との容量分配によって規定される。

【 0 1 4 3 】

これに対し、実施の形態 1 に係る表示装置 1 0 0 の発光画素 1 1 0 に信号電圧が印加されたとき、*V2* の電位は、*V1* に印加される信号電圧、発光素子 *OLED* のカソードに接続されている電源線の電圧 *VSS*、容量素子 *CS* の容量 *Cs*、及び、発光素子 *OLED* の寄生容量によって決定される。つまり、*V2* の電位は、容量素子 *CS* の容量 *Cs* と、発光素子 *OLED* の寄生容量とによって規定される。しかしながら、発光素子 *OLED* のアノード - カソード間の寄生容量は発光素子 *OLED* ごとにばらつきを有するので、複数の発

光画素 110 に同一の信号電圧を供給した場合であっても、発光画素 110 間の、発光素子 O L E D と駆動トランジスタ T 3 との接続点の電位は同一とはならず、ばらつきを有する。したがって、発光素子 O L E D と駆動トランジスタ T 3 との接続点の電位のばらつきにより、発光素子 O L E D に供給される電流もばらつく。

【0144】

本実施の形態に係る表示装置の発光画素 310 は、容量素子 C S の他端と、駆動トランジスタ T 3 のソース端子とをマージトランジスタ T m を介して接続し、マージトランジスタ T m をオフしている期間に発光画素 310 に信号電圧を書き込むことにより、V 2 の電位に対する発光素子 O L E D の寄生容量の影響を低減できる。

【0145】

また、発光画素 310 に信号電圧を書き込んでいる期間においてマージトランジスタ T m はオフしているので、容量素子 C S の自己放電電流を抑制できる。よって、実施の形態 1 の表示装置 100 における発光画素と比較して、駆動トランジスタ T 3 の閾値をより精度良く検出し、補正できる。

【0146】

次に、時刻 t 7 において、ゲートパルスがローレベルとなって行選択トランジスタ T 1 がオフすることにより、駆動トランジスタ T 3 のゲート端子に供給されている電圧に応じた電流が発光素子 O L E D へ流れ始める。そして、時刻 t 8 において、マージパルス M e r g e をローレベルからハイレベルに立ち上げ、マージトランジスタ T m をオンすることにより、駆動トランジスタ T 3 のソース端子と容量素子 C s とが接続される。これにより、発光素子 O L E D には、駆動トランジスタ T 3 のゲート - ソース端子間の電圧 V g s に応じた電流が流れる。換言すれば、発光素子 O L E D には、時刻 t 6 ~ t 7 の書き込み期間において、発光素子 O L E D の寄生容量の影響が低減された電位 V 2 と、電位 V 1 との電位差に応じた電流が流れる。その結果、発光素子 O L E D の寄生容量の影響を低減し、信号電圧に正確に応じた電流が発光素子 O L E D に流れる。よって、信号電圧に応じて精度良く発光素子を発光させることができる。

【0147】

このように、マージトランジスタ T m は、駆動トランジスタ T 3 の閾値を検出する期間である時刻 t 3 ~ t 4 では継続してオンし、閾値の検出後の時刻 t 5 ではオンからオフに切り替わり、書き込み期間である時刻 t 6 ~ t 7 では継続してオフし、書き込み期間後（時刻 t 7 以降）の時刻 t 8 にオフからオンに切り替わる。

【0148】

以上のように、本実施の形態の表示装置が備える複数の発光画素 310 のそれぞれは、実施の形態 1 の表示装置 100 が備える複数の発光画素 110 のそれぞれと比較して、さらに、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方がリセットトランジスタ T 2 のソース端子及びドレイン端子の一方と容量素子 C S の他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が駆動トランジスタ T 3 のソース端子に接続されたマージトランジスタ T m を備える。

【0149】

これにより、発光素子 O L E D の寄生容量のばらつきによる、駆動トランジスタ T 3 が発光素子 O L E D に供給する電流である画素電流の変動を抑制できる。つまり、信号線駆動部 130 が複数の発光画素 310 に同一の信号電圧を供給した場合に、各発光画素 310 の駆動トランジスタ T 3 のゲート端子とソース端子との電位差のばらつきを抑制できる。

【0150】

よって、発光素子 O L E D の寄生容量の影響を防止し、信号電圧に応じて精度良く発光素子 O L E D を発光させることができる。

【0151】

なお、上記説明では、マージ容量 C S m は、マージトランジスタ T m、容量素子 C S 及びリセットトランジスタ T 2 の接続点と、電圧 V S S の電源線との間に挿入されるとし

たが、接続される電源線はVSSに限らず固定電位であればよい。例えば、マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VDDの電源線との間に挿入されてもよい。

【0152】

また、実施の形態3の表示装置の発光画素310のリセットトランジスタT2に代わり、実施の形態2の表示装置の発光画素210に示したリセットトランジスタT2'を備えてもよい。つまり、当該発光画素の次の行に対応するゲート線112と、容量素子CS、マージ容量CSm及びマージトランジスタTmの接続点との間に挿入されたりリセットトランジスタT2'を備えてもよい。

【0153】

また、本実施の形態の表示装置では、1水平期間で閾値電圧を検出したが、実施の形態2の変形例と同様に、複数の水平期間に亘り閾値電圧を検出してよい。

【0154】

以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施したのものや、異なる実施の形態及び変形例における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

【0155】

例えば、実施の形態2に於いて、第一スイッチングトランジスタ、及びリセットトランジスタはそれぞれ、ゲート端子に印加されているパルスがハイレベルのときにオンするn型トランジスタとしたが、これらをp型トランジスタで構成し、ゲート線及びリセット線の極性を反転させても良い。

【0156】

また、実施の形態3に於いて、マージ容量CSmは、マージトランジスタTm、容量素子CS及びリセットトランジスタT2の接続点と、電圧VSSの電源線との間に挿入されるとしたが、マージ容量CSmは必ずしも電源線に接続される必要はない。例えばリセット線のローレベル出力期間を電源線に見立て、マージ容量のCSmをリセット線と接続しても良い。

【0157】

また、例えば、本発明に係る表示装置は、図13に示すような薄型フラットTVに内蔵される。本発明に係る表示装置が内蔵されることにより、輝度ムラのない高精度な画像表示が可能な薄型フラットTVが実現される。

【0158】

また、上記各実施の形態に係る表示装置は典型的には集積回路である一つのLSIとして実現される。なお、各実施の形態に係る表示装置に含まれる各処理部は、個別に1チップ化されてもよいし、一部又はすべてを含むように1チップ化されてもよい。

【0159】

ここでは、LSIとしたが、集積度の違いにより、IC、システムLSI、スーパーLSI、ウルトラLSIと呼称されることもある。

【0160】

また、集積回路化はLSIに限るものではなく、表示装置に含まれる処理部の一部を、発光画素と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してよい。

【0161】

また、各実施の形態に係る表示装置に含まれる駆動部の機能の一部を、CPU等のプロセッサがプログラムを実行することにより実現してもよい。また、本発明は、上記駆動部により実現される特徴的なステップを含む表示装置の駆動方法として実現してもよい。

【0162】

さらに、本発明は上記プログラムであってもよいし、上記プログラムが記録された記録媒体であってもよい。また、上記プログラムは、インターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

【0163】

また、上記説明では、表示装置がアクティブマトリクス型の有機EL表示装置ある場合を例に述べたが、本発明を、アクティブマトリクス型以外の有機EL表示装置に適用してもよいし、電流駆動型の発光素子を用いた有機EL表示装置以外の表示装置に適用してもよいし、液晶表示装置等の電圧駆動型の発光素子を用いた表示装置に適用してもよい。

【0164】

また、上記実施の形態1の変形例および実施の形態2の変形例において、各水平期間の後半を閾値電圧の検出期間とし、前半を信号電圧の書き込み期間としたが、この検出期間及び書き込み期間のデューティ比は50パーセントに限らない。例えば、書き込み期間が1水平期間の10パーセントであり、検出期間が1水平期間の90パーセントであってもよい。

【0165】

また、上記実施の形態2において、m行目の発光画素110が有するリセットトランジスタT2'はダミーゲート線201に接続されていたが、1行目からm行目までのゲート線112のいずれかに接続されていてもよい。

【0166】

また、駆動トランジスタT3のソース端子と電源線との間に容量素子を備えても良い。

【産業上の利用可能性】

【0167】

本発明に係る表示装置は、特に、TFTと組み合わせた大画面アクティブマトリクス型の有機ELディスプレイパネルへの適用に有用である。

【符号の説明】

【0168】

100、200 表示装置
 110、210、310 発光画素
 111 信号線
 112、112(k)、112(k+1) ゲート線
 113 リセット線
 120 行走査部
 121 ゲート線駆動部
 122 リセット線駆動部
 130 信号線駆動部
 140 タイミング制御部
 201 ダミーゲート線
 301 マージ線
 CS 容量素子
 CSm マージ容量
 OLED 発光素子
 T1 行選択トランジスタ
 T2、T2' リセットトランジスタ
 T3 駆動トランジスタ
 Tm マージトランジスタ

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】**【請求項 1】**

行列状に配置された複数の発光画素を備える表示装置であって、
前記表示装置は、
前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、
前記複数の発光画素の列ごとに対応して設けられた信号線とを備え、
前記複数の発光画素のそれぞれは、
ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第 1 スイッチングトランジスタと、
電流が流れることにより発光する発光素子と、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第 1 スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、
ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりセットトランジスタと、
一端が前記駆動トランジスタのゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、
前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、
を備え、
前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続され、
前記駆動部は、
前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、
前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定する
表示装置。

【請求項 2】

前記駆動部はさらに、複数の前記信号線に、基準電圧と、前記基準電圧より大きい信号電圧とを選択的に供給し、
各ゲート線の非アクティブ状態における電圧は、前記駆動トランジスタの閾値電圧分以上前記基準電圧より低い電圧である
請求項 1 に記載の表示装置。

【請求項 3】

前記リセットトランジスタのソース端子及びドレイン端子の前記一方、及び、前記容量素子の前記他端は、前記駆動トランジスタのソース端子及びドレイン端子の前記一方に所定の素子を介して接続されている
請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備える

請求項3に記載の表示装置。

【請求項5】

前記駆動トランジスタ、前記第1スイッチングトランジスタ及び前記リセットトランジスタはそれぞれ、n型のトランジスタ素子である

請求項1～4のいずれか1項に記載の表示装置。

【請求項6】

前記発光素子は、有機EL(Electro Luminescence)素子である

請求項1～5のいずれか1項に記載の表示装置。

【請求項7】

行列状に配置された複数の発光画素と、前記複数の発光画素の行ごとに対応して設けられたゲート線及びリセット線と、前記複数の発光画素の列ごとに対応して設けられ、基準電圧と前記基準電圧より大きい信号電圧とが選択的に供給される信号線とを備え、前記複数の発光画素のそれぞれは、ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記信号線に接続され、当該ゲート端子が前記ゲート線に接続された第1スイッチングトランジスタと、電流が流れることにより発光する発光素子と、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記第1スイッチングトランジスタのソース端子及びドレイン端子の他方に接続され、当該ソース端子及び当該ドレイン端子の一方が前記発光素子に接続され、前記発光素子に電流を供給する駆動トランジスタと、ゲート端子とソース端子とドレイン端子とを備え、当該ゲート端子が前記リセット線に接続され、当該ソース端子及び当該ドレイン端子の一方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続されたりリセットトランジスタと、一端が前記駆動トランジスタの前記ゲート端子に接続され、他端が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された容量素子と、

前記スイッチングトランジスタ及び前記リセットトランジスタの各々にオン信号またはオフ信号を供給し、前記スイッチングトランジスタ及び前記リセットトランジスタのオンオフを制御する駆動部と、

を備え、

前記リセットトランジスタのソース端子及びドレイン端子の他方は、同じ行に設けられたゲート線に接続されている表示装置の駆動方法であって、

前記リセット線にオフ信号を供給し前記リセットトランジスタをオフするような非アクティブ状態にしている間に、前記リセットトランジスタのソース端子及びドレイン端子の前記他方が接続されたゲート線にオン信号を供給し前記スイッチングトランジスタをオンするようなアクティブ状態にし、前記信号線を介して前記容量素子の前記一端に所定の基準電圧を設定し、

前記容量素子の前記一端に前記所定の基準電圧を設定した後、前記リセット線にオン信号を供給し前記リセットトランジスタをオンするようなアクティブ状態にしている間に、前記ゲート線にオフ信号を供給し前記スイッチングトランジスタがオフするような非アクティブ状態にし、前記ゲート線を介して前記容量素子の前記他端にローレベル電圧を設定するリセットステップを含む

表示装置の駆動方法。

【請求項8】

さらに、

前記リセットステップの後、前記第1スイッチングトランジスタをオンすることで、前記駆動トランジスタの閾値電圧を検出する検出ステップと、

検出ステップで検出された前記閾値電圧を前記容量素子に保持させる保持ステップと、前記保持ステップの後、前記駆動トランジスタのゲート端子に前記発光素子を発光させるための信号電圧を供給する書き込みステップと、

前記書き込みステップの後、前記第1スイッチングトランジスタをオフすることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる発光ステップとを含む

請求項7記載の表示装置の駆動方法。

【請求項9】

前記検出ステップは、

前記第1スイッチングトランジスタをオンする第1サブステップと、

前記第1サブステップの後、前記第1スイッチングトランジスタをオフする第2サブステップとを含み、

前記第2サブステップの後、前記第1サブステップ及び前記第2サブステップを少なくとも1回繰り返す

請求項8記載の表示装置の駆動方法。

【請求項10】

前記第1サブステップでは、前記第1スイッチングトランジスタと同じ列に設けられた前記信号線へは前記基準電圧が供給され、

前記第2サブステップでは、当該信号線へは前記信号電圧または前記基準電圧が供給される

請求項9記載の表示装置の駆動方法。

【請求項11】

前記複数の発光画素のそれぞれは、さらに、

ゲート端子とソース端子とドレイン端子とを備え、当該ソース端子及び当該ドレイン端子の一方が前記リセットトランジスタのソース端子及びドレイン端子の前記一方と前記容量素子の前記他端とに接続され、当該ソース端子及び当該ドレイン端子の他方が前記駆動トランジスタのソース端子及びドレイン端子の前記一方に接続された第2スイッチングトランジスタを備え、

前記検出ステップにおいて、

前記第2スイッチングトランジスタをオンした状態で、前記第1スイッチングトランジスタをオンして前記駆動トランジスタの閾値電圧を検出し、

前記保持ステップにおいて、

前記第2スイッチングトランジスタをオンからオフに切り替えることで、前記検出ステップで検出された前記閾値電圧を前記容量素子に保持させ、

前記書き込みステップにおいて、

前記第1スイッチングトランジスタがオンとなっている期間に前記信号線に前記信号電圧が供給されることにより、前記第2スイッチングトランジスタをオフにした状態で前記駆動トランジスタのゲート端子に前記信号電圧を供給し、

前記発光ステップにおいて、

前記第1スイッチングトランジスタをオンからオフに切り替えた後、前記第2スイッチングトランジスタをオフからオンに切り替えることで、前記駆動トランジスタのゲート端子及びソース端子間の電位差に応じた電流を前記発光素子に流して前記発光素子を発光させる、

請求項8～10のいずれか1項に記載の表示装置の駆動方法。

【手続補正3】

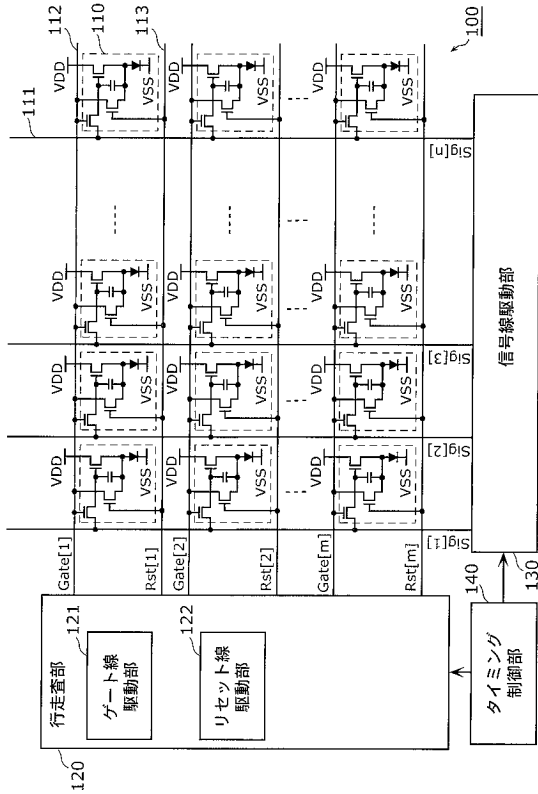
【補正対象書類名】図面

【補正対象項目名】全図

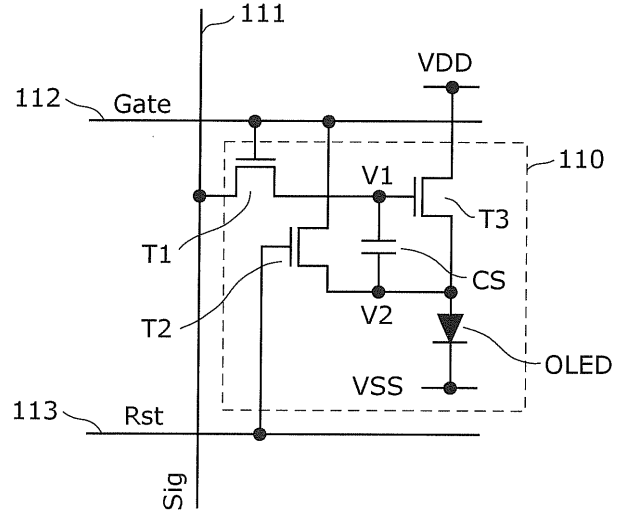
【補正方法】変更

【補正の内容】

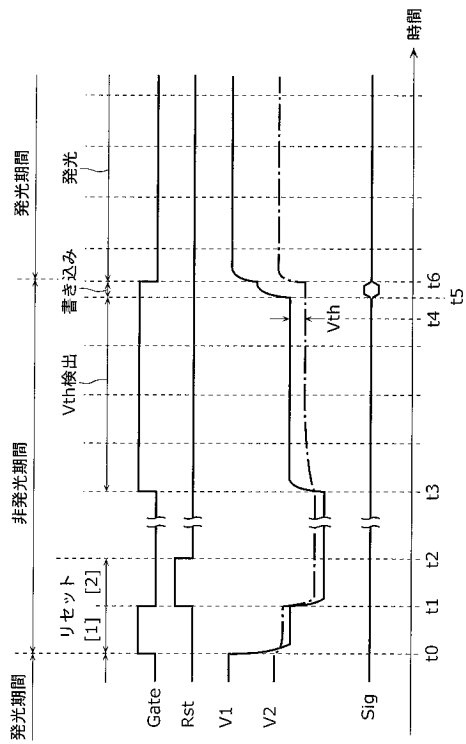
【 図 1 】



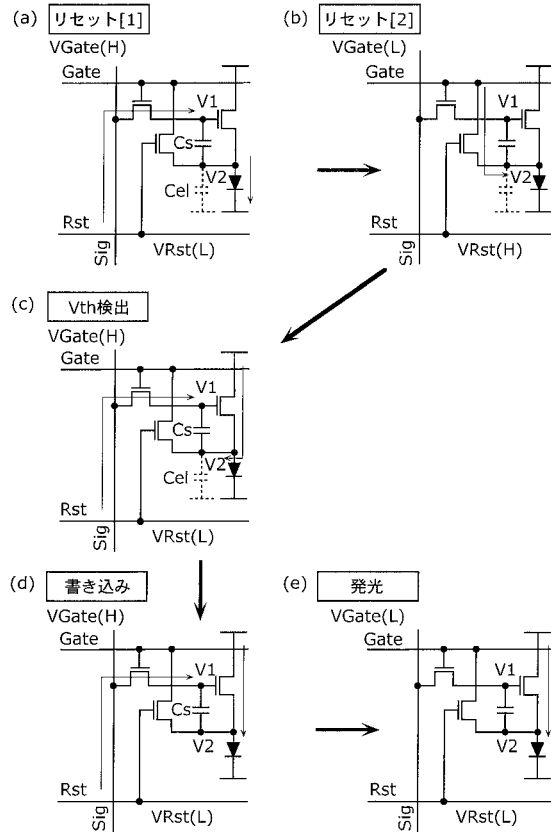
【 図 2 】



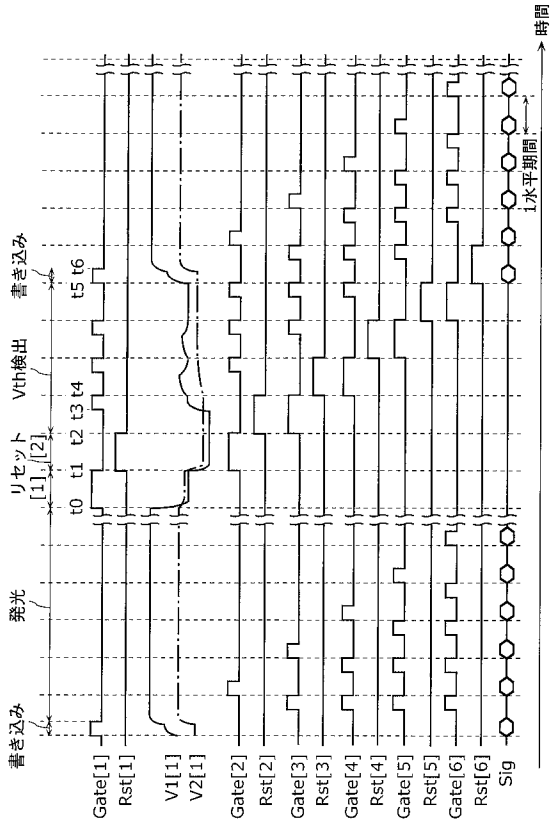
【 図 3 】



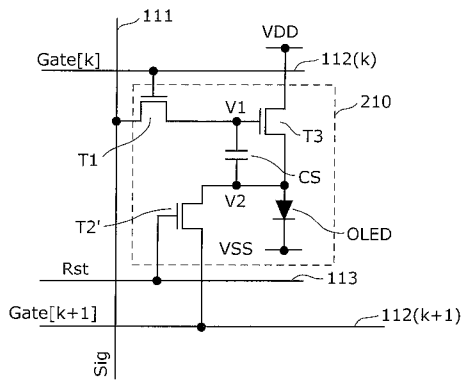
【 図 4 】



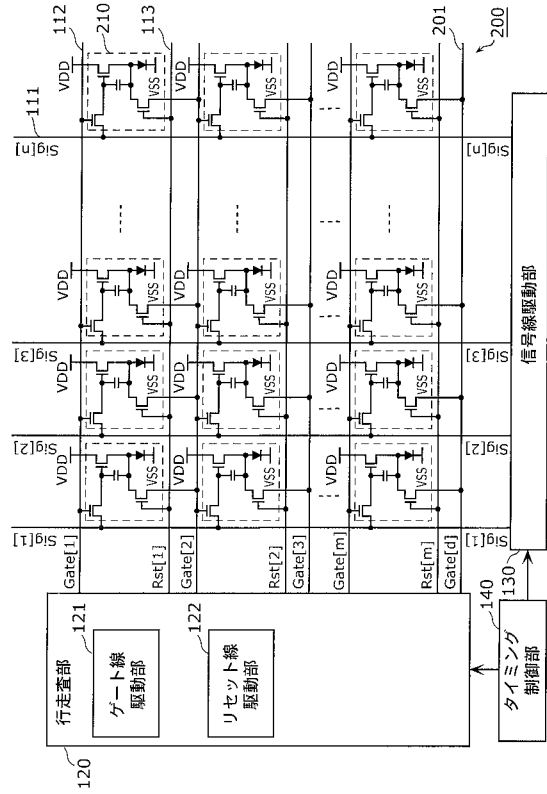
【 図 5 】



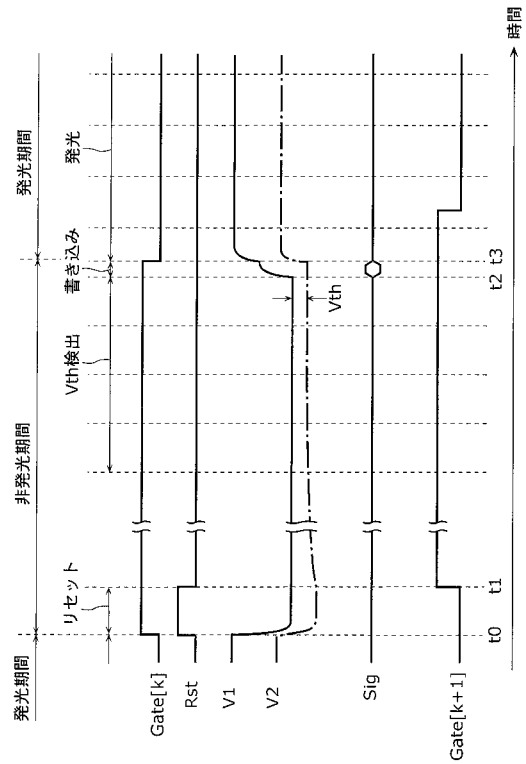
【 図 7 】



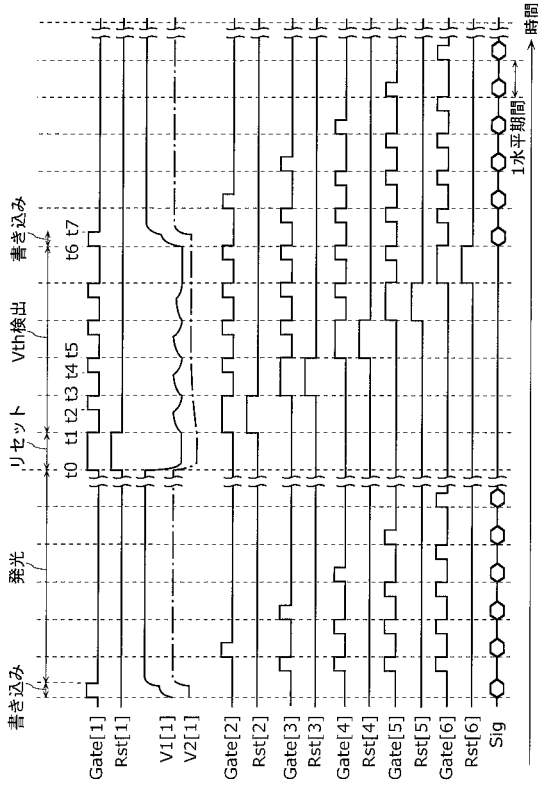
【 図 6 】



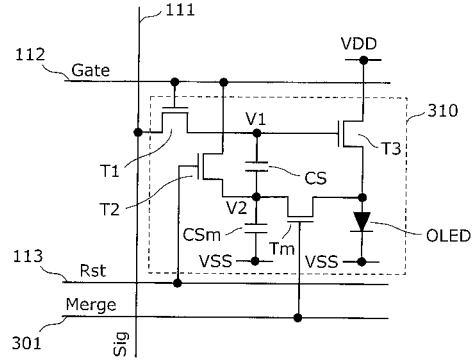
【 図 8 】



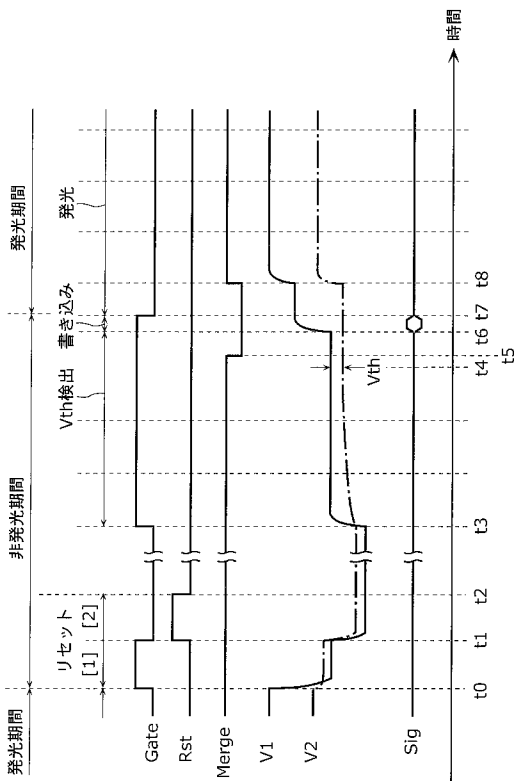
【 図 9 】



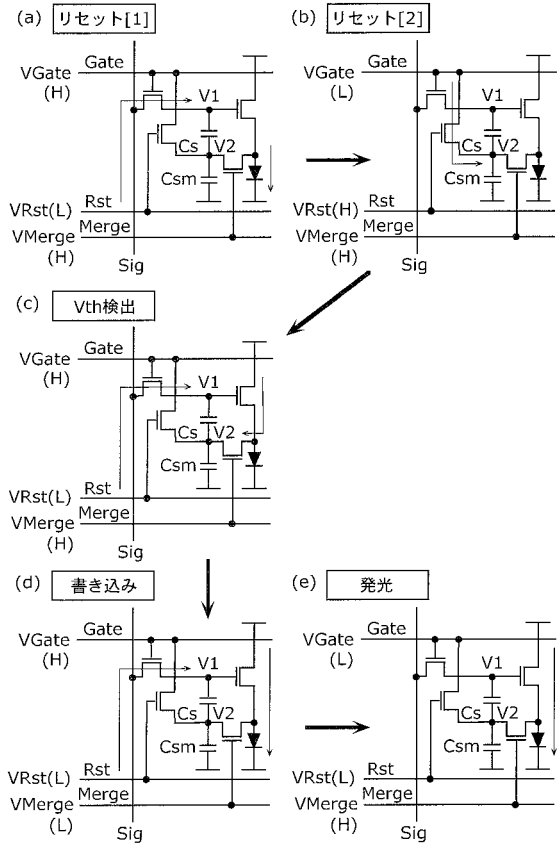
【 図 1 0 】



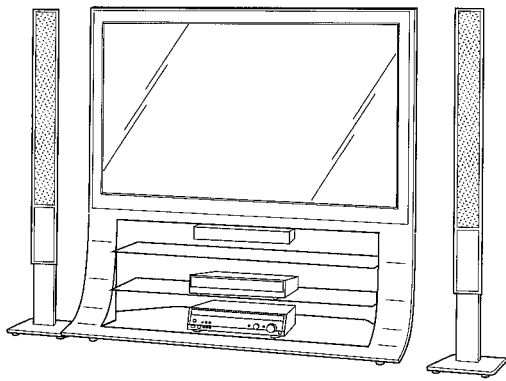
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2010/002858
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-179041 A (Semiconductor Energy Laboratory Co., Ltd.), 12 July 2007 (12.07.2007), paragraphs [0042] to [0089], [0097] to [0109]; fig. 2 to 4, 7 & EP 1793366 A2 & CN 1975844 A & KR 10-2007-0058320 A	1-2, 9-10 3-8, 11-14, 16
Y	JP 2007-133282 A (Sony Corp.), 31 May 2007 (31.05.2007), paragraphs [0018] to [0055]; fig. 1 to 9 & US 2009/0251493 A & WO 2007/055376 A1 & KR 10-2008-0072819 A & CN 101310318 A	3-6, 11-14, 16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 May, 2010 (13.05.10)		Date of mailing of the international search report 25 May, 2010 (25.05.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002858

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-287139 A (Sony Corp.), 27 November 2008 (27.11.2008), paragraphs [0043] to [0053]; fig. 8 to 10 & US 2008/0291125 A1 & CN 101312008 A & KR 10-2008-0103001 A	5,16
Y	JP 2008-203655 A (Sony Corp.), 04 September 2008 (04.09.2008), paragraphs [0030] to [0048]; fig. 12 to 22 (Family: none)	7-8
A	JP 2003-216110 A (Semiconductor Energy Laboratory Co., Ltd.), 30 July 2003 (30.07.2003), paragraphs [0066] to [0071]; fig. 9 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
A	JP 2003-255897 A (NEC Corp.), 10 September 2003 (10.09.2003), paragraphs [0031] to [0045]; fig. 1 to 10 & US 2005/0206590 A1 & WO 2003/075256 A1	1-16
A	JP 2003-271095 A (NEC Corp.), 25 September 2003 (25.09.2003), paragraphs [0040] to [0043]; fig. 8 to 9 & US 2005/0206590 A1 & WO 2003/075256 A1	1-16
A	JP 11-272233 A (Seiko Epson Corp.), 08 October 1999 (08.10.1999), paragraphs [0086] to [0088]; fig. 10 & US 6362798 B1 & US 2006/0256047 A1 & EP 1594116 A3 & EP 1003150 A1 & WO 1999/048078 A1 & DE 69926972 D & DE 69926972 T & TW 447137 B & CN 1258367 A & CN 1516090 A & CN 1909039 A & CN 1937019 A	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002858

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The display device including all constitutions of the invention in claim 1 is described in the document 1 (JP 2007-179041 A (Semiconductor Energy Laboratory Co., Ltd.), 12 July 2007 (12.07.2007), paragraphs [0042] - [0089], [0097] - [0109], fig. 2 - 4, 7). Therefore, the invention in claims 1 cannot be considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature.

Since there is no matter common to the inventions in claims 1 - 16, this international application lacks unity of invention.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

国際調査報告		国際出願番号 PCT/JP2010/002858									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X	JP 2007-179041 A (株式会社半導体エネルギー研究所) 2007.07.12,	1-2, 9-10									
Y	段落【0042】-【0089】、【0097】-【0109】、図2-4, 7 & EP 1793366 A2 & CN 1975844 A & KR 10-2007-0058320 A	3-8, 11-14, 16									
Y	JP 2007-133282 A (ソニー株式会社) 2007.05.31, 段落【0018】-【0055】、図1-9 & US 2009/0251493 A & WO 2007/055376 A1 & KR 10-2008-0072819 A & CN 101310318 A	3-6, 11-14, 16									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 13.05.2010		国際調査報告の発送日 25.05.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 奈良田 新一	2G 3805								
		電話番号 03-3581-1101 内線 3226									

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 0 2 8 5 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-287139 A (ソニー株式会社) 2008.11.27, 段落【0043】 －【0053】, 図8-10 & US 2008/0291125 A1 & CN 101312008 A & KR 10-2008-0103001 A	5,16
Y	JP 2008-203655 A (ソニー株式会社) 2008.09.04, 段落【0030】 －【0048】, 図12-22 (ファミリーなし)	7-8
A	JP 2003-216110 A (株式会社半導体エネルギー研究所) 2003.07.30, 段落【0066】－【0071】, 図9 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
A	JP 2003-255897 A (日本電気株式会社) 2003.09.10, 段落【003 1】－【0045】, 図1-10 & US 2005/0206590 A1 & WO 2003/075256 A1	1-16
A	JP 2003-271095 A (日本電気株式会社) 2003.09.25, 段落【004 0】－【0043】, 図8-9 & US 2005/0206590 A1 & WO 2003/075256 A1	1-16
A	JP 11-272233 A (セイコーエプソン株式会社) 1999.10.08, 段落【0 086】－【0088】, 図10 & US 6362798 B1 & US 2006/0256047 A1 & EP 1594116 A3 & EP 1003150 A1 & WO 1999/048078 A1 & DE 69926972 D & DE 69926972 T & TW 447137 B & CN 1258367 A & CN 1516090 A & CN 1909039 A & CN 1937019 A	1-16

国際調査報告

国際出願番号 PCT/J P 2 0 1 0 / 0 0 2 8 5 8

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献1 (JP 2007-179041 A (株式会社半導体エネルギー研究所) 2007.07.12, 段落【0042】-【0089】、【0097】-【0109】、図2-4, 7)には請求項1に係る発明の構成をすべて含む表示装置が記載されており、請求項1に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

請求項1～16に係る発明に共通する特別な技術的特徴が存在しないため、この国際出願は発明の単一性が欠如している。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2009年7月)

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 3 C	
	G 0 9 G 3/20 6 2 2 D	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム (参考) 5C380 AA01 AB06 AB47 AC04 AC07 BA19 BA29 BA36 BA38 BA39
 BB02 CA12 CA54 CB01 CB20 CB31 CB37 CC04 CC07 CC27
 CC33 CC63 CC64 CD013 CD024 CF62 DA02 DA06 DA47

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2010134263A1	公开(公告)日	2012-11-08
申请号	JP2011514305	申请日	2010-04-21
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	松井雅史		
发明人	松井 雅史		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/0262 G09G2310/061 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.J G09G3/20.611.H G09G3/20.642.A G09G3/20.623.C G09G3/20.622.D		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC06 5C080/DD05 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB47 5C380/AC04 5C380/AC07 5C380/BA19 5C380/BA29 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD024 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	新居 广守		
优先权	2009124735 2009-05-22 JP		
其他公开文献	JP5562327B2		
外部链接	Espacenet		

摘要(译)

根据本发明的显示装置包括以矩阵布置的多个发光像素 (110)，与每一行相对应的栅极线 (112) 和复位线 (113) 以及与每一列相对应的信号线 (111)。每个发光像素 (110) 包括发光元件 (OLED)，向发光元件 (OLED) 提供电流的驱动晶体管 (T3)，行选择晶体管 (T1) 和复位线 (113)，并且源极端子和漏极端子之一连接到驱动晶体管 (T3) 的源极端子，复位晶体管 (T2) 以及插入在驱动晶体管 (T3) 的栅极端子和源极端子之间的电容。提供元件 (CS)，并且复位晶体管 (T2) 的源极端子和漏极端子中的另一个连接到与多个发光像素 (110) 的任意行相对应的栅极线 (112)。

[图2]

