

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2009/050923

発行日 平成23年2月24日 (2011. 2. 24)

(43) 国際公開日 平成21年4月23日 (2009. 4. 23)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	5C380
	G09G 3/20 642A	
	G09G 3/20 642C	

審査請求 有 予備審査請求 未請求 (全 22 頁) 最終頁に続く

出願番号 特願2009-537965 (P2009-537965)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号 PCT/JP2008/061393	
(22) 国際出願日 平成20年6月23日 (2008. 6. 23)	
(31) 優先権主張番号 特願2007-270832 (P2007-270832)	(74) 代理人 100104695 弁理士 島田 明宏
(32) 優先日 平成19年10月18日 (2007. 10. 18)	(74) 代理人 100121348 弁理士 川原 健児
(33) 優先権主張国 日本国 (JP)	(72) 発明者 仙田 孝裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
	Fターム (参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH04 HH05 5C080 AA06 BB05 DD01 DD03 DD05 DD29 FF11 HH09 JJ02 JJ03 JJ04

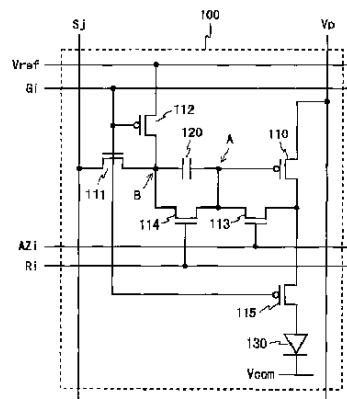
最終頁に続く

(54) 【発明の名称】 電流駆動型表示装置

(57) 【要約】

駆動素子の閾値電圧のばらつきを補償する回路を正しく動作させ、補償動作によって他の画素回路の輝度変動することを防止するために、画素回路100を次のように構成する。電源配線Vpと共通陰極Vcomとの間に駆動用TFT110とスイッチ用TFT115と有機EL素子130を設け、駆動用TFT110のゲート端子とデータ線Sjとの間にコンデンサ120とスイッチ用TFT111を設ける。コンデンサ120とスイッチ用TFT111の接続点Bと基準電源配線Vrefとの間にスイッチ用TFT112を設け、駆動用TFT110のゲート端子とドレイン端子との間にスイッチ用TFT113を設け、駆動用TFT110のゲート端子と接続点Bとの間にスイッチ用TFT114を設ける。

【図2】



【特許請求の範囲】

【請求項 1】

電流駆動型の表示装置であって、
 複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、
 前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、
 前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、
 前記画素回路は、

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

10

前記コンデンサの第 2 の電極と前記データ線との間に設けられた第 1 のスイッチング素子と、

前記コンデンサの第 2 の電極と第 3 の電源配線との間に設けられた第 2 のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第 3 のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記コンデンサの第 2 の電極に接続された第 4 のスイッチング素子とを含む、表示装置。

【請求項 2】

20

電流駆動型の表示装置であって、
 複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、
 前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、
 前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、
 前記画素回路は、

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

前記コンデンサの第 2 の電極と前記データ線との間に設けられた第 1 のスイッチング素子と、

30

前記コンデンサの第 2 の電極と第 3 の電源配線との間に設けられた第 2 のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第 3 のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記データ線に接続された第 4 のスイッチング素子とを含む、表示装置。

【請求項 3】

前記画素回路に対する選択走査期間には、

第 1 の期間では、前記第 1 および第 4 のスイッチング素子が導通状態に、前記第 2 および第 3 のスイッチング素子が非導通状態に制御され、

40

次に第 2 の期間では、前記第 1 および第 3 のスイッチング素子が導通状態に、前記第 2 および第 4 のスイッチング素子が非導通状態に制御され、

次に第 3 の期間では、前記第 1、第 3 および第 4 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする、請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第 5 のスイッチング素子をさらに含む、請求項 1 または 2 に記載の表示装置。

【請求項 5】

50

前記画素回路に対する選択走査期間には、前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする、請求項1または2に記載の表示装置。

【請求項6】

前記データ線には、前記駆動素子を導通状態に設定でき、かつ、前記画素回路に対する選択走査期間には一定となる電位が与えられることを特徴とする、請求項1または2に記載の表示装置。

【請求項7】

前記電気光学素子は有機EL素子で構成されていることを特徴とする、請求項1または2に記載の表示装置。

10

【請求項8】

前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする、請求項1または2に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機ELディスプレイなどの電流駆動型表示装置に関する。

【背景技術】

【0002】

20

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) に関する研究開発が活性に行われている。有機ELディスプレイに含まれる有機EL素子の輝度は、素子に流れる電流にほぼ比例し、周辺温度などの外的要因の影響を受けにくい。したがって、有機ELディスプレイには、有機EL素子の輝度を電流値で決定する、電流制御型の駆動方式を適用することが好ましい。

【0003】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成されたTF T (Thin Film Transistor: 薄膜トランジスタ) を用いて構成される。TF Tに流れる電流は閾値電圧や移動度といったTF Tの特性によって変動するが、閾値電圧や移動度にはばらつきが生じやすい。このため、ディスプレイに含まれる多数の画素回路の間で、TF Tと有機EL素子に流れる電流を揃えることは困難になる。そこで、有機ELディスプレイの画素回路にはTF Tの特性のばらつきを補償する回路が設けられ、この回路の作用により有機EL素子の輝度のばらつきが抑えられる。

30

【0004】

電流制御型の駆動方式においてTF Tの特性のばらつきを補償する方式は、駆動用TF Tに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

40

【0005】

ところが、電流プログラム方式には、第1に、非常に微少量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTF T作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【0006】

50

電流制御型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図7は、特許文献1に記載された画素回路の回路図である。図7に示す画素回路800は、駆動用TFT810、スイッチ用TFT811~814、コンデンサ820、および、有機EL素子830を備えている。スイッチ用TFT812、814はnチャンネル型、他のTFTはpチャンネル型である。

【0007】

画素回路800では、電源配線 V_p と共通陰極 V_{com} （電位をそれぞれ V_{DD} 、 V_{SS} とする）との間に、駆動用TFT810、スイッチ用TFT814および有機EL素子830が直列に設けられている。駆動用TFT810のゲート端子とデータ線 S_j との間には、コンデンサ820およびスイッチ用TFT811が直列に設けられている。以下、
10 駆動用TFT810とコンデンサ820の接続点をA、コンデンサ820とスイッチ用TFT811の接続点をBという。接続点Bと電源配線 V_p との間にはスイッチ用TFT812が設けられ、接続点Aと駆動用TFT810のドレイン端子との間にはスイッチ用TFT813が設けられている。スイッチ用TFT811~814のゲート端子は、いずれも走査線 G_i に接続されている。

【0008】

図8は、画素回路800のタイミングチャートである。時刻 t_0 より前では、走査線 G_i の電位はハイレベルに制御される。時刻 t_0 において走査線 G_i の電位がローレベルに変化すると、スイッチ用TFT811、813は導通状態、スイッチ用TFT812、814は非導通状態に変化する。これにより、接続点Bは電源配線 V_p から切り離され、
20 スイッチ用TFT811を介してデータ線 S_j に接続される。また、駆動用TFT810のゲート端子とドレイン端子は同電位となる。このため、電源配線 V_p から駆動用TFT810とスイッチ用TFT813を経由して駆動用TFT810のゲート端子に電流が流れ込み、接続点Aの電位は駆動用TFT810が導通状態である間は上昇する。駆動用TFT810は、ゲートソース間電圧が閾値電圧 V_{th} （負の値）になる（すなわち、接続点Aの電位が $(V_{DD}+V_{th})$ になる）と、非導通状態に変化する。したがって、接続点Aの電位は $(V_{DD}+V_{th})$ まで上昇する。

【0009】

次に時刻 t_1 において、データ線 S_j の電位が前回のデータ電位 V_{data0} （1行上の画素回路に書き込まれたデータ電位）から今回のデータ電位 V_{data} に変化すると、
30 接続点Bの電位は V_{data} に変化する。したがって、時刻 t_2 直前におけるコンデンサ820の電極間電圧は、接続点Aと接続点Bの電位差 $(V_{DD}+V_{th}-V_{data})$ となる。

【0010】

次に時刻 t_2 において走査線 G_i の電位がハイレベルに変化すると、スイッチ用TFT811、813は非導通状態、スイッチ用TFT812、814は導通状態に変化する。これにより、駆動用TFT810のゲート端子はドレイン端子から切り離される。また、接続点Bはデータ線 S_j から切り離され、スイッチ用TFT812を介して電源配線 V_p に接続される。これにより、接続点Bの電位は V_{data} から V_{DD} に変化し、これに伴い、
40 接続点Aの電位は同じ量 $(V_{DD}-V_{data}$ ；以下、 V_B という)だけ変化して $(V_{DD}+V_{th}+V_B)$ となる。

【0011】

また、時刻 t_2 以降、スイッチ用TFT814が導通状態となるので、電源配線 V_p から駆動用TFT810とスイッチ用TFT814を経由して有機EL素子830に電流が流れる。駆動用TFT810を流れる電流の量は、ゲート端子電位 $(V_{DD}+V_{th}+V_B)$ に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 V_B が同じであれば電流量は同じである。したがって、閾値電圧 V_{th} の値にかかわらず、有機EL素子830には電位 V_{data} に応じた量の電流が流れ、有機EL素子830はデータ電位 V_{data} に応じた輝度で発光する。

【0012】

このように画素回路800によれば、駆動用TFT810の閾値電圧のばらつきを補償し、有機EL素子830を所望の輝度で発光させることができる。しかしながら、画素回路800には、駆動用TFT810の閾値電圧のばらつきを補償する際に、回路が正しく動作しないことがあるという問題がある。

【0013】

例えば、前フレームでは駆動用TFT810に電流がほとんど流れない場合（黒表示を行う場合）、図8の時刻 t_0 における接続点Aの電位 V_A はほぼ $(V_{DD} + V_{th})$ となるか、それよりも高い電位となる。接続点Bの電位が時刻 t_0 から時刻 t_1 の間に V_{DD} から V_{data} に変化すると、これに伴い接続点Aの電位も変化する。ところが、上述したように $V_{data} > V_{DD}$ であるので、接続点Aの電位がほぼ $(V_{DD} + V_{th})$ か、それよりも高い電位であるときに接続点Bの電位が V_{DD} から V_{data} に上昇すると、接続点Aの電位は $(V_{DD} + V_{th})$ よりも高くなる。このため、駆動用TFT810は、電流をほとんど流さない状態が維持されるため、導通状態にならない。この場合、上記の方法で駆動用TFT810の閾値電圧のばらつきを補償することができない。

10

【0014】

この問題を解決する画素回路も考案されている。図9は、特許文献2に記載された画素回路の回路図である。図9に示す画素回路900には、初期化電圧を印加するためのスイッチ用TFT915が追加されている。画素回路900に含まれる駆動用TFT910、スイッチ用TFT911~914、コンデンサ920および有機EL素子930は、それぞれ、画素回路800に含まれる駆動用TFT810、スイッチ用TFT811~814、コンデンサ820および有機EL素子830に対応する。

20

【0015】

画素回路900の構成要素（スイッチ用TFT915を除く）は、対応する画素回路800の構成要素と同等であり、画素回路900は画素回路800とほぼ同様に動作する。なお、同じ極性のTFTだけを用いて、異なる極性のTFTを含む画素回路800と同様に動作する画素回路を構成するために、画素回路900では走査線は G_{i1} 、 G_{i2} の2本に分割されている。

【0016】

画素回路900では、スイッチ用TFT915は初期化電源配線 V_{int} と駆動用TFT910のドレイン端子との間に設けられ、駆動用TFT910の閾値電圧のばらつきを補償する動作を開始する前に、スイッチ用TFT913、915は導通状態に制御される。これにより、初期化電源配線 V_{int} の電位を駆動用TFT910のゲート端子（接続点A）に与えることができる。そこで、初期化電源配線 V_{int} に駆動用TFT910が必ず導通状態となる電位を与えて初期化処理を行うことにより、初期化前の状態にかかわらず、駆動用TFT910を導通状態に設定することができる。したがって、画素回路900は、以前の状態にかかわらず、駆動用TFT910の閾値電圧のばらつきを補償するよう、回路を正しく動作させることができる。

30

【特許文献1】日本国特開2005-157308号公報

【特許文献2】日本国特開2007-133369号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0017】

ところで、図9に示す画素回路900では、スイッチ用TFT915が導通状態である間、初期化電源配線 V_{int} と電源配線 V_p は、駆動用TFT910とスイッチ用TFT915を介して電氣的に接続された状態となる。このとき駆動用TFT910を導通状態にするためには、初期化電源配線 V_{int} の電位を $(V_p - V_{th})$ よりも低くする必要があるのである。このため、駆動用TFT910とスイッチ用TFT915を経由して、電源配線 V_p から初期化電源配線 V_{int} に電流が流れ込む。このように書き込み対象の画素回路900では初期化電源配線 V_{int} に電流が流れ込むので、初期化電源配線 V_{int} の電位は局所的に変動する。一方、それ以外の画素回路900では、初期化電源配線 V_{int}

50

の電位は、有機EL素子930に流れる電流を決定する役割を果たす。したがって、書き込み対象以外の画素回路900では、初期化電源配線Vintの電位が変動すると、有機EL素子930に流れる電流が変動する。

【0018】

一般的な有機ELディスプレイでは、1行分の画素回路を選択してデータ電位を与える処理を順に行うことにより、すべての行の画素回路に対する書き込みが行われる。一方、画素回路900に対する初期化処理は、画素回路の各行について行う必要がある。したがって、画素回路900を備えた有機ELディスプレイでは、初期化処理が断続的に行われるために、初期化電源配線Vintの電位は常に変動する。書き込み対象以外の画素回路900が常にこの変動の影響を受けるので、画像の表示を正しく行うことが困難になる。 10

【0019】

それ故に、本発明は、駆動素子の閾値電圧のばらつきを補償する際、回路が正しく動作するようにすると共に、ある画素回路に対する補償動作によって他の画素回路の輝度変動することを防止した表示装置を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明の第1の局面は、電流駆動型の表示装置であって、複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、前記画素回路は、 20

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング素子と、

前記コンデンサの第2の電極と第3の電源配線との間に設けられた第2のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第3のスイッチング素子と、 30

一端が前記駆動素子の制御端子に接続され、他端が前記コンデンサの第2の電極に接続された第4のスイッチング素子とを含む。

【0021】

本発明の第2の局面は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、 40

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング素子と、

前記コンデンサの第2の電極と第3の電源配線との間に設けられた第2のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第3のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記データ線に接続された第4の 50

スイッチング素子とを含む。

【0022】

本発明の第3の局面は、本発明の第1または第2の局面において、前記画素回路に対する選択走査期間には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第1および第3のスイッチング素子が導通状態に、前記第2および第4のスイッチング素子が非導通状態に制御され、

次に第3の期間では、前記第1、第3および第4のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする。

10

【0023】

本発明の第4の局面は、本発明の第1または第2の局面において、

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第5のスイッチング素子をさらに含む。

【0024】

本発明の第5の局面は、本発明の第1または第2の局面において、

前記画素回路に対する選択走査期間には、前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする。

【0025】

本発明の第6の局面は、本発明の第1または第2の局面において、

前記データ線には、前記駆動素子を導通状態に設定でき、かつ、前記画素回路に対する選択走査期間には一定となる電位が与えられることを特徴とする。

20

【0026】

本発明の第7の局面は、本発明の第1または第2の局面において、

前記電気光学素子は有機EL素子で構成されていることを特徴とする。

【0027】

本発明の第8の局面は、本発明の第1または第2の局面において、

前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする。

【発明の効果】

30

【0028】

本発明の第1の局面によれば、駆動素子を導通状態とする電位をデータ線に印加し、第1および第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子にデータ電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御する時点で、駆動素子を確実に導通状態に設定し、駆動素子の閾値電圧のばらつきを補償する際、回路を正しく動作させることができる。

【0029】

また、第3および第4のスイッチング素子のいずれか一方を非導通状態に保った状態で駆動素子を初期化できるので、第1および第2の電源配線を第3の電源配線と接続することなく駆動素子を初期化し、第3の電源配線の電位を常に安定させることができる。さらに、駆動素子の初期化をデータ線の電位を用いて行うので、初期化用の電源配線を別途設ける必要がなく、回路を簡素化することができる。

40

【0030】

本発明の第2の局面によれば、駆動素子を導通状態とする電位をデータ線に印加し、第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子にデータ電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御する時点で、駆動素子を確実に導通状態に設定し、駆動素子の閾値電圧のばらつきを補償する際、回路を正しく動作させることができる。

50

【0031】

また、第3および第4のスイッチング素子のいずれか一方を非導通状態に保った状態で駆動素子を初期化できるので、第1および第2の電源配線を第3の電源配線と接続することなく駆動素子を初期化し、第3の電源配線の電位を常に安定させることができる。さらに、駆動素子の初期化をデータ線の電位を用いて行うので、初期化用の電源配線を別途設ける必要がなく、回路を簡素化することができる。また、コンデンサの第2の電極に接続される配線の本数を減らし、レイアウトを容易にすることができる。

【0032】

本発明の第3の局面によれば、第1の期間では、コンデンサの第1および第2の電極にはデータ電位が与えられるので、コンデンサに保持される電位差はゼロになる。第2の期間では、駆動素子が閾値状態となるまでコンデンサの第1の電極の電位が変化し、これに伴い、コンデンサに保持される電位差は、データ電位と駆動素子の閾値電圧との差に変化する。第3の期間では、コンデンサが上記の電位差を保持したままで、コンデンサの第2の電極の電位が、データ電位から第3の電源配線の電位に変化する。このため、その後の駆動素子の制御端子の電位は、駆動素子が閾値状態となる電位に、第3の電源配線の電位とデータ電位の差を加えた電位となる。したがって、駆動素子に流れる電流の量は、閾値電圧の影響を受けない。このようにして駆動素子の閾値電圧のばらつきを補償することができる。

10

【0033】

また、第1～第3の期間のいずれでも、第3および第4のスイッチング素子が共に導通状態になることはない。これにより、第1および第2の電源配線が第3の電源配線と接続されることを防止し、第3の電源配線の電位を常に安定させることができる。

20

【0034】

本発明の第4の局面によれば、画素回路に対する選択走査期間に、第5のスイッチング素子を非導通状態に制御することにより、駆動素子から電気光学素子に流れる電流を遮断することができる。これにより、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

【0035】

本発明の第5の局面によれば、画素回路に対する選択走査期間に、第2の電源配線の電位を制御することにより、第1の電源配線と第2の電源配線との間にスイッチング素子を設けなくても、電気光学素子に電流が流れないようにすることができる。これにより、より少ない回路量で、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

30

【0036】

本発明の第6の局面によれば、駆動素子を確実に導通状態に設定できる電位をデータ線に与えても、第3の電源配線の電位を好適に調整することにより、所望の量の電流が流れるように駆動素子を制御することができる。このため、第3の電源配線から独立した初期化用の電源配線を別途設ける必要はない。したがって、配線数を増やすことなく、データ線に与えられた電位を用いて駆動素子を初期化することができる。

【0037】

本発明の第7の局面によれば、駆動素子の閾値電圧のばらつきを正しく補償する有機ELディスプレイを得ることができる。

40

【0038】

本発明の第8の局面によれば、駆動素子および画素回路内のすべてのスイッチング素子を薄膜トランジスタで構成することにより、画素回路を容易かつ高精度で製造することができる。

【図面の簡単な説明】

【0039】

【図1】 本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。

【図2】 本発明の第1の実施形態に係る表示装置に含まれる画素回路の回路図である。

50

- 【図3】 図2に示す画素回路のタイミングチャートである。
 【図4】 本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。
 【図5】 本発明の第3の実施形態に係る表示装置に含まれる画素回路の回路図である。
 【図6】 図5に示す画素回路のタイミングチャートである。
 【図7】 従来の表示装置に含まれる画素回路（第1の例）の回路図である。
 【図8】 図7に示す画素回路のタイミングチャートである。
 【図9】 従来の表示装置に含まれる画素回路（第2の例）の回路図である。

【符号の説明】

【0040】

- 10…表示装置 10
 11…表示制御回路
 12…ゲートドライバ回路
 13…ソースドライバ回路
 21…シフトレジスタ
 22…レジスタ
 23…ラッチ回路
 24…D/Aコンバータ
 100、200、300…画素回路
 110、210、310…駆動用TFT
 111～115、211～215、311～314…スイッチ用TFT 20
 120、220、320…コンデンサ
 130、230、330…有機EL素子

【発明を実施するための最良の形態】

【0041】

以下、図1～図6を参照して、本発明の第1～第3の実施形態に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、駆動素子、コンデンサおよび複数のスイッチング素子を含む画素回路を備えている。画素回路は、電気光学素子として有機EL素子を含み、駆動素子およびスイッチング素子として薄膜トランジスタ（TFT）を含んでいる。なお、駆動素子およびスイッチング素子は、例えば、アモルファスシリコンTFTや低温ポリシリコンTFTやCGシリコンTFTなどで構成することができる。30
 駆動素子およびスイッチング素子をTFTで構成することにより、画素回路を容易かつ高精度で製造することができる。

【0042】

図1は、本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置10は、複数の画素回路 A_{ij} （ i は1以上 n 以下の整数、 j は1以上 m 以下の整数）、表示制御回路11、ゲートドライバ回路12、および、ソースドライバ回路13を備えている。表示装置10には、互いに平行な複数の走査線 G_i と、走査線 G_i と直交する互いに平行な複数のデータ線 S_j とが設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。

【0043】

これに加えて表示装置10には、互いに平行な複数の制御線 AZ_i 、 R_i （図示せず）が走査線 G_i と平行に配置されている。走査線 G_i と制御線 AZ_i 、 R_i はゲートドライバ回路12に接続され、データ線 S_j はソースドライバ回路13に接続されている。ゲートドライバ回路12とソースドライバ回路13は、画素回路 A_{ij} の駆動回路として機能する。また、すべての画素回路 A_{ij} は、基準電源配線 V_{ref} に接続されている。さらに、図1では省略されているが、画素回路 A_{ij} の配置領域には、画素回路 A_{ij} に電源電圧を供給するために、電源配線 V_p と共通陰極 V_{com} （または陰極配線 CA_i ）が配置されている。

【0044】

表示制御回路11は、ゲートドライバ回路12に対してタイミング信号OE、スタート 50

パルス YI およびクロック YCK を出力し、ソースドライバ回路 13 に対してスタートパルス SP 、クロック CLK 、表示データ DA およびラッチパルス LP を出力し、基準電源配線 $Vref$ に対して所定の基準電位 $Vstd$ を与える。

【0045】

ゲートドライバ回路 12 は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック YCK に同期してスタートパルス YI を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 OE との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 Gi や制御線 AZi 、 Ri などに与えられる。このようにゲートドライバ回路 12 は、走査線 Gi を用いて書き込み対象の画素回路を選択する走査信号出力回路として機能する。

10

【0046】

ソースドライバ回路 13 は、 m ビットのシフトレジスタ 21、レジスタ 22、ラッチ回路 23、および、 m 個の D/A コンバータ 24 を含んでいる。シフトレジスタ 21 は、縦続接続された m 個の 1 ビットレジスタを含んでいる。シフトレジスタ 21 は、クロック CLK に同期してスタートパルス SP を順次転送し、各段のレジスタからタイミングパルス $DL P$ を出力する。タイミングパルス $DL P$ の出力タイミングに合わせて、レジスタ 22 には表示データ DA が供給される。レジスタ 22 は、タイミングパルス $DL P$ に従い、表示データ DA を記憶する。レジスタ 22 に 1 行分の表示データ DA が記憶されると、表示制御回路 11 はラッチ回路 23 に対してラッチパルス LP を出力する。ラッチ回路 23 は、ラッチパルス LP を受け取ると、レジスタ 22 に記憶された表示データを保持する。 D/A コンバータ 24 は、各データ線 Sj に 1 つずつ設けられる。 D/A コンバータ 24 は、ラッチ回路 23 に保持された表示データをアナログ信号電圧に変換し、対応するデータ線 Sj に与える。このようにソースドライバ回路 13 は、データ線 Sj に対して表示データに応じた電位を与える表示信号出力回路として機能する。

20

【0047】

なお、表示装置 10 を小型、低コスト化するために、ゲートドライバ回路 12 やソースドライバ回路 13 の全部または一部を、 CG シリコン TFT や多結晶シリコン TFT などを用いて画素回路 Aij と同じ基板上に形成することが好ましい。

【0048】

以下、各実施形態に係る表示装置に含まれる画素回路 Aij の詳細を説明する。以下の説明では、スイッチ用 TFT のゲート端子に与えられるハイレベル電位を GH 、ローレベル電位を GL という。

30

【0049】

（第 1 の実施形態）

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 100 は、駆動用 TFT 110、スイッチ用 TFT 111~115、コンデンサ 120、および、有機 EL 素子 130 を備えている。スイッチ用 TFT 111、113、114 は n チャンネル型、他の TFT は p チャンネル型である。

【0050】

画素回路 100 は、電源配線 Vp 、基準電源配線 $Vref$ 、共通陰極 $Vcom$ 、走査線 Gi 、制御線 AZi 、 Ri 、および、データ線 Sj に接続されている。このうち、電源配線 Vp （第 1 の電源配線）と共通陰極 $Vcom$ （第 2 の電源配線）にはそれぞれ一定の電位 VDD 、 VSS が印加され、基準電源配線 $Vref$ （第 3 の電源配線）には基準電位 $Vstd$ が印加される。共通陰極 $Vcom$ は、表示装置内のすべての有機 EL 素子 130 の共通電極となる。

40

【0051】

画素回路 100 では、電源配線 Vp と共通陰極 $Vcom$ とを結ぶ経路上に電源配線 Vp 側から順に、駆動用 TFT 110、スイッチ用 TFT 115 および有機 EL 素子 130 が直列に設けられている。駆動用 TFT 110 のゲート端子には、コンデンサ 120 の一方

50

の電極が接続されている。コンデンサ120の他方の電極とデータ線S_jとの間には、スイッチ用TFT111が設けられている。以下、駆動用TFT110とコンデンサ120の接続点をA、コンデンサ120とスイッチ用TFT111の接続点をBという。接続点Bと基準電源配線V_{ref}との間にはスイッチ用TFT112が設けられ、接続点Aと駆動用TFT110のドレイン端子との間にはスイッチ用TFT113が設けられ、接続点Aと接続点Bとの間にはスイッチ用TFT114が設けられている。

【0052】

スイッチ用TFT111、112、115のゲート端子は走査線G_iに接続され、スイッチ用TFT113のゲート端子は制御線AZ_iに接続され、スイッチ用TFT114のゲート端子は制御線R_iに接続されている。走査線G_iおよび制御線AZ_i、R_iの電位はゲートドライバ回路12によって制御され、データ線S_jの電位はソースドライバ回路13によって制御される。

10

【0053】

図3は、画素回路100のタイミングチャートである。図3には、走査線G_i、制御線AZ_i、R_iおよびデータ線S_jに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図3では、時刻t₀から時刻t₅までが1水平走査期間に相当する。以下、図3を参照して、画素回路100の動作を説明する。

【0054】

時刻t₀より前では、走査線G_iと制御線AZ_i、R_iの電位はGL（ローレベル）に、データ線S_jの電位は前回の表示データ（1行前に走査された画素回路に書き込まれた表示データ）に応じたレベルに制御される。このため、スイッチ用TFT112、115は導通状態、スイッチ用TFT111、113、114は非導通状態となる。また、接続点Aの電位は画素回路100に前回書き込まれた表示データに応じた電位となり、接続点Bの電位はV_{std}となる。

20

【0055】

時刻t₀において走査線G_iの電位がGHに変化すると、スイッチ用TFT111が導通状態に、スイッチ用TFT112、115が非導通状態に変化する。走査線G_iの電位がGHである間（時刻t₀から時刻t₅までの間）、スイッチ用TFT115は非導通状態にあるので、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

30

【0056】

走査線G_iの電位がGHである間、データ線S_jの電位は今回の表示データに応じたレベル電位（以下、データ電位V_{data}という）に制御される。すなわち、データ線S_jには、選択走査期間に一定となるデータ電位V_{data}が印加される。この間、接続点Bはスイッチ用TFT111を介してデータ線S_jに接続されるので、接続点Bの電位はV_{data}となる。また、時刻t₀から時刻t₁までの間、スイッチ用TFT113、114は非導通状態であるので、接続点Bの電位がV_{std}からV_{data}に変化すると、接続点Aの電位も同じ量（V_{data}-V_{std}）だけ変化する。

【0057】

次に時刻t₁において制御線R_iの電位がGHに変化すると、スイッチ用TFT114が導通状態に変化する。これにより、接続点Aと接続点Bが接続される。接続点Aはスイッチ用TFT111、114を介してデータ線S_jに接続されるので、接続点Aの電位もV_{data}に変化し、コンデンサ120に保持される電位差はゼロになる。

40

【0058】

データ電位V_{data}は、駆動用TFT110の特性、基準電位V_{std}および表示データに基づき決定される。また、データ電位V_{data}は、接続点A（駆動用TFT110のゲート端子）に印加したときに駆動用TFT110が導通状態となる範囲内で決定される。したがって、時刻t₁以降、駆動用TFT110は必ず導通状態となる。なお、駆動用TFT110が導通状態となってもスイッチ用TFT115が非導通状態である間（すなわち、走査線G_iの電位がGHである間）は、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

50

【0059】

次に時刻 t_2 において制御線 R_i の電位が GL に変化すると、スイッチ用 $TFT114$ が非導通状態に変化する。これにより、接続点 A はデータ線 S_j から切り離され、接続点 A の電位は一旦 V_{data} に固定される。

【0060】

次に時刻 t_3 において制御線 AZ_i の電位が GH に変化すると、スイッチ用 $TFT113$ が導通状態に変化する。これにより駆動用 $TFT110$ のゲート端子とドレイン端子が短絡され、駆動用 $TFT110$ はダイオード接続となる。時刻 t_1 から時刻 t_2 までの間、接続点 A にはデータ電位 V_{data} が印加され、時刻 t_3 以降も接続点 A の電位はコンデンサ 120 によって V_{data} に保たれる。したがって、時刻 t_3 では、駆動用 $TFT110$ は必ず導通状態となる。

10

【0061】

時刻 t_3 以降、電源配線 V_p から駆動用 $TFT110$ とスイッチ用 $TFT113$ を経由して接続点 A に電流が流れ込み、接続点 A の電位（駆動用 $TFT110$ のゲート端子電位）は駆動用 $TFT110$ が導通状態である間は上昇する。駆動用 $TFT110$ は、ゲートソース間電圧が閾値電圧 V_{th} (p チャネル型の駆動用 $TFT110$ では負の値) になると、非導通状態に変化する。したがって、接続点 A の電位は $(V_{DD} + V_{th})$ まで上昇し、駆動用 $TFT110$ は閾値状態（ゲートソース間の電位差が閾値電圧 V_{th} に等しい状態）となる。

【0062】

次に時刻 t_4 において制御線 AZ_i の電位が GL に変化すると、スイッチ用 $TFT113$ が非導通状態に変化する。このときコンデンサ 120 には、接続点 A と B の電位差 $(V_{DD} + V_{th} - V_{data})$ が保持される。

20

【0063】

次に時刻 t_5 において走査線 G_i の電位が GL に変化すると、スイッチ用 $TFT112$ 、 115 が導通状態に、スイッチ用 $TFT111$ が非導通状態に変化する。これにより、接続点 B は、データ線 S_j から切り離され、スイッチ用 $TFT112$ を介して基準電源配線 V_{ref} に接続される。このため、接続点 B の電位は V_{data} から V_{std} に変化し、これに伴い、接続点 A の電位も同じ量 $(V_{std} - V_{data})$; 以下、 V_B という) だけ変化して $(V_{DD} + V_{th} + V_B)$ となる。

30

【0064】

時刻 t_5 以降ではスイッチ用 $TFT115$ は導通状態にあるので、電源配線 V_p から駆動用 $TFT110$ とスイッチ用 $TFT115$ を経由して有機 EL 素子 130 に電流が流れる。駆動用 $TFT110$ を流れる電流の量はゲート端子電位 $(V_{DD} + V_{th} + V_B)$ に応じて増減するが、時刻 t_3 から時刻 t_4 の間に駆動用 $TFT110$ の閾値電圧 V_{th} のばらつきを補償する処理が行われたために、駆動用 $TFT110$ には電位差 $V_B (= V_{std} - V_{data})$ に応じた電流が流れる。したがって、駆動用 $TFT110$ の閾値電圧 V_{th} の値にかかわらず、有機 EL 素子 130 には基準電位とデータ電位の差 $(V_{std} - V_{data})$ に応じた量の電流が流れ、有機 EL 素子 130 は指定された輝度で発光する。

40

【0065】

上記の動作では、時刻 t_2 においてスイッチ用 $TFT114$ が非導通状態に変化した後に、時刻 t_3 においてスイッチ用 $TFT113$ が導通状態に変化する。したがって、電源配線 V_p から駆動用 $TFT110$ とスイッチ用 $TFT112 \sim 114$ を経由して基準電源配線 V_{ref} に電流が流れ込むことを防止し、基準電位 V_{std} を安定に保つことができる。

【0066】

また、上記の動作では、時刻 t_4 においてスイッチ用 $TFT113$ が非導通状態に変化した後に、時刻 t_5 においてスイッチ用 $TFT111$ が非導通状態に、スイッチ用 $TFT112$ が導通状態に変化する。したがって、電源配線 V_p から駆動用 $TFT110$ とスイ

50

スイッチ用TFT113を經由して接続点Aに電流が流れ込むことを防止し、駆動用TFT110のゲート端子電位を正確に保持することができる。

【0067】

さらに、データ電位Vdataを(VDD+Vth)よりも高く設定する(すなわち、 $VDD+Vth > Vdata$ とする)ことにより、時刻t1から時刻t3において、駆動用TFT110を必ず導通状態に設定することができる。一般にTFTに流れる電流を制御する場合、TFTの特性とソース電源の電位に応じてゲート電位は一意に決められるため、データ電位の絶対値は固定的に決められる。これに対して、画素回路100では、駆動用TFT110のゲート電位はデータ電位Vdataと基準電位Vstdによって決まり、有機EL素子130に流れる電流の量は両者の差($Vstd - Vdata$)によって決まる。 10

【0068】

このため、画素回路100では、駆動用TFT110の特性にかかわらず、各スイッチ用TFTを制御可能な範囲内で、データ電位Vdataと基準電位Vstdをそれぞれ自由に選択することができる。したがって、駆動用TFT110を確実に導通状態に設定できる電位をデータ電位Vdataとして選択しても、基準電位Vstdを好適に調整することにより、所望の量の電流が流れるように駆動用TFT110を制御することができる。このため、基準電源配線Vrefから独立した初期化用の電源配線を設ける必要がない。したがって、配線数を増やすことなく、データ電位Vdataを用いて駆動用TFT110を初期化し、回路を簡素化することができる。 20

【0069】

以上に示すように、本実施形態に係る表示装置によれば、駆動用TFT110を導通状態とするデータ電位Vdataをデータ線Sjに印加し、スイッチ用TFT111、114を導通状態に制御することにより、駆動用TFT110のゲート端子にデータ電位Vdataを与え、画素回路の以前の状態にかかわらず、駆動用TFT110を必ず導通状態に設定することができる。

【0070】

したがって、その後にスイッチ用TFT113を導通状態に、スイッチ用TFT114、115を非導通状態に制御したときに、駆動用TFT110を確実に閾値状態に設定し、駆動用TFT110から有機EL素子130に流れる電流を遮断することができる。これにより、駆動用TFT110を正しく閾値状態に設定すると共に、有機EL素子130の不要な発光を防止することができる。不要な発光を防止できれば、表示画面のコントラストが向上し、有機EL素子130の寿命も長くなる。 30

【0071】

さらに、スイッチ用TFT113、114のいずれか一方を必ず非導通状態とすることにより、電源配線Vpと基準電源配線Vrefが接続されることを防止し、基準電位Vstdを常に安定させることができる。これにより、ある画素回路100に対する補償動作によって他の画素回路の輝度が変動することを防止し、表示品位を高めることができる。

【0072】

(第2の実施形態)

図4は、本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。図4に示す画素回路200は、駆動用TFT210、スイッチ用TFT211~215、コンデンサ220、および、有機EL素子230を備えている。スイッチ用TFT211、213、214はnチャンネル型、他のTFTはpチャンネル型である。 40

【0073】

画素回路100(図2)では、スイッチ用TFT114は接続点Aと接続点Bの間に設けられている。これに対して画素回路200では、スイッチ用TFT214は接続点Aとデータ線Sjとの間に設けられている。この点を除き、画素回路200の構成は、画素回路100と同じである。画素回路200は、画素回路100と同様に、電源配線Vp、基準電源配線Vref、共通陰極Vcom、走査線Gi、制御線AZi、Ri、および、デ 50

ータ線 S_j に接続されている。これらの信号線には画素回路100と同じ電位が印加され（図3を参照）、画素回路200は画素回路100と同様に動作する。

【0074】

画素回路200を備えた表示装置によれば、画素回路100を備えた表示装置と同じ効果が得られる。また、画素回路100では、接続点Bに配線が集中するためにレイアウトが困難になることあるが、画素回路200によれば、接続点Bに接続される配線の本数を減らし、レイアウトを容易にすることができる。

【0075】

（第3の実施形態）

図5は、本発明の第3の実施形態に係る表示装置に含まれる画素回路の回路図である。10
図5に示す画素回路300は、駆動用TFT310、スイッチ用TFT311~314、コンデンサ320、および、有機EL素子330を備えている。スイッチ用TFT311、313、314はnチャンネル型、他のTFTはpチャンネル型である。

【0076】

画素回路300は、画素回路100（図2）と以下の点で相違する。画素回路300では、有機EL素子330のカソード端子は、共通陰極Vcomではなく、陰極配線CAiに接続されている。また、画素回路300はスイッチ用TFT115に対応したTFTを備えておらず、駆動用TFT310と有機EL素子330は直接接続されている。陰極配線CAiの電位は、表示装置10に含まれる電源切替回路（図示せず）によって個別に制御される。画素回路300は、電源配線Vp、基準電源配線Vref、陰極配線CAi、20
走査線Gi、制御線AZi、Ri、および、データ線Sjに接続されている。

【0077】

図6は、画素回路300のタイミングチャートである。図6には、走査線Gi、制御線AZi、Ri、陰極配線CAiおよびデータ線Sjに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図6では、時刻t0から時刻t5までが1水平走査期間に相当する。図6に示す電位は、陰極配線CAiの電位を除き、図3と同じように変化する。

【0078】

図6に示すように、陰極配線CAiの電位は、時刻t0から時刻t5までの間は所定のレベルVCCに、それ以外ときはVSSに制御される。電位VCCは、駆動用TFT330と有機EL素子330を直列に接続した回路の一端に電位VDDを印加し、他端に電位VCCを印加したときに、有機EL素子330への印加電圧が有機EL素子330の発光閾値電圧より低くなるように決定される。このため、陰極配線CAiの電位がVCCである間（時刻t0から時刻t5までの間）、有機EL素子330に発光に寄与する電流は流れず、有機EL素子330は発光しない。以上の点を除き、画素回路300の動作は画素回路100と同じである。

【0079】

このように本実施形態に係る表示装置では、画素回路に対する選択走査期間には、陰極配線CAiの電位は有機EL素子330に電流が流れないレベルに制御される。したがって、電源配線Vpと陰極配線CAiとを結ぶ経路上にスイッチ用TFTを設けなくても、40
第1の実施形態と同じ効果を得ることができる。

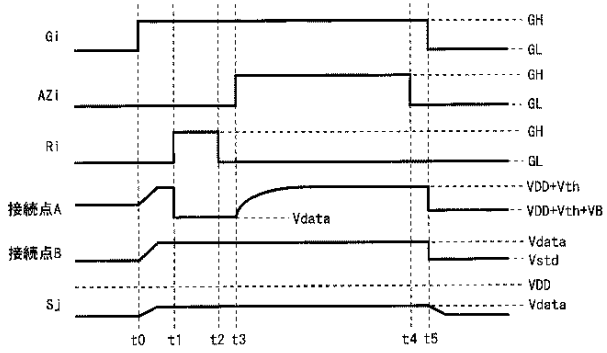
【0080】

以上に示すように、本発明の各実施形態に係る表示装置によれば、駆動用TFTの閾値電圧のばらつきを正しく補償し、有機EL素子の不要な発光を防止するとともに、ある画素回路に対する閾値電圧の補償動作によって他の画素回路の輝度が変動することを防止し、表示品位を向上させることができる。また、本発明は各実施形態に限定されるものではなく、各実施形態の特徴を適宜組み合わせることもできる。

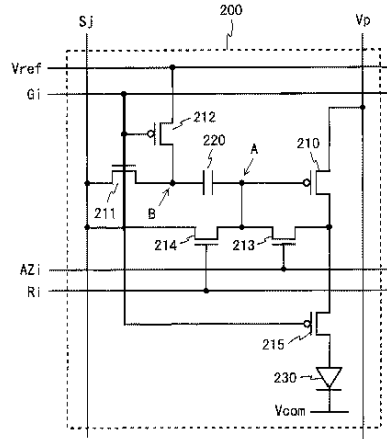
【0081】

また、各実施形態ではいずれもpチャンネル型の駆動用TFTを用いたが、走査線および制御線の電位、電源電圧、並びに、データ電位を適宜調整することにより、nチャンネル型 50

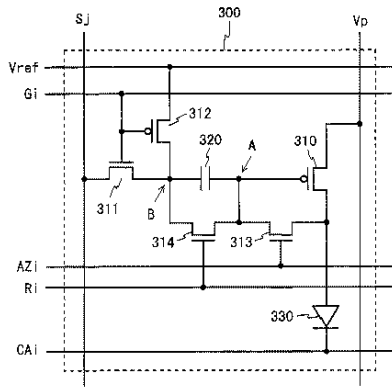
【図 3】



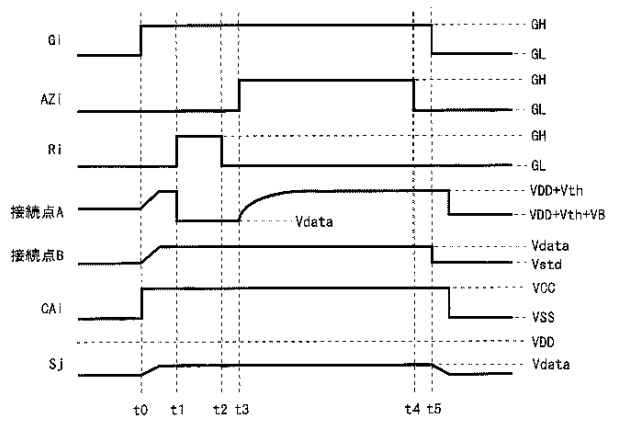
【図 4】



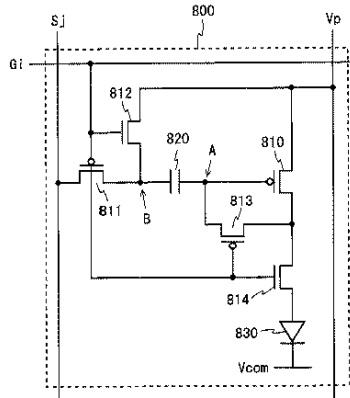
【図 5】



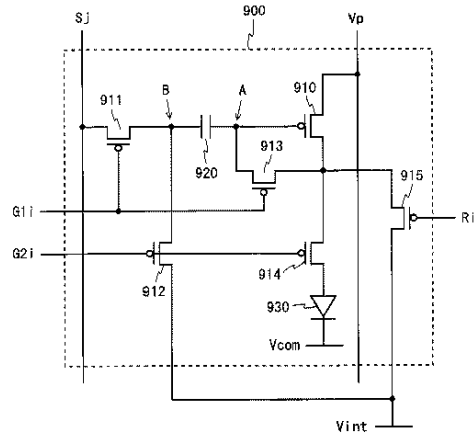
【図 6】



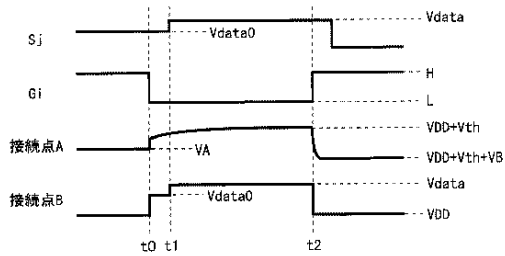
【図 7】



【図 9】



【図 8】



【手続補正書】

【提出日】平成22年1月12日(2010.1.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

画素回路900の構成要素(スイッチ用TFT915を除く)は、対応する画素回路800の構成要素と同等であり、画素回路900は画素回路800とほぼ同様に動作する。なお、同じ極性のTFTだけを用いて、異なる極性のTFTを含む画素回路800と同様に動作する画素回路を構成するために、画素回路900では走査線はG1i、G2iの2本に分割されている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

さらに、データ電位Vdataを(VDD+Vth)よりも低く設定する(すなわち、 $VDD+Vth > Vdata$ とする)ことにより、時刻t1から時刻t3において、駆動用TFT110を必ず導通状態に設定することができる。一般にTFTに流れる電流を制御する場合、TFTの特性とソース電位の電位に応じてゲート電位は一意に決められるため、データ電位の絶対値は固定的に決められる。これに対して、画素回路100では、駆動用TFT110のゲート電位はデータ電位Vdataと基準電位Vstdによって決ま

り、有機EL素子130に流れる電流の量は両者の差 ($V_{std} - V_{data}$) によって決まる。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/061393
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/00-3/38, H01L51/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-292436 A (NEC Corp.), 20 October, 2005 (20.10.05), Full text; Figs. 1 to 22 (Family: none)	1-8
A	JP 2005-234063 A (Sharp Corp.), 02 September, 2005 (02.09.05), Full text; Figs. 1 to 20 (Family: none)	1-8
A	JP 2004-133240 A (Sony Corp.), 30 April, 2004 (30.04.04), Full text; Figs. 1 to 14 & US 2004/70557 A1 & TW 241552 B & KR 2004-33248 A	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 July, 2008 (10.07.08)		Date of mailing of the international search report 22 July, 2008 (22.07.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 6 1 3 9 3	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/00-3/38, H01L51/50			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	JP 2005-292436 A (日本電気株式会社) 2005.10.20, 全文, 図1-22 (ファミリーなし)	1-8	
A	JP 2005-234063 A (シャープ株式会社) 2005.09.02, 全文, 図1-20 (ファミリーなし)	1-8	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 10.07.2008		国際調査報告の発送日 22.07.2008	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 中村 直行	2G 9214 電話番号 03-3581-1101 内線 3226

国際調査報告

国際出願番号 PCT/J P 2 0 0 8 / 0 6 1 3 9 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-133240 A (ソニー株式会社) 2004. 04. 30, 全文, 図 1 - 1 4 &US 2004/70557 A1 &TW 241552 B &KR 2004-33248 A	1 - 8

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 2 G
	G 0 9 G 3/20	6 2 3 C
	H 0 5 B 33/14	A

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

Fターム(参考) 5C380 AA01 AB06 AB18 AB22 AB23 AB24 AB46 BA12 BA39 BB02
 BB21 BB23 BD09 CA04 CA12 CA22 CA26 CA32 CB01 CB12
 CB16 CB17 CB20 CC06 CC07 CC26 CC27 CC33 CC39 CC41
 CC52 CC53 CC61 CC62 CC64 CC77 CD015 CD016 CF07 CF09
 CF22 CF31 CF48 DA02 DA47 HA03 HA05

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	电流驱动型表示装置		
公开(公告)号	JPWO2009050923A1	公开(公告)日	2011-02-24
申请号	JP2009537965	申请日	2008-06-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2310/061 G09G1/005		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.642.C G09G3/20.612.G G09G3/20.623.C H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD01 5C080/DD03 5C080/DD05 5C080/DD29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB46 5C380/BA12 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BB23 5C380/BD09 5C380/CA04 5C380/CA12 5C380/CA22 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CC77 5C380/CD015 5C380/CD016 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF31 5C380/CF48 5C380/DA02 5C380/DA47 5C380/HA03 5C380/HA05		
代理人(译)	岛田彰 川原贤治		
优先权	2007270832 2007-10-18 JP		
其他公开文献	JP4979772B2		
外部链接	Espacenet		

摘要(译)

为了允许补偿驱动元件的阈值电压的变化的电路正常操作并防止其他像素电路的亮度由于补偿操作而波动，像素电路100如下制成。驱动TFT110，开关TFT115和有机EL元件130设置在电源布线Vp和公共阴极Vcom之间，电容器120和开关TFT111设置在驱动TFT的栅极端子之间110和数据线Sj。在电容器120与开关用TFT111的连接点B与基准电源用布线Vref之间设置开关用TFT112，在驱动用TFT110的栅极端子与漏极端子之间设置开关用TFT113，开关TFT 114设置在驱动TFT 110的栅极端子和连接点B之间。

