

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4979772号  
(P4979772)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 611H
	G09G 3/20 642A
	G09G 3/20 642C
	請求項の数 8 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2009-537965 (P2009-537965)  
 (86) (22) 出願日 平成20年6月23日(2008.6.23)  
 (86) 国際出願番号 PCT/JP2008/061393  
 (87) 国際公開番号 W02009/050923  
 (87) 国際公開日 平成21年4月23日(2009.4.23)  
 審査請求日 平成22年1月12日(2010.1.12)  
 (31) 優先権主張番号 特願2007-270832 (P2007-270832)  
 (32) 優先日 平成19年10月18日(2007.10.18)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100104695  
 弁理士 島田 明宏  
 (74) 代理人 100121348  
 弁理士 川原 健児  
 (72) 発明者 仙田 孝裕  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 電流駆動型表示装置

(57) 【特許請求の範囲】

【請求項1】

電流駆動型の表示装置であって、  
 複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、  
 前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、  
 前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、  
 前記画素回路は、  
 第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、  
 前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、  
 前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、  
 前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング素子と、  
 前記コンデンサの第2の電極と第3の電源配線との間に設けられた第2のスイッチング素子と、  
 前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第3のスイッチング素子と、  
 一端が前記駆動素子の制御端子に接続され、他端が前記コンデンサの第2の電極に接続され、前記第1のスイッチング素子が導通状態である間に導通状態となる第4のスイッチング素子を含む、表示装置。

## 【請求項 2】

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、前記画素回路は、

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

前記コンデンサの第 2 の電極と前記データ線との間に設けられた第 1 のスイッチング素子と、

前記コンデンサの第 2 の電極と第 3 の電源配線との間に設けられた第 2 のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第 3 のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記データ線に接続され、前記第 1 のスイッチング素子が導通状態である間に導通状態となる第 4 のスイッチング素子を含む、表示装置。

## 【請求項 3】

前記画素回路に対する選択走査期間には、

第 1 の期間では、前記第 1 および第 4 のスイッチング素子が導通状態に、前記第 2 および第 3 のスイッチング素子が非導通状態に制御され、

次に第 2 の期間では、前記第 1 および第 3 のスイッチング素子が導通状態に、前記第 2 および第 4 のスイッチング素子が非導通状態に制御され、

次に第 3 の期間では、前記第 1、第 3 および第 4 のスイッチング素子が非導通状態に、前記第 2 のスイッチング素子が導通状態に制御されることを特徴とする、請求項 1 または 2 に記載の表示装置。

## 【請求項 4】

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第 5 のスイッチング素子をさらに含む、請求項 1 または 2 に記載の表示装置。

## 【請求項 5】

前記画素回路に対する選択走査期間には、前記第 2 の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする、請求項 1 または 2 に記載の表示装置。

## 【請求項 6】

前記データ線には、前記駆動素子を導通状態に設定でき、かつ、前記画素回路に対する選択走査期間には一定となる電位が与えられることを特徴とする、請求項 1 または 2 に記載の表示装置。

## 【請求項 7】

前記電気光学素子は有機 EL 素子で構成されていることを特徴とする、請求項 1 または 2 に記載の表示装置。

## 【請求項 8】

前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする、請求項 1 または 2 に記載の表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置に関し、より特定的には、有機 EL ディスプレイなどの電流駆動型表示装置に関する。

## 【背景技術】

## 【0002】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) に関する研究開発が活性に行われている。有機ELディスプレイに含まれる有機EL素子の輝度は、素子に流れる電流にほぼ比例し、周辺温度などの外的要因の影響を受けにくい。したがって、有機ELディスプレイには、有機EL素子の輝度を電流値で決定する、電流制御型の駆動方式を適用することが好ましい。

## 【0003】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成されたTFT (Thin Film Transistor: 薄膜トランジスタ) を用いて構成される。TFTに流れる電流は閾値電圧や移動度といったTFTの特性によって変動するが、閾値電圧や移動度にはばらつきが生じやすい。このため、ディスプレイに含まれる多数の画素回路の間で、TFTと有機EL素子に流れる電流を揃えることは困難になる。そこで、有機ELディスプレイの画素回路にはTFTの特性のばらつきを補償する回路が設けられ、この回路の作用により有機EL素子の輝度のばらつきが抑えられる。

## 【0004】

電流制御型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

## 【0005】

ところが、電流プログラム方式には、第1に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

## 【0006】

電流制御型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図7は、特許文献1に記載された画素回路の回路図である。図7に示す画素回路800は、駆動用TFT810、スイッチ用TFT811~814、コンデンサ820、および、有機EL素子830を備えている。スイッチ用TFT812、814はnチャンネル型、他のTFTはpチャンネル型である。

## 【0007】

画素回路800では、電源配線Vpと共通陰極Vcom (電位をそれぞれVDD、VSSとする) との間に、駆動用TFT810、スイッチ用TFT814および有機EL素子830が直列に設けられている。駆動用TFT810のゲート端子とデータ線Sjとの間には、コンデンサ820およびスイッチ用TFT811が直列に設けられている。以下、駆動用TFT810とコンデンサ820の接続点をA、コンデンサ820とスイッチ用TFT811の接続点をBという。接続点Bと電源配線Vpとの間にはスイッチ用TFT812が設けられ、接続点Aと駆動用TFT810のドレイン端子との間にはスイッチ用TFT813が設けられている。スイッチ用TFT811~814のゲート端子は、いずれも走査線Giに接続されている。

## 【0008】

図8は、画素回路800のタイミングチャートである。時刻t0より前では、走査線Giの電位はハイレベルに制御される。時刻t0において走査線Giの電位がローレベルに

10

20

30

40

50

変化すると、スイッチ用TFT811、813は導通状態、スイッチ用TFT812、814は非導通状態に変化する。これにより、接続点Bは電源配線Vpから切り離され、スイッチ用TFT811を介してデータ線Sjに接続される。また、駆動用TFT810のゲート端子とドレイン端子は同電位となる。このため、電源配線Vpから駆動用TFT810とスイッチ用TFT813を経由して駆動用TFT810のゲート端子に電流が流れ込み、接続点Aの電位は駆動用TFT810が導通状態である間は上昇する。駆動用TFT810は、ゲート-ソース間電圧が閾値電圧Vth(負の値)になる(すなわち、接続点Aの電位が(VDD+Vth)になると、非導通状態に変化する。したがって、接続点Aの電位は(VDD+Vth)まで上昇する。

#### 【0009】

次に時刻t1において、データ線Sjの電位が前回のデータ電位Vdata0(1行上の画素回路に書き込まれたデータ電位)から今回のデータ電位Vdataに変化すると、接続点Bの電位はVdataに変化する。したがって、時刻t2直前におけるコンデンサ820の電極間電圧は、接続点Aと接続点Bの電位差(VDD+Vth-Vdata)となる。

#### 【0010】

次に時刻t2において走査線Giの電位がハイレベルに変化すると、スイッチ用TFT811、813は非導通状態、スイッチ用TFT812、814は導通状態に変化する。これにより、駆動用TFT810のゲート端子はドレイン端子から切り離される。また、接続点Bはデータ線Sjから切り離され、スイッチ用TFT812を介して電源配線Vpに接続される。これにより、接続点Bの電位はVdataからVDDに変化し、これに伴い、接続点Aの電位は同じ量(VDD-Vdata;以下、VBという)だけ変化して(VDD+Vth+VB)となる。

#### 【0011】

また、時刻t2以降、スイッチ用TFT814が導通状態となるので、電源配線Vpから駆動用TFT810とスイッチ用TFT814を経由して有機EL素子830に電流が流れる。駆動用TFT810を流れる電流の量は、ゲート端子電位(VDD+Vth+VB)に応じて増減するが、閾値電圧Vthが異なっても電位差VBが同じであれば電流量は同じである。したがって、閾値電圧Vthの値にかかわらず、有機EL素子830には電位Vdataに応じた量の電流が流れ、有機EL素子830はデータ電位Vdataに応じた輝度で発光する。

#### 【0012】

このように画素回路800によれば、駆動用TFT810の閾値電圧のばらつきを補償し、有機EL素子830を所望の輝度で発光させることができる。しかしながら、画素回路800には、駆動用TFT810の閾値電圧のばらつきを補償する際に、回路が正しく動作しないことがあるという問題がある。

#### 【0013】

例えば、前フレームでは駆動用TFT810に電流がほとんど流れない場合(黒表示を行う場合)、図8の時刻t0における接続点Aの電位VAはほぼ(VDD+Vth)となるか、それよりも高い電位となる。接続点Bの電位が時刻t0から時刻t1の間にVDDからVdataに変化すると、これに伴い接続点Aの電位も変化する。ところが、上述したようにVdata>VDDであるので、接続点Aの電位がほぼ(VDD+Vth)か、それよりも高い電位であるときに接続点Bの電位がVDDからVdataに上昇すると、接続点Aの電位は(VDD+Vth)よりも高くなる。このため、駆動用TFT810は、電流をほとんど流さない状態が維持されるため、導通状態にならない。この場合、上記の方法で駆動用TFT810の閾値電圧のばらつきを補償することができない。

#### 【0014】

この問題を解決する画素回路も考案されている。図9は、特許文献2に記載された画素回路の回路図である。図9に示す画素回路900には、初期化電圧を印加するためのスイッチ用TFT915が追加されている。画素回路900に含まれる駆動用TFT910、

10

20

30

40

50

スイッチ用TFT911~914、コンデンサ920および有機EL素子930は、それぞれ、画素回路800に含まれる駆動用TFT810、スイッチ用TFT811~814、コンデンサ820および有機EL素子830に対応する。

【0015】

画素回路900の構成要素(スイッチ用TFT915を除く)は、対応する画素回路800の構成要素と同等であり、画素回路900は画素回路800とほぼ同様に動作する。なお、同じ極性のTFTだけを用いて、異なる極性のTFTを含む画素回路800と同様に動作する画素回路を構成するために、画素回路900では走査線はG<sub>1i</sub>、G<sub>2i</sub>の2本に分割されている。

【0016】

画素回路900では、スイッチ用TFT915は初期化電源配線V<sub>int</sub>と駆動用TFT910のドレイン端子との間に設けられ、駆動用TFT910の閾値電圧のばらつきを補償する動作を開始する前に、スイッチ用TFT913、915は導通状態に制御される。これにより、初期化電源配線V<sub>int</sub>の電位を駆動用TFT910のゲート端子(接続点A)に与えることができる。そこで、初期化電源配線V<sub>int</sub>に駆動用TFT910が必ず導通状態となる電位を与えて初期化処理を行うことにより、初期化前の状態にかかわらず、駆動用TFT910を導通状態に設定することができる。したがって、画素回路900は、以前の状態にかかわらず、駆動用TFT910の閾値電圧のばらつきを補償するよう、回路を正しく動作させることができる。

【特許文献1】日本国特開2005-157308号公報

【特許文献2】日本国特開2007-133369号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

ところで、図9に示す画素回路900では、スイッチ用TFT915が導通状態である間、初期化電源配線V<sub>int</sub>と電源配線V<sub>p</sub>は、駆動用TFT910とスイッチ用TFT915を介して電氣的に接続された状態となる。このとき駆動用TFT910を導通状態にするためには、初期化電源配線V<sub>int</sub>の電位を(V<sub>p</sub>-V<sub>th</sub>)よりも低くする必要がある。このため、駆動用TFT910とスイッチ用TFT915を経由して、電源配線V<sub>p</sub>から初期化電源配線V<sub>int</sub>に電流が流れ込む。このように書き込み対象の画素回路900では初期化電源配線V<sub>int</sub>に電流が流れ込むので、初期化電源配線V<sub>int</sub>の電位は局所的に変動する。一方、それ以外の画素回路900では、初期化電源配線V<sub>int</sub>の電位は、有機EL素子930に流れる電流を決定する役割を果たす。したがって、書き込み対象以外の画素回路900では、初期化電源配線V<sub>int</sub>の電位が変動すると、有機EL素子930に流れる電流が変動する。

【0018】

一般的な有機ELディスプレイでは、1行分の画素回路を選択してデータ電位を与える処理を順に行うことにより、すべての行の画素回路に対する書き込みが行われる。一方、画素回路900に対する初期化処理は、画素回路の各行について行う必要がある。したがって、画素回路900を備えた有機ELディスプレイでは、初期化処理が断続的に行われるために、初期化電源配線V<sub>int</sub>の電位は常に変動する。書き込み対象以外の画素回路900が常にこの変動の影響を受けるので、画像の表示を正しく行うことが困難になる。

【0019】

それ故に、本発明は、駆動素子の閾値電圧のばらつきを補償する際、回路が正しく動作するようにすると共に、ある画素回路に対する補償動作によって他の画素回路の輝度が変動することを防止した表示装置を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明の第1の局面は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

10

20

30

40

50

前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、  
前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、  
前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、  
前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、  
前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング素子と、

前記コンデンサの第2の電極と第3の電源配線との間に設けられた第2のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第3のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記コンデンサの第2の電極に接続され、前記第1のスイッチング素子が導通状態である間に導通状態となる第4のスイッチング素子とを含む。

#### 【0021】

本発明の第2の局面は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線を用いて、書き込み対象の画素回路を選択する走査信号出力回路と、

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられた第1のスイッチング素子と、

前記コンデンサの第2の電極と第3の電源配線との間に設けられた第2のスイッチング素子と、

前記駆動素子の制御端子と一方の電流入出力端子との間に設けられた第3のスイッチング素子と、

一端が前記駆動素子の制御端子に接続され、他端が前記データ線に接続され、前記第1のスイッチング素子が導通状態である間に導通状態となる第4のスイッチング素子とを含む。

#### 【0022】

本発明の第3の局面は、本発明の第1または第2の局面において、

前記画素回路に対する選択走査期間には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第1および第3のスイッチング素子が導通状態に、前記第2および第4のスイッチング素子が非導通状態に制御され、

次に第3の期間では、前記第1、第3および第4のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする。

#### 【0023】

本発明の第4の局面は、本発明の第1または第2の局面において、

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第5のスイッチング素子をさらに含む。

#### 【0024】

本発明の第5の局面は、本発明の第1または第2の局面において、

10

20

30

40

50

前記画素回路に対する選択走査期間には、前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御されることを特徴とする。

【0025】

本発明の第6の局面は、本発明の第1または第2の局面において、前記データ線には、前記駆動素子を導通状態に設定でき、かつ、前記画素回路に対する選択走査期間には一定となる電位が与えられることを特徴とする。

【0026】

本発明の第7の局面は、本発明の第1または第2の局面において、前記電気光学素子は有機EL素子で構成されていることを特徴とする。

【0027】

本発明の第8の局面は、本発明の第1または第2の局面において、前記駆動素子および前記画素回路内のすべてのスイッチング素子は、薄膜トランジスタで構成されていることを特徴とする。

【発明の効果】

【0028】

本発明の第1の局面によれば、駆動素子を導通状態とする電位をデータ線に印加し、第1および第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子にデータ電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御する時点で、駆動素子を確実に導通状態に設定し、駆動素子の閾値電圧のばらつきを補償する際、回路を正しく動作させることができる。

【0029】

また、第3および第4のスイッチング素子のいずれか一方を非導通状態に保った状態で駆動素子を初期化できるので、第1および第2の電源配線を第3の電源配線と接続することなく駆動素子を初期化し、第3の電源配線の電位を常に安定させることができる。さらに、駆動素子の初期化をデータ線の電位を用いて行うので、初期化用の電源配線を別途設ける必要がなく、回路を簡素化することができる。

【0030】

本発明の第2の局面によれば、駆動素子を導通状態とする電位をデータ線に印加し、第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子にデータ電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御する時点で、駆動素子を確実に導通状態に設定し、駆動素子の閾値電圧のばらつきを補償する際、回路を正しく動作させることができる。

【0031】

また、第3および第4のスイッチング素子のいずれか一方を非導通状態に保った状態で駆動素子を初期化できるので、第1および第2の電源配線を第3の電源配線と接続することなく駆動素子を初期化し、第3の電源配線の電位を常に安定させることができる。さらに、駆動素子の初期化をデータ線の電位を用いて行うので、初期化用の電源配線を別途設ける必要がなく、回路を簡素化することができる。また、コンデンサの第2の電極に接続される配線の本数を減らし、レイアウトを容易にすることができる。

【0032】

本発明の第3の局面によれば、第1の期間では、コンデンサの第1および第2の電極にはデータ電位が与えられるので、コンデンサに保持される電位差はゼロになる。第2の期間では、駆動素子が閾値状態となるまでコンデンサの第1の電極の電位が変化し、これに伴い、コンデンサに保持される電位差は、データ電位と駆動素子の閾値電圧との差に変化する。第3の期間では、コンデンサが上記の電位差を保持したままで、コンデンサの第2の電極の電位が、データ電位から第3の電源配線の電位に変化する。このため、その後の駆動素子の制御端子の電位は、駆動素子が閾値状態となる電位に、第3の電源配線の電位とデータ電位の差を加えた電位となる。したがって、駆動素子に流れる電流の量は、閾値

10

20

30

40

50

電圧の影響を受けない。このようにして駆動素子の閾値電圧のばらつきを補償することができる。

【0033】

また、第1～第3の期間のいずれでも、第3および第4のスイッチング素子が共に導通状態になることはない。これにより、第1および第2の電源配線が第3の電源配線と接続されることを防止し、第3の電源配線の電位を常に安定させることができる。

【0034】

本発明の第4の局面によれば、画素回路に対する選択走査期間に、第5のスイッチング素子を非導通状態に制御することにより、駆動素子から電気光学素子に流れる電流を遮断することができる。これにより、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

10

【0035】

本発明の第5の局面によれば、画素回路に対する選択走査期間に、第2の電源配線の電位を制御することにより、第1の電源配線と第2の電源配線との間にスイッチング素子を設けなくても、電気光学素子に電流が流れないようにすることができる。これにより、より少ない回路量で、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

【0036】

本発明の第6の局面によれば、駆動素子を確実に導通状態に設定できる電位をデータ線に与えても、第3の電源配線の電位を好適に調整することにより、所望の量の電流が流れるように駆動素子を制御することができる。このため、第3の電源配線から独立した初期化用の電源配線を別途設ける必要はない。したがって、配線数を増やすことなく、データ線に与えられた電位を用いて駆動素子を初期化することができる。

20

【0037】

本発明の第7の局面によれば、駆動素子の閾値電圧のばらつきを正しく補償する有機ELディスプレイを得ることができる。

【0038】

本発明の第8の局面によれば、駆動素子および画素回路内のすべてのスイッチング素子を薄膜トランジスタで構成することにより、画素回路を容易かつ高精度で製造することができる。

30

【図面の簡単な説明】

【0039】

【図1】本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図3】図2に示す画素回路のタイミングチャートである。

【図4】本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図5】本発明の第3の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図6】図5に示す画素回路のタイミングチャートである。

【図7】従来の表示装置に含まれる画素回路（第1の例）の回路図である。

【図8】図7に示す画素回路のタイミングチャートである。

40

【図9】従来の表示装置に含まれる画素回路（第2の例）の回路図である。

【符号の説明】

【0040】

- 10 ... 表示装置
- 11 ... 表示制御回路
- 12 ... ゲートドライバ回路
- 13 ... ソースドライバ回路
- 21 ... シフトレジスタ
- 22 ... レジスタ
- 23 ... ラッチ回路

50

2 4 ... D / A コンバータ

1 0 0、2 0 0、3 0 0 ... 画素回路

1 1 0、2 1 0、3 1 0 ... 駆動用 T F T

1 1 1 ~ 1 1 5、2 1 1 ~ 2 1 5、3 1 1 ~ 3 1 4 ... スイッチ用 T F T

1 2 0、2 2 0、3 2 0 ... コンデンサ

1 3 0、2 3 0、3 3 0 ... 有機 E L 素子

【発明を実施するための最良の形態】

【0041】

以下、図1～図6を参照して、本発明の第1～第3の実施形態に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、駆動素子、コンデンサおよび複数のスイッチング素子を含む画素回路を備えている。画素回路は、電気光学素子として有機EL素子を含み、駆動素子およびスイッチング素子として薄膜トランジスタ(TFT)を含んでいる。なお、駆動素子およびスイッチング素子は、例えば、アモルファスシリコンTFTや低温ポリシリコンTFTやCGシリコンTFTなどで構成することができる。駆動素子およびスイッチング素子をTFTで構成することにより、画素回路を容易かつ高精度で製造することができる。

10

【0042】

図1は、本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置10は、複数の画素回路 $A_{ij}$ ( $i$ は1以上 $n$ 以下の整数、 $j$ は1以上 $m$ 以下の整数)、表示制御回路11、ゲートドライバ回路12、および、ソースドライバ回路13を備えている。表示装置10には、互いに平行な複数の走査線 $G_i$ と、走査線 $G_i$ と直交する互いに平行な複数のデータ線 $S_j$ とが設けられる。画素回路 $A_{ij}$ は、走査線 $G_i$ とデータ線 $S_j$ の各交差点に対応してマトリクス状に配置されている。

20

【0043】

これに加えて表示装置10には、互いに平行な複数の制御線 $AZ_i$ 、 $R_i$ (図示せず)が走査線 $G_i$ と平行に配置されている。走査線 $G_i$ と制御線 $AZ_i$ 、 $R_i$ はゲートドライバ回路12に接続され、データ線 $S_j$ はソースドライバ回路13に接続されている。ゲートドライバ回路12とソースドライバ回路13は、画素回路 $A_{ij}$ の駆動回路として機能する。また、すべての画素回路 $A_{ij}$ は、基準電源配線 $V_{ref}$ に接続されている。さらに、図1では省略されているが、画素回路 $A_{ij}$ の配置領域には、画素回路 $A_{ij}$ に電源電圧を供給するために、電源配線 $V_p$ と共通陰極 $V_{com}$ (または陰極配線 $CA_i$ )が配置されている。

30

【0044】

表示制御回路11は、ゲートドライバ回路12に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、ソースドライバ回路13に対してスタートパルスSP、クロックCLK、表示データDAおよびラッチパルスLPを出力し、基準電源配線 $V_{ref}$ に対して所定の基準電位 $V_{std}$ を与える。

【0045】

ゲートドライバ回路12は、シフトレジスタ回路、論理演算回路およびバッファ(いずれも図示せず)を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 $G_i$ や制御線 $AZ_i$ 、 $R_i$ などに与えられる。このようにゲートドライバ回路12は、走査線 $G_i$ を用いて書き込み対象の画素回路を選択する走査信号出力回路として機能する。

40

【0046】

ソースドライバ回路13は、 $m$ ビットのシフトレジスタ21、レジスタ22、ラッチ回路23、および、 $m$ 個のD/Aコンバータ24を含んでいる。シフトレジスタ21は、縦続接続された $m$ 個の1ビットレジスタを含んでいる。シフトレジスタ21は、クロックCLKに同期してスタートパルスSPを順次転送し、各段のレジスタからタイミングパルス

50

D L P を出力する。タイミングパルス D L P の出力タイミングに合わせて、レジスタ 2 2 には表示データ D A が供給される。レジスタ 2 2 は、タイミングパルス D L P に従い、表示データ D A を記憶する。レジスタ 2 2 に 1 行分の表示データ D A が記憶されると、表示制御回路 1 1 はラッチ回路 2 3 に対してラッチパルス L P を出力する。ラッチ回路 2 3 は、ラッチパルス L P を受け取ると、レジスタ 2 2 に記憶された表示データを保持する。D / A コンバータ 2 4 は、各データ線 S j に 1 つずつ設けられる。D / A コンバータ 2 4 は、ラッチ回路 2 3 に保持された表示データをアナログ信号電圧に変換し、対応するデータ線 S j に与える。このようにソースドライバ回路 1 3 は、データ線 S j に対して表示データに応じた電位を与える表示信号出力回路として機能する。

【 0 0 4 7 】

10

なお、表示装置 1 0 を小型、低コスト化するために、ゲートドライバ回路 1 2 やソースドライバ回路 1 3 の全部または一部を、C G シリコン T F T や多結晶シリコン T F T などを用いて画素回路 A i j と同じ基板上に形成することが好ましい。

【 0 0 4 8 】

以下、各実施形態に係る表示装置に含まれる画素回路 A i j の詳細を説明する。以下の説明では、スイッチ用 T F T のゲート端子に与えられるハイレベル電位を G H、ローレベル電位を G L という。

【 0 0 4 9 】

( 第 1 の実施形態 )

図 2 は、本発明の第 1 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 1 0 0 は、駆動用 T F T 1 1 0、スイッチ用 T F T 1 1 1 ~ 1 1 5、コンデンサ 1 2 0、および、有機 E L 素子 1 3 0 を備えている。スイッチ用 T F T 1 1 1、1 1 3、1 1 4 は n チャネル型、他の T F T は p チャネル型である。

20

【 0 0 5 0 】

画素回路 1 0 0 は、電源配線 V p、基準電源配線 V r e f、共通陰極 V c o m、走査線 G i、制御線 A Z i、R i、および、データ線 S j に接続されている。このうち、電源配線 V p ( 第 1 の電源配線 ) と共通陰極 V c o m ( 第 2 の電源配線 ) にはそれぞれ一定の電位 V D D、V S S が印加され、基準電源配線 V r e f ( 第 3 の電源配線 ) には基準電位 V s t d が印加される。共通陰極 V c o m は、表示装置内のすべての有機 E L 素子 1 3 0 の共通電極となる。

30

【 0 0 5 1 】

画素回路 1 0 0 では、電源配線 V p と共通陰極 V c o m とを結ぶ経路上に電源配線 V p 側から順に、駆動用 T F T 1 1 0、スイッチ用 T F T 1 1 5 および有機 E L 素子 1 3 0 が直列に設けられている。駆動用 T F T 1 1 0 のゲート端子には、コンデンサ 1 2 0 の一方の電極が接続されている。コンデンサ 1 2 0 の他方の電極とデータ線 S j との間には、スイッチ用 T F T 1 1 1 が設けられている。以下、駆動用 T F T 1 1 0 とコンデンサ 1 2 0 の接続点を A、コンデンサ 1 2 0 とスイッチ用 T F T 1 1 1 の接続点を B という。接続点 B と基準電源配線 V r e f との間にはスイッチ用 T F T 1 1 2 が設けられ、接続点 A と駆動用 T F T 1 1 0 のドレイン端子との間にはスイッチ用 T F T 1 1 3 が設けられ、接続点 A と接続点 B との間にはスイッチ用 T F T 1 1 4 が設けられている。

40

【 0 0 5 2 】

スイッチ用 T F T 1 1 1、1 1 2、1 1 5 のゲート端子は走査線 G i に接続され、スイッチ用 T F T 1 1 3 のゲート端子は制御線 A Z i に接続され、スイッチ用 T F T 1 1 4 のゲート端子は制御線 R i に接続されている。走査線 G i および制御線 A Z i、R i の電位はゲートドライバ回路 1 2 によって制御され、データ線 S j の電位はソースドライバ回路 1 3 によって制御される。

【 0 0 5 3 】

図 3 は、画素回路 1 0 0 のタイミングチャートである。図 3 には、走査線 G i、制御線 A Z i、R i およびデータ線 S j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 3 では、時刻 t 0 から時刻 t 5 ままでが 1 水平走査期間に相当する。

50

以下、図3を参照して、画素回路100の動作を説明する。

【0054】

時刻 $t_0$ より前では、走査線 $G_i$ と制御線 $AZ_i$ 、 $R_i$ の電位は $GL$ （ローレベル）に、データ線 $S_j$ の電位は前回の表示データ（1行前に走査された画素回路に書き込まれた表示データ）に応じたレベルに制御される。このため、スイッチ用 $TFT_{112}$ 、 $115$ は導通状態、スイッチ用 $TFT_{111}$ 、 $113$ 、 $114$ は非導通状態となる。また、接続点 $A$ の電位は画素回路100に前回書き込まれた表示データに応じた電位となり、接続点 $B$ の電位は $V_{std}$ となる。

【0055】

時刻 $t_0$ において走査線 $G_i$ の電位が $GH$ に変化すると、スイッチ用 $TFT_{111}$ が導通状態に、スイッチ用 $TFT_{112}$ 、 $115$ が非導通状態に変化する。走査線 $G_i$ の電位が $GH$ である間（時刻 $t_0$ から時刻 $t_5$ までの間）、スイッチ用 $TFT_{115}$ は非導通状態にあるので、有機 $EL$ 素子130に電流は流れず、有機 $EL$ 素子130は発光しない。

10

【0056】

走査線 $G_i$ の電位が $GH$ である間、データ線 $S_j$ の電位は今回の表示データに応じたレベル電位（以下、データ電位 $V_{data}$ という）に制御される。すなわち、データ線 $S_j$ には、選択走査期間に一定となるデータ電位 $V_{data}$ が印加される。この間、接続点 $B$ はスイッチ用 $TFT_{111}$ を介してデータ線 $S_j$ に接続されるので、接続点 $B$ の電位は $V_{data}$ となる。また、時刻 $t_0$ から時刻 $t_1$ までの間、スイッチ用 $TFT_{113}$ 、 $114$ は非導通状態であるので、接続点 $B$ の電位が $V_{std}$ から $V_{data}$ に変化すると、接続点 $A$ の電位も同じ量（ $V_{data} - V_{std}$ ）だけ変化する。

20

【0057】

次に時刻 $t_1$ において制御線 $R_i$ の電位が $GH$ に変化すると、スイッチ用 $TFT_{114}$ が導通状態に変化する。これにより、接続点 $A$ と接続点 $B$ が接続される。接続点 $A$ はスイッチ用 $TFT_{111}$ 、 $114$ を介してデータ線 $S_j$ に接続されるので、接続点 $A$ の電位も $V_{data}$ に変化し、コンデンサ120に保持される電位差はゼロになる。

【0058】

データ電位 $V_{data}$ は、駆動用 $TFT_{110}$ の特性、基準電位 $V_{std}$ および表示データに基づき決定される。また、データ電位 $V_{data}$ は、接続点 $A$ （駆動用 $TFT_{110}$ のゲート端子）に印加したときに駆動用 $TFT_{110}$ が導通状態となる範囲内で決定される。したがって、時刻 $t_1$ 以降、駆動用 $TFT_{110}$ は必ず導通状態となる。なお、駆動用 $TFT_{110}$ が導通状態となってもスイッチ用 $TFT_{115}$ が非導通状態である間（すなわち、走査線 $G_i$ の電位が $GH$ である間）は、有機 $EL$ 素子130に電流は流れず、有機 $EL$ 素子130は発光しない。

30

【0059】

次に時刻 $t_2$ において制御線 $R_i$ の電位が $GL$ に変化すると、スイッチ用 $TFT_{114}$ が非導通状態に変化する。これにより、接続点 $A$ はデータ線 $S_j$ から切り離され、接続点 $A$ の電位は一旦 $V_{data}$ に固定される。

【0060】

次に時刻 $t_3$ において制御線 $AZ_i$ の電位が $GH$ に変化すると、スイッチ用 $TFT_{113}$ が導通状態に変化する。これにより駆動用 $TFT_{110}$ のゲート端子とドレイン端子が短絡され、駆動用 $TFT_{110}$ はダイオード接続となる。時刻 $t_1$ から時刻 $t_2$ までの間、接続点 $A$ にはデータ電位 $V_{data}$ が印加され、時刻 $t_3$ 以降も接続点 $A$ の電位はコンデンサ120によって $V_{data}$ に保たれる。したがって、時刻 $t_3$ では、駆動用 $TFT_{110}$ は必ず導通状態となる。

40

【0061】

時刻 $t_3$ 以降、電源配線 $V_p$ から駆動用 $TFT_{110}$ とスイッチ用 $TFT_{113}$ を經由して接続点 $A$ に電流が流れ込み、接続点 $A$ の電位（駆動用 $TFT_{110}$ のゲート端子電位）は駆動用 $TFT_{110}$ が導通状態である間は上昇する。駆動用 $TFT_{110}$ は、ゲート-ソース間電圧が閾値電圧 $V_{th}$ （ $p$ チャネル型の駆動用 $TFT_{110}$ では負の値）にな

50

ると、非導通状態に変化する。したがって、接続点Aの電位は $(V_{DD} + V_{th})$ まで上昇し、駆動用TFT110は閾値状態(ゲート-ソース間の電位差が閾値電圧 $V_{th}$ に等しい状態)となる。

【0062】

次に時刻 $t_4$ において制御線AZiの電位がGLに変化すると、スイッチ用TFT113が非導通状態に変化する。このときコンデンサ120には、接続点AとBの電位差 $(V_{DD} + V_{th} - V_{data})$ が保持される。

【0063】

次に時刻 $t_5$ において走査線Giの電位がGLに変化すると、スイッチ用TFT112、115が導通状態に、スイッチ用TFT111が非導通状態に変化する。これにより、接続点Bは、データ線Sjから切り離され、スイッチ用TFT112を介して基準電源配線Vrefに接続される。このため、接続点Bの電位はVdataからVstdに変化し、これに伴い、接続点Aの電位も同じ量 $(V_{std} - V_{data})$ ;以下、VBという)だけ変化して $(V_{DD} + V_{th} + V_B)$ となる。

10

【0064】

時刻 $t_5$ 以降ではスイッチ用TFT115は導通状態にあるので、電源配線Vpから駆動用TFT110とスイッチ用TFT115を経由して有機EL素子130に電流が流れる。駆動用TFT110を流れる電流の量はゲート端子電位 $(V_{DD} + V_{th} + V_B)$ に応じて増減するが、時刻 $t_3$ から時刻 $t_4$ の間に駆動用TFT110の閾値電圧 $V_{th}$ のばらつきを補償する処理が行われたために、駆動用TFT110には電位差VB(=Vstd - Vdata)に応じた電流が流れる。したがって、駆動用TFT110の閾値電圧 $V_{th}$ の値にかかわらず、有機EL素子130には基準電位とデータ電位の差 $(V_{std} - V_{data})$ に応じた量の電流が流れ、有機EL素子130は指定された輝度で発光する。

20

【0065】

上記の動作では、時刻 $t_2$ においてスイッチ用TFT114が非導通状態に変化した後に、時刻 $t_3$ においてスイッチ用TFT113が導通状態に変化する。したがって、電源配線Vpから駆動用TFT110とスイッチ用TFT112~114を経由して基準電源配線Vrefに電流が流れ込むことを防止し、基準電位Vstdを安定に保つことができる。

30

【0066】

また、上記の動作では、時刻 $t_4$ においてスイッチ用TFT113が非導通状態に変化した後に、時刻 $t_5$ においてスイッチ用TFT111が非導通状態に、スイッチ用TFT112が導通状態に変化する。したがって、電源配線Vpから駆動用TFT110とスイッチ用TFT113を経由して接続点Aに電流が流れ込むことを防止し、駆動用TFT110のゲート端子電位を正確に保持することができる。

【0067】

さらに、データ電位Vdataを $(V_{DD} + V_{th})$ よりも低く設定する(すなわち、 $V_{DD} + V_{th} > V_{data}$ とする)ことにより、時刻 $t_1$ から時刻 $t_3$ において、駆動用TFT110を必ず導通状態に設定することができる。一般にTFTに流れる電流を制御する場合、TFTの特性とソース電源の電位に応じてゲート電位は一意に決められるため、データ電位の絶対値は固定的に決められる。これに対して、画素回路100では、駆動用TFT110のゲート電位はデータ電位Vdataと基準電位Vstdによって決まり、有機EL素子130に流れる電流の量は両者の差 $(V_{std} - V_{data})$ によって決まる。

40

【0068】

このため、画素回路100では、駆動用TFT110の特性にかかわらず、各スイッチ用TFTを制御可能な範囲内で、データ電位Vdataと基準電位Vstdをそれぞれ自由に選択することができる。したがって、駆動用TFT110を確実に導通状態に設定で

50

きる電位をデータ電位  $V_{data}$  として選択しても、基準電位  $V_{std}$  を好適に調整することにより、所望の量の電流が流れるように駆動用 T F T 1 1 0 を制御することができる。このため、基準電源配線  $V_{ref}$  から独立した初期化用の電源配線を設ける必要がない。したがって、配線数を増やすことなく、データ電位  $V_{data}$  を用いて駆動用 T F T 1 1 0 を初期化し、回路を簡素化することができる。

#### 【0069】

以上に示すように、本実施形態に係る表示装置によれば、駆動用 T F T 1 1 0 を導通状態とするデータ電位  $V_{data}$  をデータ線  $S_j$  に印加し、スイッチ用 T F T 1 1 1、1 1 4 を導通状態に制御することにより、駆動用 T F T 1 1 0 のゲート端子にデータ電位  $V_{data}$  を与え、画素回路の以前の状態にかかわらず、駆動用 T F T 1 1 0 を必ず導通状態に設定することができる。

10

#### 【0070】

したがって、その後にスイッチ用 T F T 1 1 3 を導通状態に、スイッチ用 T F T 1 1 4、1 1 5 を非導通状態に制御したときに、駆動用 T F T 1 1 0 を確実に閾値状態に設定し、駆動用 T F T 1 1 0 から有機 E L 素子 1 3 0 に流れる電流を遮断することができる。これにより、駆動用 T F T 1 1 0 を正しく閾値状態に設定すると共に、有機 E L 素子 1 3 0 の不要な発光を防止することができる。不要な発光を防止できれば、表示画面のコントラストが向上し、有機 E L 素子 1 3 0 の寿命も長くなる。

#### 【0071】

さらに、スイッチ用 T F T 1 1 3、1 1 4 のいずれか一方を必ず非導通状態とすることにより、電源配線  $V_p$  と基準電源配線  $V_{ref}$  が接続されることを防止し、基準電位  $V_{std}$  を常に安定させることができる。これにより、ある画素回路 1 0 0 に対する補償動作によって他の画素回路の輝度が変動することを防止し、表示品位を高めることができる。

20

#### 【0072】

(第2の実施形態)

図4は、本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。図4に示す画素回路 2 0 0 は、駆動用 T F T 2 1 0、スイッチ用 T F T 2 1 1 ~ 2 1 5、コンデンサ 2 2 0、および、有機 E L 素子 2 3 0 を備えている。スイッチ用 T F T 2 1 1、2 1 3、2 1 4 は n チャンネル型、他の T F T は p チャンネル型である。

#### 【0073】

画素回路 1 0 0 (図2) では、スイッチ用 T F T 1 1 4 は接続点 A と接続点 B の間に設けられている。これに対して画素回路 2 0 0 では、スイッチ用 T F T 2 1 4 は接続点 A とデータ線  $S_j$  との間に設けられている。この点を除き、画素回路 2 0 0 の構成は、画素回路 1 0 0 と同じである。画素回路 2 0 0 は、画素回路 1 0 0 と同様に、電源配線  $V_p$ 、基準電源配線  $V_{ref}$ 、共通陰極  $V_{com}$ 、走査線  $G_i$ 、制御線  $A Z_i$ 、 $R_i$ 、および、データ線  $S_j$  に接続されている。これらの信号線には画素回路 1 0 0 と同じ電位が印加され(図3を参照)、画素回路 2 0 0 は画素回路 1 0 0 と同様に動作する。

30

#### 【0074】

画素回路 2 0 0 を備えた表示装置によれば、画素回路 1 0 0 を備えた表示装置と同じ効果が得られる。また、画素回路 1 0 0 では、接続点 B に配線が集中するためにレイアウトが困難になることあるが、画素回路 2 0 0 によれば、接続点 B に接続される配線の本数を減らし、レイアウトを容易にすることができる。

40

#### 【0075】

(第3の実施形態)

図5は、本発明の第3の実施形態に係る表示装置に含まれる画素回路の回路図である。図5に示す画素回路 3 0 0 は、駆動用 T F T 3 1 0、スイッチ用 T F T 3 1 1 ~ 3 1 4、コンデンサ 3 2 0、および、有機 E L 素子 3 3 0 を備えている。スイッチ用 T F T 3 1 1、3 1 3、3 1 4 は n チャンネル型、他の T F T は p チャンネル型である。

#### 【0076】

画素回路 3 0 0 は、画素回路 1 0 0 (図2) と以下の点で相違する。画素回路 3 0 0 で

50

は、有機EL素子330のカソード端子は、共通陰極Vcomではなく、陰極配線CAiに接続されている。また、画素回路300はスイッチ用TFT115に対応したTFTを備えておらず、駆動用TFT310と有機EL素子330は直接接続されている。陰極配線CAiの電位は、表示装置10に含まれる電源切替回路(図示せず)によって個別に制御される。画素回路300は、電源配線Vp、基準電源配線Vref、陰極配線CAi、走査線Gi、制御線AZi、Ri、および、データ線Sjに接続されている。

【0077】

図6は、画素回路300のタイミングチャートである。図6には、走査線Gi、制御線AZi、Ri、陰極配線CAiおよびデータ線Sjに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図6では、時刻t0から時刻t5までが1水平走査期間に相当する。図6に示す電位は、陰極配線CAiの電位を除き、図3と同じように変化する。

10

【0078】

図6に示すように、陰極配線CAiの電位は、時刻t0から時刻t5までの間は所定のレベルVCCに、それ以外のときはVSSに制御される。電位VCCは、駆動用TFT310と有機EL素子330を直列に接続した回路の一端に電位VDDを印加し、他端に電位VCCを印加したときに、有機EL素子330への印加電圧が有機EL素子330の発光閾値電圧より低くなるように決定される。このため、陰極配線CAiの電位がVCCである間(時刻t0から時刻t5までの間)、有機EL素子330に発光に寄与する電流は流れず、有機EL素子330は発光しない。以上の点を除き、画素回路300の動作は画素回路100と同じである。

20

【0079】

このように本実施形態に係る表示装置では、画素回路に対する選択走査期間には、陰極配線CAiの電位は有機EL素子330に電流が流れないレベルに制御される。したがって、電源配線Vpと陰極配線CAiとを結ぶ経路上にスイッチ用TFTを設けなくても、第1の実施形態と同じ効果を得ることができる。

【0080】

以上に示すように、本発明の各実施形態に係る表示装置によれば、駆動用TFTの閾値電圧のばらつきを正しく補償し、有機EL素子の不要な発光を防止するとともに、ある画素回路に対する閾値電圧の補償動作によって他の画素回路の輝度が変動することを防止し、表示品位を向上させることができる。また、本発明は各実施形態に限定されるものではなく、各実施形態の特徴を適宜組み合わせることもできる。

30

【0081】

また、各実施形態ではいずれもpチャンネル型の駆動用TFTを用いたが、走査線および制御線の電位、電源電圧、並びに、データ電位を適宜調整することにより、nチャンネル型の駆動用TFTを用いることもできる。同様に、スイッチ用TFTにも逆極性のTFTを用いることもできる。

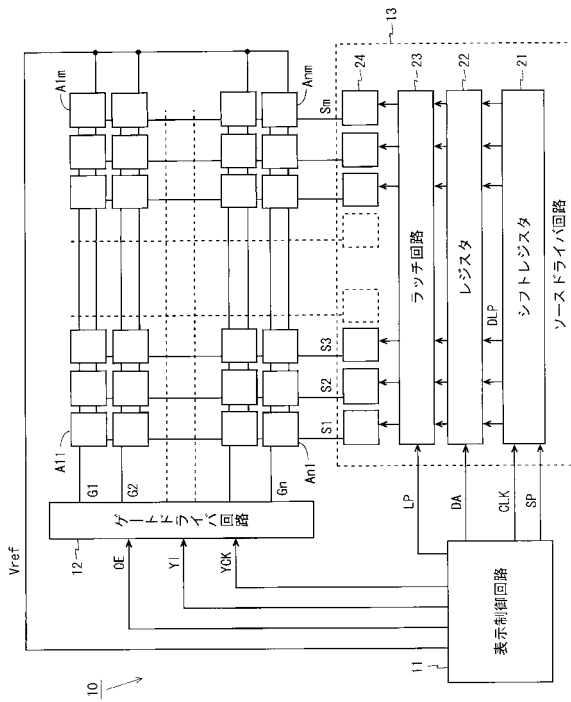
【産業上の利用可能性】

【0082】

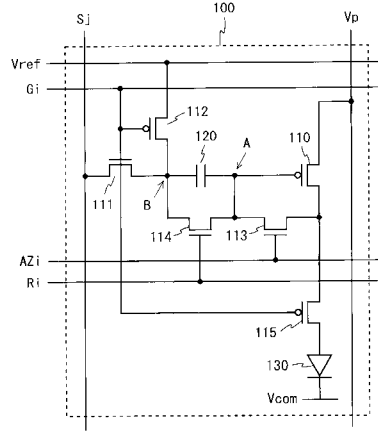
本発明の表示装置は、駆動素子の閾値電圧のばらつきを正しく補償すると共に、ある画素回路に対する閾値電圧の補償動作によって他の画素回路の輝度が変動することを防止できるという効果を奏するので、有機ELディスプレイなどの電流駆動型の表示素子を備えた各種の表示装置に利用することができる。

40

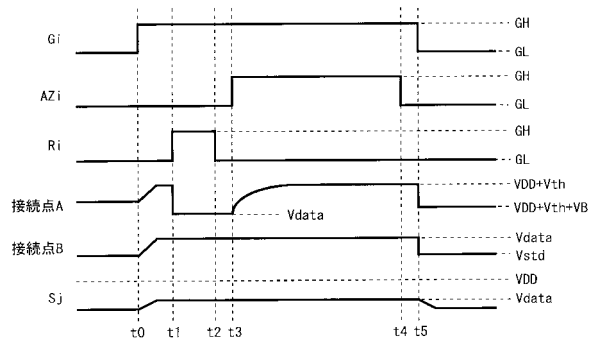
【図1】



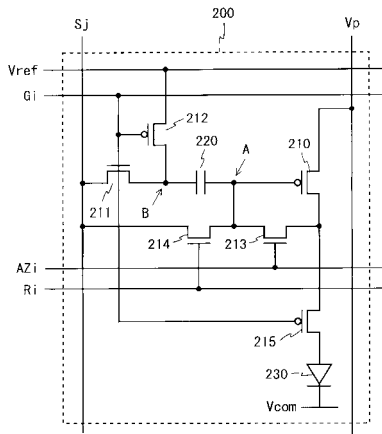
【図2】



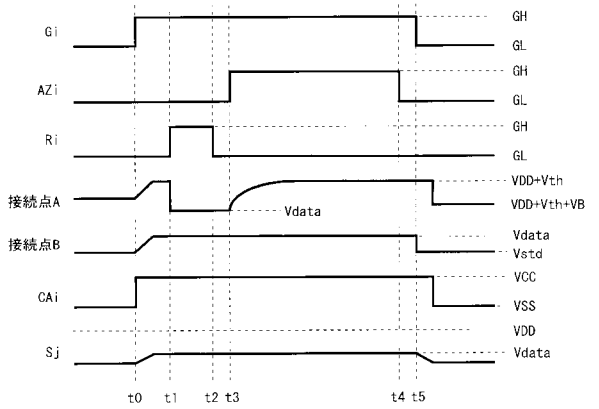
【図3】



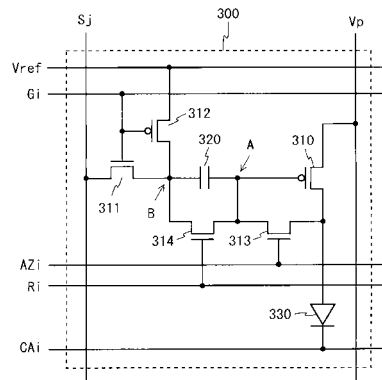
【図4】



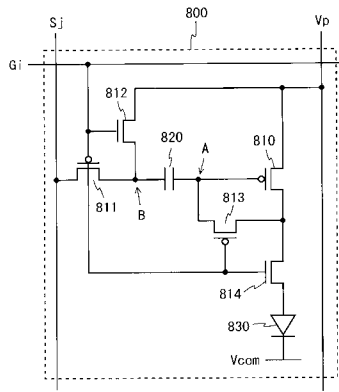
【図6】



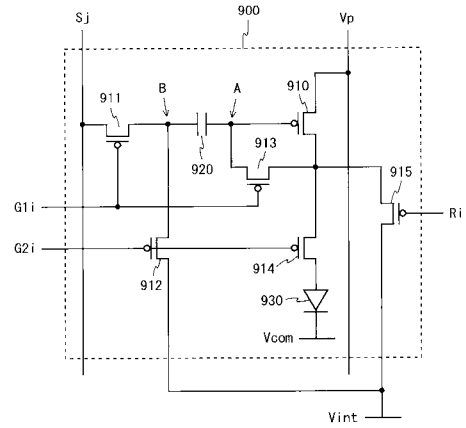
【図5】



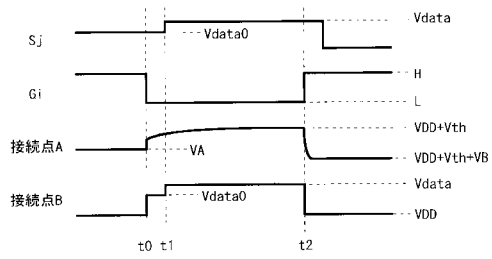
【 図 7 】



【 図 9 】



【 図 8 】



---

フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 1 2 G

G 0 9 G 3/20 6 2 3 C

H 0 5 B 33/14 A

(56) 参考文献 特開 2 0 0 7 - 1 1 4 4 2 6 ( J P , A )

特開 2 0 0 5 - 1 5 7 2 4 4 ( J P , A )

特開 2 0 0 5 - 2 9 2 2 7 2 ( J P , A )

特開 2 0 0 7 - 3 0 4 5 9 4 ( J P , A )

(58) 調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

H01L 51/50

专利名称(译)	电流驱动型表示装置		
公开(公告)号	<a href="#">JP4979772B2</a>	公开(公告)日	2012-07-18
申请号	JP2009537965	申请日	2008-06-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2310/061 G09G1/005		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.642.C G09G3/20.612.G G09G3/20.623.C H05B33/14.A		
代理人(译)	岛田彰 川原贤治		
审查员(译)	中村直之		
优先权	2007270832 2007-10-18 JP		
其他公开文献	JPWO2009050923A1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

像素电路100被配置如下，以便正确地操作补偿驱动元件的阈值电压的变化并且防止其他像素电路的亮度由于补偿操作而变化的电路。驱动TFT110，开关TFT115和有机EL元件130设置在电源配线Vp和公共阴极Vcom之间，并且电容器120和开关TFT111设置在驱动TFT110的栅极端子和数据线Sj之间。开关TFT 112设置在电容器120的连接点B与开关TFT 111和参考电源配线Vref之间，开关TFT 113设置在驱动TFT 110的栅极端子和漏极端子之间，驱动TFT 110的栅极端子并且在连接点B之间提供开关TFT 114。

5 ]

