

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4737587号  
(P4737587)

(45) 発行日 平成23年8月3日 (2011.8.3)

(24) 登録日 平成23年5月13日 (2011.5.13)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 J

G09G 3/20 611F

G09G 3/20 621A

G09G 3/20 622D

G09G 3/20 622G

請求項の数 3 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2004-181655 (P2004-181655)  
 (22) 出願日 平成16年6月18日 (2004.6.18)  
 (65) 公開番号 特開2006-3744 (P2006-3744A)  
 (43) 公開日 平成18年1月5日 (2006.1.5)  
 審査請求日 平成19年5月14日 (2007.5.14)

(73) 特許権者 510134581  
 奇美電子股▲ふん▼有限公司  
 Chimei Innolux Corp  
 oration  
 台湾苗栗縣竹南鎮科學路160號 新竹  
 科學工業園區  
 No. 160 Kesyue Rd., C  
 hu-Nan Site, Hsinchu  
 Science Park, Chu-N  
 an 350, Miao-Li Coun  
 ty, Taiwan,

(73) 特許権者 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地

最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

行列状に複数配置された画素回路と、該画素回路に接続されたドライバ回路と、を有し

、

前記画素回路は、

注入電流に応じた輝度で発光する発光素子と、

前記発光素子の陰極と陽極との間に接続された静電容量と、

前記発光素子の陽極にソース電極が接続され、前記発光素子に流れる電流値を制御する  
トランジスタ素子と、

前記トランジスタ素子の前記ソース電極とゲート電極との間に接続されたコンデンサと

10

、

を有し、

前記ドライバ回路は、

前記発光素子の陰極に接続された陰極電位供給回路と、

前記トランジスタ素子のドレイン電極に接続され一定電位を供給する陽極電位供給回路  
と、

前記トランジスタ素子の前記ゲート電極に接続されるデータ電圧供給回路と、

を有し、

前記画素回路は、

前記データ電圧供給回路と前記トランジスタ素子の前記ゲート電極との導通状態を切り

20

替える第 1 スイッチング素子と、

前記陽極電位供給回路と前記トランジスタ素子の前記ドレイン電極との接続状態を切り替える第 3 スイッチング素子と、

前記トランジスタ素子の前記ゲート電極と、前記第 3 スイッチング素子の、前記陽極電位供給回路と接続された電極との接続状態を切り替える第 2 スイッチング素子と、

をさらに有し、

前記ドライバ回路は、

前記第 1 スイッチング素子をオン・オフさせる走査線駆動回路と、

前記第 2 スイッチング素子をオン・オフさせる第 1 制御回路と、

前記第 3 スイッチング素子をオン・オフさせる第 2 制御回路と、

をさらに有し、

第 1 行および第 2 行の画素回路における前記発光素子の陰極は、共通の陰極電位線にて接続されており、

前記第 1 行および第 3 行の画素回路における前記第 2 スイッチング素子のゲート電極は、共通の制御線にて接続された、

表示装置の駆動方法であって、

前記走査線駆動回路により前記第 1 スイッチング素子をオフさせ、前記第 1 制御回路によって前記第 2 スイッチング素子をオフさせ、前記第 2 制御回路によって第 3 スイッチング素子をオンさせた状態で、前記陰極電位供給回路により前記発光素子の前記陰極に前記陽極電位供給回路による前記一定電位よりも高い電位を供給して、前記トランジスタ素子の前記ソース電極と前記ゲート電極との間の電圧が前記トランジスタ素子の駆動閾値電圧よりも高い電圧となるまで、前記静電容量に電荷を蓄積させた後、前記第 1 制御回路によって前記第 2 スイッチング素子をオンさせる電荷蓄積工程と、

該電荷蓄積工程の後、前記陰極電位供給回路により前記発光素子の前記陰極を基準電位として、前記トランジスタ素子の前記ドレイン電極から前記ソース電極に電流を流すことにより前記ゲート電極と前記ソース電極との間の電圧を低下させた後、前記第 1 制御回路により前記第 2 スイッチング素子をオフさせ、前記第 2 制御回路により前記第 3 スイッチング素子をオフさせる閾値電圧検出工程と、

該閾値電圧検出工程の後、前記走査線制御回路により前記第 1 スイッチング素子をオンさせ、前記データ電圧供給回路により、前記発光素子を発光させるべき輝度に対応したデータ電圧を前記トランジスタ素子の前記ゲート電極に供給した後、前記走査線制御回路により前記第 1 スイッチング素子をオフさせるデータ電圧書込工程と、

該データ電圧書込工程の後、前記第 2 制御回路により前記第 3 スイッチング素子をオンさせ、前記陰極電位供給回路により前記発光素子の前記陰極に前記基準電位よりも低い負電位を供給して、前記発光素子に前記トランジスタ素子を介して電流を注入することにより前記発光素子を発光させる発光工程と、

を有し、

前記電荷蓄積工程で前記第 1 行および前記第 2 行の前記画素回路に対して共通の陰極電位線を介して同時に前記陽極電位供給回路による前記一定電位よりも高い電位を供給して前記電荷蓄積工程を開始させ、前記第 1 行および第 2 行の前記画素回路に対して前記電荷蓄積工程を開始させるのよりも遅れて、前記第 3 行の前記画素回路に対して前記陽極電位供給回路による前記一定電位よりも高い電位を供給して前記電荷蓄積工程を開始させ、前記閾値電圧検出工程で前記第 1 行および前記第 2 行の前記画素回路に対して共通の前記陰極電位線を介して同時に前記基準電位を供給して前記閾値電圧検出工程を開始させ、前記第 1 行および第 2 行の前記画素回路に対して前記閾値電圧検出工程を開始させるのよりも遅れて、前記第 3 画素回路に対して前記基準電位を供給して前記閾値電圧検出工程を開始させ、

前記電荷蓄積工程で前記第 2 行の前記画素回路に対して前記第 2 スイッチング素子をオンさせて前記電荷蓄積工程を終了させるのに遅れて、前記第 1 行および前記第 3 行の画素回路に対して共通の制御線を介して同時に前記第 2 スイッチング素子をオンさせて前記電

10

20

30

40

50

荷蓄積工程を終了させ、前記閾値電圧検出工程で前記第 2 行の前記画素回路に対して前記第 2 スイッチング素子および前記第 3 スイッチング素子をオフさせて前記閾値電圧検出工程を終了させるのに遅れて、前記第 1 行および前記第 3 行の前記画素回路に対して同時に前記第 2 スイッチング素子および前記第 3 スイッチング素子をオフさせて前記閾値電圧検出工程を終了させる、

ことを特徴とする表示装置の駆動方法。

【請求項 2】

前記ドライバ回路は、前記第 1 行に配置された画素回路と前記第 2 行に配置された画素回路との間における前記電荷蓄積工程および前記電圧検出工程の終了タイミングの時間差と、前記第 1 行に配置された画素回路と前記第 3 行に配置された画素回路との間における前記電荷蓄積工程及び前記電圧検出工程の開始タイミングの時間差とが同一の値となるよう制御を行うことを特徴とする請求項 1 に記載の表示装置の駆動方法。

10

【請求項 3】

前記発光素子は、順方向に電圧を供給することによって電流が流れて発光し、逆方向に電圧を供給することによって供給電圧に応じた電荷を蓄積される特性を有し、前記静電容量として機能することを特徴とする請求項 1 または 2 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、注入電流に応じた輝度で発光する発光素子と、該発光素子に流れる電流値を制御するトランジスタ素子とを備え、前記発光素子の発光に先立って、所定の静電容量に対して電荷を蓄積し、蓄積された電荷を用いて前記トランジスタ素子のゲート・ソース間に駆動閾値電圧に対応した電圧の検出および供給を行うよう形成され、行列状に配置された複数の画素回路を備えた表示装置の駆動方法に関するものである。

20

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス (EL) 素子を用いた有機 EL 表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がない。このため、液晶表示装置に替わる次世代の表示装置として実用化が期待されている。

30

【0003】

有機 EL 素子を用いた画像表示装置として、単純 (パッシブ) マトリックス型とアクティブマトリックス型とが知られている。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ (Thin Film Transistor) からなるドライバ素子によって制御する、アクティブマトリックス型の表示装置の開発が盛んに行われている (例えば、特許文献 1 参照。 )。

【0004】

図 7 は、従来の画像表示装置における単一画素 (カラー表示の場合には 1 画素中の R、G、B のいずれかに対応した副画素、以下同様とする。 ) に対応した画素回路の構成を示す回路図である。図 7 に示すように、画素回路 100 は、発光素子として機能する有機 EL 素子 101 と、有機 EL 素子 101 に流れる電流値を規定するためのドライバ素子 102 と、ドライバ素子 102 の駆動状態を制御するための第 1 スイッチング素子 103 と、後述する閾値電圧検出の際に機能する第 2 スイッチング素子 104 および第 3 スイッチング素子 105 と、ドライバ素子 102 のゲート電極とソース電極との間に配置されたコンデンサ 106 とを備える。また、従来の表示装置は、これらの回路素子に対して、図 7 にも示すように低電位供給線 107、高電位供給線 108、走査線 109 および第 1 制御線 110 第 2 制御線 111 および信号線 113 を介してドライバ回路 112 から駆動制御用の電気信号が供給される構成を有する。

40

【0005】

50

ドライバ回路 112 は、画素回路 100 に備わる回路素子の駆動状態を制御する電気信号を供給するためのものである。具体的には、画素回路 100 に備わる各回路素子は、ドライバ素子 102 の駆動閾値電圧をあらかじめ供給する機能と、駆動閾値電圧の供給に先立ち有機 EL 素子 101 に対して所定の電荷を蓄積する機能と、ドライバ素子 102 に対して、有機 EL 素子 101 の表示階調に応じた電位を供給する機能と、有機 EL 素子 101 の陽極・陰極間に電圧を供給して有機 EL 素子 101 を表示階調に応じた輝度で発光させる機能とを有する。これらの機能を実現するにあたって、ドライバ回路 112 は、低電位供給線 107 等を介して所定の電気信号を供給している。

【0006】

【特許文献 1】特開 2002 - 196357 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の有機 EL 素子を用いた表示装置は、ドライバ回路 112 から延伸する配線構造の本数が多いために、各画素の開口率を向上させることが困難であるという問題を有する。以下、かかる問題点について詳細に説明する。

【0008】

従来の表示装置は、行列状に複数の画素回路 100 が配列された構成を有し、かかる複数の画素回路 100 のそれぞれにおいて、ドライバ素子 102 の駆動閾値電圧の供給等が行われることとなる。ここで、従来の表示装置は、同一列に配置された画素回路に対して同一の信号線 113 を介して順次データ電圧の供給を行う構成を有する関係上、同一行に配置された画素回路 100 に対しては同時に駆動閾値電圧の供給等を行う一方で、異なる行に配置された画素回路 100 に対しては、データ電圧の供給に対応して互いに異なるタイミングで駆動閾値電圧の供給等を行う構成を有する。

20

【0009】

従って、従来の表示装置では、異なる行に配置された画素回路 100 に対してそれぞれ別個独立に電気信号を供給する構造を採用する必要がある、具体的には、複数の画素回路 100 によって構成される行列の行数に応じた本数の低電位供給線 107 ~ 第 2 制御線 111 が必要となる。そして、低電位供給線 107 ~ 第 2 制御線 111 のそれぞれは、同一列に配置されたすべての画素回路 100 に対して電気信号を供給するために、画素回路 100 が行列状に配置されるアレイ基板の一方の端部から他方の端部まで列方向に延伸した構成を有する。

30

【0010】

このため、アレイ基板上におけるこれらの配線構造の占有面積は非常に大きなものとなり、配線構造の占有面積が増加するにつれて、各画素回路 100 が備える有機 EL 素子 101 の発光面の占有面積が相対的に減少することから、開口率を増加させることが困難となる。一方で、異なる列に配置された画素回路 100 に対して電気信号を供給する低電位供給線 107 等を単純に共通化した場合には開口率の向上が可能であるが、ドライバ素子 102 に供給される駆動閾値電圧の値がばらつく等により表示画像の画質が低下するという問題が新たに生じることとなる。

40

【0011】

本発明は、上記に鑑みてなされたものであって、表示品位の低下を抑制しつつ画素回路と接続する配線構造の数を低減した表示装置を実現することを目的とする。

【課題を解決するための手段】

【0012】

上述した課題を解決し、目的を達成するために、請求項 1 にかかる表示装置の駆動方法は、行列状に複数配置された画素回路と、該画素回路に接続されたドライバ回路と、を有し、前記画素回路は、注入電流に応じた輝度で発光する発光素子と、前記発光素子の陰極と陽極との間に接続された静電容量と、前記発光素子の陽極にソース電極が接続され、前記発光素子に流れる電流値を制御するトランジスタ素子と、前記トランジスタ素子の前記

50

ソース電極とゲート電極との間に接続されたコンデンサと、を有し、前記ドライバ回路は、前記発光素子の陰極に接続された陰極電位供給回路と、前記トランジスタ素子のドレイン電極に接続され一定電位を供給する陽極電位供給回路と、前記トランジスタ素子の前記ゲート電極に接続されるデータ電圧供給回路と、を有し、前記画素回路は、前記データ電圧供給回路と前記トランジスタ素子の前記ゲート電極との導通状態を切り替える第1スイッチング素子と、前記陽極電位供給回路と前記トランジスタ素子の前記ドレイン電極との接続状態を切り替える第3スイッチング素子と、前記トランジスタ素子の前記ゲート電極と、前記第3スイッチング素子の、前記陽極電位供給回路と接続された電極との接続状態を切り替える第2スイッチング素子と、をさらに有し、前記ドライバ回路は、前記第1スイッチング素子をオン・オフさせる走査線駆動回路と、前記第2スイッチング素子をオン・オフさせる第1制御回路と、前記第3スイッチング素子をオン・オフさせる第2制御回路と、をさらに有し、第1行および第2行の画素回路における前記発光素子の陰極は、共通の陰極電位線にて接続されており、第1行および第3行の画素回路における前記第2スイッチング素子のゲート電極は、共通の制御線にて接続された、表示装置の駆動方法であって、前記走査線駆動回路により前記第1スイッチング素子をオフさせ、前記第1制御回路によって前記第2スイッチング素子をオフさせ、前記第2制御回路によって第3スイッチング素子をオンさせた状態で、前記陰極電位供給回路により前記発光素子の前記陰極に前記陽極電位供給回路による前記一定電位よりも高い電位を供給して、前記トランジスタ素子の前記ソース電極と前記ゲート電極との間の電圧が前記トランジスタ素子の駆動閾値電圧よりも高い電圧となるまで、前記静電容量に電荷を蓄積させた後、前記第1制御回路によって前記第2スイッチング素子をオンさせる電荷蓄積工程と、該電荷蓄積工程の後、前記陰極電位供給回路により前記発光素子の前記陰極を基準電位として、前記トランジスタ素子の前記ドレイン電極から前記ソース電極に電流を流すことにより前記ゲート電極と前記ソース電極との間の電圧を低下させた後、前記第1制御回路により前記第2スイッチング素子をオフさせ、前記第2制御回路により前記第3スイッチング素子をオフさせる閾値電圧検出工程と、該閾値電圧検出工程の後、前記走査線制御回路により前記第1スイッチング素子をオンさせ、前記データ電圧供給回路により、前記発光素子を発光させるべき輝度に対応したデータ電圧を前記トランジスタ素子の前記ゲート電極に供給した後、前記走査線制御回路により前記第1スイッチング素子をオフさせるデータ電圧書込工程と、該データ電圧書込工程の後、前記第2制御回路により前記第3スイッチング素子をオンさせ、前記陰極電位供給回路により前記発光素子の前記陰極に前記基準電位よりも低い負電位を供給して、前記発光素子に前記トランジスタ素子を介して電流を注入することにより前記発光素子を発光させる発光工程と、を有し、前記電荷蓄積工程で前記第1行および前記第2行の前記画素回路に対して共通の陰極電位線を介して同時に前記陽極電位供給回路による前記一定電位よりも高い電位を供給して前記電荷蓄積工程を開始させ、前記第1行および第2行の前記画素回路に対して前記電荷蓄積工程を開始させるのよりも遅れて、前記第3行の前記画素回路に対して前記陽極電位供給回路による前記一定電位よりも高い電位を供給して前記電荷蓄積工程を開始させ、前記閾値電圧検出工程で前記第1行および前記第2行の前記画素回路に対して共通の前記陰極電位線を介して同時に前記基準電位を供給して前記閾値電圧検出工程を開始させ、前記第1行および第2行の前記画素回路に対して前記閾値電圧検出工程を開始させるのよりも遅れて、前記第3画素回路に対して前記基準電位を供給して前記閾値電圧検出工程を開始させ、前記電荷蓄積工程で前記第2行の前記画素回路に対して前記第2スイッチング素子をオンさせて前記電荷蓄積工程を終了させるのに遅れて、前記第1行および前記第3行の画素回路に対して共通の制御線を介して同時に前記第2スイッチング素子をオンさせて前記電荷蓄積工程を終了させ、前記閾値電圧検出工程で前記第2行の前記画素回路に対して前記第2スイッチング素子および前記第3スイッチング素子をオフさせて前記閾値電圧検出工程を終了させるのに遅れて、前記第1行および前記第3行の前記画素回路に対して同時に前記第2スイッチング素子および前記第3スイッチング素子をオフさせて前記閾値電圧検出工程を終了させる、ことを特徴とする。

【 0 0 1 3 】

10

20

30

40

50

この請求項 1 の発明によれば、第 1 行に配置された画素回路と第 2 行に配置された画素回路との間で電荷蓄積工程の開始タイミングおよび閾値電圧検出工程の開始タイミングを同時にし、第 1 行に配置された画素回路と第 3 行に配置された画素回路との間で電荷蓄積工程の終了タイミングおよび閾値電圧検出工程の終了タイミングを同時にすることで、画素回路に対して各工程の開始、終了タイミングを規定する電気信号を伝送する配線構造を低減することが可能である。また、かかる態様でタイミングを規定することによって、隣接画素回路間で、一方の画素回路における電荷蓄積工程に要する時間長の増減と、閾値電圧検出工程に要する時間長の増減が等しくなる。従って、例えば電荷蓄積工程に要する時間長の増加または減少に起因したトランジスタ素子のソース電位の変化量と、閾値電圧検出工程に要する時間長の増加または減少に起因したトランジスタ素子のソース電位の変化量が相殺されることとなり、全体としてゲート・ソース間電圧の変動幅を抑制することが可能である。

10

【 0 0 1 4 】

また、請求項 2 にかかる表示装置の駆動方法は、上記の発明において、前記ドライバ回路は、前記第 1 行に配置された画素回路と前記第 2 行に配置された画素回路との間における前記電荷蓄積工程および前記電圧検出工程の終了タイミングの時間差と、前記第 1 行に配置された画素回路と前記第 3 行に配置された画素回路との間における前記電荷蓄積工程及び前記電圧検出工程の開始タイミングの時間差とが同一の値となるよう制御を行うことを特徴とする。

【 0 0 1 5 】

20

また、請求項 3 にかかる表示装置の駆動方法は、上記の発明において、前記発光素子は、順方向に電圧を供給することによって電流が流れて発光し、逆方向に電圧を供給することによって供給電圧に応じた電荷を蓄積される特性を有し、前記静電容量として機能することを特徴とする。

【発明の効果】

【 0 0 1 7 】

本発明にかかる表示装置の駆動方法は、第 1 行に配置された画素回路と第 2 行に配置された画素回路との間で電荷蓄積工程の開始タイミングおよび閾値電圧に対応した電圧の検出・供給の開始タイミングを同時にし、第 1 行に配置された画素回路と第 3 行に配置された画素回路との間で電荷蓄積の終了タイミングおよび閾値電圧検出工程の終了タイミングを同時にすることで、画素回路に対して各工程の開始、終了タイミングを規定する電気信号を伝送する配線構造を低減することが可能である。また、かかる態様でタイミングを規定することによって、隣接画素回路間で、一方の画素回路における電荷蓄積工程に要する時間長の増減と、閾値電圧検出工程に要する時間長の増減が等しくなる。従って、例えば電荷蓄積工程に要する時間長の増加または減少に起因したトランジスタ素子のソース電位の変化量と、閾値電圧検出工程に要する時間長の増加または減少に起因したトランジスタ素子のソース電位の変化量が相殺されることとなり、全体としてゲート・ソース間電圧の変動幅を抑制することが可能である。従って、請求項 1 の発明によれば、画素回路に対して電気信号を供給する配線構造の本数を低減したにもかかわらず、異なる行に配置された画素回路間におけるゲート・ソース間電圧の変動幅を抑制し、表示品位の低下を抑制できるという効果を奏する。

30

40

【発明を実施するための最良の形態】

【 0 0 1 8 】

以下に、本発明にかかる表示装置を実施するための最良の形態（以下、単に「実施の形態」と称する）について図面を参照しつつ説明を行う。なお、図面は模式的なものであって現実のものとは異なることに留意すべきであり、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。また、以下で言及する薄膜トランジスタは、 $n$  チャンネルのものとして説明するが、 $p$  チャンネルのものに本発明を適用可能なことは言うまでもない。さらに、以下の説明においては、薄膜トランジスタについて、ゲート電極以外の電極構造は、ソース電極およびドレイン電極のいずれとして

50

も機能させることが可能である場合には、ソース/ドレイン電極と称することとする。

【0019】

本実施の形態にかかる表示装置は、画素回路が行列状に配置された表示装置であって、異なる行に配置された画素回路に供給される電気信号を供給する配線構造のいくつかを共用した構成を有し、配線構造の共用態様等を工夫することによって、表示画像の品位の低下を視認不可能な程度に抑制しつつ、開口率を向上させた表示装置である。図1は、本実施の形態にかかる表示装置の構成を示す模式図である。なお、図1に示した画素回路は、表示画像の画素数に対応して行列状に多数配置されるものであって、画素回路の個数等について、図1に示すものに限定して解釈する必要はない。

【0020】

本実施の形態にかかる表示装置は、図1に示すように、行列状に複数配置された画素回路1と、画素回路1に対して所定の電気信号を供給するドライバ回路2とを備える。なお、図1においては、M行N列(M, N: 整数)の行列状に配置された多数の画素回路1のうち、m行n列(m:  $1 < n \leq M$ を満たす整数、n: N以下の整数)に位置する画素回路1aと、(m-1)行n列に位置する画素回路1bと、(m+1)行n列に位置する画素回路1cとについて示している。

【0021】

次に、画素回路1の構造について説明する。本実施の形態において、画素回路1a~画素回路1cはそれぞれ同一の構造を有することから、以下では画素回路1aを例に説明する。画素回路1aは、注入電流に応じて発光する有機EL素子3aと、ソース電極が有機EL素子3aの陽極と接続され、有機EL素子3aに流れる電流量を制御するドライバ素子として機能する薄膜トランジスタ4aと、薄膜トランジスタ4aのゲート電極およびソース電極と接続されたコンデンサ5aとを備える。また、画素回路1aは、薄膜トランジスタ4aの駆動状態を制御する第1スイッチング素子6aと、後述する電荷蓄積工程および閾値電圧検出工程の際に機能する第2スイッチング素子7aおよび第2スイッチング素子8aとを備える。

【0022】

有機EL素子3aは、特許請求の範囲における発光素子および静電容量として機能するものであり、順方向に電圧が印加されることによって電流が流れて発光するとともに、逆方向に電圧が印加された際にコンデンサとして機能するものである。有機EL素子3aは、具体的にはアノード層、発光層およびカソード層が順次積層された構造を有する。発光層は、カソード層側から注入された電子と、アノード層側から注入された正孔とが発光再結合するためのものであり、具体的にはフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体等の有機系の材料によって形成され、必要に応じて所定の不純物が添加された構造を有する。なお、発光層に対してアノード側に正孔輸送層を設け、発光層に対してカソード側に電子輸送層を設けた構造としても良い。

【0023】

薄膜トランジスタ4aは、ドライバ素子として機能するものであり、特許請求の範囲におけるトランジスタ素子として機能するものである。薄膜トランジスタ4aは、図1に示すようにソース電極が有機EL素子3aの陽極と接続されており、ゲート電極に印加される電圧に応じて有機EL素子3aに流れる電流値を制御することによって、有機EL素子3aの発光輝度を制御している。

【0024】

第1スイッチング素子6aは、薄膜トランジスタ4aのゲート電極とデータ電圧供給回路15(後述)との間の電氣的接続状態を制御するためのものである。具体的には、第1スイッチング素子6aは、後述するデータ電圧書込工程の際にデータ電圧供給回路15と薄膜トランジスタ4aのゲート電極とを電氣的に接続し、データ電圧供給回路15から出力されるデータ電圧が薄膜トランジスタ4aのゲート電極に供給されるよう制御する。なお、第1スイッチング素子6aは、具体的には例えば薄膜トランジスタによって形成され、ゲート電極は、後述する走査線駆動回路12と電氣的に接続されている。かかる構成を

10

20

30

40

50

有することによって、第1スイッチング素子6aは、走査線駆動回路12から供給される電気信号によって導通状態を制御する構成を備えている。

【0025】

第2スイッチング素子7aは、薄膜トランジスタ4aのゲート電極と陽極電位供給回路11（後述）との間の電氣的接続状態を制御するためのものであり、第3スイッチング素子8aは、薄膜トランジスタ4aのドレイン電極と陽極電位供給回路11との間の電氣的接続状態を制御するためのものである。第2スイッチング素子7aおよび第2スイッチング素子8aは、具体的には、後述する電荷蓄積工程および閾値電圧工程において機能するものであり、それぞれ後述する第1制御回路13および第2制御回路14の制御によって動作する。なお、第2スイッチング素子7aおよび第3スイッチング素子8aは、第1ス

10

【0026】

次に、ドライバ回路2について説明する。ドライバ回路2は、画素回路1に対して所定の電気信号を供給することによって、画素回路1に備わる有機EL素子3の発光状態等を制御するためのものである。ドライバ回路2は、複数の回路によって構成されており、具体的には、有機EL素子3の陰極側の電位を供給する陰極電位供給回路10と、有機EL素子3の陽極側の電位を供給する陽極電位供給回路11と、画素回路1に備わる第1ス

20

【0027】

陰極電位供給回路10は、有機EL素子3の陰極側の電位を制御するためのものである。陰極電位供給回路10は、陽極電位供給回路11から供給される電位よりも低い電位を有機EL素子3の陰極に供給することによって有機EL素子3に対して順方向の電圧を供給して発光させる機能を有する他に、後述する電荷蓄積工程および閾値電圧検出工程において供給電位を変化させることによって所定の役割を果たしている。電荷蓄積工程等の際における機能については後に説明する。

30

【0028】

陽極電位供給回路11は、有機EL素子3の陽極側の電位を制御するためのものである。具体的には、陽極電位供給回路11は、薄膜トランジスタ4および第3スイッチング素子8を介して有機EL素子3の陽極と電氣的に接続され、薄膜トランジスタ4および第3スイッチング素子8がオン状態の際に有機EL素子3の陽極に対して電位を供給している。なお、本実施の形態においては、陽極電位供給回路11は、ドライバ回路2に備わる他の回路と異なり、常に一定電位を供給するよう構成されている。

【0029】

走査線駆動回路12は、画素回路1に備わる第1スイッチング素子6の駆動を制御するためのものである。具体的には、走査線駆動回路12は、画素回路1に備わる第1ス

40

【0030】

第1制御回路13は、画素回路1に備わる第2スイッチング素子7の駆動を制御するためのものであり、第2制御回路14は、第3スイッチング素子8の駆動を制御するためのものである。後述するように、第2スイッチング素子7および第3スイッチング素子8は、電荷蓄積工程および閾値電圧検出工程において所定の機能を果たすべく動作するものであり、第1制御回路13および第2制御回路14は、所定の電気信号を出力することによって、第2スイッチング素子7および第3スイッチング素子8のオン・オフのタイミングを制御する機能を有する。

50



## 【 0 0 3 1 】

データ電圧供給回路 15 は、画素回路 1 に備わる有機 EL 素子 3 の発光輝度に対応したデータ電圧を出力するためのものである。すなわち、有機 EL 素子 3 は、ドライバ素子として機能する薄膜トランジスタ 4 によって注入電流値が制御されるのであるが、薄膜トランジスタ 4 は、ゲート・ソース間電圧の値に応じてドレイン・ソース間に流れる電流値が決定される特性を有する。有機 EL 素子 3 には薄膜トランジスタ 4 のドレイン・ソース間を通過した電流が供給されることから、薄膜トランジスタ 4 のゲート・ソース間電圧を制御することによって、有機 EL 素子 3 に流れる電流値を制御することが可能であり、電流値を制御することによって有機 EL 素子 3 の発光輝度を制御することが可能である。データ電圧供給回路 15 は、かかる薄膜トランジスタ 4 のゲート・ソース間電圧を規定するデータ電圧を出力する機能を有する。

10

## 【 0 0 3 2 】

次に、画素回路 1 に備わる構成要素と、ドライバ回路 2 との電気的な接続態様について説明する。すなわち、ドライバ回路 2 に備わる各回路と、画素回路 1 に備わる各構成要素との関係は上述したとおりであって、例えば第 1 スwitchング素子 6 に関しては、画素回路 1 a ~ 画素回路 1 c のそれぞれに備わる第 2 スwitchング素子 7 a ~ 第 2 スwitchング素子 7 c のいずれに関しても、第 1 制御回路 13 から供給される電気信号によって駆動状態が制御され、画素回路 1 a ~ 画素回路 1 c においてそれぞれ同様の機能を果たすべく動作するものである。

## 【 0 0 3 3 】

20

しかしながら、画素回路 1 に備わる各構成要素は、機能は同一であっても動作タイミングに関しては同一となるとは限らず、異なる画素回路 1 において同一の電気信号が供給される場合もあれば、異なる電気信号が供給される場合もある。具体的には、図 1 に示す態様によって画素回路 1 a ~ 画素回路 1 c とドライバ回路 2 とを電気的に接続する構成とすることで、後述するように表示画像の品位の低下を視認不可能な程度に抑制しつつ、画素回路 1 と接続する配線構造の本数を低減することとしている。以下、ドライバ回路 2 に備わる各回路に関して、画素回路 1 a ~ 画素回路 1 c との接続態様を具体的に説明する。

## 【 0 0 3 4 】

陰極電位供給回路 10 は、画素回路 1 a、画素回路 1 b とは同一の配線構造を介して接続する一方で、画素回路 1 c に対しては異なる配線構造を介して電気的に接続している。すなわち、図 1 にも示すように、陰極電位供給回路 10 からは互いに異なる電気信号を伝送する陰極電位線 17 a および陰極電位線 17 b が延伸しており、陰極電位線 17 a は、画素回路 1 a に備わる有機 EL 素子 3 a の陰極と、画素回路 1 b に備わる有機 EL 素子 3 b の陰極と接続されている。これに対して、陰極電位線 17 b は、画素回路 1 c に備わる有機 EL 素子 3 c の陰極と接続されており、画素回路 1 a、画素回路 1 b に備わる有機 EL 素子 3 a、有機 EL 素子 3 b の陰極に供給される電気信号と、画素回路 1 c に備わる有機 EL 素子 3 c の陰極に供給される電気信号とは異なるものとなる。

30

## 【 0 0 3 5 】

一方で、第 1 制御回路 13 は、陰極電位供給回路 10 とは異なる接続態様を有する。具体的には、第 1 制御回路 13 は、画素回路 1 a、画素回路 1 c とは同一の配線構造を介して接続する一方で、画素回路 1 b に対しては異なる配線構造を介して電気的に接続している。すなわち、第 1 制御回路 13 からは、互いに異なる電気信号を伝送する第 1 制御線 18 a と第 1 制御線 18 b とが延伸しており、第 1 制御線 18 a は、画素回路 1 a に備わる第 2 スwitchング素子 7 a のゲート電極および画素回路 1 c に備わる第 2 スwitchング素子 7 c のゲート電極に接続されている。これに対して、第 1 制御線 18 b は、画素回路 1 b に備わる第 2 スwitchング素子 7 b のゲート電極に接続されており、画素回路 1 a および画素回路 1 c に備わる第 2 スwitchング素子 7 a および第 2 スwitchング素子 7 c のゲート電極に供給される電気信号と、画素回路 1 b に備わる第 2 スwitchング素子 7 b のゲート電極に供給される電気信号とは異なるものとなる。

40

## 【 0 0 3 6 】

50

第2制御回路14は、第1制御回路13と同様の接続態様を有し、陰極電位供給回路10と異なる接続態様を有する。すなわち、第2制御回路14からは第2制御線19aおよび第2制御線19bが延伸し、第2制御線19aは、画素回路1aに備わる第3スイッチング素子8aのゲート電極および画素回路1cに備わる第3スイッチング素子8cのゲート電極と接続し、第2制御線19bは、画素回路1bに備わる第3スイッチング素子8bのゲート電極と接続する。

#### 【0037】

陽極電位供給回路11および走査線駆動回路12は、上記の回路と異なる接続態様を有する。すなわち、陽極電位供給回路11は、単一の陽極電位線20を介して画素回路1a～画素回路1cにそれぞれ備わる第3スイッチング素子8a～第3スイッチング素子8cのドレイン電極と接続する。かかる接続態様としたのは、陽極電位供給回路11が本実施の形態において電位変化のない一定電位を供給する構成を有するためである。また、走査線駆動回路12に関しては、画素回路1a～1cに対するデータ電圧の供給は、同一の信号線22を介して行う構成を有するため、画素回路1a～1cのそれぞれに対して異なるデータ電圧を供給するためには第1スイッチング素子6a～6cをそれぞれ異なるタイミングでオン状態にする必要があるためである。

#### 【0038】

次に、本実施の形態にかかる表示装置の動作について説明する。以下では、まず画素回路1aを例にして、個々の画素回路1とドライバ回路2に備わる各回路との関係に注目した単一画素回路の動作について説明した後、ドライバ回路2との接続態様の相違に基づく画素回路1a～画素回路1cの動作の相互の関係について説明する。

#### 【0039】

まず、画素回路1の動作について、画素回路1aを例に説明する。図2は、画素回路1aに対してドライバ回路2に備わるから供給される電気信号の時間変化と、かかる電気信号の供給に基づく薄膜トランジスタ4aのソース電極（有機EL素子3aの陽極と接続する電極）の電位の時間変化を示すタイミングチャートである。以下、図2を参照しつつ画素回路1aの動作を説明する。

#### 【0040】

画素回路1の動作は、具体的には有機EL素子3aに対して逆電圧を供給して電荷を蓄積させる電荷蓄積工程と、蓄積された電荷を用いて、薄膜トランジスタ4aのゲート・ソース間の駆動閾値電圧の検出・書込を行う閾値電圧検出工程と、薄膜トランジスタ4aのゲート・ソース間に表示輝度に対応したデータ電圧の書込を行うデータ電圧書込工程と、書き込まれたデータ電圧に応じた電流を有機EL素子3aに供給し、所定の輝度で発光させる発光工程とによって構成される。具体的は、図2に示すように、時間長 $t_1$ に渡って電荷蓄積工程が行われ、時間長 $t_2$ に渡って閾値電圧検出工程が行われ、時間長 $t_3$ に渡ってデータ電圧書込工程が行われ、時間長 $t_4$ に渡って発光工程が行われる。以下、各工程について簡単に説明する。

#### 【0041】

電荷蓄積工程は、有機EL素子3aに対して逆電圧を供給することによって、有機EL素子3aをコンデンサとして機能させ、所定量の電荷を蓄積する工程である。具体的には、陰極電位線17aの電位が陽極電位線20の電位よりも高い値に変化することによって有機EL素子3aに対して逆電圧が供給され、電荷蓄積工程が開始される。また、本工程では第2制御線19aの電位がHighに変化することによって第3スイッチング素子8aがオン状態に変化し、第1制御線18aの電位がLowを維持することによって第2スイッチング素子7aがオフ状態を維持する。また、走査線21aの電位はLowを維持するため、第1スイッチング素子6aもオフ状態を維持する。

#### 【0042】

かかる状態を維持することによって、有機EL素子3aの陰極側には正電荷が蓄積される一方、陽極側には負電荷が蓄積され、薄膜トランジスタ4aのソース電位は図2に示す通り徐々に低下する。

## 【 0 0 4 3 】

電荷蓄積工程完了時においては、薄膜トランジスタ 4 a のゲート・ソース間電圧は、駆動閾値電圧よりも高い値となっており、薄膜トランジスタ 4 a はオン状態となっている。そして、第 1 制御線 1 8 a の電位が H i g h に変化することによって、電荷蓄積工程は完了することとなり、時間長  $t_1$  に渡って行われた電荷の蓄積が終了する。

## 【 0 0 4 4 】

そして、閾値電圧検出工程が行われる。閾値電圧検出工程は、薄膜トランジスタ 4 a のゲート・ソース間における駆動閾値電圧の検出・供給を行う工程である。具体的には、図 2 に示すように、陰極電位線 1 7 a の電位が 0 電位に低下することによって、閾値電圧検出工程が開始される。また、本工程では、第 1 制御線 1 8 a および第 2 制御線 1 9 a の電位は H i g h に維持され、第 2 スイッチング素子 7 a および第 3 スイッチング素子 8 a はオン状態に維持されている。また、走査線 2 1 a の電位は L o w に維持されていることから、第 1 スイッチング素子 6 a はオフ状態に維持されている。

## 【 0 0 4 5 】

従って、薄膜トランジスタ 4 a のゲート電極は、信号線 2 2 と電気的に絶縁される一方で、第 2 スイッチング素子 7 a、第 3 スイッチング素子 8 a を介して薄膜トランジスタ 4 a のドレイン電極と接続される。そして、薄膜トランジスタ 4 a はオン状態となっていることから、薄膜トランジスタ 4 a のドレイン・ソース間は形成されるチャンネルによって導通している。結果として、薄膜トランジスタ 4 a のゲート電極とソース電極との間が導通し、ゲート電極に蓄積された正電荷がソース電極 (= 有機 E L 素子 3 a の陽極) に対して徐々に供給され、電荷蓄積工程において蓄積された負電荷が相殺されることによって、ソース電極の電位が徐々に上昇する。従って、薄膜トランジスタ 4 a のゲート・ソース間電圧は徐々に低下し、駆動閾値電圧に徐々に近づくこととなり、具体的にはゲート・ソース間電圧は、 $V_2 (< 0)$  だけ変化する。

## 【 0 0 4 6 】

かかる閾値電圧検出工程は、第 1 制御線 1 8 a および第 2 制御線 1 9 a の電位が L o w に変化することによって終了する。すなわち、第 1 制御線 1 8 a および第 2 制御線 1 9 a の電位が L o w に変化することによって、第 2 スイッチング素子 7 a および第 3 スイッチング素子 8 a がオフ状態に変化し、薄膜トランジスタ 4 a のゲート電極と陽極電位線 2 0 との間が電気的に絶縁され、正電荷の供給が停止する。従って、ゲート・ソース間電圧の変化が停止され、かかる時点におけるゲート・ソース間電圧が駆動閾値電圧として薄膜トランジスタ 4 a のゲート・ソース間に保持される。

## 【 0 0 4 7 】

その後、データ電圧書込工程および発光工程が行われる。すなわち、第 1 制御線 1 8 a および第 2 制御線 1 9 a の電位が L o w に維持された状態で、走査線 2 1 a の電位が H i g h に変化する。従って、薄膜トランジスタ 4 a のゲート電極は、第 1 スイッチング素子 6 a を介して信号線 2 2 と接続される一方、第 2 スイッチング素子 7 a 等がオフ状態であることによって、信号線 2 2 以外とは絶縁された状態となる。このため、薄膜トランジスタ 4 a のゲート電極には、新たにデータ電圧供給回路 1 5 から出力されたデータ電圧が供給されることとなる。従って、薄膜トランジスタ 4 a のゲート・ソース間には、閾値電圧検出工程で供給された閾値電圧と、新たに加えられたデータ電圧との加算値に対応した電圧が書き込まれることとなる。そして、発光工程において、かかる電圧が書き込まれた薄膜トランジスタ 4 a によって制御された電流が有機 E L 素子 3 a に流れ、有機 E L 素子 3 a が所定の輝度で発光する。

## 【 0 0 4 8 】

以上のように、画素回路 1 a では、陰極電位線 1 7 a の電位変化によって電荷蓄積工程および閾値電圧検出工程の開始タイミングが制御され、第 1 制御線 1 8 a および第 2 制御線 1 9 a の電位変化によって電荷蓄積工程および閾値電圧検出工程の終了タイミングが制御されている。かかる制御によって、時間長  $t_1$  に渡って電荷蓄積工程が行われ、時間長  $t_2$  に渡って閾値電圧検出工程が行われる。そして、電荷蓄積工程においては、薄膜トラ

10

20

30

40

50

ンジスタ 4 a のソース電位  $V_1$  は所定値だけ変化し、閾値電圧検出工程においては、薄膜トランジスタ 4 a のソース電位  $V_2$  も所定値だけ変化している。

【0049】

次に、電荷蓄積工程および閾値電圧検出工程に関する、画素回路 1 a ~ 画素回路 1 c のそれぞれの関係について説明する。図 3 は、画素回路 1 a ~ 画素回路 1 c に関する電荷蓄積工程および閾値電圧検出工程における電位変動を示すタイミングチャートであり、具体的には、陰極電位線 17 a、17 b と、第 1 制御線 18 a、18 b と、第 2 制御線 19 a、19 b と、画素回路 1 a ~ 画素回路 1 c のそれぞれに備わる薄膜トランジスタ 4 a ~ 薄膜トランジスタ 4 c のソース電極との電位変化を示している。

【0050】

画素回路 1 a と画素回路 1 b は、図 1 にも示したように共通の陰極電位線 17 a によって陰極電位供給回路 10 からの電気信号が供給される構成を有する。一方で、第 1 制御回路 13 および第 2 制御回路 14 からは、それぞれ異なる第 1 制御線 18 a、18 b および第 2 制御線 19 a、19 b からの異なる電気信号が供給される。

【0051】

これに対して、画素回路 1 a と画素回路 1 c は、図 1 にも示したように共通の第 1 制御線 18 a および第 2 制御線 19 a によって第 1 制御回路 13 および第 2 制御回路 14 からの電気信号が供給される構成を有する。一方で、陰極電位供給回路 10 からは、それぞれ異なる陰極電位線 17 a、17 b によって異なる電気信号が供給される。

【0052】

また、既に図 2 を参照しつつ説明したように、電荷蓄積工程および閾値電圧検出工程の開始タイミングは、陰極電位線 17 を介して供給される電気信号によって制御される一方で、電荷蓄積工程および閾値電圧検出工程の終了タイミングは、第 1 制御線 18 および第 2 制御線 19 を介して供給される電気信号によって制御されることとなる。

【0053】

具体的には、図 3 にも示すように、画素回路 1 b は、画素回路 1 a と比較して、電荷蓄積工程および閾値電圧検出工程の開始タイミングが一致する一方で、電荷蓄積工程および閾値電圧検出工程の終了タイミングが  $t$  だけ早まることとなる。このため、画素回路 1 b は、電荷蓄積工程に要する時間長  $t_{1b}$  および閾値電圧検出工程に要する時間長  $t_{2b}$  に関して、画素回路 1 a における時間長  $t_{1a}$ 、 $t_{2a}$  と比較して、それぞれ  $t$  だけ少ないこととなる。

【0054】

画素回路 1 c についても同様である。すなわち、画素回路 1 c は、画素回路 1 a と比較して、電荷蓄積工程および閾値電圧検出工程の終了タイミングが一致する一方で、電荷蓄積工程および閾値電圧検出工程の開始タイミングが  $t$  だけ遅れることとなる。従って、画素回路 1 c は、電荷蓄積工程に要する時間長  $t_{1c}$  および閾値電圧検出工程に要する時間長  $t_{2c}$  に関して、画素回路 1 a における時間長  $t_{1a}$ 、 $t_{2a}$  と比較して、それぞれ  $t$  だけ少ないこととなる。

【0055】

ここで、電荷蓄積工程に要する時間長  $t_1$  および閾値電圧検出工程に要する時間長  $t_2$  と、各工程におけるソース電位  $V_1$  の変化量、 $V_2$  の変化量との関係について説明する。すなわち、既に説明したように電荷蓄積工程は、有機 EL 素子 3 に対して逆電圧を供給し、有機 EL 素子 3 を蓄電容量として機能させている。そして、図 2 における時間長  $t_1$  の期間におけるソース電位の変化からも明らかなように、電荷蓄積工程終了時における薄膜トランジスタ 4 のソース電位は、時間長  $t_1$  の値に依存することとなる。すなわち、電荷蓄積工程に要する時間長  $t_1$  が異なる場合にはソース電位  $V_1$  の変化量も異なることとなる。

【0056】

このことは、閾値電圧検出工程の場合も同様である。すなわち、閾値電圧検出工程は、薄膜トランジスタ 4 のゲート・ソース間電圧が駆動閾値よりも高い状態で開始され、徐々にゲート・ソース間電圧を低下させて駆動閾値に近接させることを目的としている。そし

10

20

30

40

50

て、図2における時間長 $t_2$ におけるソース電位の変化からも明らかなように、閾値電圧検出工程では、薄膜トランジスタ4のゲート・ソース間電圧は、時間の経過と共に単調減少しており、閾値電圧検出工程終了時における薄膜トランジスタ4のゲート・ソース間電圧の値は、時間長 $t_2$ の値に依存することとなる。従って、閾値電圧検出工程に要する時間長 $t_2$ が異なる場合には、ソース電位 $V_2$ の変化量の値も異なることとなる。

【0057】

また、各画素回路1において、電荷蓄積工程開始時におけるゲート・ソース間電圧の絶対値および電荷蓄積工程終了から閾値検出工程開始までの期間におけるゲート・ソース間電圧の変化量がほぼ一定であるとみなすことが可能である。このため、時間長 $t_1$ 、 $t_2$ が互いに異なる場合には、閾値電圧検出工程を終了した時点における薄膜トランジスタ4のゲート・ソース間電圧が異なる値となり、具体的には、 $V_1$ の変化量と $V_2$ の変化量に応じた異なる電圧が画素回路1a～画素回路1cに備わる薄膜トランジスタ4a～薄膜トランジスタ4cの間に生じることとなる。

10

【0058】

そして、本実施の形態では、各画素回路1では、閾値電圧検出工程の完了時に与えられているゲート・ソース間電圧にデータ電圧を加算することによって画像表示を行うこととしている。従って、例えば画素回路1a～画素回路1cに対して同じ値のデータ電圧を供給して同一色を表示しようとした場合であっても、閾値電圧検出工程の完了時における電圧差が無視できないような場合には、それぞれ異なる色を表示することとなり、使用者に違和感を与えることとなる。

20

【0059】

これに対して、本実施の形態のように陰極電位線17、第1制御線18および第2制御線19に関して、隣接する画素回路1間で共用する構成とした場合には、電荷蓄積工程の時間長 $t_1$ とソース電位 $V_1$ の変化量および閾値電圧検出工程の時間長 $t_2$ とソース電位 $V_2$ の変化量の値を各画素回路1において同一とすることは困難である。従って、本実施の形態では、 $V_1$ 、 $V_2$ の変化量が異なる値になることを前提としつつ、異なる値をとることによる表示色の変化を、使用者が認識し得ない程度に低減することとしている。

【0060】

まず、本実施の形態では、隣接する行に配置された画素回路1の一方の対（例えば、画素回路1aと画素回路1c）において陰極電位線17、第1制御線18および第2制御線19のすべてを共用し、他方の対（例えば、画素回路1aと画素回路1c）とで陰極電位線17等のすべてを別個とする構成を採用していない。すなわち、図1にも示したように一方の対で一部の配線構造を共用し、他方の対で残りを共用した構成としている。

30

【0061】

かかる構成によって、配線構造の本数を低減できると共に、列方向における表示色の変化を一様にするのが可能である。図3にも示したように、本実施の形態では、画素回路1aと画素回路1b、および画素回路1aと画素回路1cとの間において、電荷蓄積工程の時間長の差は、隣接する画素回路間でいずれも一定の値 $t$ となる。このことは閾値電圧検出工程でも同様であって、隣接する画素回路の間、すなわち画素回路1bと画素回路1aの間および画素回路1aと画素回路1cの間における閾値電圧検出工程の時間長の差は、図3に示すように一定の値 $t$ となる。

40

【0062】

このため、本実施の形態では、隣接行に属する画素回路間における各工程の時間長の差が一定となり、同一のデータ電圧を供給したにもかかわらず時間長差に起因して表示色が変動した場合であっても、各画素回路間において表示色の変動が一様に生じることとなる。すなわち、本実施の形態にかかる表示装置では、一部画素回路間において表示色が顕著に生じる、といったことがないため、使用者が違和感を生じる可能性を低減することが可能である。

【0063】

また、本実施の形態では、画素回路1aと画素回路1bは、陰極電位線17aを共用し

50

、画素回路 1 a と画素回路 1 c は、第 1 制御線 1 8 a および第 2 制御線 1 9 a を共用することとしている。かかる共用態様によって、本実施の形態では、画素回路 1 a と画素回路 1 b の間および画素回路 1 a と画素回路 1 c の間において生じる表示色の変動幅を抑制することを可能としている。

【 0 0 6 4 】

すなわち、電荷蓄積工程においては、薄膜トランジスタ 4 のソース電位は時間経過に対して単調増加することから、電荷蓄積工程に要する時間長  $t_1$  が増加するにつれて、ソース電位の値が増加する。一方で、閾値電圧検出工程においては、ソース電位は時間経過に対して単調減少することから、閾値電圧検出工程に要する時間長  $t_2$  が増加するにつれて、薄膜トランジスタ 4 のソース電位の値は減少することとなる。

10

【 0 0 6 5 】

このような関係に鑑みて、本実施の形態では、一方の隣接画素回路間（例えば、画素回路 1 a と画素回路 1 b ）とで陰極電位線を共用することによって電荷蓄積工程および閾値電圧検出工程の開始タイミングを同一とし、他方の隣接画素回路間（例えば、画素回路 1 a と画素回路 1 c ）とで第 1 制御線および第 2 制御線を共用することによって電荷蓄積工程及び閾値電圧検出工程の終了タイミングを同一としている。

【 0 0 6 6 】

かかる構成とした場合、基準とする画素回路に隣接する画素回路における各工程の時間長は、電荷蓄積工程の時間長が基準となる画素回路よりも増加すると、閾値電圧検出工程でも増加することとなる。すなわち、図 3 の例で言えば、例えば画素回路 1 b を基準とした場合、隣接する行に配置された画素回路 1 a の電荷蓄積工程の時間長は、画素回路 1 b の場合よりも増加するとともに、閾値電圧検出工程における時間長も増加している。上記したように、画素回路 1 は、電荷蓄積工程では時間長が増加するにつれてソース電位が増加する傾向を有し、閾値電圧検出工程では時間長が増加するにつれてソース電位が減少する特性を有する。このため、ある画素回路 1 において、隣接する画素回路 1 と比較して電荷蓄積工程および閾値電圧検出工程の双方の時間長が増加する構成では、電荷蓄積工程の長時間化によるソース電位の増加量を、閾値電圧検出工程の長時間化によるソース電位の減少量が相殺することとなり、全体としてソース電位の変動幅を低減することが可能である。そして、最終的な薄膜トランジスタ 4 のゲート・ソース間電圧の値は、全工程を通じたソース電位の変化量に対応することとなるため、異なる画素回路間におけるソース電位の変化量の差が減少することによって各画素回路に備わる薄膜トランジスタのゲート・ソース間電圧の差も減少し、異なる画素回路における表示色の違いを減少させることができるという利点を有することとなる。

20

30

【 0 0 6 7 】

さらに、本実施の形態では、隣接する画素回路間における電荷蓄積工程の時間長の差と、当該画素回路間における閾値電圧検出工程の時間長の差が同一になるようにドライバ回路 2 および陰極電位線 1 7 等の配線構造が構成されている。かかる構成を採用することによって、電荷蓄積工程等における時間長の差が生じた場合であっても表示色の変動を抑制することが可能である。

【 0 0 6 8 】

40

すなわち、図 2 のタイミングチャートにも示したように、電荷検出工程および閾値電圧検出工程における薄膜トランジスタ 4 a のソース電位は、工程が終了する近傍の時刻において、いずれの工程においても電位変化率が低くなると共に、両工程における変化率の絶対的な値がほぼ等しいものとなっている。従って、隣接画素回路間の電荷検出工程における時間長の差と、閾値電圧検出工程における時間長の差が等しい場合には、各工程におけるソース電位の変動値の絶対値もほぼ等しいものとなり、隣接する行に配置された画素回路間における電荷蓄積工程および閾値電圧検出工程を通じたゲート・ソース間電圧の差を減少させることが可能であり、この結果、表示色の変動を抑制することが可能である。

【 0 0 6 9 】

さらに、本実施の形態では、隣接画素回路間における  $V_1$ 、 $V_2$  の変化量の差の許容範囲

50

を定め、 $V_1$ 、 $V_2$ の変化量によって定まる薄膜トランジスタ4のゲート・ソース間電圧の差が許容範囲内に抑制される構成を採用することによって、表示色の変化を、使用者が認識し得ない程度にまで抑制している。以下、隣接画素回路間における $V_1$ 、 $V_2$ の具体的な値の違いによって生ずる薄膜トランジスタ4のゲート・ソース間電圧差の許容範囲について詳細に説明する。なお、以下では隣接画素回路間において同一色を表示する場合を例に説明を行うこととし、閾値電圧検出工程完了時におけるゲート・ソース間電圧の違いのみによって表示色の変動が生じるものとする。また、以下の議論では表示装置はモノトーン表示を行うこととし、表示色の違いは各画素回路1における有機EL素子3の発光輝度の違いを意味することとする。さらに、有機EL素子3の発光輝度の違いの指標として、有機EL素子3に流れる電流値を用いることとする。

10

【0070】

隣接する一方の画素回路1（例えば、画素回路1b）を基準とし、基準となる画素回路に備わる有機EL素子3（例えば、有機EL素子3b）に流れる電流 $I$ と、比較対象となる画素回路（例えば画素回路1a）に備わる有機EL素子3（例えば、有機EL素子3a）に流れる電流と電流 $I$ との差分値を $\Delta I$ とする。これらの文字を用いて許容範囲を表現すると、

【数1】

$$\left| \frac{\Delta I}{I} \right| < k$$

20

・・・(1)

と表される。ここで、 $k$ は使用者の表示色変化の認識限界に対応した値であり、例えば、( $k = 0.01$ )で与えられる。

【0071】

ここで、発光工程時に有機EL素子3に流れる電流 $I$ は、薄膜トランジスタ4の駆動閾値電圧 $V_{th}$ に依存して変化し、具体的には、隣接行に位置する画素回路に備わる薄膜トランジスタ4で検出される駆動閾値電圧の差分値 $\Delta V_{th}$ を用いて、

【数2】

$$\Delta I = \frac{\partial I}{\partial V_{th}} \Delta V_{th} = -\beta (V_{gs} - V_{th}) \cdot \Delta V_{th}$$

30

・・・(2)

の関係が成立する。なお、(2)式の導出において、一般の薄膜トランジスタにおいて電流値 $I$ 、駆動閾値 $V_{th}$ およびゲート・ソース間電圧 $V_{gs}$ の間で成立する、

【数3】

$$I = \frac{\beta}{2} (V_{gs} - V_{th})^2$$

・・・(3)

【数4】

$$\beta = \frac{\mu C_{ox} W}{L}$$

40

・・・(4)

の2式を用いている。(4)式において、 $\mu$ は薄膜トランジスタに形成されるチャンネル領域における電子の移動度であり、 $C_{ox}$ は薄膜トランジスタの単位面積あたりの静電容量であり、 $W$ は薄膜トランジスタに形成されるチャンネルの幅であり、 $L$ はチャンネル長である。(2)式を用いることによって、(1)式は、

【数5】

$$\left| \frac{\Delta I}{I} \right| = \frac{2}{V_{gs} - V_{th}} |\Delta V_{th}| = \frac{2}{V_{data}} |\Delta V_{th}| < k$$

50

・・・(5)

と変形することが可能である。従って、許容しうる表示色の変動範囲を導出するにあたっては、電荷蓄積工程および閾値電圧検出工程によって導出される駆動閾値電圧  $V_{th}$  の値の変化量が(5)式を満たせば良いことになる。

【0072】

ところで、電荷蓄積工程においては薄膜トランジスタ4のドレイン電位は0電位に維持され、ゲート・ソース間電圧は、コンデンサ5の作用により前フレーム表示の際に供給されたデータ電圧  $V_{data}'$  と駆動閾値  $V_{th}$  の和に維持されている。このため、電荷蓄積工程においては、薄膜トランジスタ4はいわゆる線形領域にて動作することとなり、電荷蓄積工程の際に薄膜トランジスタ4のソース・ドレイン間に流れる電流  $I_{charge}$  に関して、

10

【数6】

$$I_{charge} \approx \beta(V_{gd}(t) - V_{th}) \cdot V_{sd}(t) = \beta(V_g(t) - V_{th}) \cdot V_1(t) = \beta(V_{data}' + V_1(t)) \cdot V_1(t)$$

・・・(6)

という一般式が成立する。そして、かかる電流  $I_{charge}$  は、容量値  $C_{OLED}$  の静電容量として機能する有機EL素子3によって供給されることから、

【数7】

$$I_{charge} = \frac{\partial V_1(t)}{\partial t}$$

20

・・・(7)

が成立し、(6)式および(7)式に基づいて、時間長  $t_1$  だけ電荷蓄積工程が行われた場合の薄膜トランジスタ4のソース電位  $V_1(t_1)$  は、

【数8】

$$V_1(t_1) = \frac{V_{data}'}{\exp\left(-\frac{\beta \cdot V_{data}'}{C_{OLED}} t_1 + \ln\left(1 + \frac{V_{data}'}{V_1(0)}\right)\right)} - 1$$

・・・(8)

と表されることになる。

30

【0073】

次に、閾値電圧検出工程の終了時における薄膜トランジスタ4のソース電位  $V_2$  について説明する。閾値電圧検出工程においては、薄膜トランジスタ4のゲート電位およびドレイン電位は0電位に維持されることから、薄膜トランジスタ4は飽和領域で動作することになり、閾値電圧検出工程の際に薄膜トランジスタ4のドレイン・ソース間に流れる電流  $I_{vth}$  は、コンデンサ5の静電容量値  $C_s$  を用いた、

【数9】

$$I_{vth} = \frac{\beta}{2} (-V_2(t) - V_{th})^2 = (C_s + C_{OLED}) \frac{\partial V_2(t)}{\partial t}$$

40

・・・(9)

の関係を満たすこととなり、(9)式に示す微分方程式を解くことによって、ソース電位  $V_2$  は、

【数10】

$$V_2(t) = -V_{th} + \frac{1}{\frac{1}{V_2(0) + V_{th}} - \frac{\beta}{2(C_s + C_{OLED})} t}$$

・・・(10)

と表されることになる。そして、本実施の形態にかかる表示装置において、閾値電圧検出

50



工程によって実際に検出される駆動閾値電圧の値は $V_2(t_2)$ であることから、(5)式等における隣接行に配置された画素回路間における駆動閾値電圧 $V_{th}$ の差分値 $\Delta V_{th}$ の値は、(10)式に基づき閾値電圧検出工程に要する時間長 $t_2$ およびソース電位 $V_2$ の初期値 $V_2(0)$ を用いて、

【数 1 1】

$$\Delta V_{th} = \frac{\partial V_2(t_2)}{\partial t_2} \Delta t_2 + \frac{\partial V_2(t_2)}{\partial V_2(0)} \Delta V_2(0)$$

・・・(11)

と表される。ここで、初期値 $V_2(0)$ は、閾値電圧検出工程開始時における陰極電位線 17 の電位変動に起因したソース電位の変化量(定数) $V_{pow}$ を用いて、

【数 1 2】

$$V_2(0) = V_1(t_1) + \Delta V_{pow}$$

・・・(12)

と表されることから、(12)式を(11)式に代入して所定の式変形を行うことによって、

【数 1 3】

$$\Delta V_{th} = \frac{\partial V_2(t_2)}{\partial t_2} \Delta t_2 + \frac{\partial V_2(t_2)}{\partial V_2(0)} \frac{\partial V_1(t_1)}{\partial t_1} \Delta t_1$$

・・・(13)

が成立する。そして、(13)式に(8)式および(10)式を代入することによって、

【数 1 4】

$$\begin{aligned} \Delta V_{th} = & \frac{\beta}{2(C_s + C_{OLED})} \Delta t_2 \\ & - \frac{1}{(V_2(0) + V_{th})^2 \left( \frac{1}{V_2(0) + V_{th}} - \frac{\beta}{2(C_s + C_{OLED})} t_2 \right)^2} \\ & \times \frac{\frac{\beta \cdot V_{data}^2}{C_{OLED}} \cdot \exp \left( -\frac{\beta \cdot V_{data}}{C_{OLED}} t_1 + \ln \left( 1 + \frac{V_{data}}{V_1(0)} \right) \right)}{\left( \exp \left( -\frac{\beta \cdot V_{data}}{C_{OLED}} t_1 + \ln \left( 1 + \frac{V_{data}}{V_1(0)} \right) \right) - 1 \right)^2} \Delta t_1 \end{aligned}$$

・・・(14)

という関係が導出される。本実施の形態にかかる表示装置において、(14)式に示す $V_{th}$ の値が任意の $V_{data}'$ の値に関して(5)式を満たすようコンデンサ5の容量値や薄膜トランジスタ4の具体的構造等を定めることによって、陰極電位線 17、第1制御線 18 および第2制御線 19 を隣接行の画素回路同士で共用した場合であっても、例えば画面全体で同一色を表示した場合に、互いに隣接した行に配置された画素回路 1 間における表示色の変動が視認不可能な程度にまで抑制することが可能である。

【0074】

(参考例 1)

なお、異なる行に配置された複数の画素回路が陰極電位線等の配線構造を共用する表示装置において、画素回路の具体的な構成としては図 1 に示すものに限定されないことは言

10

20

30

40

50

うまでもない。例えば、図 4 に示す画素回路 2 3 を用いて表示装置を構成した場合であっても、図 1 と同様の態様で配線構造を共用しつつ、表示色の変動を視認不可能な程度にまで抑制することが可能である。

【 0 0 7 5 】

すなわち、図 4 に示す画素回路 2 3 は、画素回路 1 と異なり、薄膜トランジスタ 4 のゲート・ドレイン間に配置された第 2 スイッチング素子 2 5 と、薄膜トランジスタ 4 と第 1 スイッチング素子 6 との間に配置された第 3 スイッチング素子 2 6 と、第 1 スイッチング素子 6 の一方のソース/ドレイン電極（データ電圧供給回路 1 5 と電氣的に接続していない側のソース/ドレイン電極）と、有機 EL 素子 3 の陽極との間に配置されたコンデンサ 2 4 とを備えた構成を有する。かかる画素回路 2 3 に関しても、具体的な条件として、図 1 の回路におけるコンデンサ 5 をコンデンサ 2 4 に置き換えた上で（ 1 0 ）式を満たすよう設計することによって、配線構造を共用しつつ表示色の変動を視認不可能な程度に抑制することが可能である。

【 0 0 7 6 】

（参考例 2）

また、図 5 に示す画素回路 2 8 においても、配線構造を共用しつつ表示色の変動を視認不可能な程度に抑制することが可能である。具体的には、図 5 に示す画素回路 2 8 においては、有機 EL 素子 3 の陽極側が薄膜トランジスタ 4 を介さずに陽極電位供給回路 1 1 と電氣的に接続されると共に、有機 EL 素子 3 の陰極側と薄膜トランジスタ 4 のドレイン電極との間に配置された第 2 スイッチング素子 2 9 と、薄膜トランジスタ 4 のゲート・ドレイン間に配置された第 3 スイッチング素子 3 0 と、薄膜トランジスタ 4 のゲート電極と第 1 スイッチング素子 6 の一方のソース/ドレイン電極（データ電圧供給回路 1 5 と接続するソース/ドレイン電極と反対側のソース/ドレイン電極）との間に配置されたコンデンサ 3 1 とを備える。かかる画素回路 2 8 では、（ 1 0 ）式において（ $C_s + C_{OLED}$ ）の部分が、コンデンサ 3 1 の静電容量値  $C_1$  と  $C_s$  の和に置き換わることになる。そして、駆動閾値検出工程の際に薄膜トランジスタ 4 に流れる電流値  $I_{V_{th}}$  に関して、陽極電位線から供給される電位  $V_{DD}$  および所定の比例係数 を用いて、

【数 1 5】

$$I \approx \alpha(V_{DD} - V_1 - V_{th})^2$$

・・・（ 1 5 ）

と近似すると、

【数 1 6】

$$\alpha(V_{DD} - V_1 - V_{th,OLED})^2 = \frac{\beta}{2}(V_1 - V_{th})^2 + (C_1 + C_{OLED})\frac{dV_1}{dt}$$

・・・（ 1 6 ）

が成立する。（ 1 6 ）式に示す微分方程式の解を用いて、実施の形態 1 と同様に表示色の変動が視認不可能な程度にまで抑制された表示装置を実現することが可能である。

【 0 0 7 7 】

（参考例 3）

さらに、図 6 に示す画素回路 3 3 についても同様である。すなわち、画素回路 3 3 は、第 1 スイッチング素子の一方のソース/ドレイン電極（データ電圧供給回路 1 5 と接続したソース/ドレイン電極と反対側のソース/ドレイン電極）と陰極電位供給回路 1 0 との間の電氣的接続を制御する第 2 スイッチング素子 3 4 と、薄膜トランジスタ 4 のゲート・ドレイン間に配置された第 3 スイッチング素子 3 5 と、薄膜トランジスタ 4 と第 1 スイッチング素子 6 との間に配置されたコンデンサ 3 6 とを新たに備えた構成を有する。かかる画素回路 3 3 を備えた表示装置では、ドレイン電位に関して実施の形態 1 および変形例 1

と同様の計算を行うことによって、表示色の変動が視認不可能な程度まで抑制された表示装置を実現することが可能である。

【 0 0 7 8 】

以上、本発明について実施の形態を用いて説明したが、本発明は上記の例に限定して解釈するべきではなく、当業者であれば、様々な実施例、変形例等に想到することが可能である。例えば、実施の形態等においては、特許請求の範囲におけるトランジスタ素子の例としてnチャンネルの薄膜トランジスタ4を用いることとしたが、トランジスタの構成としてはかかるものに限定して解釈する必要はなく、p型の薄膜トランジスタ等を用いることが可能である。

【 0 0 7 9 】

また、発光素子に関しても、有機EL素子以外に無機EL素子等を用いることが可能である。さらに、発光素子が特許請求の範囲における静電容量としての機能をも併せ持つことは必然のことではなく、コンデンサとしての機能を有さない発光素子と、電荷蓄積工程において電荷を蓄積するための静電容量とを別個独立に形成することとしても良い。

【図面の簡単な説明】

【 0 0 8 0 】

【図1】実施の形態にかかる表示装置の全体構成を示す模式図である。

【図2】単一の画素回路に備わる薄膜トランジスタのソース電位および画素回路に対して供給される電気信号の時間変動を示すタイミングチャートである。

【図3】複数の画素回路におけるソース電位の時間変動および供給される電気信号の供給タイミングの関係を示すタイミングチャートである。

【図4】参考例における画素回路の構成を示す回路図である。

【図5】参考例における画素回路の構成を示す回路図である。

【図6】参考例における画素回路の構成を示す回路図である。

【図7】従来の表示装置の構成を示す模式図である。

【符号の説明】

【 0 0 8 1 】

1 a ~ 1 c 画素回路

2 ドライバ回路

3 a ~ 3 c 有機EL素子

4 a ~ 4 c 薄膜トランジスタ

5 a ~ 5 c コンデンサ

6 a ~ 6 c 第1スイッチング素子

7 a ~ 7 c 第2スイッチング素子

8 a ~ 8 c 第3スイッチング素子

1 0 陰極電位供給回路

1 1 陽極電位供給回路

1 2 走査線駆動回路

1 3 第1制御回路

1 4 第2制御回路

1 5 データ電圧供給回路

1 7 a、1 7 b 陰極電位線

1 8 a、1 8 b 第1制御線

1 9 a、1 9 b 第2制御線

2 0 陽極電位線

2 1 a ~ 2 1 c 走査線

2 2 信号線

2 3 画素回路

2 4 コンデンサ

2 5 第2スイッチング素子

10

20

30

40

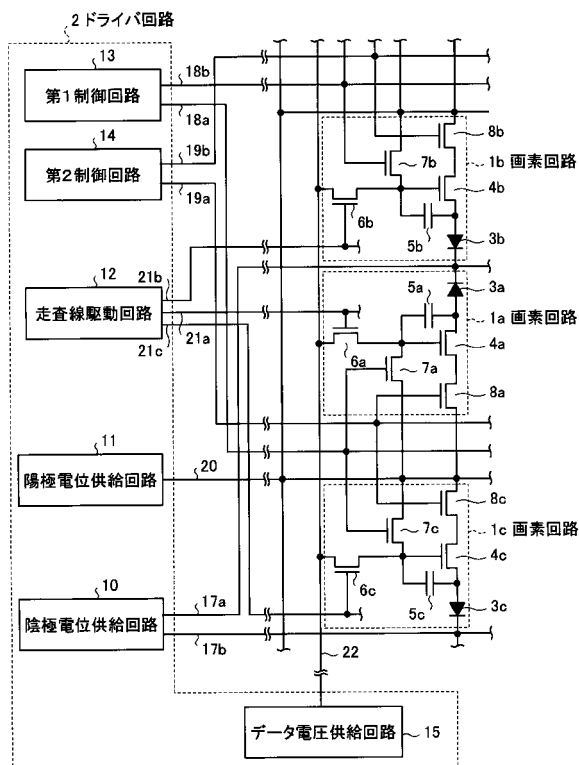
50

- 2 6 第3スイッチング素子
- 2 8 画素回路
- 2 9 第2スイッチング素子
- 3 0 第3スイッチング素子
- 3 1 コンデンサ
- 3 3 画素回路
- 3 4 第2スイッチング素子
- 3 5 第3スイッチング素子
- 3 6 コンデンサ
- 1 0 0 画素回路
- 1 0 1 素子
- 1 0 2 ドライバ素子
- 1 0 3 第1スイッチング素子
- 1 0 4 第2スイッチング素子
- 1 0 5 第3スイッチング素子
- 1 0 6 コンデンサ
- 1 0 7 低電位供給線
- 1 0 8 高電位供給線
- 1 0 9 走査線
- 1 1 0 制御線
- 1 1 1 制御線
- 1 1 2 ドライバ回路
- 1 1 3 信号線

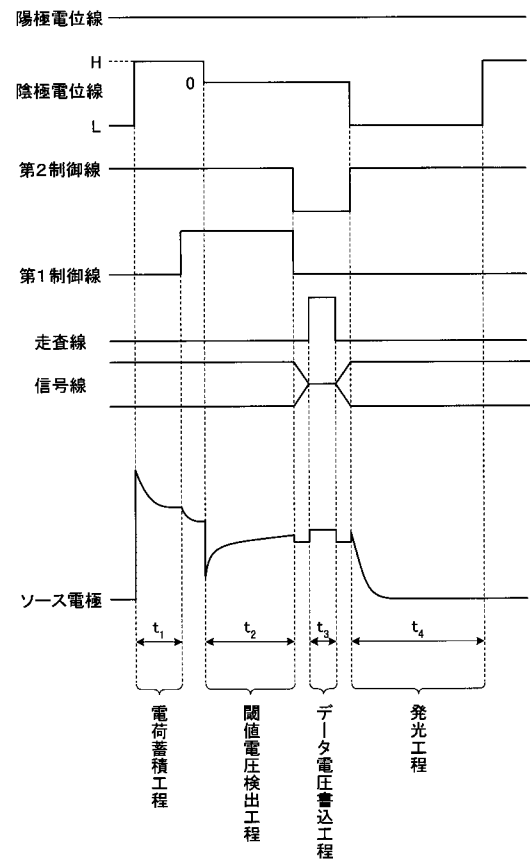
10

20

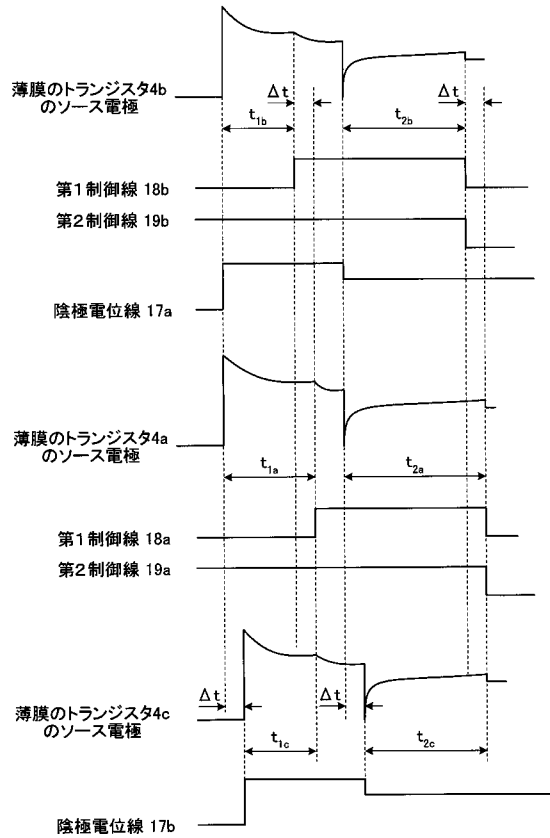
【図1】



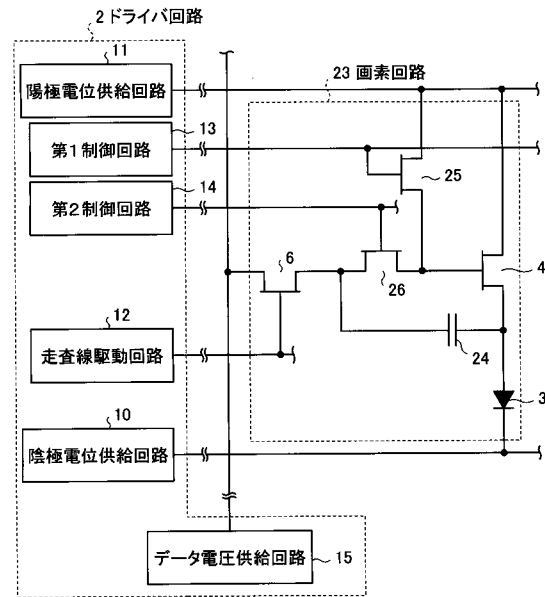
【図2】



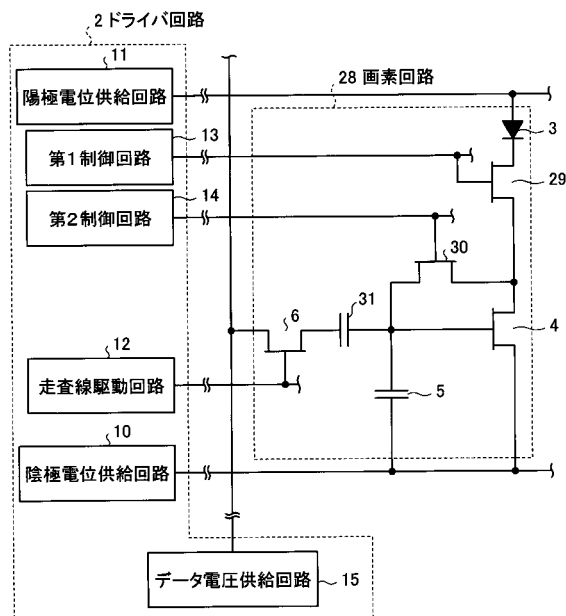
【図 3】



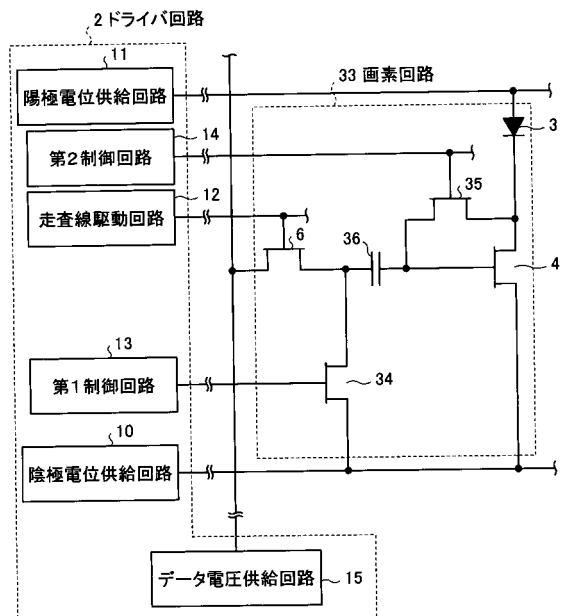
【図 4】



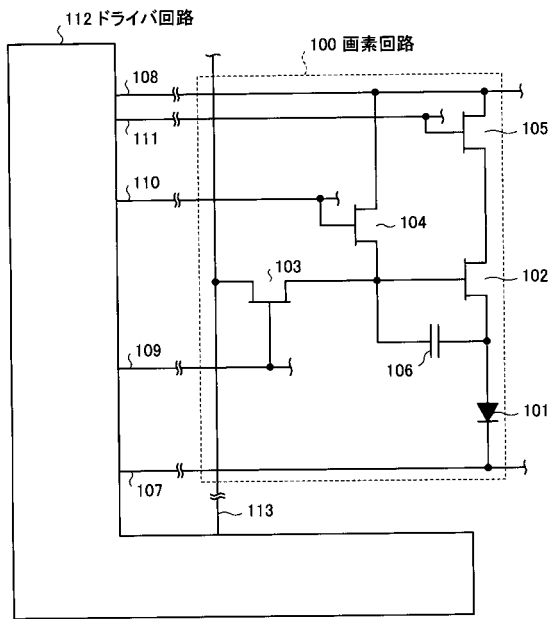
【図 5】



【図 6】



【図 7】



## フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 8 0 G

H 0 5 B 33/14 A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 三和 宏一

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式  
会社 大和事業所内

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式  
会社 大和事業所内

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式  
会社 大和事業所内

審査官 西島 篤宏

(56)参考文献 特開2004-280059(JP,A)

特開2004-341359(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 用于驱动显示设备的方法   |         |            |
| 公开(公告)号        | <a href="#">JP4737587B2</a>   | 公开(公告)日 | 2011-08-03 |
| 申请号            | JP2004181655  | 申请日     | 2004-06-18 |
| [标]申请(专利权)人(译) | 群创光电股份有限公司<br>京瓷株式会社  |         |            |
| 申请(专利权)人(译)    | 奇美电子股▲ふん▼有限公司<br>京瓷株式会社   |         |            |
| 当前申请(专利权)人(译)  | 奇美电子股▲ふん▼有限公司<br>京瓷株式会社   |         |            |
| [标]发明人         | 三和宏一<br>小野晋也<br>小林芳直  |         |            |
| 发明人            | 三和 宏一<br>小野 晋也<br>小林 芳直   |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50   |         |            |
| CPC分类号         | G09G3/3233 G09G3/3291 G09G2300/0426 G09G2300/0465 G09G2300/0819 G09G2300/0842<br>G09G2310/0256 G09G2310/0262 G09G2310/08 G09G2330/02  |         |            |
| FI分类号          | G09G3/30.J G09G3/20.611.F G09G3/20.621.A G09G3/20.622.D G09G3/20.622.G G09G3/20.624.B<br>G09G3/20.641.D G09G3/20.680.G H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291  |         |            |
| F-TERM分类号      | 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC33 3K107/CC36 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD23 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB32 5C380/AB45 5C380/BA12 5C380/BA31 5C380/BA38 5C380/BA39 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB09 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB31 5C380/CB32 5C380/CB37 5C380/CC04 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC54 5C380/CC65 5C380/CC77 5C380/CD014 5C380/CD024 5C380/DA02 5C380/DA06 5C380/DA32 5C380/HA03 5C380/HA08 5C380/HA13 |         |            |
| 代理人(译)         | 酒井宏明  |         |            |
| 其他公开文献         | JP2006003744A   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

#### 摘要(译)

要解决的问题：实现减少连接到像素电路的布线结构的数量的显示装置，同时抑制显示质量的劣化。ŽSOLUTION：像素电路1a配备有机EL元件3a，用于调节流向有机EL元件3a的电流的薄膜晶体管4a，电容器5a，用于控制薄的驱动状态的第一开关元件6a- 晶体管4a，第二开关元件7a和第三开关元件8a，在电荷累积步骤和阈值电压检测步骤时起作用。显示装置具有这样的结构：连接到有机EL元件3a的阴极侧的阴极电位线17a与前一级的像素电路16b共用;而用于控制第三开关元件8a的驱动状态的第一控制线18a和第二线19a通常与后级的像素电路1c一起使用。Ž



$$V_2(t) = -V_{th} + \frac{1}{\frac{1}{\beta} - \frac{V_2(0) + V_{th}}{2(C_s + C_{OLED})}} t$$