

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4685100号
(P4685100)

(45) 発行日 平成23年5月18日(2011.5.18)

(24) 登録日 平成23年2月18日(2011.2.18)

(51) Int.Cl.

F I

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	642A
H01L	51/50	(2006.01)	G09G	3/20	641D
			G09G	3/20	624B
			H05B	33/14	A

請求項の数 21 (全 30 頁)

(21) 出願番号 特願2007-522244 (P2007-522244)
 (86) (22) 出願日 平成18年6月13日(2006.6.13)
 (86) 国際出願番号 PCT/JP2006/311856
 (87) 国際公開番号 W02006/137295
 (87) 国際公開日 平成18年12月28日(2006.12.28)
 審査請求日 平成19年9月7日(2007.9.7)
 (31) 優先権主張番号 特願2005-183993 (P2005-183993)
 (32) 優先日 平成17年6月23日(2005.6.23)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 大橋 誠二
 日本国大阪府大阪市阿倍野区長池町2番
 2号 シャープ株式会社内
 (72) 発明者 仙田 孝裕
 日本国大阪府大阪市阿倍野区長池町2番
 2号 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

電流駆動型の電気光学素子を有する画素回路を備えた表示装置において、
 前記画素回路は、

第1の電圧源配線と第2の電圧源配線とを結ぶ第1の経路上に、前記第1の経路に流す電流を決定する絶縁ゲート型電界効果トランジスタからなる駆動用のトランジスタと前記電気光学素子とを互いに直列の関係に備えているとともに、

前記駆動用のトランジスタのドレイン端子に接続された前記第1の経路上のノードと第1の配線とを結ぶ第2の経路上に設けられた第1のスイッチング素子、および、前記ノードから前記電気光学素子側の枝部に、前記電気光学素子と互いに直列の関係に設けられた第2のスイッチング素子を備えており、

前記駆動用のトランジスタのゲート端子と前記駆動用のトランジスタのソース端子との間に、第1のコンデンサと第2のコンデンサとが、前記第1のコンデンサを前記駆動用のトランジスタのゲート端子側として直列に接続されており、

前記第1のコンデンサと前記第2のコンデンサとの接続点と、前記電気光学素子の発光輝度データを信号電圧として前記画素回路に供給するとともに前記信号電圧が印加される前の電位が別途設定可能な信号線との間に、第1のスイッチングトランジスタが接続されており、

前記駆動用のトランジスタのゲート端子と前記駆動用のトランジスタのドレイン端子との間に、第2のスイッチングトランジスタが接続されており、

10

20

前記第 1 の配線は、前記信号線である、または、前記第 1 のスイッチングトランジスタの制御配線であることを特徴とする表示装置。

【請求項 2】

電流駆動型の電気光学素子を有する画素回路を備えた表示装置において、
前記画素回路は、

第 1 の電圧源配線と第 2 の電圧源配線とを結ぶ第 1 の経路上に、前記第 1 の経路に流す電流を決定する絶縁ゲート型電界効果トランジスタからなる駆動用のトランジスタと前記電気光学素子とを互いに直列の關係に備えているとともに、

前記駆動用のトランジスタのドレイン端子に接続されるとともに前記駆動用のトランジスタと前記電気光学素子との接続点である前記第 1 の経路上のノードと、第 1 の配線とを結ぶ第 2 の経路上に設けられた第 1 のスイッチング素子を備えており、

前記駆動用のトランジスタのゲート端子と前記駆動用のトランジスタのソース端子との間に、第 1 のコンデンサと第 2 のコンデンサとが、前記第 1 のコンデンサを前記駆動用のトランジスタのゲート端子側として直列に接続されており、

前記第 1 のコンデンサと前記第 2 のコンデンサとの接続点と、前記電気光学素子の発光輝度データを信号電圧として前記画素回路に供給するとともに前記信号電圧が印加される前の電位が別途設定可能な信号線との間に、第 1 のスイッチングトランジスタが接続されており、

前記駆動用のトランジスタのゲート端子と前記駆動用のトランジスタのドレイン端子との間に、第 2 のスイッチングトランジスタが接続されており、

前記第 1 の配線は、前記信号線である、または、前記第 1 のスイッチングトランジスタの制御配線であり、

前記第 1 の電圧源配線および前記第 2 の電圧源配線のうち、前記第 1 の経路の前記駆動用のトランジスタのドレイン端子から前記電気光学素子側の枝部に接続されている枝部側電源配線の電位は可変であることを特徴とする表示装置。

【請求項 3】

前記第 1 の電圧源配線は前記第 2 の電圧源配線よりも高電位とされており、

前記電気光学素子の陰極と前記第 2 の電圧源配線とが互いに接続されていることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 2 の電圧源配線は前記第 1 の電圧源配線よりも高電位とされており、

前記電気光学素子の陽極と前記第 2 の電圧源配線とが互いに接続されていることを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 5】

前記電気光学素子は有機 EL 素子であることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記駆動用のトランジスタ、前記第 1 のスイッチング素子、および、前記第 2 のスイッチング素子は薄膜トランジスタであることを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記駆動用のトランジスタおよび前記第 1 のスイッチング素子は薄膜トランジスタであることを特徴とする請求項 2 に記載の表示装置。

【請求項 8】

前記画素回路に含まれる絶縁ゲート型電界効果トランジスタは全て同じチャネル極性であることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

前記画素回路は、前記駆動用のトランジスタに前記第 1 の経路に流す電流を設定するために、複数個ずつのグループ単位で走査線によって走査されるものであり、

前記枝部側電源配線は前記グループごとに分離されていることを特徴とする請求項 2 に記載の表示装置。

10

20

30

40

50

【請求項 10】

前記駆動用のトランジスタは p チャンネル型の絶縁ゲート型電界効果トランジスタであることを特徴とする請求項 3 に記載の表示装置。

【請求項 11】

前記駆動用のトランジスタは n チャンネル型の絶縁ゲート型電界効果トランジスタであることを特徴とする請求項 4 に記載の表示装置。

【請求項 12】

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項 1 または 2 に記載の表示装置。

10

【請求項 13】

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記第 2 のスイッチング素子を OFF 状態とすることにより前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記第 2 のスイッチング素子を ON 状態とすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項 1 に記載の表示装置。

【請求項 14】

20

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴とする請求項 2 に記載の表示装置。

【請求項 15】

前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴とする請求項 14 に記載の表示装置。

30

【請求項 16】

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行し、

前記第 2 の経路導通期間は、前記駆動用のトランジスタを閾値状態とする前に前記駆動用のトランジスタの出力電流を前記第 2 の経路に流すために設定される期間であり、

前記枝部導通期間は、前記第 2 の経路導通期間の後に前記駆動用のトランジスタが前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第 1 の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴とする請求項 1 ないし 15 のいずれか 1 項に記載の表示装置。

40

【請求項 17】

請求項 1 または 2 に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記第 1 の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

50

【請求項 18】

請求項 1 に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記第 2 のスイッチング素子を OFF 状態とすることにより前記第 1 の経路の前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記第 2 のスイッチング素子を ON 状態とすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

【請求項 19】

請求項 2 に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴とする表示装置の駆動方法。

【請求項 20】

前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴とする請求項 19 に記載の表示装置の駆動方法。

【請求項 21】

請求項 1 または 2 に記載の表示装置を駆動する表示装置の駆動方法であって、

前記第 1 のスイッチング素子を ON 状態とすることにより前記第 2 の経路を導通させるとともに、前記枝部を非導通とする第 2 の経路導通期間と、

前記第 1 のスイッチング素子を OFF 状態とすることにより前記第 2 の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行し、

前記第 2 の経路導通期間は、前記駆動用のトランジスタを閾値状態とする前に前記駆動用のトランジスタの出力電流を前記第 2 の経路に流すために設定される期間であり、

前記枝部導通期間は、前記第 2 の経路導通期間の後に前記駆動用のトランジスタが前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第 1 の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) の等の電流駆動素子を用いた表示装置およびその駆動方法に関するものである。

【背景技術】

【0002】

近年、有機 EL ディスプレイや FED 等の電流駆動発光素子の研究開発が活発に行われている。特に有機 EL ディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話や PDA (Personal Digital Assistants) など携帯機器用として注目されている。

【0003】

この有機 EL ディスプレイの画素回路構成として、特表 2002 - 514320 号公報 (2002 年 5 月 14 日公表) に示された回路構成を図 8 に示す。

【0004】

図 8 に示す画素回路 300 は、駆動用 TFT 365、スイッチ用 TFT 360・370

10

20

30

40

50

・ 375、コンデンサ350・355、及び、有機EL素子(OLED)380から構成される。上記4つのTFT(Thin Film Transistor: 薄膜トランジスタ)は全てpチャネル型である。

【0005】

駆動用TFT365と、スイッチ用TFT375と、有機EL素子380とは、電源ライン(+VDDライン)390と共通陰極(GNDライン)との間に、電源ライン390側を駆動用TFT365としてこの順で直列に接続されている。スイッチ用TFT360とコンデンサ350とは、駆動用TFT365のゲート端子とデータライン310との間に、コンデンサ350を駆動用TFT365側として直列に接続されている。また、スイッチ用TFT370は、駆動用TFT365のゲート端子とドレイン端子との間に接続されており、コンデンサ355は駆動用TFT365のゲート端子とソース端子との間に接続されている。

10

【0006】

スイッチ用TFT360のゲート端子はセレクトライン320に、スイッチ用TFT370のゲート端子はオートゼロライン330に、スイッチ用TFT375のゲート端子は照明ライン340に接続されている。

【0007】

この画素回路300では、第1期間にオートゼロライン330及び照明ライン340がLowとなることにより、スイッチ用TFT370及び375がON状態となり、駆動用TFT365のドレイン端子とゲート端子とが同電位となる。このとき、駆動用TFT365がON状態となり、駆動用TFT365から有機EL素子380に向けて電流が流れる。このとき、データライン310を基準電位とし、セレクトライン320をLowとしてコンデンサ350の他方端子(スイッチ用TFT360側の端子)を当該基準電位としておく。

20

【0008】

次に第2期間となり、照明ライン340をHighとすることにより、スイッチ用TFT375をOFF状態とする。これにより、駆動用TFT365のゲート端子電位は徐々に高くなり、駆動用TFT365の閾値電圧(V_{th} ; 但し V_{th} はゲート・ソース間電圧であって負の値)に対応した値($+VDD + V_{th}$)となったときに駆動用TFT365はOFF状態となる。

30

【0009】

次に第3期間となり、オートゼロライン330をHighとすることにより、スイッチ用TFT370をOFF状態とする。これにより、コンデンサ350に、そのときのスイッチ用TFT370のゲート端子電位と基準電位との差が記憶される。即ち、駆動用TFT365のゲート端子電位は、データライン310の電位が基準電位であるときに、閾値状態(ゲート・ソース間電圧が閾値電圧 V_{th} となる状態)に対応した値($+VDD + V_{th}$)となる。そして、データライン310の電位がその基準電位から変化すれば、駆動用TFT365の閾値電圧に関係なく、その電位変化に対応した電流が駆動用TFT365を流れる。

40

【0010】

そこで、そのような所望の電位変化をデータライン310に与え、セレクトライン320をHigh状態とすることによりスイッチ用TFT360をOFF状態として、この駆動用TFT365のゲート端子電位をコンデンサ355の端子間電圧として保持し、画素回路300の選択期間を終了する。

【0011】

このような電位の設定例としては、例えば図9に示すようなものが考えられる。同図では、基準電位は V_{pc} であり、データライン310の基準電位 V_{pc} から変化した後の電位は V_{data} である。

【0012】

以上のように、図8に示す画素回路300を用いれば、駆動用TFT365の閾値電圧

50

に依らず、駆動用TFT365から有機EL素子380へ出力する電流値を設定することができる。

【0013】

図10に示す画素回路は、特開2002-351401号公報(2002年12月6日公開)に記載されたものである。図10に示す画素回路200は、駆動用TFT202、スイッチ用TFT201・203・204・205、コンデンサ251・252、及び、有機EL素子(OLED)253から構成されている。上記5つのTFTは全てpチャネル型である。

【0014】

駆動用TFT202と、スイッチ用TFT204と、有機EL素子253とは、電源ライン(+VDDライン)271と共通陰極(GNDライン)との間に、駆動用TFT202を電源ライン271側として、この順で直列に接続されている。また、スイッチ用TFT205は有機EL素子253と並列に接続されている。

10

【0015】

スイッチ用TFT201とコンデンサ251とは、駆動用TFT202のゲート端子とデータライン272との間に、スイッチ用TFT201をデータライン272側として、直列に接続されている。スイッチ用TFT203は、駆動用TFT202のゲート端子とソース端子との間に接続されている。

【0016】

スイッチ用TFT201のゲート端子は選択線281に、スイッチ用TFT203のゲート端子は制御信号線283に、スイッチ用TFT204のゲート端子は制御信号線284に、スイッチ用TFT205のゲート端子は制御信号線285に接続されている。

20

【0017】

この画素回路200では、図11に示すように、第1期間(時刻 t_3 ~時刻 t_4)に制御信号線283・284・285がLowとなることにより、スイッチ用TFT203・204・205がON状態となり、駆動用TFT202のドレイン端子とゲート端子とが同電位となる。これにより、駆動用TFT202がON状態となり、駆動用TFT202から共通陰極に向けて電流が流れる。このとき、スイッチ用TFT205及び有機EL素子253のそれぞれには、スイッチ用TFT205のON状態のときのインピーダンスと有機EL素子253のインピーダンスとの比に応じた電流が流れる。またこのとき、データライン272を基準電位 V_{pc} とし、選択線281をLowとすることによりスイッチ用TFT201をON状態とし、コンデンサ251の他方端子(スイッチ用TFT201側の端子)を基準電位 V_{pc} としておく。

30

【0018】

次に第2期間(時刻 t_4 ~時刻 t_5)となり、制御信号線284をHighとすることにより、スイッチ用TFT204をOFF状態とする。これにより、駆動用TFT202のゲート端子電位は徐々に高くなり、駆動用TFT202の閾値電圧(V_{th} ;但し V_{th} はゲート・ソース間電圧であって負の値)に対応した値($+VDD+V_{th}$)となったときに駆動用TFT202はOFF状態となる。

【0019】

次に第3期間(時刻 t_5 ~時刻 t_9)となり、制御信号線283をHighとすることにより、スイッチ用TFT203をOFF状態とする。これにより、コンデンサ251に、そのときのスイッチ用TFT203のゲート端子電位と基準電位 V_{pc} との差が記憶される。即ち、駆動用TFT202のゲート端子電位は、データライン272の電位が基準電位 V_{pc} であるときに、閾値状態(ゲート・ソース間電圧が閾値電圧 V_{th} となる状態)に対応した値($+VDD+V_{th}$)となる。そして、データライン272の電位がその基準電位 V_{pc} から電位 V_{data} に変化すれば、駆動用TFT202の閾値電圧に関係なく、その電位変化に対応した電流が駆動用TFT202を流れる。

40

【0020】

そこで、そのような所望の電位変化をデータライン272に与え、選択線281をHi

50

g hとすることによりスイッチ用T F T 2 0 1をO F F状態として、この駆動用T F T 2 0 2のゲート端子電位をコンデンサ2 5 2の端子間電圧として維持し、画素回路2 0 0の選択期間を終了する。

【0 0 2 1】

このように、図2に示す画素回路2 0 0を用いることで、駆動用T F T 2 0 2の閾値電圧に依らず、駆動用T F T 2 0 2から有機E L素子2 5 3へ出力する電流値を設定することができ、かつ、スイッチ用T F T 2 0 5のO N状態のときのインピーダンスを小さくすることで、第1期間に駆動用T F T 2 0 2から有機E L素子2 5 3へ流れる電流を抑制することができる。

【0 0 2 2】

上記図8の画素回路3 0 0を用いれば、駆動用T F T 3 6 5の閾値電圧に依らず、所望の電流を有機E L素子3 8 0に流すことができる。しかしながら、上記第1期間に駆動用T F T 3 6 5から有機E L素子3 8 0に向けて電流が流れて、有機E L素子3 8 0が発光してしまう。元来、第1期間は無発光期間であり、有機E L素子3 8 0に電流を流さない期間であるため、コントラストの低下及び有機E L素子3 8 0の劣化を招くという課題がある。

【0 0 2 3】

これは、図10の画素回路2 0 0についても同様である。すなわち、上記第1期間に有機E L素子2 5 3と並列に接続されたスイッチ用T F T 2 0 5をO N状態にすることで、有機E L素子2 5 3に流れる電流を抑制することが出来る。理論的には、スイッチ用T F T 2 0 5のO N状態のときのインピーダンスをゼロ、あるいは有機E L素子2 5 3のインピーダンスを無限大にすることで、第1期間に有機E L素子2 5 3に電流を流さないことは可能である。しかしながら、スイッチ用T F T 2 0 5のO N状態のときのインピーダンスをゼロにすることは困難であり、また有機E L素子2 5 3のインピーダンスも有限であるため、有機E L素子2 5 3のインピーダンスと、このスイッチ用T F T 2 0 5とのインピーダンス比に応じた電流がそれぞれの素子に流れる。したがって、図10の画素回路2 0 0を用いた場合にも、コントラストの低下及び有機E L素子2 5 3の劣化を免れることはできない。

【発明の開示】

【0 0 2 4】

本発明は、上記課題を解決するものであり、その目的は、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置及びその駆動方法を実現することにある。

【0 0 2 5】

本発明の表示装置は、上記課題を解決するために、電流駆動型の電気光学素子を有する画素回路を備えた表示装置において、前記画素回路は、第1の電圧源配線と第2の電圧源配線とを結ぶ第1の経路上に、前記第1の経路に流す電流を決定する駆動素子と前記電気光学素子とを互いに直列の関係に備えているとともに、前記第1の経路上の前記駆動素子と前記電気光学素子との間のノードと、第1の配線とを結ぶ第2の経路上に設けられた第1のスイッチング素子を備えていることを特徴としている。

【0 0 2 6】

上記の発明によれば、第1のスイッチング素子をO N状態とするとともに、電気光学素子に電流が流れ得ない状態を形成すれば、駆動素子が流す電流を電気光学素子に流さずに第1のスイッチング素子に流すことができる。すなわち、第1の電圧源配線と第2の電圧源配線とのうち前記ノードから駆動素子側の電源配線と、第1の配線との間で電流を流すことができる。

【0 0 2 7】

また、第1のスイッチング素子をO F F状態とするとともに、電気光学素子に電流が流れ得る状態を形成すれば、駆動素子が流す電流を第2の経路に流さずに電気光学素子に流すことができる。すなわち、第1の電圧源配線と第2の電圧源配線との間で電流を流すこ

10

20

30

40

50

とができる。

【0028】

従って、駆動素子から電流を流しながら電気光学素子に電流を流さない状態と、駆動素子から電気光学素子に電流を流す状態とを区別して形成することができる。駆動素子から電流を流しながら電気光学素子に電流を流さない状態を形成したときに、画素回路に電気光学素子の発光輝度データを送信して記憶させれば、表示期間に、その記憶した発光輝度データに従って、駆動素子から電気光学素子に電流を流す状態を形成して、電気光学素子を所望の輝度で発光させることができる。これにより、画素回路において表示期間以外には電気光学素子を発光させないようにすることができる。表示期間以外に電気光学素子に電流が流れなければ表示のコントラストは向上する。また、発光期間がそれだけ短くなるため、電気光学素子の劣化が少なくなる。

10

【0029】

以上により、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

【0030】

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

【図面の簡単な説明】

【0031】

20

【図1】本発明の実施形態を示すものであり、表示装置の第1の画素回路の構成を示す回路図である。

【図2】本発明の実施形態を示すものであり、表示装置の構成を示すブロック図である。

【図3】図1の画素回路の動作を示すタイミングチャートである。

【図4】本発明の実施形態を示すものであり、表示装置の第2の画素回路の構成を示す回路図である。

【図5】本発明の実施形態を示すものであり、表示装置の第3の画素回路の構成を示す回路図である。

【図6】図5の画素回路の動作を示すタイミングチャートである。

【図7】本発明の実施形態を示すものであり、表示装置の第4の画素回路の構成を示す回路図である。

30

【図8】従来技術を示すものであり、第1の従来例の画素回路の構成を示す回路図である。

【図9】図8の画素回路の動作を示すタイミングチャートである。

【図10】従来技術を示すものであり、第2の従来例の画素回路の構成を示す回路図である。

【図11】図10の画素回路の動作を示すタイミングチャートである。

【図12】本発明の実施形態を示すものであり、表示装置の第5の画素回路の構成を示す回路図である。

【図13】本発明の実施形態を示すものであり、表示装置の第6の画素回路の構成を示す回路図である。

40

【図14】図13の画素回路の動作を示すタイミングチャートである。

【図15】本発明の実施形態を示すものであり、表示装置の第7の画素回路の構成を示す回路図である。

【図16】本発明の実施形態を示すものであり、表示装置の第8の画素回路の構成を示す回路図である。

【符号の説明】

【0032】

1 表示装置
2 2、3 2 駆動用 T F T (駆動素子)

50

24、34	スイッチ用TFT（第2のスイッチング素子）
25、35	スイッチ用TFT（第1のスイッチング素子）
EL1、EL2	有機EL素子（電気光学素子）
PS	電源配線（第1の電圧源配線）
COM	共通陰極（第2の電圧源配線）
CA	電源配線（第2の電圧源配線）
Sj	ソース配線（第1の配線）
Gi	ゲート配線（第1の配線）
Pcj	配線（第1の配線）

【発明を実施するための最良の形態】

10

【0033】

本発明の実施の形態について図1ないし図7に基づいて説明すれば、以下の通りである。

【0034】

なお、本発明に用いられるスイッチング素子はアモルファスシリコンTFT、低温ポリシリコンTFTやCG(Continuous Grain)シリコンTFTなどで構成できるが、本実施の形態ではCGシリコンTFTを用いることとする。

【0035】

ここで、CGシリコンTFTの構成は、例えば“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method” (SID'00 Digest, pp. 924-927、半導体エネルギー研究所)に発表されており、CGシリコンTFTの製造プロセスは、例えば“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display” (AM-LCD2000, pp. 25-28、半導体エネルギー研究所)に発表されている。すなわち、CGシリコンTFTの構成およびその製造プロセスは何れも公知であるため、ここではその詳細な説明は省略する。

20

【0036】

また、本実施の形態で用いる電気光学素子である有機EL素子についても、その構成は、例えば“Polymer Light-Emitting Diodes for use in Flat panel Displays” (AM-LCD'01, pp. 211-214、University of Cambridge)に発表されており公知であるため、ここではその詳細な説明は省略する。

30

【0037】

図2に、本実施の形態に係る表示装置1の構成を示す。

【0038】

表示装置1は、複数の画素回路Aij ($i = 1 \sim n, j = 1 \sim m$)と、ソースドライバ回路11と、ゲートドライバ回路3と、コントロール回路12とを備えている。画素回路Aijは、複数の互いに平行に配されたソース配線Sj(信号配線)...と、これらに直交する複数の互いに平行に配されたゲート配線Gi...との各交差点に対応してマトリクス状に配置されている。ソース配線Sjは、後述する有機EL素子EL1やEL2に発光輝度データとしての信号を供給するために、ソースドライバ回路11に接続されている。ゲート配線Giは、ゲートドライバ回路3に接続されている。

40

【0039】

ソースドライバ回路11およびゲートドライバ回路3は、表示装置1全体の小型化および作製コストの低減を図るため、画素回路Aijと同じ基板上に、多結晶シリコンTFTまたはCGシリコンTFTを用いて、全部もしくは一部形成されることが好ましい。

【0040】

ソースドライバ回路11は、mビットのシフトレジスタ4と、レジスタ8と、ラッチ7と、m個のD/Aコンバータ10...とを有している。

50

【 0 0 4 1 】

このソースドライバ回路 1 1 において、シフトレジスタ 4 は、縦続接続された m 個のレジスタを有しており、コントロール回路 1 2 より先頭のレジスタに入力されるスタートパルス S P をクロック C L K に同期して転送し、各出力段 (レジスタ) からタイミングパルス S S P としてレジスタ 8 へ出力する。レジスタ 8 には、タイミングパルスが入力されるタイミングでコントロール回路 1 2 から表示データ D A が入力される。レジスタ 8 に表示データ D A が一列分記憶されると、コントロール回路 1 2 からラッチ 7 に入力されるラッチパルス L P に同期して上記一列分の表示データ D A がラッチ 7 に入力される。ラッチ 7 に保持された表示データ D A のそれぞれは対応する D / A コンバータ 1 0 へ出力される。D / A コンバータ 1 0 は、各ソース配線 S j に 1 つずつ設けられており、ラッチ 7 から入力される表示データ D A をアナログの信号電圧 D a として、対応するソース配線 S j に与える。

10

【 0 0 4 2 】

このように、ソースドライバ回路 1 1 は、ポリシリコン T F T 液晶等で用いられるソースドライバ回路と同様な構成をとる。

【 0 0 4 3 】

コントロール回路 1 2 は、前記のスタートパルス S P、クロック C L K、表示データ D A、及び、ラッチパルス L P を出力する回路である。また、コントロール回路 1 2 は、ゲートドライバ回路 3 に与えるためのタイミング信号 O E、スタートパルス Y I、及び、クロック Y C K を出力する。

20

【 0 0 4 4 】

ゲートドライバ回路 3 は、図示しないシフトレジスタ回路と、論理演算回路と、バッファとを含んでいる。このゲートドライバ回路 3 において、入力されたスタートパルス Y I をクロック Y C K に同期して上記のシフトレジスタ回路内を転送し、論理演算回路によって、シフトレジスタ回路各出力段から出力されたパルスとタイミング信号 O E とで論理演算を行い、バッファを通して対応したゲート配線 G i および後述する制御配線 R i ・ W i ・ U i へ必要な電圧を出力する。各ゲート配線 G i には複数個の画素回路 A i j が接続されており、画素回路 A i j はこれらのグループ単位でゲート配線 G i (走査線) によって走査される。

30

【 0 0 4 5 】

また、画素回路 A i j が配置されている領域には、電圧源としての電源配線 P S が配置されているが、これについては後述する。

【 0 0 4 6 】

次に、表示装置 1 に備えられる画素回路 A i j の各実施例について以下に説明する。

【 0 0 4 7 】

〔実施例 1〕

図 1 は、本実施例の画素回路 A i j である画素回路 A i j 1 の構成を示す回路図である。

【 0 0 4 8 】

図 1 に示すように、画素回路 A i j 1 は、駆動用 T F T 2 2、スイッチ用 T F T 2 1 ・ 2 3 ・ 2 4 ・ 2 5、コンデンサ C 1 ・ C 2、及び、有機 E L 素子 E L 1 を備えている。駆動用 T F T 2 2 及びスイッチ用 T F T 2 4 ・ 2 5 は p チャネル型であり、スイッチ用 T F T 2 1 ・ 2 3 は n チャネル型である。なお、上記 T F T のチャネル極性は全て同じであってもよい。

40

【 0 0 4 9 】

駆動用 T F T 2 2 と、スイッチ用 T F T 2 4 と、有機 E L 素子 E L 1 とは、電源配線 (第 1 の電圧源配線) P S と共通陰極 (第 2 の電圧源配線) C O M 1 とを結ぶ第 1 の経路上に、駆動用 T F T 2 2 を電源配線 P S 側としてこの順で直列に設けられている。第 1 の経路上の素子は、図 1 の場合、駆動用 T F T 2 2、スイッチ用 T F T 2 4、及び、有機 E L 素子 E L 1 のみからなる。駆動用 T F T (駆動素子) 2 2 は有機 E L 素子 (電気光学素子

50

) E L 1 に駆動電流を供給する駆動用のトランジスタである。スイッチ用 T F T (第 2 のスイッチング素子) 2 4 はスイッチングトランジスタである。なお、スイッチ用 T F T 2 4 と有機 E L 素子 E L 1 との位置は上記の関係であっても互いに入れ替わってもよく、第 1 の経路上で駆動用 T F T 2 2 と有機 E L 素子 E L 1 とが互いに直接接続されていなくても、直列の関係にあればよい。電源配線 P S は一定の電位 V_p となっている。共通陰極 C O M 1 には共通の一定の電位 V_{com} ($V_p > V_{com}$) が付与されており、各有機 E L 素子 E L 1 の共通電極となっている。

【 0 0 5 0 】

コンデンサ C 1 とコンデンサ C 2 とは、駆動用 T F T 2 2 のゲート端子と駆動用 T F T 2 2 のソース端子との間に、コンデンサ C 1 を駆動用 T F T 2 2 のゲート端子側として直列に接続されている。なお、コンデンサ C 1 とコンデンサ C 2 との接続点を接続端 A とする。スイッチ用 T F T 2 1 はスイッチングトランジスタであり、上記接続端 A とソース配線 S j との間に接続されている。スイッチ用 T F T 2 3 はスイッチングトランジスタであり、駆動用 T F T 2 2 のゲート端子と駆動用 T F T 2 2 のドレイン端子との間に接続されている。スイッチ用 T F T (第 1 のスイッチング素子) 2 5 はスイッチングトランジスタであり、第 1 の経路上の駆動用 T F T 2 2 と有機 E L 素子 E L 1 との間、ここでは特に駆動用 T F T 2 2 とスイッチ用 T F T 2 4 との間のノード K (すなわち駆動用 T F T 2 2 のドレイン端子) と、ソース配線 (第 1 の配線) S j とを結ぶ第 2 の経路上に設けられている。第 2 の経路上の素子は、図 1 の場合、スイッチ用 T F T 2 5 のみからなる。また、ここでは第 1 の配線としてソース配線 S j を用いているが、これに限らず、電源配線 P S および共通陰極 C O M 1 とは異なる配線であって、その電位が設定可能な配線であればよい。

【 0 0 5 1 】

スイッチ用 T F T 2 1 のゲート端子はゲート配線 G i に、スイッチ用 T F T 2 3 のゲート端子は制御配線 W i に、スイッチ用 T F T 2 4 のゲート端子は制御配線 R i に、スイッチ用 T F T 2 5 のゲート端子は制御配線 U i に接続されている。

【 0 0 5 2 】

なお、駆動用 T F T 2 2 とスイッチ用 T F T 2 4 と有機 E L 素子 E L 1 とを上記のような接続関係とする場合、駆動用 T F T 2 2 を p チャネル型とし、電源配線 P S と駆動用 T F T 2 2 のソース端子とを接続するとともに、有機 E L 素子 E L 1 の陰極と共通陰極 C O M 1 とを接続するのが好ましい。この理由は、駆動用 T F T 2 2 が n チャネル型である場合は、駆動用 T F T 2 2 のソース端子は有機 E L 素子 E L 1 側となり、ソースフォロワとなるため、負荷変動に対し駆動用 T F T 2 2 から有機 E L 素子 E L 1 へ流れる電流値が変動してしまうためである。また、スイッチ用 T F T 2 4 と有機 E L 素子 E L 1 との位置は互いに入れ替わってもよい。

【 0 0 5 3 】

図 3 は、上記構成の画素回路 A i j 1 の動作を示すタイミングチャートである。この画素回路 A i j 1 の動作は、コントロール回路 1 2 から供給される前述の各種の信号に基づいて、ソースドライバ回路 1 1 およびゲートドライバ回路 3 によって制御される。以下、本画素回路 A i j 1 の動作を図 3 のタイミングチャートを用いて説明する。

【 0 0 5 4 】

図 3 においては、ゲート配線 G i 、制御配線 W i 、制御配線 U i 、制御配線 R i 、ソース配線 S j にそれぞれ設定される電位が変化するタイミングが示されている。また、ゲート配線 G i + 1 、制御配線 W i + 1 、制御配線 U i + 1 、制御配線 R i + 1 のそれぞれは、同じソース配線 S j に接続され、かつゲート配線 G i の次に走査されるゲート配線 G i + 1 に接続される画素回路 A (i + 1) j に対応する。

【 0 0 5 5 】

図 3 に示すように、時刻 t 1 ~ 時刻 t 1 0 は画素回路 A i j の選択期間である。まず、最初の時刻 t 1 に制御配線 R i の電位を G H (H i g h) とすることにより、スイッチ用 T F T 2 4 を O F F 状態とする。これにより、第 1 の経路のうちのノード K から電源配線

10

20

30

40

50

COM側の枝部が非導通となる。時刻 t_1 ~ 時刻 t_2 を第0期間とする。

【0056】

次に、時刻 t_2 でゲート配線 G_i の電位を GH (High) とすることにより、スイッチ用 TFT_{21} をON状態とする。次に、時刻 t_3 で制御配線 U_i の電位を GL (Low) とすることにより、スイッチ用 TFT_{25} をON状態とする。制御配線 U_i が GL となる時刻 t_3 ~ 時刻 t_5 は、第2の経路導通期間である。次に、時刻 t_4 で制御配線 W_i の電位を GH として、スイッチ用 TFT_{23} をON状態とする。このとき、図2に示したD/Aコンバータ10...により、ソース配線 $S_1 \sim S_m$ に初期化電位 V_{pc} が付与されている。これにより、駆動用 TFT_{22} のゲート端子電位はソース配線 S_j の電位である初期化電位 V_{pc} となる。このとき、スイッチ用 TFT_{24} がOFF状態にあるため、電流は電源配線 PS から駆動用 TFT_{22} とスイッチ用 TFT_{25} とを順に通ってソース配線 S_j へ流れ、有機EL素子 EL_1 には電流は流れない。仮に、この初期化電位 V_{pc} を駆動用 TFT_{22} がOFF状態となるように設定すれば、駆動用 TFT_{22} はOFF状態となる。時刻 t_2 ~ 時刻 t_5 が第1期間に相当する。

10

【0057】

次に、時刻 t_5 で制御配線 U_i の電位を GH とすることにより、スイッチ用 TFT_{25} をOFF状態とする。これにより、駆動用 TFT_{22} のゲート端子電位は徐々に高くなり、駆動用 TFT_{22} の閾値電圧 (V_{th} ; 但し V_{th} はゲート・ソース間電圧であって負の値) に対応した値 ($V_p + V_{th}$) となったときに、駆動用 TFT_{22} はOFF状態となる。時刻 t_5 ~ 時刻 t_6 が第2期間に相当する。この第2期間は、 TFT の閾値電圧に製造上のばらつきがあるために、このばらつきを補償するために実行する期間である。この第2期間を実行することにより、駆動用 TFT_{22} がどのような閾値電圧を有していても、当該駆動用 TFT_{22} を必ず閾値状態とすることができる。従って、駆動用 TFT_{22} に所望の電流を流すように制御するには、この後に駆動用 TFT_{22} のゲート・ソース間電圧を、閾値状態から所望の電流に応じた電圧だけ変化させればよい。

20

【0058】

そこで次に、時刻 t_6 で制御配線 W_i の電位を GL とすることにより、スイッチ用 TFT_{23} をOFF状態とする。これにより、コンデンサ C_1 に、駆動用 TFT_{22} の閾値電圧に対応した値が記憶される。このとき、接続端 A の電位は V_{pc} であるため、コンデンサ C_1 の両端に印加される電圧は、ソース配線 S_j 側を基準にして $V_p + V_{th} - V_{pc}$ となる。そして、ソース配線 S_j の電位が初期化電位 V_{pc} から変化すれば、駆動用 TFT_{22} の閾値電圧に関係なく、その電位変化に対応した電流が駆動用 TFT_{22} を流れる。時刻 t_6 ~ 時刻 t_7 が第3期間に相当する。

30

【0059】

そして次に、時刻 t_7 で、ソース配線 S_j の電位を、有機EL素子 EL_1 に所望の電流が流れる駆動用 TFT_{22} のゲート端子電位 (V_{da}) が得られるような電位 (V_{da}') に切り換える。

【0060】

このとき、ゲート端子電位 (V_{da}) は

$$V_{da} = V_p + V_{th} - V_{pc} + V_{da}'$$
 となる。

40

【0061】

そこで、上記ソース配線の電位 V_{da}' が

$$V_{da}' > V_{pc}$$
 ならば、駆動用 TFT_{22} はOFF状態となる。逆に、

$$V_{da}' < V_{pc}$$
 ならば、駆動用 TFT_{22} はON状態となる。

【0062】

次に、時刻 t_8 で制御配線 G_i の電位を GL とし、さらに時刻 t_9 でソース配線 S_j の電位をスイッチ用 TFT_{21} がOFF状態となる電位 (V_{off} ; 図3では初期化電位 V

50

p c) とすることにより、スイッチ用 T F T 2 1 を O F F 状態とする。

【 0 0 6 3 】

次に、時刻 t_{10} で、制御配線 R_i の電位を G_L とすることによりスイッチ用 T F T 2 4 を O N 状態とすると、第 1 の経路のうちのノード K から電源配線 $C O M$ 側の枝部が導通し、駆動用 T F T 2 2 から有機 E L 素子 $E L 1$ へ所望の電流が流れる。この時刻 t_{10} から次に画素回路 A_{ij} が選択期間となるまでを第 4 期間とする。第 4 期間は枝部導通期間であり、画素回路 A_{ij} の表示期間である。

【 0 0 6 4 】

〔実施例 2〕

図 4 は、本実施例の画素回路 A_{ij} である画素回路 A_{ij2} の構成を示す回路図である。

10

【 0 0 6 5 】

図 4 に示すように、画素回路 A_{ij2} は、図 1 の画素回路 A_{ij1} において有機 E L 素子の駆動電流を流す電源の極性を反転させたものであり、駆動用 T F T 3 2、スイッチ用 T F T 3 1・3 3・3 4・3 5、コンデンサ $C 3 \cdot C 4$ 、及び、有機 E L 素子 $E L 2$ を備えている。駆動用 T F T 3 2 及びスイッチ用 T F T 3 1・3 3 は n チャネル型であり、スイッチ用 T F T 3 4・3 5 は p チャネル型である。なお、上記 T F T のチャネル極性は全て同じであってもよい。

【 0 0 6 6 】

駆動用 T F T 3 2 と、スイッチ用 T F T 3 4 と、有機 E L 素子 $E L 2$ とは、電源配線 (第 1 の電圧源配線) $P S$ と共通陽極 (第 2 の電圧源配線) $C O M 2$ とを結ぶ第 1 の経路上に、駆動用 T F T 3 2 を電源配線 $P S$ 側としてこの順で直列に設けられている。第 1 の経路上の素子は、図 4 の場合、駆動用 T F T 3 2、スイッチ用 T F T 3 4、及び、有機 E L 素子 $E L 2$ のみからなる。駆動用 T F T (駆動素子) 3 2 は有機 E L 素子 (電気光学素子) $E L 2$ に駆動電流を供給する駆動用のトランジスタである。スイッチ用 T F T (第 2 のスイッチング素子) 3 4 はスイッチングトランジスタである。なお、スイッチ用 T F T 3 4 と有機 E L 素子 $E L 2$ との位置は上記の関係であっても互いに入れ替わってもよく、第 1 の経路上で駆動用 T F T 3 2 と有機 E L 素子 $E L 2$ とが互いに直接接続されていなくても、直列の関係であればよい。電源配線 $P S$ は一定の電位 V_p となっている。共通陽極 $C O M 2$ には共通の一定の電位 V_{com} ($V_p < V_{com}$) が付与されており、各有機 E L 素子 $E L 2$ の共通電極となっている。

20

30

【 0 0 6 7 】

コンデンサ $C 3$ とコンデンサ $C 4$ とは、駆動用 T F T 3 2 のゲート端子と駆動用 T F T 3 2 のソース端子との間に、コンデンサ $C 3$ を駆動用 T F T 3 2 のゲート端子側として直列に接続されている。なお、コンデンサ $C 3$ とコンデンサ $C 4$ との接続点を接続端 B とする。スイッチ用 T F T 3 1 はスイッチングトランジスタであり、上記接続端 B とソース配線 S_j との間に接続されている。スイッチ用 T F T 3 3 はスイッチングトランジスタであり、駆動用 T F T 3 2 のゲート端子と駆動用 T F T 3 2 のドレイン端子との間に接続されている。スイッチ用 T F T (第 1 のスイッチング素子) 3 5 はスイッチングトランジスタであり、第 1 の経路上の駆動用 T F T 3 2 と有機 E L 素子 $E L 2$ との間、ここでは特に駆動用 T F T 3 2 とスイッチ用 T F T 3 4 との間のノード K (すなわち駆動用 T F T 3 2 のドレイン端子) と、ソース配線 (第 1 の配線) S_j とを結ぶ第 2 の経路上に設けられている。第 2 の経路上の素子は、図 4 の場合、スイッチ用 T F T 3 5 のみからなる。また、ここでは第 1 の配線としてソース配線 S_j を用いているが、これに限らず、電源配線 $P S$ および共通陽極 $C O M 2$ とは異なる配線であって、その電位が設定可能な配線であればよい。

40

【 0 0 6 8 】

スイッチ用 T F T 3 1 のゲート端子はゲート配線 G_i に、スイッチ用 T F T 3 3 のゲート端子は制御配線 W_i に、スイッチ用 T F T 3 4 のゲート端子は制御配線 R_i に、スイッチ用 T F T 3 5 のゲート端子は制御配線 U_i に接続されている。

50

【 0 0 6 9 】

なお、駆動用 T F T 3 2 とスイッチ用 T F T 3 4 と有機 E L 素子 E L 1 とを上記のような接続関係とする場合、駆動用 T F T 3 2 を n チャンネル型とし、電源配線 P S と駆動用 T F T 3 2 のソース端子とを接続するとともに、有機 E L 素子 E L 2 の陽極と共通陽極 C O M 2 とを接続するのが好ましい。この理由は、駆動用 T F T 3 2 が p チャンネル型である場合は、駆動用 T F T 3 2 のソース端子は有機 E L 素子 E L 2 側となり、ソースフォロワとなるため、負荷変動に対し有機 E L 素子 E L 2 から駆動用 T F T 3 2 へ流れる電流値が変動してしまうためである。また、スイッチ用 T F T 3 4 と有機 E L 素子 E L 2 との位置は互いに入れ替わってもよい。

【 0 0 7 0 】

上記構成の画素回路 A i j 2 の動作は、前述の画素回路 A i j 1 の図 3 の動作において、T F T のチャンネル極性に合せて電位の高低関係を適宜入れ替えただけのものとなるので、その説明は省略する。

【 0 0 7 1 】

〔実施例 3〕

図 5 は、本実施例の画素回路 A i j である画素回路 A i j 3 の構成を示す回路図である。

【 0 0 7 2 】

図 5 に示すように、画素回路 A i j 3 は、駆動用 T F T 2 2、スイッチ用 T F T 2 1・2 3・2 5、コンデンサ C 1・C 2、及び、有機 E L 素子 E L 1 を備えている。駆動用 T F T 2 2 及びスイッチ用 T F T 2 5 は p チャンネル型であり、スイッチ用 T F T 2 1・2 3 は n チャンネル型である。なお、上記 T F T のチャンネル極性は全て同じであってもよい。

【 0 0 7 3 】

この画素回路 A i j 3 の構成は、図 1 の画素回路 A i j 1 において、スイッチ用 T F T 2 4 を短絡除去するとともに制御配線 R i を除去し、共通陰極 C O M 1 を電源配線（第 2 の電圧源配線）C A としたものである。従って、駆動用 T F T 2 2 のドレイン端子と有機 E L 素子 E L 1 の陽極とは直接接続されて、第 1 の経路上の素子は駆動用 T F T 2 2 および有機 E L 素子 E L 1 のみとなり、その接続点がノード K となる。

【 0 0 7 4 】

図 6 は、上記構成の画素回路 A i j 3 の動作を示すタイミングチャートである。この画素回路 A i j 3 の動作は、コントロール回路 1 2 から供給される前述の各種の信号に基づいて、ソースドライバ回路 1 1 およびゲートドライバ回路 3 によって制御される。以下、本画素回路 A i j 3 の動作を図 6 のタイミングチャートを用いて説明する。

【 0 0 7 5 】

図 6 においては、ゲート配線 G i、制御配線 W i、制御配線 U i、電源配線 C A i、ソース配線 S j にそれぞれ設定される電位が変化するタイミングが示されている。また、ゲート配線 G i + 1、制御配線 W i + 1、制御配線 U i + 1、電源配線 C A i + 1 のそれぞれは、同じソース配線 S j に接続され、かつゲート配線 G i の次に走査されるゲート配線 G i + 1 に接続される画素回路 A (i + 1) j に対応する。

【 0 0 7 6 】

図 6 に示すように、時刻 t 1 ~ 時刻 t 1 0 は画素回路 A i j の選択期間である。

【 0 0 7 7 】

まず、最初の時刻 t 1 に電源配線 C A の電位を、時刻 t 1 ~ 時刻 t 7 で有機 E L 素子 E L 1 の発光に寄与する電流を流さない電位に設定する。これにより、第 1 の経路のうちのノード K から電源配線 C A 側の枝部が非導通となる。このとき、電源配線 C A の電位を、有機 E L 素子 E L 1 の陽極と陰極との間に印加される電圧が順方向で有機 E L 素子 E L 1 の閾値電圧となるような電位 (V c o m ') に設定するのが好ましい。電源配線 C A を、有機 E L 素子 E L 1 の陽極と陰極との間に印加される電圧が順方向で有機 E L 素子 E L 1 の閾値電圧より小さくなったり、逆方向となったりするような電位に設定すると、V c o m ' の値が大きくなるため、電源配線 C A を充放電するのに伴う消費電力が大きくなり、

10

20

30

40

50

表示装置 1 の消費電力が大きくなってしまいうためである。時刻 t_1 ~ 時刻 t_2 を第 0 期間とする。

【 0 0 7 8 】

次に、時刻 t_2 でゲート配線 G_i の電位を GH ($H i g h$) とすることにより、スイッチ用 $TFT21$ を ON 状態とする。次に、時刻 t_3 で制御配線 U_i の電位を GL ($L o w$) とすることにより、スイッチ用 $TFT25$ を ON 状態とする。制御配線 U_i が GL となる時刻 t_3 ~ 時刻 t_5 は、第 2 の経路導通期間である。次に、時刻 t_4 で制御配線 W_i の電位を GH として、スイッチ用 $TFT23$ を ON 状態とする。このとき、図 2 に示した D/A コンバータ $10 \dots$ により、ソース配線 $S_1 \sim S_m$ に初期化電位 V_{pc} が付与されている。これにより、駆動用 $TFT22$ のゲート端子電位はソース配線 S_j の電位である初期化電位 V_{pc} となる。このとき、有機 EL 素子 $EL1$ の陽極と陰極との間に閾値電圧が印加されているので、電源配線 PS から駆動用 $TFT22$ とスイッチ用 $TFT25$ とを順に通ってソース配線 S_j へ流れ、有機 EL 素子 $EL1$ には電流は流れない。仮に、この初期化電位 V_{pc} を駆動用 $TFT22$ が OFF 状態となるように設定すれば、駆動用 $TFT22$ は OFF 状態となる。時刻 t_2 ~ 時刻 t_5 が第 1 期間に相当する。

10

【 0 0 7 9 】

次に、時刻 t_5 で制御配線 U_i の電位を GH とすることにより、スイッチ用 $TFT25$ を OFF 状態とする。これにより、駆動用 $TFT22$ のゲート端子電位は徐々に高くなり、駆動用 $TFT22$ の閾値電圧 (V_{th} ; 但し V_{th} はゲート・ソース間電圧であって負の値) に対応した値 ($V_p + V_{th}$) となったときに、駆動用 $TFT22$ は OFF 状態となる。時刻 t_5 ~ 時刻 t_6 が第 2 期間に相当する。この第 2 期間は、 TFT の閾値電圧に製造上のばらつきがあるために、このばらつきを補償するために実行する期間である。この第 2 期間を実行することにより、駆動用 $TFT22$ がどのような閾値電圧を有していても、当該駆動用 $TFT22$ を必ず閾値状態とすることができる。従って、駆動用 $TFT22$ に所望の電流を流すように制御するには、この後に駆動用 $TFT22$ のゲート・ソース間電圧を、閾値状態から所望の電流に応じた電圧だけ変化させればよい。

20

【 0 0 8 0 】

そこで次に、時刻 t_6 で制御配線 W_i の電位を GL とすることにより、スイッチ用 $TFT23$ を OFF 状態とする。これにより、コンデンサ C_1 に、駆動用 $TFT22$ の閾値電圧に対応した値が記憶される。このとき、接続端 A の電位は V_{pc} であるため、コンデンサ C_1 の両端に印加される電圧は、ソース配線 S_j 側を基準にして $V_p + V_{th} - V_{pc}$ となる。そして、ソース配線 S_j の電位が初期化電位 V_{pc} から変化すれば、駆動用 $TFT22$ の閾値電圧に関係なく、その電位変化に対応した電流が駆動用 $TFT22$ を流れる。時刻 t_6 ~ 時刻 t_7 が第 3 期間に相当する。

30

【 0 0 8 1 】

そして次に、時刻 t_7 で、ソース配線 S_j の電位を、有機 EL 素子 $EL1$ に所望の電流が流れる駆動用 $TFT22$ のゲート端子電位 (V_{da}) が得られるような電位 (V_{da}') に切り換える。

【 0 0 8 2 】

このとき、ゲート端子電位 V_{da} は

$$V_{da} = V_p + V_{th} - V_{pc} + V_{da}'$$
 となる。

40

【 0 0 8 3 】

そこで、上記ソース配線の電位 V_{da}' が

$$V_{da}' > V_{pc}$$
 ならば、駆動用 $TFT22$ は OFF 状態となる。逆に、

$$V_{da}' < V_{pc}$$
 ならば、駆動用 $TFT22$ は ON 状態となる。

【 0 0 8 4 】

次に、時刻 t_8 で制御配線 G_i の電位を GL とし、さらに時刻 t_9 でソース配線 S_j の

50

電位をスイッチ用TFT21がOFF状態となる電位(V_{off}:図6では初期化電位V_{pc})とすることにより、スイッチ用TFT21をOFF状態とする。

【0085】

次に、時刻t10で、電源配線CAの電位をV_{com}とすることで、第1の経路のうちのノードKから電源配線CA側の枝部が導通し、駆動用TFT22から有機EL素子EL1へ所望の電流が流れる。従って、画素回路A_{ij}2において、電源配線CAはゲート配線G_i毎に、すなわち各ゲート配線G_iに接続されている画素回路A_{ij}2のグループ毎に分離されている方が好ましい。このことにより、選択されているグループの画素回路A_{ij}2のみ電源配線CAの電位を変動させることができるので、選択されていない画素回路A_{ij}2の発光期間をより多くとることができ、有機EL素子EL1の輝度を下げることができる。この結果、有機EL素子EL1の劣化を抑制することができる。この時刻t10から次に画素回路A_{ij}が選択期間となるまでを第4期間とする。第4期間は枝部導通期間であり、画素回路A_{ij}の表示期間である。

10

【0086】

〔実施例4〕

図7は、本実施例の画素回路A_{ij}である画素回路A_{ij}4の構成を示す回路図である。

【0087】

図7に示すように、画素回路A_{ij}4は、図5の画素回路A_{ij}3において有機EL素子の駆動電流を流す電源の極性を反転させたものであり、駆動用TFT32、スイッチ用TFT31・33・35、コンデンサC3・C4、及び、有機EL素子(電気光学素子)EL2を備えている。電源配線PSは第1の電圧源配線であり、電源配線CAは第2の電圧源配線である。駆動用TFT32及びスイッチ用TFT31・33はnチャンネル型であり、スイッチ用TFT35はpチャンネル型である。なお、上記TFTのチャンネル極性は全て同じであってもよい。駆動用TFT32と有機EL素子EL2とは直接接続されている。また、この画素回路A_{ij}4の構成は、図4の画素回路A_{ij}2において、スイッチ用TFT34を短絡除去するとともに制御配線R_iを除去し、共通陽極COM2を電源配線CAとしたものであるため、これ以上の接続関係の詳細な説明は省略する。

20

【0088】

上記構成の画素回路A_{ij}4の動作は、前述の画素回路A_{ij}3の図6の動作において、TFTのチャンネル極性と、有機EL素子EL2の陽極を電源配線CAに接続したこととに合せて電位の高低関係を適宜入れ替えただけのものとなるので、その説明は省略する。

30

【0089】

〔実施例5〕

図12は、本実施例の画素回路A_{ij}である画素回路A_{ij}5の構成を示す回路図である。

【0090】

画素回路A_{ij}5は、駆動用TFT22、スイッチ用TFT21・23・24・25、コンデンサC1・C2、及び、有機EL素子EL1を備えている。

【0091】

図1との違いは、配線(第1の配線)P_{cj}が追加されているところである。配線P_{cj}は一定の電圧を供給する配線である。また、スイッチ用TFT(第1のスイッチング素子)25はスイッチングトランジスタであり、第1の経路上の駆動用TFT22と有機EL素子EL1との間、ここでは特に駆動用TFT22とスイッチ用TFT24との間のノードK(すなわち駆動用TFT22のドレイン端子)と、配線P_{cj}とを結ぶ第2の経路上に設けられている。

40

【0092】

上記TFTは全て同じチャンネル極性であってもよい。また、画素回路A_{ij}5において、実施例3のように、スイッチ用TFT24を省略し、共通陰極COMを電源配線CAとして、電源配線CAをゲート配線G_i毎に、すなわち各ゲート配線G_iに接続されている

50

画素回路 A_{ij5} のグループ毎に分離してもよい。

【0093】

画素回路 A_{ij5} の回路構成は、上記以外については、図1の A_{ij1} の回路構成と同様であるため、その説明を省略する。

【0094】

画素回路 A_{ij5} の動作を示すタイミングチャートについては、図3と同様である。ただし、配線 P_{cj} が供給する電位は初期化電位 V_{pc} であるとする。

【0095】

図3において、時刻 t_2 でゲート配線 G_i の電位を GH (High) とすることにより、スイッチ用 TFT_{21} をON状態とする。次に、時刻 t_3 で制御配線 U_i の電位を GL (Low) とすることにより、スイッチ用 TFT_{25} をON状態とする。制御配線 U_i が GL となる時刻 $t_3 \sim$ 時刻 t_5 は、第2の経路導通期間である。

10

【0096】

次に、時刻 t_4 で制御配線 W_i の電位を GH として、スイッチ用 TFT_{23} をON状態とする。このとき、図2に示した D/A コンバータ $10 \dots$ により、ソース配線 $S_1 \sim S_m$ に初期化電位 V_{pc} が付与されている。これにより、駆動用 TFT_{22} のゲート端子電位は配線 P_{cj} の電位である初期化電位 V_{pc} となる。このとき、スイッチ用 TFT_{24} がOFF状態にあるため、電流は電源配線 PS から駆動用 TFT_{22} とスイッチ用 TFT_{25} とを順に通って配線 P_{cj} へ流れ、有機EL素子 EL_1 には電流は流れない。仮に、この初期化電位 V_{pc} を駆動用 TFT_{22} がOFF状態となるように設定すれば、駆動用 TFT_{22} はOFF状態となる。時刻 $t_2 \sim$ 時刻 t_5 が第1期間に相当する。

20

【0097】

時刻 t_1 、時刻 $t_6 \sim$ 時刻 t_{10} については、実施例1と同様のため説明を省略する。

【0098】

〔実施例6〕

図13は、本実施例の画素回路 A_{ij} である画素回路 A_{ij6} の構成を示す回路図である。

【0099】

画素回路 A_{ij6} は、駆動用 TFT_{22} 、スイッチ用 $TFT_{21} \cdot 23 \cdot 24 \cdot 25$ 、コンデンサ $C_1 \cdot C_2$ 、及び、有機EL素子 EL_1 を備えている。

30

【0100】

図1との違いは、制御配線 U_i が取り除かれ、スイッチ用 TFT_{21} を p チャネル極性としているところである。また、スイッチ用 TFT (第1のスイッチング素子) 25 はスイッチングトランジスタであり、第1の経路上の駆動用 TFT_{22} と有機EL素子 EL_1 との間、ここでは特に駆動用 TFT_{62} とスイッチ用 TFT_{24} との間のノード K (すなわち駆動用 TFT_{22} のドレイン端子) と、共通陰極 (第2の電圧源配線) COM_1 とを結ぶ第2の経路上に設けられている。そして、スイッチ用 TFT_{25} のゲート端子はゲート配線 G_i に接続されている。

【0101】

上記 TFT は全て同じチャネル極性であってもよい。また、画素回路 A_{ij6} において、実施例3のように、スイッチ用 TFT_{24} を省略し、共通陰極 COM を電源配線 CA として、電源配線 CA をゲート配線 G_i 毎に、すなわち各ゲート配線 G_i に接続されている画素回路 A_{ij6} のグループ毎に分離してもよい。

40

【0102】

画素回路 A_{ij6} の回路構成は、上記以外については、図1の A_{ij1} の回路構成と同様であるため、その説明を省略する。

【0103】

画素回路 A_{ij6} の動作を示すタイミングチャートを図14に示す。

【0104】

図14において、時刻 t_2 でゲート配線 G_i の電位を GL (Low) とすることにより

50

、スイッチ用TFT21・25をON状態とする。このとき、ゲート端子電位は、駆動用TFT22の閾値電圧(V_{th} ;但し V_{th} はゲート・ソース間電圧であって負の値)を越えない値、つまりゲート端子電位 $< V_{DD} + V_{th}$ となるように設定される。また、図2に示したD/Aコンバータ10...により、ソース配線 $S_1 \sim S_m$ に初期化電位 V_{pc} が付与されているため、接続端Aの電位はソース配線 S_j の電位である初期化電位 V_{pc} となる。このとき、スイッチ用TFT24がOFF状態にあるため、電流は電源配線PSから駆動用TFT22とスイッチ用TFT25とを順に通って共通陰極COM1へ流れ、有機EL素子EL1には電流は流れない。時刻 $t_2 \sim$ 時刻 t_5 が第1期間に相当する。

【0105】

時刻 t_1 、時刻 $t_6 \sim$ 時刻 t_{10} については、実施例1と同様であるため、その説明を省略する。

10

【0106】

〔実施例7〕

図15は、本実施例の画素回路 A_{ij} である画素回路 A_{ij7} の構成を示す回路図である。

【0107】

画素回路 A_{ij7} は、駆動用TFT22、スイッチ用TFT21・23・24・25、コンデンサ $C_1 \cdot C_2$ 、及び、有機EL素子EL1を備えている。

【0108】

図1との違いは、スイッチ用TFT21がpチャネル極性となっていることと、制御配線 U_i が取り除かれていることである。また、スイッチ用TFT(第1のスイッチング素子)25はスイッチングトランジスタであり、第1の経路上の駆動用TFT22と有機EL素子EL1との間、ここでは特に駆動用TFT22とスイッチ用TFT24との間のノードK(すなわち駆動用TFT22のドレイン端子)と、ゲート配線 G_i とを結ぶ第2の経路上に設けられている。すなわち、本実施例では、ゲート配線を第1の配線に用いる。そして、スイッチ用TFTのゲート端子はゲート配線(画素回路 A_{ij7} のスイッチング素子の制御配線) G_i に接続されている。

20

【0109】

上記TFTは全て同じチャネル極性であってもよい。また、画素回路 A_{ij7} において、実施例3のように、スイッチ用TFT24を省略し、共通陰極COMを電源配線CAとして、電源配線CAをゲート配線 G_i 毎に、すなわち各ゲート配線 G_i に接続されている画素回路 A_{ij7} のグループ毎に分離してもよい。

30

【0110】

画素回路 A_{ij7} の回路構成は、上記以外については、図1の A_{ij1} の回路構成と同様であるため、その説明を省略する。

【0111】

画素回路 A_{ij7} の動作を示すタイミングチャートは前述の図14と同じである。

【0112】

図14において、時刻 t_2 でゲート配線 G_i の電位をGL(Low)とすることにより、スイッチ用TFT21・25をON状態とする。このとき、GLは、駆動用TFT22の閾値電圧(V_{th} ;但し V_{th} はゲート・ソース間電圧であって負の値)を越えない値、つまり $GL < V_{DD} + V_{th}$ となるように設定される。また、図2に示したD/Aコンバータ10...により、ソース配線 $S_1 \sim S_m$ に初期化電位 V_{pc} が付与されているため、接続端Aの電位はソース配線 S_j の電位である初期化電位 V_{pc} となる。次に、時刻 t_4 で制御配線 W_i の電位をGHとして、スイッチ用TFT23をON状態とする。このとき、スイッチ用TFT24がOFF状態にあるため、電流は電源配線PSから駆動用TFT22とスイッチ用TFT25とを順に通ってゲート配線 G_i へ流れ、有機EL素子EL1には電流は流れない。

40

【0113】

なお、スイッチ用TFT25のゲート端子は、ゲート配線 G_i と同様のタイミングのパ

50

ルス波形を持ち、ゲート配線 G_i とは独立した制御配線に接続されている方が望ましい。その理由は以下の通りである。図 2 に示すように、ゲート配線 G_i には m 個の画素回路 A_{ij} が接続されている。したがって、図 15 では、時刻 t_4 においてゲート配線 G_i には、画素回路 A_{ij} の m 倍の電流が流れることになる。一般的に、ゲート配線には金属配線が用いられるため、この金属配線に電流が流れると、電圧降下を生じる。これにより、各画素回路 A_{ij} でゲート配線 G_i から供給される電圧が異なってしまうため、スイッチ用 T F T 25 のゲート端子は、ゲート配線 G_i と同様のタイミングのパルス波形を持ち、ゲート配線 G_i とは独立した制御配線に接続されている方が望ましい。時刻 $t_2 \sim$ 時刻 t_5 が第 1 期間に相当する。

【 0 1 1 4 】

時刻 t_1 、時刻 $t_6 \sim$ 時刻 t_{10} については、実施例 1 と同様であるため、その説明を省略する。

【 0 1 1 5 】

〔 実施例 8 〕

図 16 は、本実施例の画素回路 A_{ij} である画素回路 A_{ij8} の構成を示す回路図である。

【 0 1 1 6 】

図 16 に示すように、画素回路 A_{ij8} は、駆動用 T F T 32、スイッチ用 T F T 31・33・34・35、コンデンサ $C_3 \cdot C_4$ 、及び、有機 E L 素子 E L 2 を備えている。

【 0 1 1 7 】

図 4 との違いは、制御配線 U_i を取り除き、スイッチ用 T F T 35 を n チャネル極性としていることである。また、スイッチ用 T F T (第 1 のスイッチング素子) 35 はスイッチングトランジスタであり、第 1 の経路上の駆動用 T F T 32 と有機 E L 素子 E L 2 との間、ここでは特に駆動用 T F T 32 とスイッチ用 T F T 34 との間のノード K (すなわち駆動用 T F T 32 のドレイン端子) と、ゲート配線 G_i とを結ぶ第 2 の経路上に設けられている。すなわち、本実施例では、ゲート配線 G_i を第 1 の配線として用いる。そして、スイッチ用 T F T 35 のゲート端子は、ゲート配線 (画素回路 A_{ij8} のスイッチング素子の制御配線) G_i に接続されている。

【 0 1 1 8 】

上記 T F T は全て同じチャネル極性であってもよい。また、画素回路 A_{ij8} において、実施例 4 のように、スイッチ用 T F T 34 を省略し、共通陰極 COM_2 を電源配線 CA として、電源配線 CA をゲート配線 G_i 毎に、すなわち各ゲート配線 G_i に接続されている画素回路 A_{ij8} のグループ毎に分離してもよい。

【 0 1 1 9 】

画素回路 A_{ij8} の回路構成は、上記以外については、図 4 の A_{ij2} の回路構成と同様であるため、その説明を省略する。

【 0 1 2 0 】

上記構成の画素回路 A_{ij8} の動作は、前述の図 15 の画素回路 A_{ij7} の動作において、T F T のチャネル極性に合せて電位の高低関係を適宜入れ替えたただけのものとなるので、その説明は省略する。

【 0 1 2 1 】

また、スイッチ用 T F T 35 のゲート端子は、ゲート配線 G_i と同様のタイミングのパルス波形を持ち、ゲート配線 G_i とは独立した制御配線に接続されている方が望ましい。その理由は、図 15 の画素回路 A_{ij7} と同様のため、説明を省略する。

【 0 1 2 2 】

以上、各実施例について述べた。

【 0 1 2 3 】

各実施例では、駆動用 T F T から電流を流しながら有機 E L 素子に電流を流さない状態と、駆動用 T F T から有機 E L 素子に電流を流す状態とを区別して形成することができる。これにより、画素回路において表示期間以外には電気光学素子を発光させないようにす

10

20

30

40

50

ることができる。表示期間以外に電気光学素子に電流が流れなければ表示のコントラストは向上する。また、発光期間がそれだけ短くなるため、電気光学素子の劣化が少なくなる。

【0124】

以上により、従来の画素回路と比べてコントラストを高くすることが可能であり、かつ、電気光学素子の劣化を抑制することのできる表示装置を実現することができる。

【0125】

本発明で用いた有機EL素子は、低電圧・低消費電力で発光可能であり、さらにバックライトが不要な分、液晶より薄型を実現でき、前記携帯サイズの応用製品にとってより好ましい電気光学素子である。

10

【0126】

なお、本実施の形態では、画素回路の電気光学素子として有機EL素子を用いたが、これに限らず、電流駆動型の電気光学素子であればよい。従って、当該発光部として、半導体LEDやFEDの発光部なども使用可能である。

【0127】

また、電気光学素子の駆動用トランジスタとして、ガラス基板などの絶縁基板上に形成されるMOSトランジスタ（シリコンゲートMOS構造も含めてMOSトランジスタと称する）であるTFTを用いたが、これに限らず、電流制御端子に印加する制御電圧で出力電流を制御する電圧制御型の素子であって、制御電圧に出力電流の有無を決定する閾値電圧が存在する素子であればよい。従って、当該素子として、半導体基板上に形成されるMOSトランジスタなども含む、一般の絶縁ゲート型電界効果トランジスタが使用可能である。

20

【0128】

以上のように、本発明の表示装置は、前記第1の経路の前記ノードから前記電気光学素子側の枝部に、前記電気光学素子と互いに直列の関係に設けられた第2のスイッチング素子を備えていることを特徴としている。

【0129】

上記の発明によれば、第2のスイッチング素子をON状態とOFF状態とで切り替えることにより、第1の経路の前記枝部に電流を流すか否かを切り替えることができる。

【0130】

また、本発明の表示装置は、前記第1の電圧源配線および前記第2の電圧源配線のうち、前記第1の経路の前記ノードから前記電気光学素子側の枝部に接続されている枝部側電源配線の電位は可変であることを特徴としている。

30

【0131】

上記の発明によれば、枝部側電源配線の電位を、電気光学素子に電流が流れない電圧が印加されるような電位と、電気光学素子に電流が流れる電圧が印加されるような電位とで切り替えることにより、第1の経路の前記枝部に電流を流すか否かを切り替えることができる。

【0132】

また、前記枝部に素子および当該素子に付随する配線を追加することなく前記枝部に電流を流すか否かを切り替えることができるので、画素回路を縮小化して多画素化することにより高精細の表示装置を実現することができる。

40

【0133】

また、本発明の表示装置は、前記第1の電圧源配線は前記第2の電圧源配線よりも高電位とされており、前記電気光学素子の陰極と前記第2の電圧源配線とが互いに接続されていることを特徴としている。

【0134】

上記の発明によれば、第1の電圧源配線が第2の電圧源配線よりも高電位とされており、電気光学素子の陰極と第2の電圧源配線とが互いに接続されていることにより、電気光学素子が発光する方向に電流が流れる。

50

【0135】

また、本発明の表示装置は、前記第2の電圧源配線は前記第1の電圧源配線よりも高電位とされており、前記電気光学素子の陽極と前記第2の電圧源配線とが互いに接続されていることを特徴としている。

【0136】

上記の発明によれば、第2の電圧源配線が第1の電圧源配線よりも高電位とされており、電気光学素子の陽極と第2の電圧源配線とが互いに接続されていることにより、電気光学素子が発光する方向に電流が流れる。

【0137】

また、本発明の表示装置は、前記電気光学素子は有機EL素子であることを特徴としている。

10

【0138】

上記の発明によれば、電流駆動型の電気光学素子として頻繁に用いられる有機EL素子を備えた表示装置において、コントラストを高くすることが可能であり、かつ、有機EL素子の劣化を抑制することができる。

【0139】

また、本発明の表示装置は、前記駆動素子は絶縁ゲート型電界効果トランジスタであることを特徴としている。

【0140】

上記の発明によれば、絶縁ゲート型電界効果トランジスタの閾値電圧のばらつきがある場合に、駆動素子の閾値電圧を補償する工程において、駆動素子から流す電流を電気光学素子に流さないようにすることができる。

20

【0141】

また、本発明の表示装置は、前記駆動素子、前記第1のスイッチング素子、および、前記第2のスイッチング素子は薄膜トランジスタであることを特徴としている。

【0142】

上記の発明によれば、薄膜トランジスタが形成可能な表示装置において、駆動素子、第1のスイッチング素子、および第2のスイッチング素子を全て薄膜トランジスタで構成することにより、表示装置を容易かつ高性能に製造することができる。

【0143】

また、本発明の表示装置は、前記画素回路に含まれる絶縁ゲート型電界効果トランジスタは全て同じチャネル極性であることを特徴としている。

30

【0144】

上記の発明によれば、絶縁ゲート型電界効果トランジスタを同じプロセスで製造することができるので、異なるチャネル極性が混在することによるマスク種類の増加などのプロセスの煩雑さを回避することが可能になる。従って、表示装置を低コスト化することができる。

【0145】

また、本発明の表示装置は、前記画素回路は、前記駆動素子に前記第1の経路に流す電流を設定するために、複数個ずつのグループ単位で走査線によって走査されるものであり、前記枝部側電源配線は前記グループごとに分離されている。

40

【0146】

上記の発明によれば、走査されている画素回路に対してのみ、枝部側電源配線の電位を変化させることができるので、その間、走査されていない画素回路を表示期間とすることができる。従って、画素回路がマトリクス状に設けられていても、各画素回路において表示期間を長く確保することができるため、その分、電気光学素子の輝度を低く抑制することができ、電気光学素子の劣化をさらに抑制することができる。

【0147】

また、本発明の表示装置は、前記駆動素子はpチャネル型の絶縁ゲート型電界効果トランジスタであることを特徴としている。

50

【0148】

上記の発明によれば、駆動素子から流す電流を、駆動素子のゲート端子の、第1の電圧源配線の一定電位に対する電位で決定することができる。従って、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。

【0149】

また、本発明の表示装置は、前記駆動素子はnチャネル型の絶縁ゲート型電界効果トランジスタであることを特徴としている。

【0150】

上記の発明によれば、駆動素子から流す電流を、駆動素子のゲート端子の、第2の電圧源配線の一定電位に対する電位で決定することができる。従って、ソースフォロワにおける負荷変動を回避して、駆動素子から正確な電流を流すことができる。

10

【0151】

また、本発明の表示装置は、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行することを特徴としている。

【0152】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

20

【0153】

また、本発明の表示装置は、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子をOFF状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子をON状態とすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴としている。

【0154】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

30

【0155】

また、本発明の表示装置は、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを実行することを特徴としている。

40

【0156】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0157】

また、本発明の表示装置は、前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴としている。

【0158】

上記の発明によれば、枝部の導通と非導通とを切り替えるときの枝部側電源配線の電位

50

変動を最も小さくすることができる。従って、電位変動による枝部側電源配線の充放電に伴う電力消費を極力小さく抑制することができ、低消費電力の表示装置を実現することができる。

【0159】

また、本発明の表示装置は、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを実行し、前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力電流を前記第2の経路に流すために設定される期間であり、前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴としている。

10

【0160】

上記の発明によれば、駆動素子の閾値電圧のばらつきを補償する期間の中で、第2の経路導通期間を実行することにより、駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間を表示期間として実行することにより、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

20

【0161】

また、本発明の表示装置は、前記第1の配線は、前記電気光学素子の発光輝度データを前記画素回路に供給する信号線であることを特徴としている。

【0162】

上記の発明によれば、駆動素子から電流を流しながら電気光学素子に電流を流さない状態を形成するときにおいて、画素回路に電気光学素子の発光輝度データを供給して記憶させる場合に、画素回路に電気光学素子の発光輝度データを供給するまでに、発光輝度データを画素回路に供給する信号線を第1の配線として用いるようにすることにより、第1の配線として別途配線を設ける必要がない。

30

【0163】

また、本発明の表示装置は、前記第1の配線は、一定の電位を供給する配線であることを特徴としている。

【0164】

上記の発明によれば、第1の配線として設ける配線を一定の電位とすればよいので、第1の配線を駆動する構成が簡単になる。

【0165】

また、本発明の表示装置は、前記第1の配線は、前記画素回路に備えられるスイッチング素子の制御配線であることを特徴としている。

【0166】

上記の発明によれば、画素回路に備えられるスイッチング素子の制御配線を第1の配線として用いるようにすることにより、第1の配線として別途配線を設ける必要がない。

40

【0167】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

【0168】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら

50

ら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0169】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第2のスイッチング素子をOFF状態とすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記第2のスイッチング素子をON状態とすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

10

【0170】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0171】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記枝部側電源配線を前記電気光学素子が非導通となる電位にすることにより前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部側電源配線を前記電気光学素子が導通する電位にすることにより前記枝部を導通させる枝部導通期間とを順次実行することを特徴としている。

20

【0172】

上記の発明によれば、第2の経路導通期間で駆動素子から第2の経路に電流を流しながら電気光学素子に電流を流さない状態を形成し、枝部導通期間で駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0173】

また、本発明の表示装置の駆動方法は、前記枝部側電源配線の電位は、前記電気光学素子を非導通とするときに、前記電気光学素子の陽極と陰極との間に印加される電圧が閾値電圧となる電位であることを特徴としている。

30

【0174】

上記の発明によれば、枝部の導通と非導通とを切り替えるときの枝部側電源配線の電位変動を最も小さくすることができる。従って、電位変動による枝部側電源配線の充放電に伴う電力消費を極力小さく抑制することができ、低消費電力の表示装置を実現することができる。

【0175】

また、本発明の表示装置の駆動方法は、前記表示装置を駆動する表示装置の駆動方法であって、前記第1のスイッチング素子をON状態とすることにより前記第2の経路を導通させるとともに、前記第1の経路の前記ノードから前記電気光学素子側の枝部を非導通とする第2の経路導通期間と、前記第1のスイッチング素子をOFF状態とすることにより前記第2の経路を非導通とするとともに、前記枝部を導通させる枝部導通期間とを順次実行し、前記第2の経路導通期間は、前記駆動素子を閾値状態とする前に前記駆動素子の出力電流を前記第2の経路に流すために設定される期間であり、前記枝部導通期間は、前記第2の経路導通期間の後に前記駆動素子が前記閾値状態とされてから設定されたゲート・ソース間電圧により決定された前記第1の経路に流す電流に応じて、前記電気光学素子が発光状態あるいは非発光状態となる表示期間であることを特徴としている。

40

【0176】

上記の発明によれば、駆動素子の閾値電圧のばらつきを補償する期間の中で、第2の経路導通期間を実行することにより、駆動素子から第2の経路に電流を流しながら電気光学

50

素子に電流を流さない状態を形成し、枝部導通期間を表示期間として実行することにより、駆動素子から第2の経路に電流を流さずに電気光学素子に電流を流す状態を形成することができる。

【0177】

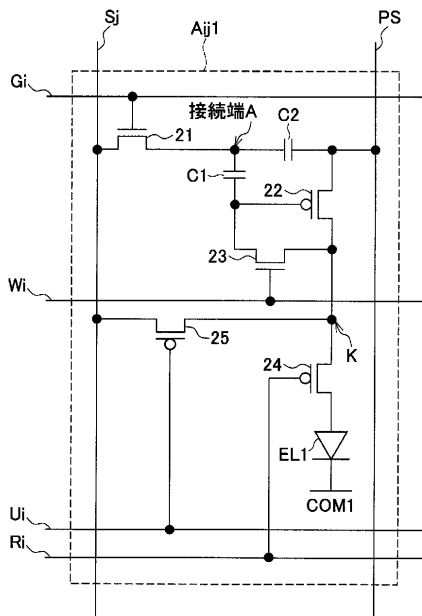
なお、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と請求の範囲内で、いろいろと変更して実施することができるものである。

【産業上の利用可能性】

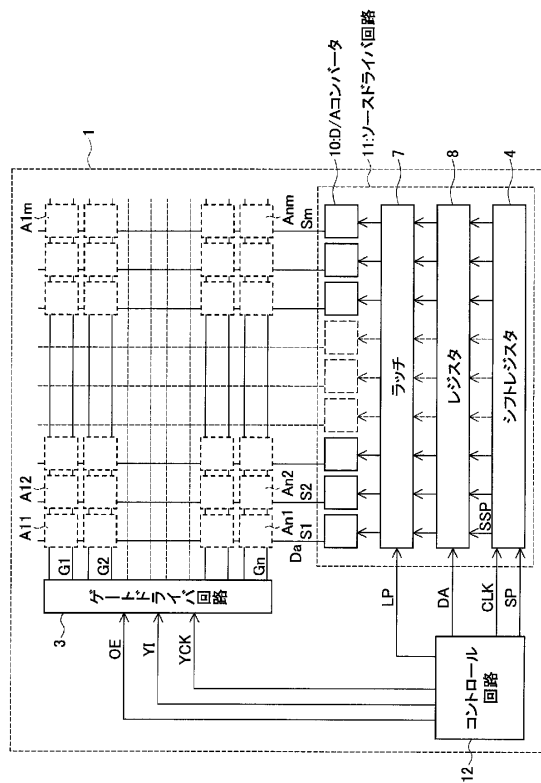
【0178】

本発明の表示装置は、駆動用トランジスタの電流制御端子の制御電圧を閾値電圧に対応した値に設定する際に、電気光学素子に電流を流さないため、高画質化を図ることができるので、電流駆動型表示素子を用いた表示装置に好適に利用することができる。

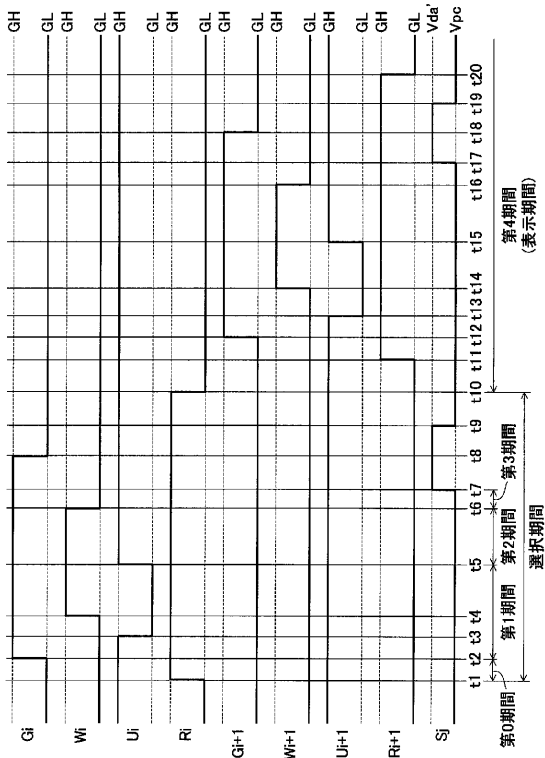
【図1】



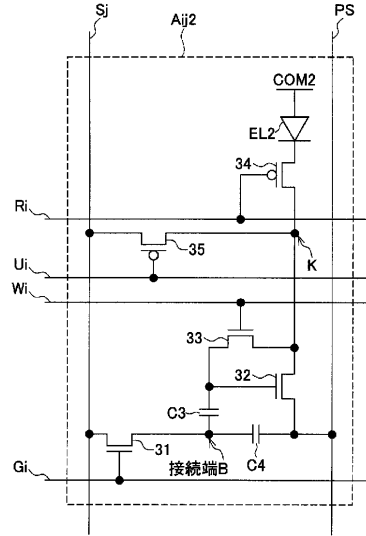
【図2】



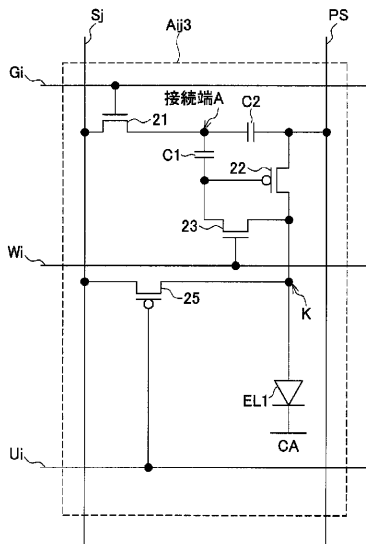
【 図 3 】



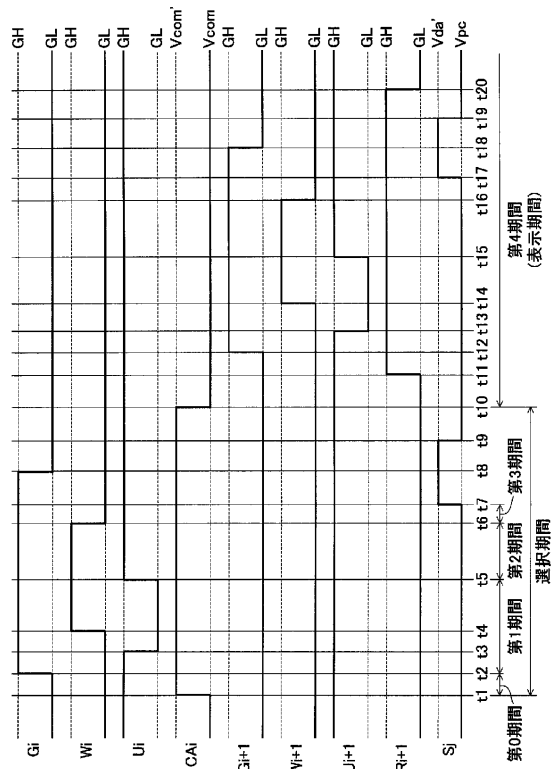
【 図 4 】



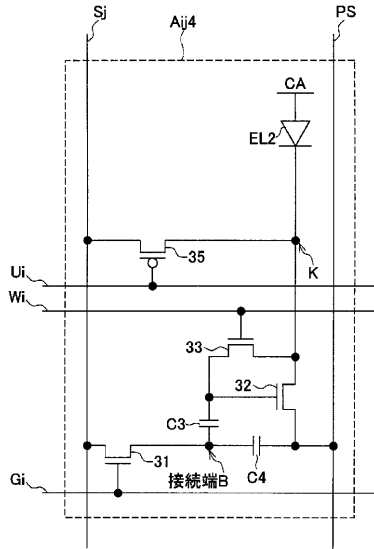
【 図 5 】



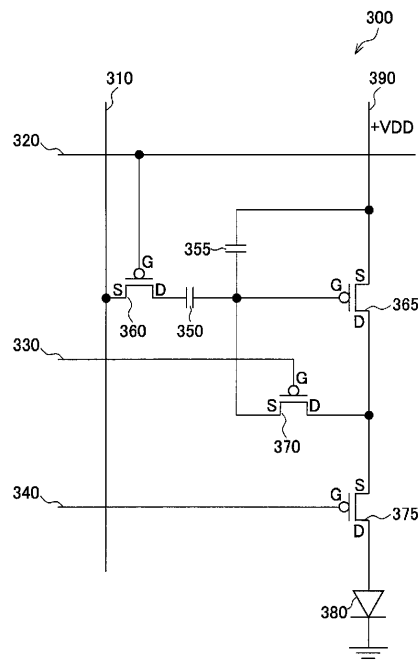
【 図 6 】



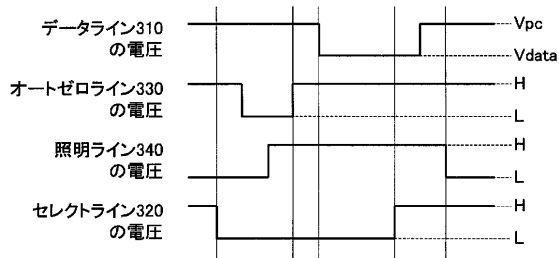
【図7】



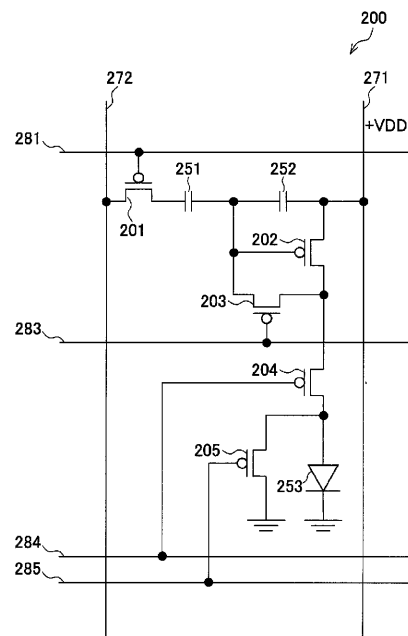
【図8】



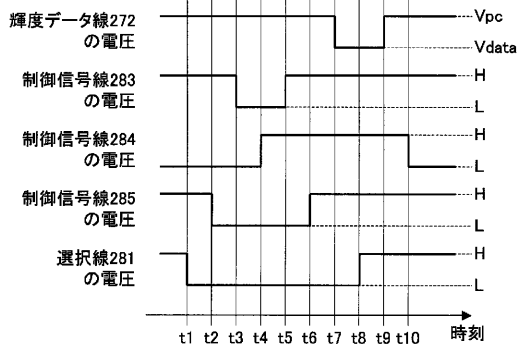
【図9】



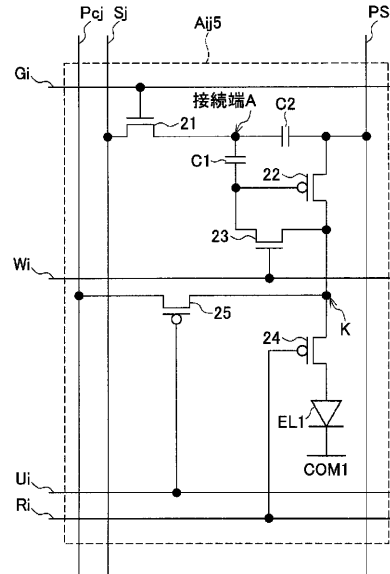
【図10】



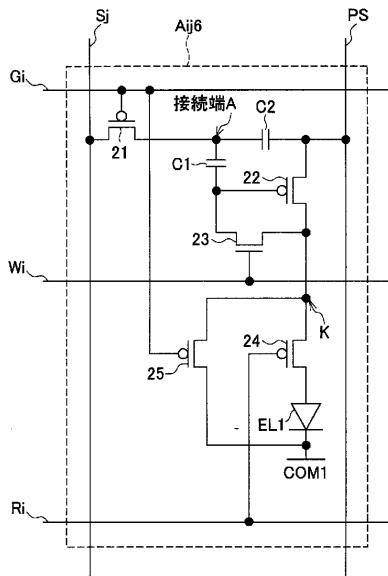
【図11】



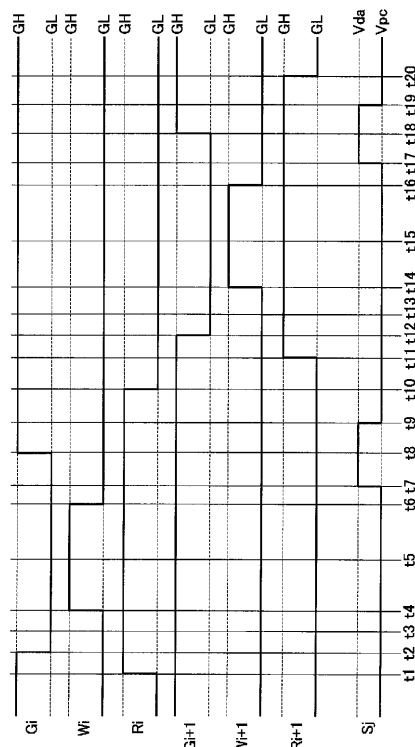
【図12】



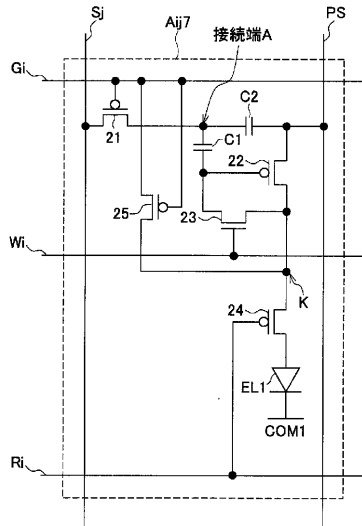
【図13】



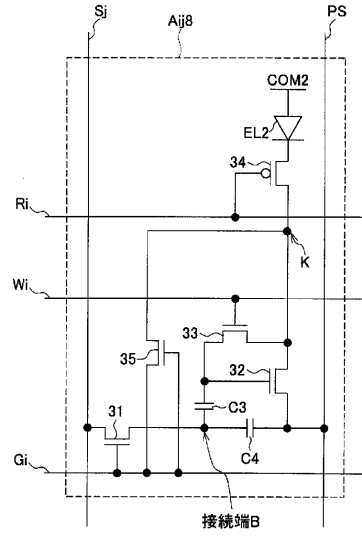
【図14】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(56)参考文献 特開2003-202834(JP,A)
特開2004-310014(JP,A)
特開2005-099773(JP,A)
特開2002-351401(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00-3/38

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4685100B2	公开(公告)日	2011-05-18
申请号	JP2007522244	申请日	2006-06-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	大橋誠二 仙田孝裕		
发明人	大橋 誠二 仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/06 G09G2320/0238 G09G2320/043 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.641.D G09G3/20.624.B H05B33/14.A		
优先权	2005183993 2005-06-23 JP		
其他公开文献	JPWO2006137295A1		
外部链接	Espacenet		

摘要(译)

驱动TFT (22) , 开关TFT (24) 和有机EL元件 (EL1) 串联设置在连接电源布线 (PS) 和公共阴极 (COM1) 的第一路径上。此外, 开关TFT (25) 设置在连接驱动TFT (22) 和开关TFT (24) 之间的节点 (K) 和源极布线 (Sj) 的第二路径上。通过使开关TFT (25) 进入导通状态, 使第二路径导通, 并且将开关TFT (24) 关断, 使得有机EL提供元件 (EL 1) 侧的分支不导电的时间段。因此, 与传统的像素电路相比, 可以实现能够增加对比度的显示装置及其驱动方法, 并且可以抑制电光元件的劣化。

【 图 1 】

