

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4636006号
(P4636006)

(45) 発行日 平成23年2月23日 (2011.2.23)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int.Cl.

F I

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	611H
			G09G	3/20	642P
			G09G	3/20	623C

請求項の数 11 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2006-307352 (P2006-307352)
 (22) 出願日 平成18年11月14日 (2006.11.14)
 (65) 公開番号 特開2007-156460 (P2007-156460A)
 (43) 公開日 平成19年6月21日 (2007.6.21)
 審査請求日 平成21年10月15日 (2009.10.15)
 (31) 優先権主張番号 特願2005-328337 (P2005-328337)
 (32) 優先日 平成17年11月14日 (2005.11.14)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び画素回路の駆動方法、表示装置及び表示装置の駆動方法、並びに、電子機器

(57) 【特許請求の範囲】

【請求項1】

発光素子及び画素容量、並びに、電界効果トランジスタから成る、サンプリングトランジスタ、ドライブトランジスタ及びスイッチングトランジスタを含み、

ドライブトランジスタにあっては、ゲートはサンプリングトランジスタのソース及びドレインの一方と画素容量の一端とに接続されており、ソース及びドレインの一方は画素容量の他端と発光素子とに接続されており、

スイッチングトランジスタにあっては、ソース及びドレインの一方はドライブトランジスタのソース及びドレインの他方に接続されており、ソース及びドレインの他方は電源に接続されている画素回路の駆動方法であって、

スイッチングトランジスタが非導通状態であり、サンプリングトランジスタが導通状態である状態で、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに印加する電位を高電位の第1固定電位から低電位の第2固定電位に切り替え、以て、画素容量を介したカップリングによってドライブトランジスタのゲートとソース及びドレインの一方との間の電圧がドライブトランジスタの閾電圧を超えるようにした後、

スイッチングトランジスタを導通状態としてドライブトランジスタのソース及びドレインの他方を電源に接続することによって、ドライブトランジスタのソース及びドレインの一方の電位を、第2固定電位からドライブトランジスタの閾電圧を減じた電位に向かって近づける工程を備えている画素回路の駆動方法。

10

20

【請求項 2】

前記工程の後、導通状態であるサンプリングトランジスタを介して、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに信号電位を印加する請求項 1 に記載の画素回路の駆動方法。

【請求項 3】

ドライブトランジスタのゲートに信号電位を印加しているときに、導通状態であるスイッチングトランジスタによってソース及びドレインの他方が電源に接続されたドライブトランジスタに電流が流れ、ドライブトランジスタのソース及びドレインの一方の電位が変化する請求項 2 に記載の画素回路の駆動方法。

【請求項 4】

ドライブトランジスタのゲートに信号電位を印加した後、サンプリングトランジスタを非導通状態とすることによって、画素容量に保持されたドライブトランジスタのゲートとソース及びドレインの一方との間の電圧の値に応じた電流が、導通状態であるスイッチングトランジスタによってソース及びドレインの他方が電源に接続されたドライブトランジスタを介して発光素子に流れ、発光素子が発光する請求項 2 に記載の画素回路の駆動方法。

【請求項 5】

発光素子及び画素容量、並びに、電界効果トランジスタから成る、サンプリングトランジスタ、ドライブトランジスタ及びスイッチングトランジスタを含み、

ドライブトランジスタにあっては、ゲートはサンプリングトランジスタのソース及びドレインの一方と画素容量の一端とに接続されており、ソース及びドレインの一方は画素容量の他端と発光素子とに接続されており、

スイッチングトランジスタにあっては、ソース及びドレインの一方はドライブトランジスタのソース及びドレインの他方に接続されており、ソース及びドレインの他方は電源に接続されている画素回路であって、

スイッチングトランジスタが非導通状態であり、サンプリングトランジスタが導通状態である状態で、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに印加される電位が高電位の第 1 固定電位から低電位の第 2 固定電位に切り替えられ、画素容量を介したカップリングによってドライブトランジスタのゲートとソース及びドレインの一方との間の電圧がドライブトランジスタの閾電圧を超えるように

された後、
スイッチングトランジスタが導通状態とされドライブトランジスタのソース及びドレインの他方が電源に接続されることによって、ドライブトランジスタのソース及びドレインの一方の電位が、第 2 固定電位からドライブトランジスタの閾電圧を減じた電位に向かって近づけられる画素回路。

【請求項 6】

行列状に配された画素を備えており、

各画素は、発光素子及び画素容量、並びに、電界効果トランジスタから成る、サンプリングトランジスタ、ドライブトランジスタ及びスイッチングトランジスタを含み、

ドライブトランジスタにあっては、ゲートはサンプリングトランジスタのソース及びドレインの一方と画素容量の一端とに接続されており、ソース及びドレインの一方は画素容量の他端と発光素子とに接続されており、

スイッチングトランジスタにあっては、ソース及びドレインの一方はドライブトランジスタのソース及びドレインの他方に接続されており、ソース及びドレインの他方は電源に接続されている表示装置の駆動方法であって、

スイッチングトランジスタが非導通状態であり、サンプリングトランジスタが導通状態である状態で、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに印加する電位を高電位の第 1 固定電位から低電位の第 2 固定電位に切り替え、以て、画素容量を介したカップリングによってドライブトランジスタのゲートとソース及びドレインの一方との間の電圧がドライブトランジスタの閾電圧を超えるように

10

20

30

40

50

した後、

スイッチングトランジスタを導通状態としてドライブトランジスタのソース及びドレインの他方を電源に接続することによって、ドライブトランジスタのソース及びドレインの一方の電位を、第2固定電位からドライブトランジスタの閾電圧を減じた電位に向かって近づける工程を備えている表示装置の駆動方法。

【請求項7】

前記工程の後、導通状態であるサンプリングトランジスタを介して、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに信号電位を印加する請求項6に記載の表示装置の駆動方法。

【請求項8】

ドライブトランジスタのゲートに信号電位を印加しているときに、導通状態であるスイッチングトランジスタによってソース及びドレインの他方が電源に接続されたドライブトランジスタに電流が流れ、ドライブトランジスタのソース及びドレインの一方の電位が変化する請求項7に記載の表示装置の駆動方法。

【請求項9】

ドライブトランジスタのゲートに信号電位を印加した後、サンプリングトランジスタを非導通状態とすることによって、画素容量に保持されたドライブトランジスタのゲートとソース及びドレインの一方との間の電圧の値に応じた電流が、導通状態であるスイッチングトランジスタによってソース及びドレインの他方が電源に接続されたドライブトランジスタを介して発光素子に流れ、発光素子が発光する請求項7に記載の表示装置の駆動方法

【請求項10】

行列状に配された画素を備えており、

各画素は、発光素子及び画素容量、並びに、電界効果トランジスタから成る、サンプリングトランジスタ、ドライブトランジスタ及びスイッチングトランジスタを含み、

ドライブトランジスタにあつては、ゲートはサンプリングトランジスタのソース及びドレインの一方と画素容量の一端とに接続されており、ソース及びドレインの一方は画素容量の他端と発光素子とに接続されており、

スイッチングトランジスタにあつては、ソース及びドレインの一方はドライブトランジスタのソース及びドレインの他方に接続されており、ソース及びドレインの他方は電源に

接続されている表示装置であつて、
スイッチングトランジスタが非導通状態であり、サンプリングトランジスタが導通状態である状態で、サンプリングトランジスタのソース及びドレインの他方からドライブトランジスタのゲートに印加される電位が高電位の第1固定電位から低電位の第2固定電位に切り替えられ、画素容量を介したカップリングによってドライブトランジスタのゲートとソース及びドレインの一方との間の電圧がドライブトランジスタの閾電圧を超えるようにされた後、

スイッチングトランジスタが導通状態とされドライブトランジスタのソース及びドレインの他方が電源に接続されることによって、ドライブトランジスタのソース及びドレインの一方の電位が、第2固定電位からドライブトランジスタの閾電圧を減じた電位に向かって近づけられる表示装置。

【請求項11】

請求項10に記載の表示装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路及びその駆動方法、画素を備えた表示装置及びその駆動方法、並びに、係る表示装置を備えた電子機器に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL素子などの発光素子に流れる電流量を制御する、いわゆるアクティブマトリクス型の表示

10

20

30

40

50

装置の画素を構成する画素回路等に関する。

【背景技術】

【0002】

画像表示装置、例えば、液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって、画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり、有機EL素子は自発光素子である。そのため、有機ELディスプレイは、液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）は、それに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

10

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として、単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型、且つ、高精細のディスプレイの実現が難しいなどの問題があるため、現在は、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくとも、サンプリングトランジスタと、画素容量と、ドライブトランジスタと、発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して、信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、画素容量に保持された入力電圧に応じて、所定の発光期間に出力電流を供給する。尚、一般に、出力電流は、ドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して、依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により、映像信号に応じた輝度で発光する。

30

【0005】

ドライブトランジスタは、画素容量に保持された入力電圧に応じてソース/ドレイン間に出力電流が流れ、発光素子にこの電流が流れる。一般に、発光素子の発光輝度は電流量に比例している。更に、ドライブトランジスタの出力電流は、ゲート/ソース間電圧、即ち、画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲート/ソース間に印加される入力電圧を映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

40

【0006】

ここで、ドライブトランジスタの動作特性は、以下の式(1)で表わされる。

【0007】

式(1)

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

【0008】

このトランジスタ特性式(1)において、 I_{ds} は、ソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} は、ソ

50

ースを基準としてゲートに印加されるゲート/ソース間電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} は、トランジスタの閾電圧である。又、 μ はトランジスタのチャネル領域を構成する半導体薄膜の移動度を表わしている。その他、 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート絶縁膜の容量を表わしている。このトランジスタ特性式(1)から明らかな様に、薄膜トランジスタは、飽和領域で動作する時、ゲート/ソース間電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると、上記のトランジスタ特性式(1)が示す様に、ゲート/ソース間電圧 V_{gs} が一定であれば、常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性(ユニフォーミティ)が得られるはずである。

10

【0009】

しかしながら、実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式(1)から明らかな様に、各ドライフトランジスタの閾電圧 V_{th} がばらつくと、ゲート/ソース間電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまうため、画面のユニフォーミティを損なう。従来から、ドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば、前記の特許文献3に開示がある。

20

【0010】

しかしながら、閾電圧のばらつきをキャンセルする機能(閾電圧補正機能)を画素回路に組み込んだ従来の表示装置は、構成が複雑であり、画素の微細化もしくは高精細化の障害になっていた。また、従来の閾電圧補正機能を組み込んだ画素回路は、効率的でなく、回路設計の複雑化を招いていた。加えて、従来の閾電圧補正機能を備えた画素回路は、構成素子数が比較的多いため、歩留りの低下を招いていた。

【課題を解決するための手段】

【0011】

上述した従来の技術の課題に鑑み、本発明は、閾電圧補正機能を備えた画素回路の効率化及び簡素化を図り、以て、表示装置の高精細化及び歩留りの改善を達成することを目的とする。かかる目的を達成するために、以下の手段を講じた。即ち、本発明にかかる表示装置は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と、列状に配された信号線と、両者が交差する部分に配された行列状の画素とから成り、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行毎に画素を走査する。各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライフトランジスタと、これに接続する発光素子と、該ドライフトランジスタを電源に接続するスイッチングトランジスタとを含む。前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングする。前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライフトランジスタのゲートに入力電圧を印加する。前記ドライフトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は、該ドライフトランジスタの閾電圧に対して依存性を有する。前記発光素子は、発光期間中、該ドライフトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する。前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して、該発光期間中、該ドライフトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライフトランジスタを電源から切り離す。特徴事項として、前記スキャナ部は、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するために該画素容量をリセットする準備動作、リセットされた該画素容量に

30

40

50

該閾電圧をキャンセルするための電圧を書き込む補正動作、及び、補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行する。

【 0 0 1 2 】

一方、前記信号部は、該水平走査期間に該映像信号を、第1固定電位と、第2固定電位と、信号電位との間で切り替え、以て、該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給する。この場合、前記信号部は、先ず高レベル(高電位)の第1固定電位を供給し続いて低レベル(低電位)の第2固定電位に切り替えて該準備動作を可能とし、更に、低レベル(低電位)の第2固定電位を維持した状態で該補正動作を実行させ、その後、該信号電位に切り替えて該サンプリング動作を実行させる。又、前記信号部は、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に第1固定電位及び第2固定電位を挿入し、以て、第1固定電位と第2固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含む。この場合、前記信号部は、通常の定格を超えない信号電位と定格を超える第1固定電位とを合成した映像信号を出力し、前記信号生成回路は、定格を超えない信号電位を生成するため通常の耐圧を有する一方、前記出力回路は、定格を超える第1固定電位に対処するため高耐圧化されている。

10

【 0 0 1 3 】

一態様では、前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、前記スキヤナ部は、水平走査期間に該第2走査線に制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行する。

20

【 0 0 1 4 】

又、本発明にかかる表示装置は、画素アレイとスキヤナとドライバとを含み、前記画素アレイは、行状に配された走査線と、列状に配された信号線と、両者が交差する部分に配された行列状の画素とから成り、前記ドライバは、該信号線に映像信号を供給し、前記スキヤナは、第1走査線及び第2走査線に制御信号を供給して順次行毎に画素を走査し、各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、前記発光素子は、発光期間中、該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して、該発光期間中、該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源から切り離し、前記スキヤナは、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流のばらつきを補正する補正動作と該映像信号の信号電位をサンプリングするサンプリング動作を実行し、前記ドライバは、該水平走査期間に該映像信号を、固定電位と信号電位との間で切り替え、以て、該補正動作及び該サンプリング動作に必要な電位を該画素に信号線を介して供給することを特徴とする。

30

40

【 0 0 1 5 】

具体的に前記ドライバは、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に該固定電位を挿入し、以て、該固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含む。この場合、前記ドライバは通常の定格を超えない信号電位と定格を超える固定電位とを合成した映像信号を出力し、前記

50

信号生成回路は定格を超えない信号電位を生成するため通常の耐圧を有し、前記出力回路のみ定格を超える固定電位に対処するため高耐圧化することを特徴とする。

【発明の効果】

【0016】

本発明によれば、表示装置は各画素回路に閾電圧補正機能を組み込んでいる。この表示装置は、画素の各行に割り当てられた1水平走査期間(1H)内において、ゲート電位カップリングによる閾電圧補正準備動作と、実際の閾電圧補正動作と、映像信号の信号電位のサンプリング動作とを行っている。これにより、各画素回路を構成する素子数を、トランジスタ3個と容量1個と発光素子1個まで削減できる。これにより、電源ラインやゲートライン(走査線)の本数を削減し、配線間のクロスオーバーを大幅に減少させることで、表示装置を構成するパネルの歩留りを改善することが可能である。同時に、パネルの高精細化も可能になる。また、本発明では、水平走査期間内でサンプリング走査だけでなく、補正動作も実行するため、信号線から信号電位に加え制御用の固定電位も供給している。この様に、本発明の表示装置は、信号線から画像データだけでなく画素回路制御用の固定電圧をパネルの画素アレイに送ることが可能になる。これによって、各画素回路に含まれるドライブトランジスタの特性ばらつきを補正する手段を、少ない素子数で構成することが出来るようになった。また、画素回路制御用の固定電圧が一般的なドライバICの最大定格電圧より高くなっても、出力回路部の高耐圧化を行うだけで、ドライバICの高耐圧化の必要はなく、回路構成の大型化や広ピッチ化などのドライバの物理的なサイズの大型化によるICのコスト増加を防ぎ、且つ、高解像度パネルへの対応を可能にすることが出来た。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、本発明の実施の形態を詳細に説明する。まず最初に、図1を参照して、本発明の元になった表示装置の参考例を簡潔に説明する。図示する様に、このアクティブマトリクス型表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は、水平セレクタ3、ライトスキヤナ4、ドライブスキヤナ5、第一補正用スキヤナ71、第二補正用スキヤナ72などを含んでいる。画素アレイ1は、行状の走査線WSと、列状の信号線SLと、両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にするため、1個の画素回路2のみを拡大表示してある。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は、信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキヤナ4によって走査される。尚、走査線WSと平行に、別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキヤナ5によって走査される。走査線AZ1は第一補正用スキヤナ71によって走査される。走査線AZ2は第二補正用スキヤナ72によって走査される。ライトスキヤナ4、ドライブスキヤナ5、第一補正用スキヤナ71及び第二補正用スキヤナ72は、スキヤナ部を構成しており、1水平走査期間毎に画素の行を順次走査する。各画素回路2は、走査線WSによって選択されたとき、信号線SLから映像信号をサンプリングする。更に、走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて、画素回路2は、走査線AZ1、AZ2によって走査された時、予め決められた補正動作を行う。

【0018】

画素回路2は、5個の薄膜トランジスタ $T_{r_1} \sim T_{r_4}$ 及び T_{r_d} と、1個の容量素子(画素容量) C_s と、1個の発光素子ELとで構成されている。トランジスタ $T_{r_1} \sim T_{r_3}$ と T_{r_d} は、Nチャンネル型のポリシリコンTFTである。トランジスタ T_{r_4} のみPチャンネル型のポリシリコンTFTである。1個の容量素子 C_s は、本画素回路2の画素容量を構成している。発光素子ELは、例えば、アノード及びカソードを備えたダイオード型の有機EL素子である。但し、本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

10

20

30

40

50

【0019】

画素回路2の中心となるドライブトランジスタ T_{rd} は、そのゲートGが画素容量 C_s の一端に接続され、そのソースSが同じく画素容量 C_s の他端に接続されている。また、ドライブトランジスタ T_{rd} のゲートGは、スイッチングトランジスタ T_{r2} を介して、別の基準電位 V_{ss1} に接続されている。ドライブトランジスタ T_{rd} のドレインは、スイッチングトランジスタ T_{r4} を介して、電源 V_{cc} に接続されている。このスイッチングトランジスタ T_{r2} のゲートは、走査線AZ1に接続されている。スイッチングトランジスタ T_{r4} のゲートは、走査線DSに接続されている。発光素子ELのアノードはドライブトランジスタ T_{rd} のソースSに接続されており、カソードは接地されている。この接地電位は V_{cath} で表される場合がある。また、ドライブトランジスタ T_{rd} のソースSと所定の基準電位 V_{ss2} との間に、スイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線AZ2に接続されている。一方、サンプリングトランジスタ T_{r1} は、信号線SLとドライブトランジスタ T_{rd} のゲートGとの間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線WSに接続されている。

10

【0020】

かかる構成において、サンプリングトランジスタ T_{r1} は、所定のサンプリング期間に走査線WSから供給される制御信号WSに応じ導通して、信号線SLから供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に応じて、ドライブトランジスタ T_{rd} のゲートGとソースS間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、所定の発光期間中、入力電圧 V_{gs} に応じた出力電流 I_{ds} を、発光素子ELに供給する。尚、この出力電流(ドレイン電流) I_{ds} は、ドライブトランジスタ T_{rd} のチャネル領域のキャリア移動度 μ 及び閾電圧 V_{th} に対して、依存性を有する。発光素子ELは、ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により、映像信号 V_{sig} に応じた輝度で発光する。

20

【0021】

本参考例の特徴として、画素回路2は、スイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、予め、発光期間の先頭で画素容量 C_s に保持された入力電圧 V_{gs} を補正する。具体的には、この補正手段($T_{r2} \sim T_{r4}$)は、走査線WS及びDSから供給される制御信号WS, DSに応じてサンプリング期間の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する。更に、この補正手段($T_{r2} \sim T_{r4}$)は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ、検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

30

【0022】

本参考例の場合、ドライブトランジスタ T_{rd} は、Nチャネル型トランジスタでドレインが電源 V_{cc} 側に接続される一方、ソースSが発光素子EL側に接続されている。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出して、画素容量 C_s 側に負帰還する。その際、本補正手段は、発光期間の先頭部分でドライブトランジスタ T_{rd} のソースS側から取り出した出力電流 I_{ds} が、発光素子ELの有する容量に流れ込むようにしている。具体的には、発光素子ELは、アノード及びカソードを備えたダイオード型の発光素子から成り、アノード側がドライブトランジスタ T_{rd} のソースSに接続されている一方カソード側が接地されている。この構成で、本補正手段($T_{r2} \sim T_{r4}$)は、予め発光素子ELのアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{rd} のソースS側から取り出した出力電流 I_{ds} が発光素子ELに流れ込む時、このダイオード型の発光素子ELを容量性素子として機能させている。尚、本補正手段は、サンプリング期間内でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより画素容量 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

40

50

【 0 0 2 3 】

図 2 は、図 1 に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r_1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{r_d} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。以下、図 2 に基づいて、参考例にかかる画素回路 2 の動作を説明する。

【 0 0 2 4 】

図 3 は、図 2 に示した画素回路のタイミングチャートである。図 3 を参照して、図 2 に示した参考例にかかる画素回路の動作を、より具体的に説明する。図 3 は、時間軸 T に沿って、各走査線 WS, AZ1, AZ2 及び DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r_1} , T_{r_2} , T_{r_3} は N チャンネル型なので、走査線 WS, AZ1, AZ2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方、トランジスタ T_{r_4} は P チャンネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。尚、このタイミングチャートは、各制御信号 WS, AZ1, AZ2, DS の波形と共に、ドライブトランジスタ T_{r_d} のゲート G の電位変化及びソース S の電位変化も表してある。

【 0 0 2 5 】

図 3 のタイミングチャートでは、タイミング T1 ~ T8 までを 1 フィールド (1 f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 WS, AZ1, AZ2, DS の波形を表している。

【 0 0 2 6 】

当該フィールドが始まる前のタイミング T0 で、全ての制御線号 WS, AZ1, AZ2, DS がローレベルにある。従って、N チャンネル型のトランジスタ T_{r_1} , T_{r_2} , T_{r_3} はオフ状態にある一方、P チャンネル型のトランジスタ T_{r_4} のみオン状態である。従って、ドライブトランジスタ T_{r_d} は、オン状態のトランジスタ T_{r_4} を介して電源 V_{cc} に接続されているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。従って、タイミング T0 で発光素子 EL は発光している。この時ドライブトランジスタ T_{r_d} に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

【 0 0 2 7 】

当該フィールドが始まるタイミング T1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これにより、トランジスタ T_{r_4} がオフし、ドライブトランジスタ T_{r_d} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。従って、タイミング T1 に入ると、全てのトランジスタ T_{r_1} ~ T_{r_4} がオフ状態になる。

【 0 0 2 8 】

続いて、タイミング T2 に進むと、制御信号 AZ1 及び AZ2 がハイレベルになるので、スイッチングトランジスタ T_{r_2} 及び T_{r_3} がオンする。この結果、ドライブトランジスタ T_{r_d} のゲート G が基準電位 V_{ss1} に接続され、ソース S が基準電位 V_{ss2} に接続される。ここで、 $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T3 で行われる V_{th} 補正の準備を行う。換言すると、期間 T2 ~ T3 は、ドライブトランジスタ T_{r_d} のリセット期間に相当する。また、発光素子 EL の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【 0 0 2 9 】

タイミング T3 では制御信号 AZ2 をローレベルにし、且つ、直後に制御信号 DS もローレベルにしている。これにより、トランジスタ T_{r_3} がオフする一方、トランジスタ T_{r_4} がオンする。この結果、ドレイン電流 I_{ds} が画素容量 C_s に流れ込み、 V_{th} 補正動作を開始する。この時、ドライブトランジスタ T_{r_d} のゲート G は V_{ss1} に保持されており、ド

10

20

30

40

50

ライプトランジスタ T_{r_d} がカットオフするまで電流 I_{ds} が流れる。カットオフすると、
 ドライプトランジスタ T_{r_d} のソース電位 (S) は、 $V_{ss1} - V_{th}$ となる。ドレイン電流が
 カットオフした後のタイミング T4 で制御信号 DS を再びハイレベルに戻し、スイッチ
 ングトランジスタ T_{r_4} をオフする。更に、制御信号 AZ1 もローレベルに戻し、スイッチ
 ングトランジスタ T_{r_2} もオフする。この結果、画素容量 C_s に V_{th} が保持固定される。こ
 の様に、タイミング T3 - T4 は、ドライプトランジスタ T_{r_d} の閾電圧 V_{th} を検出する
 期間である。ここでは、この検出期間 T3 - T4 を、 V_{th} 補正期間と呼んでいる。

【0030】

この様に、 V_{th} 補正を行った後、タイミング T5 で制御信号 WS をハイレベルに切り替
 え、サンプリングトランジスタ T_{r_1} をオンして映像信号 V_{sig} を画素容量 C_s に書き込む
 。発光素子 EL の等価容量 C_{oled} に比べて画素容量 C_s は十分に小さい。この結果、映像
 信号 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する V_{s}
 i_g の差分 $V_{sig} - V_{ss1}$ が、画素容量 C_s に書き込まれる。従って、ドライプトランジスタ
 T_{r_d} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリ
 ングされた $V_{sig} - V_{ss1}$ を加えたレベル、 $(V_{sig} - V_{ss1} + V_{th})$ となる。以降、説明簡易
 化のため、 $V_{ss1} = 0V$ (0ボルト) とすると、ゲート/ソース間電圧 V_{gs} は、図3のタ
 イミングチャートに示すように、 $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリ
 ングは、制御信号 WS がローレベルに戻るタイミング T7 まで行われる。即ち、タイミン
 グ T5 - T7 がサンプリング期間に相当する。

【0031】

サンプリング期間の終了するタイミング T7 より前のタイミング T6 で制御信号 DS が
 ローレベルとなり、スイッチングトランジスタ T_{r_4} がオンする。これにより、ドライ
 プトランジスタ T_{r_d} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期
 間に進む。この様に、サンプリングトランジスタ T_{r_1} がまだオン状態で、且つ、ス
 witchングトランジスタ T_{r_4} がオン状態に入った期間 T6 - T7 で、ドライプトランジ
 スタ T_{r_d} の移動度補正を行う。即ち、本参考例では、サンプリング期間の後部分と
 発光期間の先頭部分とが重なる期間 T6 - T7 で、移動度補正を行っている。尚、こ
 の移動度補正を行う発光期間の先頭では、発光素子 EL は、実際には逆バイアス状
 態にあるので、発光する事はない。この移動度補正期間 T6 - T7 では、ドライ
 プトランジスタ T_{r_d} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、
 ドライプトランジスタ T_{r_d} にドレイン電流 I_{ds} が流れる。ここで、 $V_{ss1} - V_{th} < V_{thFL}$
 と設定しておく事で、発光素子 EL は逆バイアス状態におかれるため、ダイ
 オード特性ではなく単純な容量特性を示すようになる。よって、ドライプトラン
 ジスタ T_{r_d} に流れる電流 I_{ds} は、画素容量 C_s と発光素子 EL の等価容量 C_{oled}
 の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これにより、
 ドライプトランジスタ T_{r_d} のソース電位 (S) は上昇していく。図3のタイミン
 グチャートでは、この上昇分を V で表してある。この上昇分 V は、結局、画
 素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になる
 ので、負帰還をかけた事になる。この様に、ドライプトランジスタ T_{r_d} の出力
 電流 I_{ds} を同じくドライプトランジスタ T_{r_d} の入力電圧 V_{gs} に負帰還する
 事で、移動度 μ を補正する事が可能である。尚、負帰還量 (上昇分) V は、
 移動度補正期間 T6 - T7 の時間幅 t を調整する事で最適化可能である。

【0032】

タイミング T7 では制御信号 WS がローレベルとなり、サンプリングトランジ
 スタ T_{r_1} がオフする。この結果、ドライプトランジスタ T_{r_d} のゲート G は信号線
 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライプト
 ランジスタ T_{r_d} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上
 昇していく。その間、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs}
 は、 $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、
 発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入
 により、発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds}
 対ゲート/ソース間電圧 V_{gs} の関係は、先のトランジスタ特性式 (1) の V_{gs} に
 $V_{sig} -$

10

20

30

40

50

$V + V_{th}$ を代入する事で、以下の式(2)のように与えられる。

【0033】

式(2)

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2$$

【0034】

上記の式(2)において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式(2)から V_{th} の項がキャンセルされており、発光素子ELに供給される出力電流 I_{ds} は、ドライブレジスタ Tr_d の閾電圧 V_{th} に依存しない事が分かる。基本的に、ドレイン電流 I_{ds} は映像信号 V_{sig} の電圧によって決まる。換言すると、発光素子ELは、映像信号 V_{sig} に応じた輝度で発光する事になる。その際、 V_{sig} は帰還量 V で補正されている。この補正量 V は、丁度、特性式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。従って、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

10

【0035】

最後に、タイミングT8に至ると制御信号DSがハイレベルとなって、スイッチングトランジスタ Tr_4 がオフし、発光が終了すると共に、当該フィールドが終わる。その後、次のフィールドに移って、再び、 V_{th} 補正動作、移動度補正動作及び発光動作が、繰り返される事になる。

【0036】

しかしながら、この参考例にかかる画素回路では、5種類のトランジスタ $Tr_1, Tr_2, Tr_3, Tr_4, Tr_d$ と、3種類の電源ライン V_{ss1}, V_{ss2}, V_{cc} 、4種類のゲートライン(走査線)WS, DS, AZ1, AZ2を形成する必要があり、電源ラインや信号線ラインとのクロスオーバーが増加してしまう。これは、歩留りを低下させる原因になる。更に、レイアウト的に高精細化が困難になる。高精細パネルにおいては、歩留りを上げるために、素子数を削減する必要がある。

20

【0037】

図4は、本発明にかかる表示装置の全体構成を示しており、閾電圧(V_{th})補正機能を備えたアクティブマトリクス型である。図示する様に、このアクティブマトリクス型表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は、水平セレクタ3、ライトスキャナ4、ドライブスキャナ5などを含んでいる。画素アレイ1は、行状の走査線(第1走査線)WSと、列状の信号線SLと、両者の交差する部分にマトリクス状に配列した画素R, G, Bとで構成されている。カラー表示を可能とするため、RGBの三原色画素を用意しているが、本発明は、これに限られるものではない。各画素R, G, Bは、それぞれ、画素回路2で構成されている。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は、信号部を構成し、一般にドライバICが用いられ、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。尚、第1走査線WSと並行に、第2走査線DSも配線されている。第2走査線DSはドライブスキャナ5によって走査される。ライトスキャナ4とドライブスキャナ5はスキャナ部を構成しており、1水平走査期間毎に、画素の行を順次走査する。各画素回路2は、第1走査線WSによって選択されたとき、信号線SLから映像信号をサンプリングする。更に、第2走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて、画素回路2は、水平走査期間内で第1走査線WS及び第2走査線DSによって制御されたとき、予め決められた補正動作を行う。

30

40

【0038】

上述した画素アレイ1は、通常、ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2を構成するトランジスタは、アモルファスシリコン薄膜トランジスタ(TFT)または低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキャナ部は、パネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。同様に、信号部も外付けのドライバICで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコ

50

ン T F T の場合、信号部及びスキャナ部も同じ低温ポリシリコン T F T で形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【 0 0 3 9 】

図 5 は、図 4 に示した本発明にかかる表示装置に組み込まれる画素回路 2 の構成を示す回路図である。この画素回路 2 は、サンプリングトランジスタ T_{r_1} と、これに接続する画素容量 C_s と、これに接続するドライブトランジスタ T_{r_d} と、これに接続する発光素子 E L と、ドライブトランジスタ T_{r_d} を電源 V_{cc} に接続するスイッチングトランジスタ T_{r_4} とを含む。

【 0 0 4 0 】

サンプリングトランジスタ T_{r_1} は、第 1 走査線 W S から供給される制御信号 W S に応じ導通して、信号線 S L から供給された映像信号の信号電位 V_{sig} を画素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号の信号電位 V_{sig} に応じて、ドライブトランジスタ T_{r_d} のゲート G とソース S 間に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{r_d} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E L に供給する。尚、この出力電流 I_{ds} は、ドライブトランジスタ T_{r_d} の閾電圧 V_{th} に対して依存性を有する。発光素子 E L は、発光期間中、ドライブトランジスタ T_{r_d} から供給された出力電流 I_{ds} により、映像信号の信号電位 V_{sig} に応じた輝度で発光する。スイッチングトランジスタ T_{r_4} は、第 2 走査線 D S から供給される制御信号 D S に応じ導通して、発光期間中ドライブトランジスタ T_{r_d} を電源 V_{cc} に接続し、非発光期間では非導通状態になって、ドライブトランジスタ T_{r_d} を電源 V_{cc} から切り離す。

【 0 0 4 1 】

特徴事項として、ライトスキャナ 4 及びドライブスキャナ 5 で構成されるスキャナ部は、水平走査期間 (1 H) に第 1 走査線 W S 及び第 2 走査線 D S にそれぞれ制御信号 W S , D S を出力し、サンプリングトランジスタ T_{r_1} 及びスイッチングトランジスタ T_{r_4} をオンオフ制御して、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を補正するために画素容量 C_s をリセットする準備動作 (V_{th} 補正準備動作) 、リセットされた画素容量 C_s に閾電圧 V_{th} をキャンセルするための電圧を書き込む補正動作 (V_{th} 補正動作) 、及び、補正された画素容量 C_s に映像信号の信号電位 V_{sig} をサンプリングするサンプリング動作を実行する。一方、水平セクタ (ドライバ I C) 3 で構成された信号部は、水平走査期間 (1 H) に映像信号を第 1 固定電位 V_{ssH} と、第 2 固定電位 V_{ssL} と、信号電位 V_{sig} との間で切り替え、以て、上述した準備動作、補正動作及びサンプリング動作に必要な電位を、各画素に信号線 S L を介して供給する。

【 0 0 4 2 】

具体的には、水平セクタ 3 は、まず高レベル (高電位) の第 1 固定電位 V_{ssH} を供給し続いて低レベル (低電位) の第 2 固定電位 V_{ssL} に切り替えて準備動作を可能とし、更に、低レベル (低電位) の第 2 固定電位 V_{ssL} を維持した状態で補正動作を実行し、その後、信号電位 V_{sig} に切り替えてサンプリング動作を実行する。上述したように、水平セクタ 3 は、ドライバ I C で構成され、信号電位 V_{sig} を生成する信号生成回路と、信号生成回路から出力された信号電位 V_{sig} に第 1 固定電位 V_{ssH} 及び第 2 固定電位 V_{ssL} を挿入し、以て、第 1 固定電位 V_{ssH} と第 2 固定電位 V_{ssL} と信号電位 V_{sig} とが切り替わる映像信号を合成して各信号線 S L に出力する出力回路とを含む。好ましくは、水平セクタ 3 を構成するドライバ I C は、通常の定格を超えない信号電位 V_{sig} と定格を超える第 1 固定電位 V_{ssH} とを合成した映像信号を出力する。この場合、ドライバ I C に含まれる信号生成回路は定格を超えない信号電位 V_{sig} を生成するため通常の耐圧を有する一方、出力回路は定格を超える第 1 固定電位 V_{ssH} に対処するため高耐圧化されている。

【 0 0 4 3 】

ドライブトランジスタ T_{r_d} は、その出力電流 I_{ds} が閾電圧 V_{th} に加えチャネル領域のキャリア移動度 μ に対しても依存性を有する。この場合、ライトスキャナ 4 とドライブスキャナ 5 で構成されるスキャナ部は、水平走査期間 (1 H) に第 2 走査線 D S に制御信号を出力して更にスイッチングトランジスタ T_{r_4} を制御し、出力電流 I_{ds} のキャリア移動

10

20

30

40

50

度 μ に対する依存性を打ち消すために、信号電位 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する動作を実行する。

【0044】

図6は、図5に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} やドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、更には、発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。また、各トランジスタのゲートに接続される走査線 WS 、 DS も書き込んである。この画素回路2は、水平走査期間 ($1H$) 内に、 V_{th} 補正準備動作と、実際の補正動作と、信号電位 V_{sig} のサンプリング動作を行う。これにより、画素回路2は3個のトランジスタ T_{r1} 、 T_{r4} 、 T_{rd} と1個の画素容量 C_s と1個の発光素子 EL とで構成可能である。図1に示した参考例にかかる V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを2個削減可能である。これにより、電源ラインやゲートラインを削減することができ、パネルの歩留りの改善につながる。また、画素回路のレイアウトを簡素化することで、高精細化も可能である。

10

【0045】

図7は、図5及び図6に示した画素回路のタイミングチャートである。図7を参照して、図5及び図6に示した画素回路の動作を具体的、且つ、詳細に説明する。図7は、時間軸 T に沿って、各走査線 WS 、 DS に印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて、信号線に印加される映像信号の波形も時間軸 T に沿って示してある。図示する様に、この映像信号は各水平走査期間 ($1H$) 内で、高電位 V_{ssH} 、低電位 V_{ssL} 、信号電位 V_{sig} と順に切り替わる。トランジスタ T_{r1} は N チャネル型なので、第1走査線 WS がハイレベルのときオンし、ローレベルのときオフする。一方、トランジスタ T_{r4} は P チャネル型なので、第2走査線 DS がハイレベルのときオフし、ローレベルのときオンする。尚、このタイミングチャートは、各制御信号 WS 、 DS の波形や映像信号の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

20

【0046】

図7のタイミングチャートでは、タイミング $T1 \sim T8$ までを1フィールド ($1f$) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 DS の波形を表している。

30

【0047】

初めに、タイミング $T1$ で、スイッチングトランジスタ T_{r4} をオフして非発光とする。この時、ドライブトランジスタ T_{rd} のソース電位は、電源 V_{cc} からの電源供給が無いので、発光素子 EL のカットオフ電圧 V_{thEL} まで下げられる。

【0048】

次に、タイミング $T2$ で、サンプリングトランジスタ T_{r1} をオンする。但し、この前に、信号線の電位を高電位 V_{ssH} まで上げておく方が、書き込み時間を短くできるので好ましい。サンプリングトランジスタ T_{r1} をオンする事でドライブトランジスタ T_{rd} のゲート G に高電位 V_{ssH} が書き込まれる。この時、画素容量 C_s を介してソース電位にカップリングが入り、ソース電位は上昇する。ソース電位は一度上昇するが、発光素子 EL を介して放電されるので、再度、ソース電位は V_{thEL} になる。この時、ゲート電位は高電位 V_{ssH} のままである。このように、信号線の電位を高電位 V_{ssH} まで上げることで、ソース電位を一旦 V_{thEL} より上げその後確実に V_{thEL} にすることができる。

40

【0049】

次に、タイミング Ta で、サンプリングトランジスタ T_{r1} をオンしたまま、映像信号を低電位 V_{ssL} に変化させる。この電位変化が、画素容量 C_s を介してソース電位にカップリングされる。この時のカップリング量は、 $C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ にて求められる。この時、ゲート電位は低電位 V_{ssL} 、ソース電位は $V_{thEL} - C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ で表される。ここで、ソース電位は、この後の V_{th} 補正や移

50

動度補正終了後も発光素子ELがカットオフし続ける電位に設定することが望ましい。また、この $V_{gs} > V_{th}$ となるようにカップリングを入れることで、 V_{th} 補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においても、 V_{th} 補正準備動作を行うことができる。即ち、タイミングT2 ~ Taは補正準備期間に含まれる。尚、低電位 V_{ssL} 及び高電位 V_{ssH} のレベルは、画素容量 C_s と発光素子容量 C_{oled} の容量比を考慮して、ドライブトランジスタ T_{rd} が $V_{gs} > V_{th}$ の条件を満たし、且つ、この後の V_{th} 補正や移動度補正終了後も発光素子ELがカットオフし続ける電位となるように設定する。

【0050】

尚、上記の説明では、一旦、映像信号を高電位 V_{ssH} に上げた後、低電位 V_{ssL} に下げることによって、ドライブトランジスタ T_{rd} のソース電位を下げ、以て、 $V_{gs} > V_{th}$ の条件を設定している。

10

【0051】

但し、本発明はこの動作に限られるものではなく、基本的には、映像信号を低電位 V_{ssL} に落とすことでソース電位を V_{thFL} から下げ、且つ、ドライブトランジスタ T_{rd} について $V_{gs} > V_{th}$ の条件を満たす事ができる画素容量 C_s 、発光素子容量 C_{oled} 、低電位 V_{ssL} レベル、高電位 V_{ssH} レベルの関係であればかまわない。

【0052】

ただ、本実施例のように、一旦映像信号を高電位 V_{ssH} に上げた後、低電位 V_{ssL} に下げることによって、速やかに、且つ、確実に、ドライブトランジスタ T_{rd} のソース電位が $V_{gs} > V_{th}$ の条件を満たし、且つ、この後の V_{th} 補正や移動度補正終了後も発光素子ELがカットオフし続ける電位となるようにセットすることができる。

20

【0053】

尚、後述するように、 V_{th} 補正後に信号電位 V_{sig} を画素容量 C_s に書き込む。即ち、信号線の電位を低電位 V_{ssL} から信号電位 V_{sig} に変化させて、映像信号の信号電位 V_{sig} を画素容量 C_s に書き込む。この時、実際に画素容量 C_s に保持される電圧は、画素容量 C_s と発光素子容量 C_{oled} の容量分割によって決まる。この場合、発光素子容量 C_{oled} に比べて画素容量 C_s は小さいため、ドライブトランジスタ T_{rd} のソース側の電位変動よりゲート側の電位変動が大きく、ソース・ゲート間の電位差が広がり、実信号を書き込むことができる。従って、元の信号電位 V_{sig} の振幅に余裕を持たせておけば、動作上十分な映像信号の信号電位 V_{sig} を画素容量 C_s に書き込むことができる。

30

【0054】

以上の様に、本発明にかかる表示装置は、 V_{th} 補正準備動作で画素容量 C_s を通じたカップリングによる V_{gs} の設定と、信号書き込み動作（サンプリング動作）で画素容量 C_s に対する信号電位 V_{sig} の書き込みを行う。いずれの動作でも画素容量 C_s と発光素子容量 C_{oled} の容量比に応じて適切に低電位 V_{ssL} や信号電位 V_{sig} のレベルを設定することで、相互に支障をきたすことなく V_{th} 補正準備動作及び信号書き込み動作を行うことができる。

【0055】

この後、タイミングT3でゲートGを低電位 V_{ssL} に保持した状態のままスイッチングトランジスタ T_{r4} をオンすると、ドライブトランジスタ T_{rd} に電流が流れて、参考例と同様に V_{th} 補正が行われる。ドライブトランジスタ T_{rd} がカットオフするまで電流が流れ、カットオフするとドライブトランジスタ T_{rd} のソース電位は $V_{ssL} - V_{th}$ となる。ここで、 $V_{ssL} - V_{th} < V_{thFL}$ とする必要がある。

40

【0056】

この後、タイミングT4で、スイッチングトランジスタ T_{r4} をオフして V_{th} 補正は終了する。即ち、タイミングT3 ~ T4は V_{th} 補正期間である。

【0057】

この様に、タイミングT3 ~ T4で V_{th} 補正を行った後、タイミングT5に至って信号線の電位が低電位 V_{ssL} から信号電位 V_{sig} に変化する。これにより、映像信号の信号電位

50

V_{sig} が画素容量 C_s に書き込まれる。発光素子ELの等価容量 C_{oled} に比べて、画素容量 C_s は充分に小さい。この結果、信号電位 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。従って、ドライブトランジスタ T_{rd} のゲートGとソースS間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた信号電位 V_{sig} を加えたレベル($V_{sig} + V_{th}$)となる。即ち、ドライブトランジスタ T_{rd} に対する入力電圧 V_{gs} は、 $V_{sig} + V_{th}$ となる。かかる信号電位 V_{sig} のサンプリング動作は制御信号WSがローレベルに戻るタイミングT7まで行われる。即ち、タイミングT5～T7がサンプリング期間に相当する。

【0058】

本発明にかかる画素回路は、上述した閾電圧 V_{th} の補正に加え、移動度 μ の補正も行っている。移動度 μ の補正はタイミングT6～T7で行われる。この点については後で詳細に説明する。結論としてタイミングチャートに示すように、補正量 V が入力電圧 V_{gs} から差し引かれる。

【0059】

タイミングT7になると、制御信号WSがローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果、ドライブトランジスタ T_{rd} のゲートGは信号線SLから切り離される。映像信号の信号電位 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は、($V_{sig} - V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子ELは実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート/ソース間電圧 V_{gs} の関係は、前述した式(2)のように与えられる。この特性式(2)から V_{th} の項がキャンセルされており、発光素子ELに供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的に、ドレイン電流 I_{ds} は映像信号の信号電位 V_{sig} によって決まる。換言すると、発光素子ELは映像信号の信号電位 V_{sig} に応じた輝度で発光する事になる。その際、信号電位 V_{sig} は帰還量 V で補正されている。この補正量 V は、丁度、特性式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。従って、ドレイン電流 I_{ds} は、実質的に、映像信号の信号電位 V_{sig} のみに依存する事になる。

【0060】

最後に、タイミングT8に至ると、制御信号DSがハイレベルとなってスイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に、当該フィールドが終わる。この後、次のフィールドに移って、再び、 V_{th} 補正準備動作、 V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。このように、本実施形態では、画素の各行に割り当てられた1水平走査期間(1H)内において、ゲート電位カップリングによる閾電圧補正準備動作(V_{th} 補正準備動作)と、実際の閾電圧補正動作(V_{th} 補正動作)と、信号電位 V_{sig} のサンプリング動作とを行っている。但し、本発明はこれに限られるものではなく、閾電圧補正準備動作と、実際の閾電圧補正動作と、信号電位 V_{sig} のサンプリング動作とを、複数の水平走査期間に渡って行うこともできる。例えば、閾電圧補正準備動作と閾電圧補正動作を先行する水平走査期間で行い、信号電位 V_{sig} のサンプリング動作を当該画素行に割り当てられた水平走査期間で行うこともできる。

【0061】

図8は、移動度補正期間T6～T7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T6～T7では、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} がオンしている一方、残りのスイッチングトランジスタ T_{r3} がオフしている。この状態で、ドライブトランジスタ T_{rd} のソース電位(S)は、 $V_{ssL} - V_{th}$ である。このソース電位Sは発光素子ELのアノード電位でもある。前述したように、 $V_{ssL} - V_{th} < V_{thFL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よって、ドライブトランジスタ T_{rd} に流れる電流 I_{ds} は、画素容量 C_s と発光素子ELの等価容量 C_{oled} との合成

10

20

30

40

50

容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0062】

図9は、上述したトランジスタ特性式(2)をグラフ化したものであり、縦軸に I_{ds} を取り、横軸に信号電位 V_{sig} を取っている。このグラフの下方に特性式(2)も合わせて示してある。図9のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタ T_{rd} の移動度 μ は相対的に大きい。逆に、画素2に含まれるドライブトランジスタ T_{rd} の移動度 μ は相対的に小さい。この様に、ドライブトランジスタ T_{rd} をポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば、両画素1, 2に同レベルの映像信号の信号電位 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れる出力電流 I_{ds1} は、移動度 μ の小さい画素2に流れる出力電流 I_{ds2} に比べて大きな差が生じてしまう。この様に、移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

10

【0063】

そこで、本発明では、出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。従って、負帰還量 V は移動度が大きいほど大きくなる。図9のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は、移動度の小さな画素2の負帰還量 V_2 に比べて大きい。従って、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 I_{ds2} は I_{ds1} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは、黒レベルから白レベルまで信号電位 V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と画素2があった場合、移動度の大きい画素1の補正量 V_1 は、移動度の小さい画素2の補正量 V_2 に対して大きくなる。つまり、移動度が大きいほど V が大きくなり、 I_{ds} の減少値は大きくなる。これにより、移動度の異なる画素の電流値は均一化され、移動度のばらつきを補正する事ができる。

20

30

【0064】

以下、参考のため、図10を参照して、上述した移動度補正の数値解析を行う。図10に示すように、トランジスタ T_{r1} 及び T_{rd} がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は、以下の式(3)に示す通りである。

【0065】

式(3)

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2$$

40

【0066】

また、ドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式(4)に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【0067】

式(4)

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式(4)}$$

$$\int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

10

【0068】

式(4)に式(3)を代入して、両辺を積分する。ここで、ソース電位Vの初期状態は、 $-V_{th}$ であり、移動度補正時間(T6 - T7の時間幅)をtとする。この微分方程式を解くと、移動度補正時間tに対する画素電流が、以下の式(5)のように与えられる。

【0069】

式(5)

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2$$

20

【0070】

図11は、式(5)をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号の信号電位 V_{sig} を取っている。パラメータとして移動度補正時間 $t = 0 \mu s$ 、 $2.5 \mu s$ 及び $5 \mu s$ の場合を設定している。更に、移動度 μ もパラメータとして、比較的大きい場合 1.2μ と比較的小さい場合 0.8μ をパラメータにとってある。 $t = 0 \mu s$ として実質的に移動度補正をかけない場合に比べ、 $t = 2.5 \mu s$ では移動度ばらつきに対する補正が充分にかかっていることがわかる。移動度補正なしでは I_{ds} に40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられる。但し、 $t = 5 \mu s$ として補正期間を長くすると、逆に、移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまふ。この様に、適切な移動度補正を掛けるために、tは最適な値に設定する必要がある。図11に示したグラフの場合、最適値は $t = 2.5 \mu s$ の近辺である。

30

【0071】

以上のようにして、本発明ではゲート電位を高電位から低電位に切り替える事による V_{th} 補正準備動作や、 V_{th} 補正動作を1H以内に行い、その後、同一水平走査期間内にて映像信号を書き込む。この動作により、従来必要であった3種類の電源を信号線に共有化することで電源ラインやスイッチングトランジスタ、そのゲートラインを削減する事ができ、3トランジスタ1容量の画素回路を構成することができる。以上により、パネルの歩留まりを向上する事ができる。また、レイアウトを削減する事で高精細化も可能となる。尚、本実施形態では、サンプリングトランジスタ Tr_1 をオンした状態でスイッチングトランジスタ Tr_4 をオンして移動度補正をかけているが、サンプリングトランジスタ Tr_1 とスイッチングトランジスタ Tr_4 をノンオーバーラップにして移動度補正を行わない単純な V_{th} 補正動作においても、同様に配線やトランジスタの削減は可能である。又、本実施形態の回路では、ドライフトランジスタ Tr_d 以外のスイッチングトランジスタにはNチャンネル型を用いたが、各トランジスタの特性はNチャンネル型でもPチャンネル型でも構わない。

40

【0072】

50

最後に、本発明にかかる表示装置の信号部（水平セレクタ）を構成するデータドライバにつき、その実施形態を説明する。本実施形態は、画像表示装置の列方向に配置され、画像データの表示に用いられるデータドライバにおいて、画像データを表す信号電位と画素回路制御用の固定電位を切り替えて出力する事を可能にし、且つ、この画素回路制御用の固定電位が、一般的なデータドライバの最大定格電圧よりも高い電圧振幅を要求する場合、出力端子部分近くにある画像データ用信号電位と画素回路制御用固定電位を切り替えるスイッチ機能部分だけを高耐圧化する事で、ドライバの製造プロセスにおいて、高耐圧化プロセスへの変更、回路サイズの変更、端子の広ピッチ化等を必要としないまま、必要な機能を実現出来るものである。

【0073】

図12に、信号線に画像データを表す信号電位と画素回路制御用の固定電位を混在させた画像表示装置の画素回路(A)と駆動波形(B)の例を示す。(A)に示した画素回路は、3個のトランジスタと、1個の画素容量と、1個の発光素子ELとで構成されており、図5に示した本発明の実施形態にかかる画素回路を一般化したものである。映像信号の信号電位 V_{sig} は信号線SLから供給される。この信号電位 V_{sig} の電圧値によって、ドライブトランジスタ T_{rd} を駆動し、所望の明るさで発光素子ELを発光させる。この画像表示装置においては、この際にドライブトランジスタ T_{rd} の特性ばらつきが直接画質に影響するため、画素容量 C_s を利用して、補正期間中にこのばらつきを補正する動作を行う。この補正動作を行う際に、走査パルスWSと走査パルスDSの駆動波形を利用して、信号線SLから制御用の固定電位 V_{st} を画素回路に送り込む。通常の画像表示装置においては、画像データ系の信号線と駆動制御系の信号線は分離されており、制御系の信号を入力する際には、別な配線及び走査パルスを配置する。しかし、それによって画素回路内の素子数が増加すると、トランジスタ欠陥による歩留まり悪化や、一つの画素回路に必要とする面積が増える事から、物理的な解像度の低下等の悪影響が考えられるため、画素回路の素子数を極力少なくし、ドライブトランジスタ T_{rd} のばらつきを補正するためには、信号線SLから、画像データに対応した信号電位 V_{pc} と、画素回路制御用の固定電位 V_{st} を、サンプリング時及び補正時に分けて送信する必要がある。

【0074】

この時、画素回路制御用の固定電圧 V_{st} は必ずしも画像データの信号電圧 V_{pc} と同一の範囲内にあるとは限らない。(B)の波形タイミングチャートの例のように、制御信号電圧 V_{st} は、画像信号電圧 V_{pc} よりも高くなる場合が考えられ、且つ、 V_{st} はデータドライバICの定格電圧よりも高くなる場合もある。また、通常ドライバ出力は非表示期間には電圧不定(ハイインピーダンス)になるが、この画素回路の場合、 V_{st} と V_{pc} はサンプリング期間と補正期間に分離され、その間の電圧はグラウンドレベルGNDに固定する事が必要となる場合がある。

【0075】

このような駆動波形の条件を満たすデータドライバIC3のブロック構成を、図13に示す。四角の実線で囲んだ部分が高耐圧の出力回路部32であり、この中の回路だけを配線膜厚を厚くする等して高耐圧化すれば、画像信号生成回路部31は通常通りの耐圧及びプロセスで作製可能である。出力回路部32は電圧切り替え用のスイッチSW1, SW2を含んでいる。但し、スイッチSW1の制御信号及びスイッチSW2の制御信号は、スイッチのON/OFFを制御するロジック信号であるため、高耐圧化の必要は無い。

【0076】

画像信号生成回路部31の出力端子31Bは、画像表示系電源電圧 V_{pc} を最大電圧とする出力電圧 $V_{pc1} \sim V_{pcn}$ を出力する。この出力電圧は、スイッチSW1に送られ、画素回路制御用の固定電圧と切り替えられる。画素回路制御用の固定電圧は、制御系電源電圧 V_{st} の振幅を持つロジックパルスである。またスイッチSW1の出力は、スイッチSW2に送られる。このスイッチSW2では、 $V_{pc1} \sim V_{pcn}$ と V_{st} の切り替え時に出力端をGNDレベルに固定するため、信号がGNDかの選択を行う。その結果、最終出力端32Bには最終出力信号 V_{sig} として、制御系電源電圧を最大値とする V_{st} または画像表示系電源電

10

20

30

40

50

圧を最大値とする $V_{pcc1} \sim V_{pccn}$ 、あるいは、GND レベルの電圧が出力される。

【0077】

本発明にかかる表示装置は、図14に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジタを含むトランジスター部（図では1個のTFTを例示）、保持容量などの画素容量及び有機EL素子などの発光部を含む。基板の上にTFTプロセスでトランジスター部や画素容量が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0078】

本発明にかかる表示装置は、図15に示すようにフラット型のモジュール形状のものを含む。例えば、絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等から成る画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には、必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC（フレキシブルプリントサーキット）を設けてもよい。

【0079】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【0080】

__図16は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

【0081】

__図17は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

【0082】

__図18は本発明が適用されたノート型パーソナルコンピューターであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

【0083】

__図19は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部（ここではヒンジ部）25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

【0084】

図20は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0085】

【図1】参考例にかかる表示装置を示すブロック図である。

10

20

30

40

50

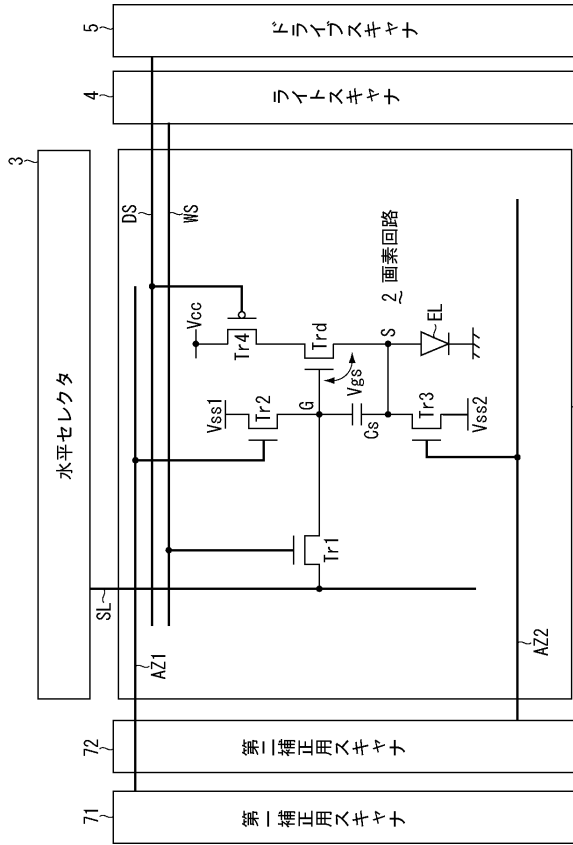
- 【図 2】図 1 に示した表示装置から取り出した画素回路を示す模式図である。
- 【図 3】図 1 及び図 2 に示した表示装置の動作説明に供するタイミングチャートである。
- 【図 4】本発明にかかる表示装置の全体構成を示すブロック図である。
- 【図 5】本発明にかかる表示装置に含まれる画素回路の構成を示すブロック図である。
- 【図 6】図 5 に示した表示装置から切り出した画素回路を示す模式図である。
- 【図 7】図 4 及び図 5 に示した本発明にかかる表示装置の動作説明に供するタイミングチャートである。
- 【図 8】同じく動作説明に供する回路図である。
- 【図 9】同じく動作説明に供するグラフである。
- 【図 10】同じく動作説明に供する回路図である。 10
- 【図 11】同じく動作説明に供するグラフである。
- 【図 12】本発明にかかるデータドライバの説明に供する模式図である。
- 【図 13】本発明にかかるデータドライバの構成例を示す回路図である。
- 【図 14】本発明にかかる表示装置のデバイス構成を示す断面図である。
- 【図 15】本発明にかかる表示装置のモジュール構成を示す平面図である。
- 【図 16】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。
- 【図 17】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。
- 【図 18】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。
- 【図 19】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。 20
- 【図 20】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【符号の説明】

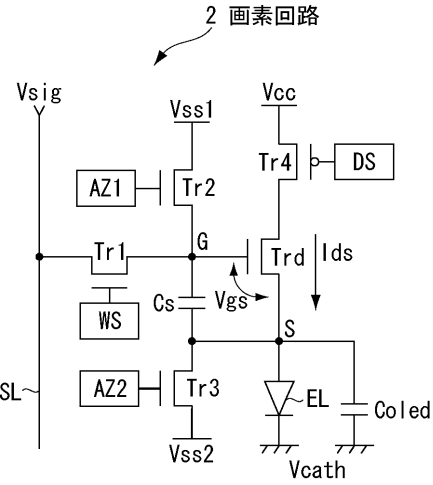
【0086】

1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ(ドライバIC)、4・・・ライトスキャナ、5・・・ドライブスキャナ、 T_{r1} ・・・サンプリングトランジスタ、 T_{r4} ・・・スイッチングトランジスタ、 T_{rd} ・・・ドライブトランジスタ、 C_s ・・・画素容量、EL・・・発光素子

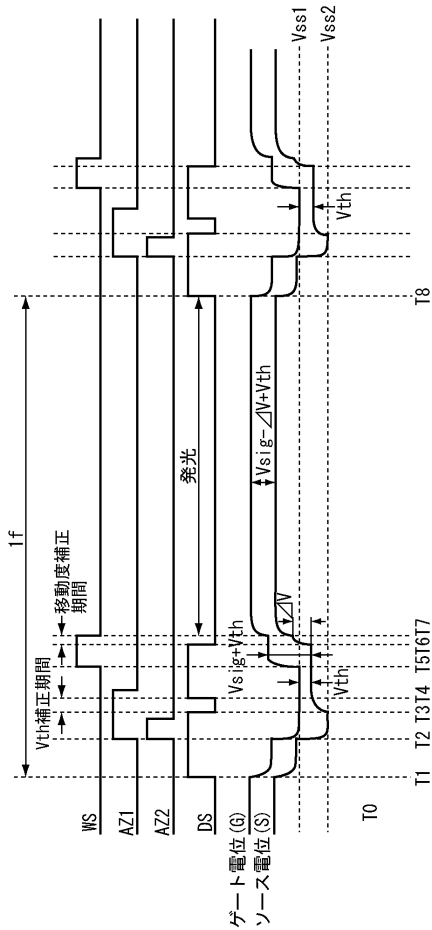
【図1】



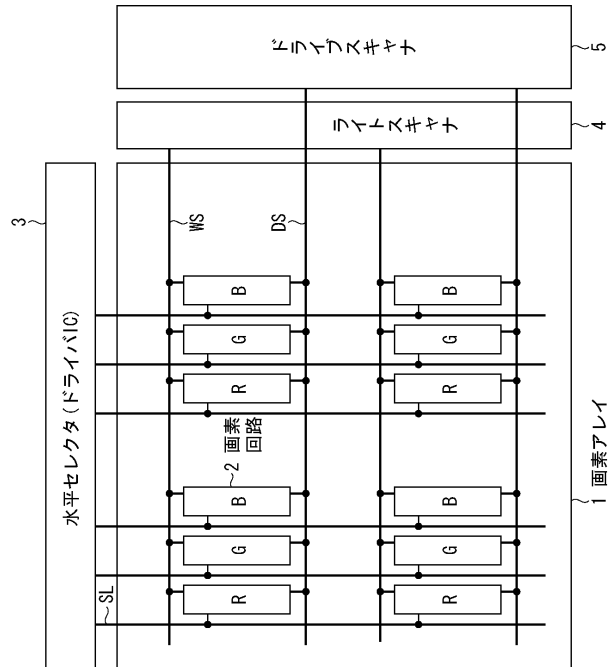
【図2】



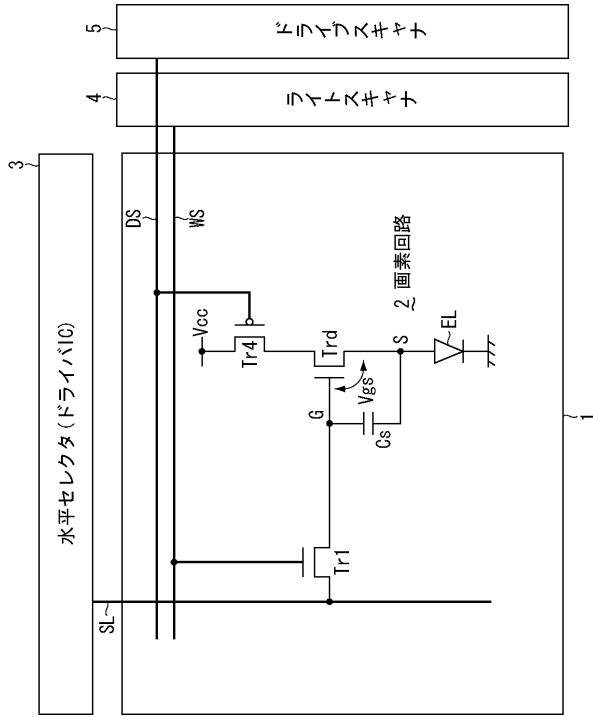
【図3】



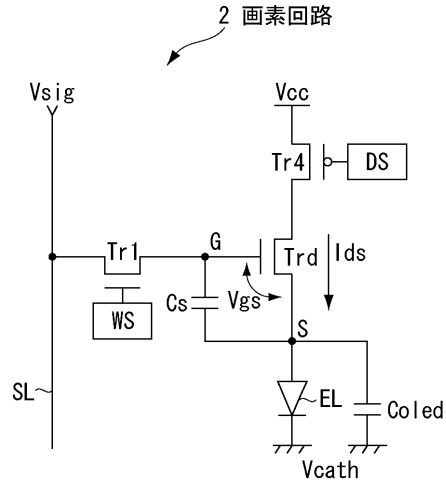
【図4】



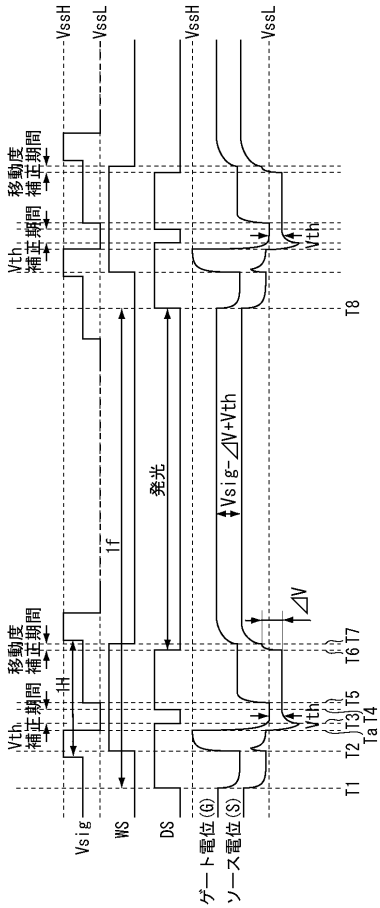
【図5】



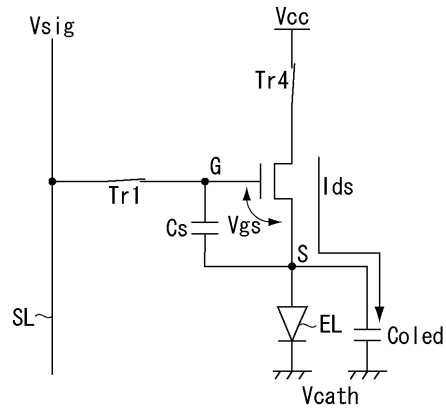
【図6】



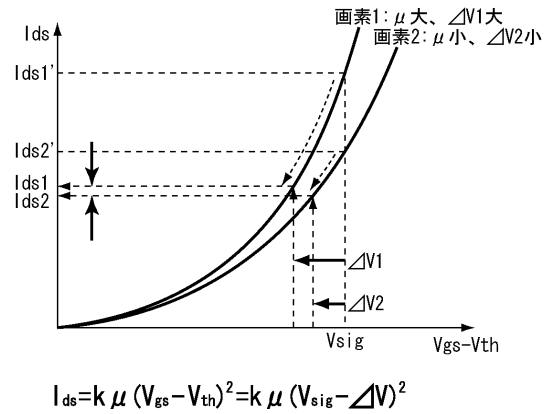
【図7】



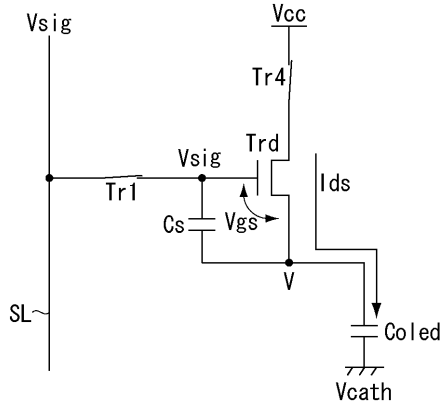
【図8】



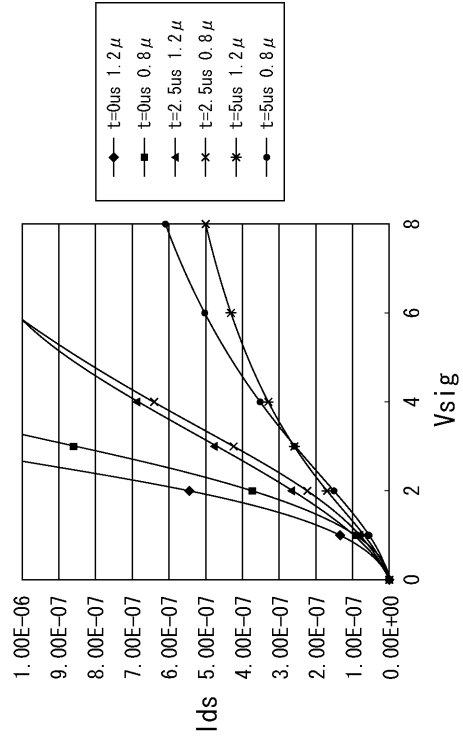
【図9】



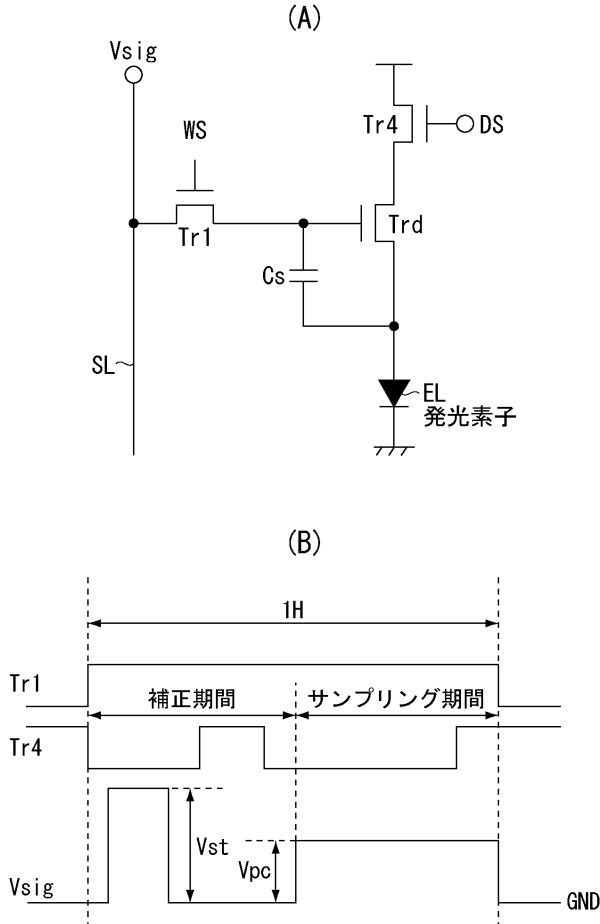
【図10】



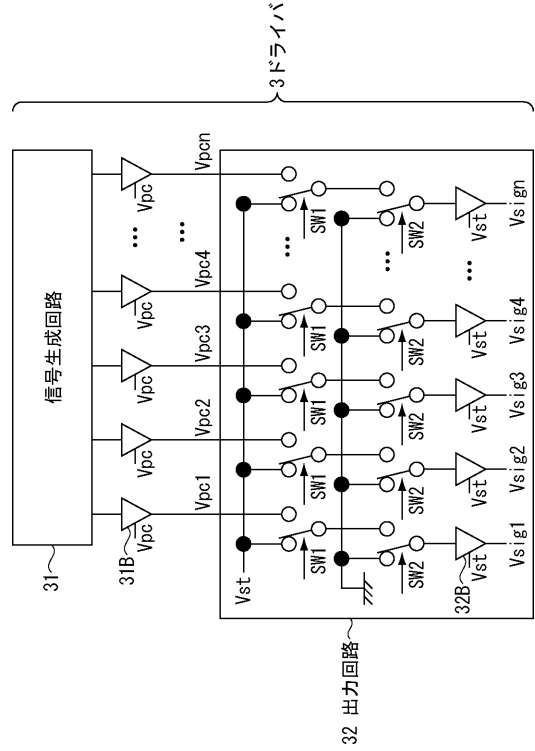
【図11】



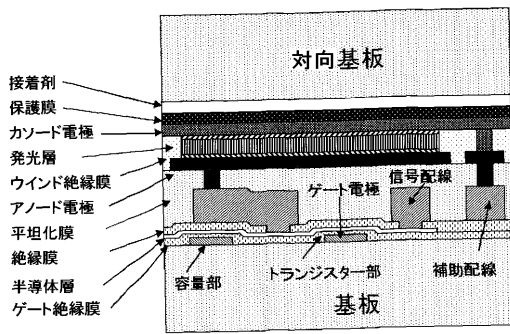
【図12】



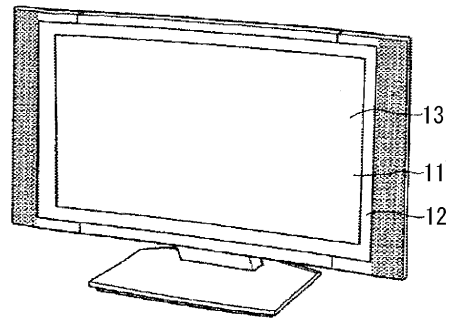
【図13】



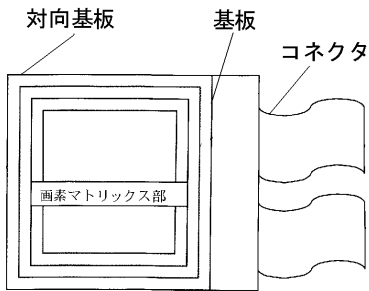
【図14】



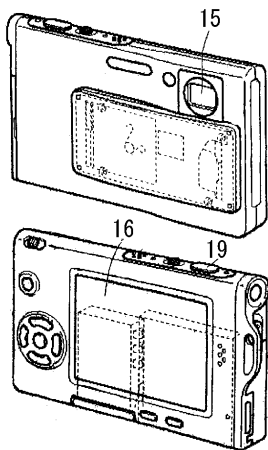
【図16】



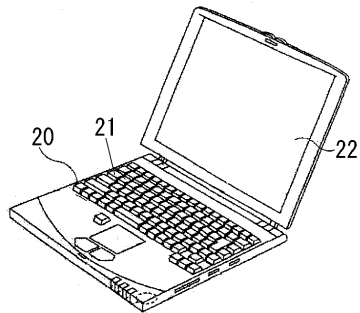
【図15】



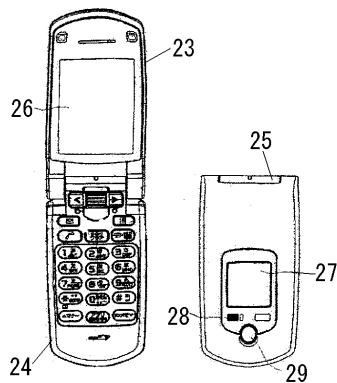
【図17】



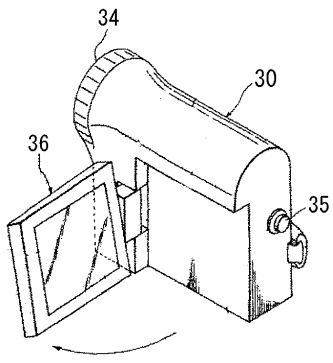
【図18】



【図19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 2 2 Q
H 0 5 B 33/14 A

(72)発明者 泉 岳
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中村 和夫
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 奈良田 新一

(56)参考文献 特開2005-148704(JP,A)
特開2004-295131(JP,A)
特開2003-271095(JP,A)
特表2008-523425(JP,A)
特開2003-255897(JP,A)
特開2005-004173(JP,A)
特開2005-189387(JP,A)
特開2005-345722(JP,A)
特開2006-215213(JP,A)
特開2007-133284(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	像素电路和像素电路的驱动方法，显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP4636006B2	公开(公告)日	2011-02-23
申请号	JP2006307352	申请日	2006-11-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 泉岳 中村和夫		
发明人	内野 勝秀 山下 淳一 泉 岳 中村 和夫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.P G09G3/20.623.C G09G3/20.623.B G09G3/20.622.Q H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK43 5C080/KK47 5C380 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC63 5C380/CC65 5C380/CC77 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD025 5C380/CF22 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA46		
代理人(译)	吉井正明 山本隆久 森浩一		
优先权	2005328337 2005-11-14 JP		
其他公开文献	JP2007156460A5 JP2007156460A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使配备有阈值电压校正功能的像素电路高效且简单，使显示器件的定义更高并提高产量。ZOLUTION：显示装置包括像素阵列单元1，扫描器单元4和5，以及信号单元3。每个像素电路2包括采样晶体管Tr1，与其连接的像素电容器Cs，与其连接的驱动晶体管Trd，灯与其连接的发光元件EL和将驱动晶体管Trd连接到电源的开关晶体管Tr4。扫描器单元4和5在水平扫描周期中对采样晶体管Tr1和开关晶体管Tr4执行ON / OFF控制以执行准备操作以复位像素电容器Cs，校正操作以将用于抵消阈值电压的电压写入已经复位的像素电容器Cs和对已经校正的像素电容器Cs中的视频信号进行采样的采样操作。Z

$$\begin{aligned}
 \int_{\mathbb{R}^n} \delta(x) \delta(x) dx &= \int_{\mathbb{R}^n} \delta(x) \delta(x) dx \\
 &= \int_{\mathbb{R}^n} \delta(x) \delta(x) dx \\
 &= \int_{\mathbb{R}^n} \delta(x) \delta(x) dx \\
 &= \int_{\mathbb{R}^n} \delta(x) \delta(x) dx
 \end{aligned}$$