

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4338131号  
(P4338131)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.		F I			
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	624B
			G09G	3/20	670Q
			G09G	3/20	680G

請求項の数 12 (全 23 頁)

(21) 出願番号	特願2003-340018 (P2003-340018)	(73) 特許権者	390009531
(22) 出願日	平成15年9月30日(2003.9.30)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公開番号	特開2005-107129 (P2005-107129A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公開日	平成17年4月21日(2005.4.21)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
審査請求日	平成16年7月1日(2004.7.1)	(74) 代理人	100086243 弁理士 坂口 博
		(74) 代理人	100091568 弁理士 市位 嘉宏
		(74) 代理人	100108501 弁理士 上野 剛史

最終頁に続く

(54) 【発明の名称】 TFTアレイ、表示パネル、およびTFTアレイの検査方法

(57) 【特許請求の範囲】

【請求項1】

E L素子を駆動するための駆動TFTと、  
前記駆動TFTに接続されてE L素子の電極となる画素電極と、  
E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、  
前記第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に前記駆動TFTと接続され、E L素子に電流供給あるいは電流排出を行うために配設される第2のコモン配線と、  
前記第1のコモン配線および前記第2のコモン配線の何れか一方を前記画素電極に接続させるためのスイッチ用TFTと、  
画素を選択するためのセレクト配線と  
を含み、  
前記スイッチ用TFTのオン・オフ制御を前記セレクト配線を用いて行うことを特徴とするTFTアレイ。

【請求項2】

前記スイッチ用TFTのオン・オフ制御は、当該スイッチ用TFTのオン・オフ制御がなされる画素以外の画素を選択するために用意されたセレクト配線で行うことを特徴とする請求項1記載のTFTアレイ。

【請求項3】

前記スイッチ用TFTは、直列接続された第1のスイッチ用TFTと第2のスイッチ用

T F Tで構成され、当該第1のスイッチ用T F Tと当該第2のスイッチ用T F Tのオン・オフ制御は、その画素を選択するために用意されたセレクト配線およびその画素以外の画素を選択するために用意されたセレクト配線によって行うことを特徴とする請求項1記載のT F Tアレイ。

【請求項4】

E L素子を駆動するための駆動T F Tと、  
 前記駆動T F Tに接続されてE L素子の電極となる画素電極と、  
 E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、  
 前記第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に前記駆動T F Tと接続され、E L素子に電流供給あるいは電流排出を行うために配設される第2の  
 コモン配線と、  
 前記第1のコモン配線および前記第2のコモン配線の何れか一方を前記画素電極に接続させるためのダイオードと  
 を含み、  
 前記ダイオードの前記画素電極に接続される端子の極性はE L素子の当該画素電極に接続される端子の極性と一致していること  
 を特徴とするT F Tアレイ。

10

【請求項5】

E L素子と、  
 前記E L素子を駆動するための駆動T F Tと、  
 前記駆動T F Tに接続されて前記E L素子の電極となる画素電極と、  
 前記E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、  
 前記第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に前記駆動T F Tと接続され、前記E L素子に電流供給あるいは電流排出を行うために配設される第2の  
 コモン配線と、  
 前記第1のコモン配線および前記第2のコモン配線の何れか一方を前記画素電極に接続させるためのスイッチ用T F Tと、  
 画素を選択するためのセレクト配線と  
 を含み、  
 前記スイッチ用T F Tのオン・オフ制御を前記セレクト配線を用いて行うこと  
 を特徴とする表示パネル。

20

30

【請求項6】

前記スイッチ用T F Tは、直列接続された第1のスイッチ用T F Tと第2のスイッチ用T F Tで構成され、当該第1のスイッチ用T F Tと当該第2のスイッチ用T F Tのオン・オフ制御は、その画素を選択するために用意されたセレクト配線およびその画素以外の画素を選択するために用意されたセレクト配線でなされることを特徴とする請求項5記載の表示パネル。

【請求項7】

E L素子と、  
 前記E L素子を駆動するための駆動T F Tと、  
 前記駆動T F Tに接続されて前記E L素子の電極となる画素電極と、  
 前記E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、  
 前記第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に前記駆動T F Tと接続され、前記E L素子に電流供給あるいは電流排出を行うために配設される第2の  
 コモン配線と、  
 前記第1のコモン配線および前記第2のコモン配線の何れか一方を前記画素電極に接続させるためのダイオードと  
 を含み、

40

50

前記ダイオードの前記画素電極に接続される端子の極性は、前記 E L 素子の当該画素電極に接続される端子の極性と一致することを特徴とする表示パネル。

【請求項 8】

前記第 1 のコモン配線および前記第 2 のコモン配線は、通常の画素表示時には同じ電位に接続されることを特徴とする請求項 5 または 7 に記載の表示パネル。

【請求項 9】

E L 素子を駆動するための駆動 T F T と当該駆動 T F T に接続されて E L 素子の電極となる画素電極を備え、実装されるコモン配線が第 1 のコモン配線と第 2 のコモン配線との 2 系統に分割され且つ画素の水平ライン毎あるいは垂直カラム毎に当該第 1 のコモン配線と当該第 2 のコモン配線とが交互に当該駆動 T F T に接続され、当該第 1 のコモン配線および当該第 2 のコモン配線の何れか一方を当該画素電極に接続させるためのスイッチ用 T F T と、画素を選択するためのセレクト配線とを含み、当該スイッチ用 T F T のオン・オフ制御を当該セレクト配線を用いて行う T F T アレイの検査方法であって、

前記第 1 のコモン配線および前記第 2 のコモン配線の何れか一方を高電位、他方を低電位に接続し、

前記第 1 のコモン配線および前記第 2 のコモン配線の前記一方から前記他方に向けて前記駆動 T F T を流れる駆動電流を測定することを特徴とする T F T アレイの検査方法。

【請求項 10】

前記駆動電流を測定した後、前記第 1 のコモン配線および前記第 2 のコモン配線の前記一方を低電位、前記他方を高電位に切り替えて接続し、

前記駆動 T F T を流れる駆動電流を測定することを特徴とする請求項 9 に記載の T F T アレイの検査方法。

【請求項 11】

前記第 1 のコモン配線および前記第 2 のコモン配線の電位の切り替えは、画素検査毎になされる交互の切り替えであることを特徴とする請求項 10 に記載の T F T アレイの検査方法。

【請求項 12】

前記第 1 のコモン配線および前記第 2 のコモン配線の電位の切り替えは、偶数番目あるいは奇数番目の画素の駆動 T F T に対する駆動電流の測定後の切り替えであることを特徴とする請求項 10 に記載の T F T アレイの検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 E L や無機 E L 等を用いた表示パネル等に係り、より詳しくは、アクティブマトリックス方式を用いた E L 表示パネル等に関する。

【背景技術】

【0002】

表示パネルの中で、有機 E L (Electro Luminescence) や無機 E L を用いた E L パネルが近年、非常に注目されている。E L 素子は、通電することで材料自体が発光する化学物質であり、化学構造を異ならせることで、異なった発光色を得ることができ、表示パネルへの利用研究が進められている。その中で、有機 E L (以下、O L E D (Organic Light Emitting Diode) と呼ぶ) は、電場を加えることによって励起する蛍光性の有機化合物に直流電流を流して発光させるものであり、薄型、高視野角、広いガムート (Gamut) 等の点から次世代ディスプレイデバイスとして注目されている。この O L E D の駆動方式にはパッシブ型とアクティブ型が存在するが、大画面、高精細のディスプレイを実現するには、材料、寿命、クロストークの面でアクティブ型が適している。このアクティブ型では、一般に、T F T (Thin Film Transistor) 駆動方式が採用されている。

【0003】

アクティブマトリックス O L E D (A M O L E D) パネルの画素回路としては、論文等で

10

20

30

40

50

様々な構成が提案されている。図23(a)~(d)は、OLED用の各種画素回路の例を示した図である。図23(a)はブロディ(Brody)による2TFT構成電圧プログラミング回路を示しており、現在、主流の構成である。図23(b)はドーソン(Dawson)による $V_{th}$ 補正機能付き4TFT構成電圧プログラミング回路を示し、図23(c)はドーソン(Dawson)による $V_{th}$ 補正機能付き4TFT構成電流プログラミング回路を示している。また、図23(d)は、カレントミラー方式4TFT構成電流プログラミング回路を示している。図23(a)~(d)に示す各種画素回路では、各々、 $T_2(p)$ で示す駆動TFTが用いられ、OLEDが接続されている。また、 $V_{dd}$ で示すコモン配線を経由して、各画素回路に電源が供給されている。

#### 【0004】

公報記載の従来技術として、例えば、有機EL素子などに代表される電流制御型発光素子を用いた表示パネルの消費電力を削減するために、発光素子と電流供給手段との間にスイッチ手段を挿入した技術が存在する(例えば、特許文献1参照。)。また、例えば、有機EL素子における残像の発生を防止するために、画素電極の電位をマイナス電源に接続するためのTFTと画素容量をリセットするためのTFTを追加し、プログラミング前に有機EL素子を消灯できるようにした技術が存在する(例えば、特許文献2参照。)。更に、例えば、液晶表示パネル等において、コモン配線を2系統に分割し、コモン配線の各々をそれぞれ短絡する短絡配線と、全てのセグメント配線を短絡する短絡配線とを予め形成しておき、これらの短絡配線の各々を介して画素に対して駆動電圧を印加して、画素の点灯を検査する技術が開示されている(例えば、特許文献3参照。)

#### 【0005】

【特許文献1】特開2002-278497号公報(第4頁、図3)

【特許文献2】特開2002-244617号公報(第3-4頁、図1)

【特許文献3】特開2002-328627号公報(第3頁、図1)

【発明の開示】

【発明が解決しようとする課題】

#### 【0006】

ここで、アクティブマトリックスOLED(AMOLED)の製造工程は、TFTアレイを作成するアレイ工程とOLEDをアレイ上に形成するセル工程に大別される。アレイ工程後にTFTアレイの検査を行うことができれば、セル工程に対する不良TFTアレイの流出を防止でき、製造コストの削減が期待できる。AMOLEDの画素回路には、図23(a)~(d)に示したように、OLEDを駆動するための駆動TFT(図23に示す $T_2(p)$ )があり、この駆動TFTの特性ばらつきはAMOLEDパネルの画質に深刻な悪影響を及ぼす。そのために、この駆動TFTの特性検査をOLED形成前に行うことが望まれている。しかし、OLED形成前の画素回路では、駆動TFTにOLEDが接続されていないため、駆動TFTがオープンドレインあるいはオープンソースとなり、駆動TFTに電流経路が存在しない。そのために、駆動TFTに電流を流すことができず、特性検査も非常に困難である。

#### 【0007】

上記特許文献1および2では、画素回路にTFTを追加することにより、本来の画像表示機能以外の付加機能を実現しているが、上記特許文献1に記載の技術では、単に表示の発光デュティを制御する機構であり、駆動TFTの検査に利用することはできない。また、上記特許文献2に記載の技術では、提案されている機能を使用すると強制的に駆動TFTはオフ状態に固定され、検査目的には応用できるものではない。更に、上記特許文献3に記載の技術では、コモン配線を2系統に分割する点で、後述する本件発明の構成と類似する点はあるが、それ以外の点では関連する技術部分はなく、EL素子を駆動する駆動TFTの検査には利用することができない。

#### 【0008】

本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、新たな検査用配線を導入せずに、駆動TFTの特性検査を可能とするこ

10

20

30

40

50

とにある。

また他の目的は、画素回路レイアウトへの影響を小さくし、各画素の発光部面積の縮小を小さく留めることにある。

更に他の目的は、O L E Dパネルにおいて、T F Tアレイ単体で駆動T F Tの各種特性に対する測定を簡易に行うことにある。

【課題を解決するための手段】

【0009】

かかる目的のもと、本発明では、画素電極に電源あるいはG N Dを接続するための配線(通常、コモン配線と呼ぶ)を2系統に分割した。また、各画素回路では、画素電極とコモン配線間に接続スイッチの役割を果たすT F Tを追加した。これによって、電源を供給するためのコモン配線から他方のコモン配線への電流経路を確保することで、駆動T F Tに流れる電流をコモン配線で観測することを可能としている。即ち、本発明が適用されるT F Tアレイは、E L素子を駆動するための駆動T F Tと、駆動T F Tに接続されてE L素子の電極となる画素電極と、E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、この第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に駆動T F Tと接続され、E L素子に電流供給あるいは電流排出を行うために配設される第2のコモン配線と、第1のコモン配線および第2のコモン配線の何れか一方を画素電極に接続させるためのスイッチ用T F Tと、画素を選択するためのセレクト配線とを含み、スイッチ用T F Tのオン・オフ制御をセレクト配線を用いて行うことを特徴とする。

10

20

【0010】

T F Tのオン・オフ制御は、このT F Tのオン・オフ制御がなされる画素以外の画素を選択するために用意されたセレクト配線で行うことを特徴とすることができる。更に、この接続スイッチはダイオードを含み、ダイオードの画素電極に接続される端子の極性はE L素子の画素電極に接続される端子の極性と一致していることを特徴とすることができる。また更に、この接続スイッチは、直列接続された第1のスイッチ用T F Tと第2のスイッチ用T F Tで構成され、第1のスイッチ用T F Tと第2のスイッチ用T F Tのオン・オフ制御は、その画素を選択するために用意されたセレクト配線およびその画素以外の画素を選択するために用意されたセレクト配線によって行うことを特徴とすることができる。

30

【0011】

他の観点から捉えると、本発明が適用されるT F Tアレイは、E L素子を駆動する駆動T F Tと、駆動T F Tに接続されてE L素子の電極となる画素電極と、E L素子に電流供給あるいは電流排出を行うために配設される第1のコモン配線と、この第1のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に駆動T F Tと接続され、E L素子に電流供給あるいは電流排出を行うために配設される第2のコモン配線とを含み、第1のコモン配線および第2のコモン配線の何れか一方に高電位、他方に低電位を供給して、駆動T F Tの電流測定を行うことにより駆動T F Tの検査を可能としたことを特徴とする。

40

【0012】

ここで、この駆動T F Tの検査は、奇数番目または偶数番目の何れか一方の並びの画素における駆動T F Tの電流測定を行った後、第1のコモン配線および第2のコモン配線の電位を相互に切り替えて、奇数番目または偶数番目の他方の並びの画素の駆動T F Tの電流測定を行うことを可能としている。また、この駆動T F Tの検査を可能とする手段は、第1のコモン配線の電位と第2のコモン配線の電位とを画素検査毎に交互に切り替えながら駆動T F Tの検査を行うことを可能としている。

【0013】

一方、本発明が適用される表示パネルは、E L素子と、このE L素子を駆動するため

50

の駆動ＴＦＴと、駆動ＴＦＴに接続されてＥＬ素子の電極となる画素電極と、ＥＬ素子に電流供給あるいは電流排出を行うために配設される第１のコモン配線と、この第１のコモン配線とは画素の水平ライン毎あるいは垂直カラム毎に交互に駆動ＴＦＴと接続され、ＥＬ素子に電流供給あるいは電流排出を行うために配設される第２のコモン配線と、第１のコモン配線および第２のコモン配線の何れか一方を画素電極に接続させるためのスイッチ用ＴＦＴと、画素を選択するためのセレクト配線とを含み、スイッチ用ＴＦＴのオン・オフ制御をセレクト配線を用いて行うことを特徴とする。

#### 【 0 0 1 4 】

ここで、スイッチ用ＴＦＴは、直列接続された第１のスイッチ用ＴＦＴと第２のスイッチ用ＴＦＴで構成され、第１のスイッチ用ＴＦＴと第２のスイッチ用ＴＦＴのオン・オフ制御は、その画素を選択するために用意されたセレクト線およびその画素以外の画素を選択するために用意されたセレクト線でなされることを特徴としている。更に、この接続スイッチはダイオードを含み、このダイオードの画素電極に接続される端子の極性は、ＥＬ素子の画素電極に接続される端子の極性と一致することを特徴とすることができる。また更に、この第１のコモン配線および第２のコモン配線は、通常の画素表示時には同じ電位に接続されることを特徴とすることができる。

10

#### 【 0 0 1 5 】

しかして、本発明を方法のカテゴリから捉えると、本発明は、ＥＬ素子を駆動するための駆動ＴＦＴと駆動ＴＦＴに接続されてＥＬ素子の電極となる画素電極を備え、実装されるコモン配線が第１のコモン配線と第２のコモン配線との２系統に分割され且つ画素の水平ライン毎あるいは垂直カラム毎に第１のコモン配線と第２のコモン配線とが交互に駆動ＴＦＴに接続され、第１のコモン配線および第２のコモン配線の何れか一方を画素電極に接続させるためのスイッチ用ＴＦＴと、画素を選択するためのセレクト配線とを含み、スイッチ用ＴＦＴのオン・オフ制御をセレクト配線を用いて行うＴＦＴアレイの検査方法であって、第１のコモン配線および第２のコモン配線の何れか一方を高電位、他方を低電位に接続し、第１のコモン配線および第２のコモン配線の一方から他方に向けて駆動ＴＦＴを流れる駆動電流を、コモン配線で測定することを特徴としている。ここで、駆動電流を測定した後、第１のコモン配線および第２のコモン配線の一方を低電位、他方を高電位に切り替えて接続し、駆動ＴＦＴを流れる駆動電流を測定することを特徴とすることができる。また、この第１のコモン配線および第２のコモン配線の電位の切り替えは、画素検査毎になされる交互に切り替えることを特徴とすれば、連続して画素回路の検査が可能となる点で好ましい。更にこの第１のコモン配線および第２のコモン配線の電位の切り替えは、偶数番目あるいは奇数番目の画素の駆動ＴＦＴに対する駆動電流の測定後の切り替えであることを特徴とすれば、電位の切り替え動作が簡潔化できる点で優れている。

20

30

#### 【 0 0 1 6 】

更に、本発明は、アクティブマトリックスＯＬＥＤパネルの製造方法から把握することができる。即ち、本発明が適用されるアクティブマトリックスＯＬＥＤパネルの製造方法は、ＯＬＥＤ(Organic Light Emitting Diode)を駆動するための駆動ＴＦＴと、駆動ＴＦＴに接続されてＥＬ素子の電極となる画素電極とを備え、実装されるコモン配線が第１のコモン配線と第２のコモン配線との２系統に分割され且つ水平ライン毎あるいは垂直カラム毎に第１のコモン配線と第２のコモン配線とが交互に駆動ＴＦＴに接続され、第１のコモン配線および第２のコモン配線の何れか一方を画素電極に接続させるためのスイッチ用ＴＦＴと画素を選択するためのセレクト配線とを含み、スイッチ用ＴＦＴのオン・オフ制御をセレクト配線を用いて行うＴＦＴアレイを有するアクティブマトリックスを生成するアレイ工程と、生成されたアクティブマトリックスパネルの機能検査を行う検査工程と、検査工程により良品と判断されたアクティブマトリックスパネルに対してＯＬＥＤを実装するセル工程とを含み、この検査工程は、アレイ工程により生成されたアクティブマトリ

40

50

ックスパネルにおける第1のコモン配線および第2のコモン配線の何れか一方に高電位、他方に低電位を供給した状態でビデオデータのプログラミングを行い、駆動TFTに流れる電流を、第1のコモン配線または第2のコモン配線で観測することにより検査を行うことを特徴としている。ここで、このアレイ工程は、第1のコモン配線あるいは第2のコモン配線の何れか一方が駆動TFTに直接あるいは他の回路を介して接続され、他方が接続スイッチを通して画素電極に接続されるTFTアレイを有するアクティブマトリクスを生成することを特徴とすることができる。

【発明の効果】

【0017】

本発明によれば、駆動TFTを有する表示パネルにおいて、駆動TFTの特性検査を簡易に行うことができる。

【発明を実施するための最良の形態】

【0018】

以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

[実施の形態1]

図1は、本実施の形態が適用されるAMOLEDの基本回路構成を示した図である。図1に示す基本回路は、図23(a)に示すブロディ(Brody)方式回路に本実施の形態を適用している。この基本回路は、1画素毎に設けられる画素回路20、電源V<sub>dd</sub>に接続される2系統のコモン配線として、第1コモン配線(V<sub>com1</sub>)11と第2コモン配線(V<sub>com2</sub>)12、ビデオデータが印加されるデータ線(Data)13、ラインを選択するためのセレクトパルスが順に印加されるセレクト線(SeI)14を有している。

【0019】

各画素回路20は、発光素子としてのEL素子であるOLED(Organic Light Emitting Diode)21、OLED21を駆動するための駆動TFT(T<sub>2</sub>)22、TFTアレイのみの状態(OLED21が未実装)で駆動TFT22に電流経路を与えるための接続スイッチであるスイッチ用TFT(T<sub>3</sub>)23を有している。また、セレクト線(SeI)14により制御されるセレクト用TFT(T<sub>1</sub>)24、画素容量(C<sub>s</sub>)25、および画素電極26を備えている。セレクト用TFT24は、セレクト線14の制御により、データ線13から画素容量25にプログラミングを行う。

【0020】

本実施形態の目的は、駆動TFT22のI<sub>d</sub>-V<sub>gs</sub>特性やV<sub>th</sub>、などの特性パラメータの測定が容易に行える画素回路構成とパネル構成を提供することにある。例えば図1の最上段に示す画素1(Pixel1)の画素回路20では、スイッチ用TFT23により、第1コモン配線(V<sub>com1</sub>)11から第2コモン配線(V<sub>com2</sub>)12への電流経路が実現される。このように、本実施の形態では、コモン配線を第1コモン配線(V<sub>com1</sub>)11と第2コモン配線(V<sub>com2</sub>)12との2系統に分割して櫛型に配置した点と、画素回路20にスイッチ用TFT23を追加することにより、駆動TFT22に検査用電流経路を与えた点に特徴がある。

【0021】

図2は、コモン配線の基本構成を示した図である。前述のように、電源供給用コモン配線は、第1コモン配線(V<sub>com1</sub>)11と第2コモン配線(V<sub>com2</sub>)12との2系統に分割され、各画素回路20毎に交互に接続される。各画素回路20は、電源接続27および検査用接続28を介して、第1コモン配線(V<sub>com1</sub>)11および第2コモン配線(V<sub>com2</sub>)12に接続されている。画像表示を行う通常動作時では、第1コモン配線(V<sub>com1</sub>)11と第2コモン配線(V<sub>com2</sub>)12とに同じ電源、あるいはグランド(GND)が接続される。検査時には、第1コモン配線(V<sub>com1</sub>)11と第2コモン配線(V<sub>com2</sub>)12とに異なる電位が供給される。画素回路20の中で、例えば図2に示すP11を検査する場合には、第1コモン配線(V<sub>com1</sub>)11に電源、第2コモン配線(V<sub>com2</sub>)12にGNDを供給する。一方、図2に示すP12を検査する場合には、第1コモン配線(V<sub>com1</sub>)11にGND、第2コモン配線(V<sub>com2</sub>)12に電源を供給する。尚、図2では、第1コモン配線(V<sub>com1</sub>)11と第2コモ

10

20

30

40

50

ン配線 (V com2) 1 2 との配線端が開放になっているが、配線端同士を結線することも可能である。

#### 【 0 0 2 2 】

次に、図 1 に示す基本回路の動作について説明する。

図 3 は、図 1 に示す基本回路における通常の表示動作時の駆動波形を示した図である。第 1 コモン配線 (V com1) 1 1 と第 2 コモン配線 (V com2) 1 2 は、例えば 1 0 V の電源 V dd に接続される。セレクト線 1 4 (図 3 では Sel1 ~ Sel3) には、ラインを選択するためのセレクトパルスが順に印加される。このセレクトパルスに同期してデータ線 (Data) 1 3 にビデオデータを印加することにより、画素 1、画素 2、画素 3 と、順に表示動作 (プログラミング) を実行することができる。

10

#### 【 0 0 2 3 】

図 4 は、図 1 に示す基本回路にて、各画素回路 2 0 における駆動 T F T 2 2 の検査を順に行う場合の駆動波形を示した図である。この検査時が通常動作時と異なるのは、セレクトパルスに同期して、第 1 コモン配線 (V com1) 1 1 および第 2 コモン配線 (V com2) 1 2 の電位を変化させている点である。図 4 に示すシーケンス 4、5 では、画素 1 (Pixel1) が選択され、データ線 (Data) 1 3 からのデータ 1 (Data1) が画素 1 の画素容量 (C s) 2 5 にプログラミングされる。このとき、スイッチ用 T F T 2 3 がオン状態であり、第 2 コモン配線 (V com2) 1 2 が G N D レベルにあるため、プログラミング電圧に対応する駆動電流が第 1 コモン配線 (V com1) 1 1 から駆動 T F T 2 2、スイッチ用 T F T 2 3 を経由して第 2 コモン配線 (V com2) 1 2 へ流れる。このとき、第 1 コモン配線 (V com1) 1 1 あるいは第 2 コモン配線 (V com2) 1 2 に、後述する電流測定回路あるいは電荷積分回路を接続することにより、駆動電流を観測できる。シーケンス 7、8 では、画素 2 (Pixel2) が選択され、データ 2 (Data2) が画素 2 の画素容量 (C s) 2 5 にプログラミングされる。このとき、スイッチ用 T F T 2 3 がオン状態であり、第 1 コモン配線 (V com1) 1 1 が G N D レベルにあるため、プログラミング電圧に対応する駆動電流が第 2 コモン配線 (V com2) 1 2 から駆動 T F T 2 2、スイッチ用 T F T 2 3 を経由して第 1 コモン配線 (V com1) 1 1 へ流れる。このとき、第 1 コモン配線 (V com1) 1 1 あるいは第 2 コモン配線 (V com2) 1 2 に電流測定回路あるいは電荷積分回路を接続することにより、駆動電流を観測できる。このように、本実施の形態によれば、連続して画素回路を検査することが可能となる。

20

#### 【 0 0 2 4 】

次に、奇数行 (奇数ライン)、偶数行 (偶数ライン) に分けて検査を行う場合について説明する。

30

図 5 は、奇数番目の画素の駆動 T F T 2 2 の検査を順に行う場合の駆動波形を示した図である。図 4 と異なるのは、セレクトパルスに同期して第 1 コモン配線 (V com1) 1 1 と第 2 コモン配線 (V com2) 1 2 の電位を変化させていない点である。図 5 に示す例では、第 1 コモン配線 (V com1) 1 1 を V dd、第 2 コモン配線 (V com2) 1 2 を G N D に接続している。シーケンス 4、5 では、画素 1 (Pixel1) が選択され、データ 1 (Data1) が画素 1 の画素容量 (C s) 2 5 にプログラミングされる。このとき、スイッチ用 T F T 2 3 がオン状態であり、第 2 コモン配線 (V com2) 1 2 が G N D レベルにあるため、プログラミング電圧に対応する駆動電流が第 1 コモン配線 (V com1) 1 1 から駆動 T F T 2 2、スイッチ用 T F T 2 3 を経由して第 2 コモン配線 (V com2) 1 2 へ流れる。このとき、第 1 コモン配線 (V com1) 1 1 あるいは第 2 コモン配線 (V com2) 1 2 に電流測定回路あるいは電荷積分回路を接続することにより、駆動電流を観測することができる。

40

#### 【 0 0 2 5 】

図 5 に示すシーケンス 7、8 では、画素 2 (Pixel2) が選択され、ダミーデータ (Dummy) が画素 2 の画素容量 (C s) 2 5 にプログラミングされる。但し、第 2 コモン配線 (V com2) 1 2 が G N D レベルにあるため、正常なプログラミングは行えないが、検査には影響しない。シーケンス 1 0、1 1 では、画素 3 (Pixel3) が選択され、データ 3 (Data3) が画素 3 の画素容量 (C s) 2 5 にプログラミングされる。このとき、スイッチ用 T F T 2 3 がオン状態であり、第 2 コモン配線 (V com2) 1 2 が G N D レベルにあるため、プログラミング電

50

圧に対応する駆動電流が第1コモン配線(Vcom1)11から駆動TF T 2 2、スイッチ用TF T 2 3を經由して第2コモン配線(Vcom2)12へ流れる。このとき、第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12に電流測定回路あるいは電荷積分回路を接続することにより、駆動電流を観測することができる。このように、図5に示す検査方法によれば、連続して奇数番目の画素回路20の検査が可能となる。奇数番目画素の検査終了後、第1コモン配線(Vcom1)11をGNDレベルに、第2コモン配線(Vcom2)12を電源レベル(Vdd)にして同様な操作を行うことにより、偶数番目の画素回路20の検査が可能になる。即ち、図5に示したようなシーケンスを行うことにより、検査中に第1コモン配線(Vcom1)11および第2コモン配線(Vcom2)12の電位を変化させる必要がなくなり、電位の制御動作を簡素化することができる。

10

#### 【0026】

次に、検査(測定)回路について説明する。

図6は、検査工程において用いられるテスト装置110の構成を示した図である。ここでは、テスト装置110によって、例えば図1に示すような基本回路構成を有するTF T アレイ100が検査される。テスト装置110は、記憶装置(Data Base)111、計算機(PC)112、測定制御回路(Control Circuits)113、信号生成・信号測定回路(Drive/sense circuits)114、プローブ(Data probes)115、信号生成・信号測定回路(Drive/sense circuits)116、プローブ(Gate probes)117、および電源制御回路(Power control Circuits)118を有している。

20

#### 【0027】

テスト装置110の記憶装置111には、検査対象となるTF T アレイ100の良・不良判定に必要な情報や測定に必要な情報が格納されている。計算機(PC)112は、入力されたデータに基づき、記憶装置111に格納された情報に基づいて判定処理を実行する。測定制御回路113は、検査法の測定シーケンスを管理している。また、信号生成・信号測定回路114, 116は、AMOLEDの駆動信号を生成すると共に、TF T アレイ100の測定波形を取得するアナログ回路である。この信号生成・信号測定回路114, 116に、後述する積分回路が実装される。プローブ115, 117は、信号生成・信号測定回路114, 116で生成されたAMOLED駆動信号を測定対象であるTF T アレイ100に供給し、また、TF T アレイ100から測定波形を取得する。電圧制御回路118は、信号生成・信号測定回路116およびプローブ117を介してTF T アレイ100に供給される電源電圧を制御している。

30

#### 【0028】

テスト装置110では、検査のための測定シーケンスが測定制御回路113で管理される。第1コモン配線(Vcom1)11および第2コモン配線(Vcom2)12から供給される電源電位およびGND電位は、測定制御回路113による管理の下、電圧制御回路118によって制御され、信号生成・信号測定回路116、プローブ117を經由してTF T アレイ100に供給される。また、TF T アレイ100の測定値は、プローブ117を通して信号生成・信号測定回路116に入力されて観測される。観測された値は、測定制御回路113によりデジタルデータに変換されて計算機112に入力される。計算機112では、記憶装置111に格納された情報を参照しながら、測定データの処理、および良・不良判定等が行われる。

40

#### 【0029】

図7(a)~(d)は、図6の信号生成・信号測定回路116に用いられる測定回路例を示した図である。図7(a),(b)は積分回路例、図7(c),(d)は電流測定回路例を示しており、この図7(a)~(d)に示すような積分回路あるいは微小抵抗による電流測定回路を第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12に接続して測定することによって、スイッチ用TF T 2 3を經由して流れる駆動電流を簡易に測定することができる。図7(a)は、第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12がGNDレベルにある状態で測定を行うための電荷積分回路である。また図7(b)は、第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12がVddレベルにある状態で測

50

定を行うための電荷積分回路である。この図7(a),(b)では、オペレーショナル・アンプ(Operational Amplifier)131、キャパシタ(Ci)132、リセットスイッチ(SWreset)133が備えられている。一方、図7(c)は、第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12がGNDレベルにある状態で測定を行うための電流測定回路である。また、図7(d)は、第1コモン配線(Vcom1)11あるいは第2コモン配線(Vcom2)12がVddレベルにある状態で測定を行うための電流測定回路である。この図7(c),(d)では、オペレーショナル・アンプ134、電流モニタ用の微小抵抗(R)135が設けられている。

#### 【0030】

この図7(a)~(d)に示すような回路を使用して駆動電流を測定することにより、以下のような検査が可能になる。

10

まず、第1に、1点測定による駆動TFT22の電流特性評価が可能となる。ここでは、図4のように各画素に同じビデオデータ(電圧)をプログラミングしながら、電流測定を行う。予め設定されたVgs(駆動TFT22のゲート・ソース間電圧)について、全画素の電流測定を行うことにより、パネル(TFTアレイ100)内の駆動TFT22に対するばらつきを検査することができる。測定された電流値が、予め設定された基準範囲にある画素は正常とみなし、基準範囲から外れた画素は不良とみなす。これにより、高速にパネルの良・不良判定を行うことができる。

#### 【0031】

第2に、複数点測定による駆動TFT22のVth測定と測定が可能となる。ここでは、1つの画素について、プログラミング電圧(駆動TFT22のVgs)を変えながら駆動電流を測定する。得られた測定データはId-Vgs特性を示している。このデータを分析することにより、駆動TFT22のVthとなど、TFTの特性評価に有効なパラメータを抽出することができる。

20

駆動TFT22は飽和領域で動作させることから、ドレイン電流Idは、次式で近似することができる。

$$I_d = 0.5 (V_{gs} - V_{th})^2$$

ここで、 $\mu = \mu \cdot C_{ox} \cdot W/L$ であり、TFTの移動度 $\mu$ と単位面積当りのゲート容量 $C_{ox}$ 、TFTのチャネル幅 $W$ とチャネル長 $L$ の比で決定される値である。

#### 【0032】

30

図8は、図7に示す回路によって測定されたId-Vgs特性からVthと $\mu$ を推定する方法を説明するための図である。図8では、横軸にVgs、縦軸に $(I_d)^{1/2}$ を示している。図8に示すように駆動TFT22のVgsを変化させてドレイン電流Idを測定し、その値をプロットすると、傾きは、上式から、 $(0.5 \mu)^{1/2}$ となる。また、 $I_d = 0$ と交差するVgsがVthとなる。このようにして、Vthと $\mu$ を推定することができる。尚、Vthと $\mu$ を全画素について求め、ばらつき評価を行うことも可能である。

#### 【0033】

このように、本実施の形態では、画素回路20に電源VddあるいはGNDを接続するための配線(通常、コモン配線と呼ぶ)を、2系統に分割し、画素の水平ライン毎あるいは垂直カラム毎に交互に接続する構成を実現している。また、各画素回路20では、画素電極26とコモン配線間に接続スイッチの役割を果たすスイッチ用TFT23を追加することにより、電源を供給するためのコモン配線(例えば第1コモン配線(Vcom1)11)から他方のコモン配線(例えば第2コモン配線(Vcom2)12)への電流経路を確保できるようにしている。検査工程では、コモン配線の一方に高電位、他方に低電位を供給した状態で、ビデオデータのプログラミングを行い、駆動TFT22に流れる電流をコモン配線で観測することにより、駆動TFT22の特性検査を行うことができる。

40

#### 【0034】

#### [実施の形態2]

実施の形態2では、プログラミングをしてから一定期間経過した後の画素容量25の保持特性について、その保持特性を検査可能な回路とその検査方法について説明する。尚、

50

実施の形態 1 と同様な機能については同様な符号を用い、ここではその詳細な説明を省略する。以下、本明細書で説明する実施の形態について、全て同様である。

#### 【 0 0 3 5 】

図 9 は、2 T F T 構成電圧プログラミング方式の画素回路に本発明を適用する例を示した図であり、図 2 3 ( a ) に示すプロディ回路への応用例である。接続スイッチであるスイッチ用 T F T 2 3 のゲート 3 1 が、直前ラインの画素のセレクト線 1 4 に接続されるところが、図 1 に示す例と異なる。図 9 に示す Sel0 は、ダミーのセレクト線 1 4 であり、画素 1 ( Pixel1 ) のゲート 3 1 が Sel0 に接続され、画素 2 ( Pixel2 ) のゲート 3 1 が直前ラインである Sel1 に接続され、画素 3 ( Pixel3 ) のゲート 3 1 が直前ラインである Sel2 に接続されている。表示を行う通常駆動は、図 3 にて説明したものと同様に行う。また、スイッチ用 T F T 2 3 のゲート 3 1 が前のラインのセレクト線 1 4 に接続されているため、プログラミングをしてから一定期間経過したのちの画素容量 2 5 の保持特性を検査することができる。

10

#### 【 0 0 3 6 】

図 1 0 は、図 9 の回路によって保持特性を検査するための駆動波形の一例を示した図である。この図 1 0 では、まず、第 1 コモン配線 ( V com1 ) 1 1 を電源電位にし、第 2 コモン配線 ( V com2 ) 1 2 を G N D 電位にした後、図 3 に従ってプログラミングしたのち、保持特性を検査する。即ち、図 1 0 では、プログラミングをして、図 1 0 に示すように駆動することにより、保持特性の検査が可能となる。このとき、画素 1 ( Pixel1 )、画素 3 ( Pixel3 ) ... と奇数行目の画素が検査され、この後、第 1 コモン配線 ( V com1 ) 1 1 を G N D 電位にし、第 2 コモン配線 ( V com2 ) 1 2 を電源電位にすることで、偶数行目の画素を検査することができる。

20

#### 【 0 0 3 7 】

図 1 1 は、図 9 の回路によって保持特性を検査するための他の検査方法による駆動波形の一例を示した図である。図 1 1 では、図 3 に従ってプログラミングを行った後、第 1 コモン配線 ( V com1 ) 1 1 と第 2 コモン配線 ( V com2 ) 1 2 とを相互に切り替えることで、画素を垂直方向に順次、検査することが可能となる。即ち、セレクト線 1 4 の中で、Sel0 のセレクトパルスにて画素 1 ( Pixel1 ) を検査でき、Sel1 のセレクトパルスにて画素 2 ( Pixel2 )、Sel2 のセレクトパルスにて画素 3 ( Pixel3 )、Sel3 のセレクトパルスにて画素 4 ( Pixel4 ) 等、垂直方向に順次、画素を検査することができる。

30

#### 【 0 0 3 8 】

図 1 2 は、図 9 の回路を用いた別の検査方法による駆動波形の一例を示した図であり、プログラミングに続けて検査を行うことを可能としている。セレクト線 1 4 によるセレクトパルスは、図 1 1 の場合とは逆向きにシフトされている。セレクトパルス幅を調整することにより、駆動電流の変化をプログラミング直後から観測できる。例えば、セレクト幅を大きくすることにより、画素容量 2 5 の保持特性の検査が可能になる。このように、図 1 2 に示す検査方法によれば、プログラミングしながら保持特性を検査することが可能となる。尚、図 9 に示す例では、接続スイッチであるスイッチ用 T F T 2 3 のゲートを直前のラインのセレクト線 1 4 につないだが、もう一段前のセレクト線 1 4 に接続しても良く、次段のセレクト線 1 4 に接続するように構成することもできる。

40

#### 【 0 0 3 9 】

##### [実施の形態 3]

実施の形態 3 では、実施の形態 1 および実施の形態 2 と異なり、接続スイッチのゲートが、ドレイン (画素電極 2 6 ) に接続されており、接続スイッチがダイオードとして機能している点に特徴がある。

図 1 3 は、2 T F T 構成電圧プログラミング方式の画素回路に応用した他の例を示した図である。ここでは、スイッチ用 T F T 2 3 の代わりにダイオード 3 2 が用いられており、接続スイッチ (ダイオード 3 2 ) のゲートが接続スイッチのドレインに接続されている。表示を行う通常駆動では、第 1 コモン配線 ( V com1 ) 1 1 と第 2 コモン配線 ( V com2 ) 1 2 とが電源電圧にあり、画素電極 2 6 に比べて高電位となることから、ダイオード 3 2 は逆バ

50

イアスされ、オフ状態になる。従って、図3と同じ駆動方法で通常駆動が可能となる。一方、検査時には、ダイオード32が接続されるコモン配線が画素電極26に比べて低電位となることから、ダイオード32はオン状態となり、駆動TFT22の電流経路が構成される。

#### 【0040】

図14は、図13に示す回路を検査するための駆動波形を示した図である。ここでは、図3に示す通常駆動で、検査前に全画素を消灯状態にしておく。シーケンス4～8で画素1(Pixel1)が選択され、シーケンス4～5で検査のための電圧をプログラミングしながら駆動電流測定を行う。プログラミング電圧を変化させることにより、駆動TFT22の $I_d - V_{gs}$ 特性が得られる。画素1(Pixel1)の検査後、シーケンス7～8で、画素1(Pixel1)を消灯状態に戻し、画素2(Pixel2)の検査を開始する。この操作を繰り返すことにより、全画素の検査が可能になる。

10

#### 【0041】

図15は、図13に示す回路の保持特性を検査する駆動波形を示した図である。例えば測定制御回路113等のパネル駆動回路(外部ドライバ回路あるいはパネル上に形成されたドライバ回路)が、制御信号としてセレクトパルスの波形調整機能(通常、OutputEnable、OE等と呼ぶ)を有している場合、図15のシーケンス6～7に示すように、セレクトパルスの一部を切り取る等、セレクトパルスの波形を調整することができる。シーケンス6～7では、画素1(Pixel1)にプログラミングを行った後、セレクト用TFT24をオフ状態にしている。この期間中に駆動電流測定を行えば、駆動電流の時間変化を観測でき、画素容量25の保持特性を検査(観測)することが可能になる。

20

#### 【0042】

##### [実施の形態4]

実施の形態4では、実施の形態1および実施の形態2を組み合わせ、2つの接続スイッチ(スイッチ用TFT23と他のTFT)により、セレクト線14を2ラインずつ選択する点に特徴がある。

図16は、2TFT構成電圧プログラミング方式の画素回路(Brody回路)に本実施の形態を適用した例を示した図である。ここでは、第1の接続スイッチであるスイッチ用TFT23に、第2の接続スイッチである第2スイッチ用TFT33が直列に設けられ、AND回路を構成している。スイッチ用TFT23のゲートは、その画素のセレクト線14に接続されており、第2スイッチ用TFT33のゲートは前のラインのセレクト線に接続されている。接続スイッチとしてスイッチ用TFT23だけの場合、プログラミングの間、接続スイッチ(スイッチ用TFT23)がONになるため、OLED21にはフルオンのときと同じ電流が流れてしまい、一瞬だけ輝度が上がってしまう。結果として、コントラストを下げたまま、表示品質を低下させる原因となる。これを防ぐために、接続スイッチを2つ直列にし、第1の接続スイッチであるスイッチ用TFT23のゲートを選択画素のセレクト線14に、第2の接続スイッチである第2スイッチ用TFT33のゲートを前のラインのセレクト線14に接続するように構成している。

30

#### 【0043】

図3に示したような通常動作では、セレクトパルスは1つだけ流れるので、2つのセレクト線14が同時に選択されることはない。従って直列につないだ接続スイッチ(スイッチ用TFT23と第2スイッチ用TFT33)は同時にONにはならず、プログラミングの間にOLED21に大きな電流が流れることはない。従って、検査時には、セレクトパルスを続けて2つ流すことで、接続スイッチをオン状態にする。このとき、第1コモン配線( $V_{com1}$ )11および第2コモン配線( $V_{com2}$ )12の一方を電源とし、一方をGND電位とする。

40

#### 【0044】

図17は、図16の回路を検査する場合の駆動波形の一例を示した図である。第1コモン配線( $V_{com1}$ )11を電源電位とし、第2コモン配線( $V_{com2}$ )12をGND電位にして検査を行う。図17に示す駆動波形では、奇数行の画素の検査が行える。このとき、偶数行

50

の画素に駆動 T F T 2 2 のオフ電位をデータとして書き込めば電流は観測されないが、仮にオン電位を書き込んだとしても、駆動 T F T 2 2 を逆方向に流れる電流が観測されるだけであり、タイミングで区別することが可能である。この操作によって奇数行の検査が終了した後、第 1 コモン配線 (V com1) 1 1 を G N D 電位とし、第 2 コモン配線 (V com2) 1 2 を電源電位にして同様に繰り返すことで、偶数行の画素を検査することができる。

【 0 0 4 5 】

図 1 8 は、図 1 6 の回路を検査する場合の他の駆動方法による駆動波形を示した図である。ここでも同様に、セレクトパルスが続けて 2 つ入れて接続スイッチをオン状態にする。しかしこのとき、図 1 8 に示すように、選択されるラインが変わる度に、第 1 コモン配線 (V com1) 1 1 と第 2 コモン配線 (V com2) 1 2 とを一方が電源電位で一方が G N D 電位になるように交互に入れ替える。これによって、順次、画素を検査することが可能となる。尚、第 1 コモン配線 (V com1) 1 1 と第 2 コモン配線 (V com2) 1 2 の動作制御は、例えば、図 6 に示した電源制御回路 1 1 8 によって実行される。

【 0 0 4 6 】

[実施の形態 5]

実施の形態 5 では、実施の形態 4 とは異なり、1 つの接続スイッチ (スイッチ用 T F T 2 3) とダイオード 3 4 とを直列につないだ点に特徴がある。

図 1 9 は、(スイッチ用 T F T 2 3) とダイオード 3 4 が直列に接続された例を示した図である。実施の形態 3 に示す図 1 3 では、ダイオード 3 2 が 1 つだけ接続された例を示しているが、この図 1 3 に示す例の場合、図 1 4 および図 1 5 のシーケンスに示されているように、選択画素を検査したのち、消灯のためオフ電位をプログラミングしなければならなかった。一方、図 1 9 に示す本実施の形態では、ダイオード 3 4 をスイッチ用 T F T 2 3 に直列に接続し、検査を終えた画素のデータの状態によらず、確実に接続部分を切り離すための機能を付加した点に特徴がある。スイッチ用 T F T 2 3 のゲートを選択画素のセレクト線 1 4 に接続することで、セレクトパルスによるスイッチが可能となり、検査シーケンスがより平易になる。また、実施の形態 4 に比べ、使用する T F T の数は同じだが、配線の数を減らすことができ、画素回路のレイアウトがより簡易となる。

【 0 0 4 7 】

図 1 9 に示す回路において、通常駆動時は、図 3 に示したものと同様の方法で駆動される。検査時には、第 1 コモン配線 (V com1) 1 1 と第 2 コモン配線 (V com2) 1 2 の一方を電源電位にし、もう一方を G N D 電位にして駆動される。図 1 9 に示す回路における電流測定時の駆動波形は図 5 と同じである。例えば、第 1 コモン配線 (V com1) 1 1 が電源電位で第 2 コモン配線 (V com2) 1 2 が G N D 電位の場合には、セレクト線 1 4 の中で Sel1、Sel3 などの奇数番目のラインを検査することができる。この操作の後、第 1 コモン配線 (V com1) 1 1 を G N D 電位に、第 2 コモン配線 (V com2) 1 2 を電源電位にして繰り返すことで偶数番目のラインを検査することができる。

【 0 0 4 8 】

第 1 コモン配線 (V com1) 1 1 および第 2 コモン配線 (V com2) 1 2 の電位を交互に、一方が電源電位、一方が G N D 電位になるように切り替えながら測定する場合の駆動波形は図 4 と同じである。かかる場合、図 1 4 に示した駆動波形とは異なり、接続スイッチであるスイッチ用 T F T 2 3 によって検査用の接続を遮断することができるため、消灯のためのプログラミングが必要ない。そのため、高速に測定することができる。尚、スイッチ用 T F T 2 3 およびダイオード 3 4 は直列であればよく、その位置関係は逆になってもよい。また、スイッチ用 T F T 2 3 のゲートは、前のラインあるいは次のラインのセレクト線 1 4 につないでもよい。その場合は、セレクトパルスの与え方を変えることが必要である。

【 0 0 4 9 】

[実施の形態 6]

実施の形態 6 では、図 2 3 (b) に示した Dawson の回路に、本発明を適用した場合について説明する。

図 2 0 は、Dawson の回路に本発明を適用した場合の回路図を示している。ここでは、セ

10

20

30

40

50

レクト用 T F T ( T 1 ) 6 1、駆動 T F T ( T 2 ) 6 2、V t 補正用 T F T ( T 3 ) 6 3、電流制御用 T F T ( T 4 ) 6 4、検査用接続スイッチ ( T 5 ) 6 5 の 5 つの T F T が設けられ、O L E D 2 1 を駆動している。また、画素容量 ( C 1 ) 6 7、画素容量 ( C 2 ) 6 8 を有している。実施の形態 6 では、前述の実施の形態 1 ~ 5 と同様に、コモン配線を第 1 コモン配線 ( V com1 ) 1 1 と第 2 コモン配線 ( V com2 ) 1 2 との 2 系統に分割している。また、駆動 T F T ( T 2 ) 6 2、電流制御用 T F T ( T 4 ) 6 4 と直列に、検査用接続スイッチ ( T 5 ) 6 5 が接続され、この検査用接続スイッチ ( T 5 ) 6 5 によって、駆動 T F T ( T 2 ) 6 2 に検査用電流経路が与えられている。検査用接続スイッチ ( T 5 ) 6 5 は、実施の形態 2、実施の形態 3、実施の形態 4 および実施の形態 5 と同様に、検査用接続スイッチ ( T 5 ) 6 5 のゲートを別のセレクト線 1 4 につないだり、検査用接続スイッチ ( T 5 ) 6 5 を直列に複数個、配置することや、あるいはダイオードと検査用接続スイッチ ( T 5 ) 6 5 とを直列に配置することも可能である。

【 0 0 5 0 】

[実施の形態 7]

実施の形態 7 では、図 2 3 ( c ) に示した Dawson の回路に、本発明を適用した場合について説明する。

図 2 1 は、Dawson の回路に、本発明を適用した場合の回路図を示している。ここでは、T 1 ~ T 5 の 5 つの T F T 7 1 ~ 7 5 のうち、駆動 T F T ( T 2 ) 7 2 と直列に検査用接続スイッチ ( T 5 ) 7 5 が接続されており、また画素容量 ( C s ) 7 6 を有している。前述の実施形態と同様に、コモン配線を第 1 コモン配線 ( V com1 ) 1 1 と第 2 コモン配線 ( V com2 ) 1 2 との 2 系統に分割し、検査用接続スイッチ ( T 5 ) 7 5 によって駆動 T F T ( T 2 ) 7 2 に検査用電流経路が与えられている。検査用接続スイッチ ( T 5 ) 7 5 は、実施の形態 2、実施の形態 3、実施の形態 4 および実施の形態 5 と同じように、検査用接続スイッチ ( T 5 ) 7 5 のゲートを別のセレクト線 1 4 につないだり、検査用接続スイッチ ( T 5 ) 7 5 を直列に複数配置したり、あるいはダイオードと検査用接続スイッチ ( T 5 ) 7 5 を直列に接続してもよい。

【 0 0 5 1 】

[実施の形態 8]

実施の形態 8 では、図 2 3 ( d ) に示したカレントミラー方式 4 T F T 構成プログラミング回路に、本発明を適用した場合について説明する。

図 2 2 は、カレントミラー方式 4 T F T 構成プログラミング回路に、本発明を適用した場合の回路図を示している。ここでは、T 1 ~ T 5 の 5 つの T F T 8 1 ~ 8 5 のうち、駆動 T F T ( T 2 ) 8 2 と直列に検査用接続スイッチ ( T 5 ) 8 5 が接続されている。また画素容量 ( C s ) 8 6 を有している。前述の実施形態と同様に、コモン配線を第 1 コモン配線 ( V com1 ) 1 1 と第 2 コモン配線 ( V com2 ) 1 2 との 2 系統に分割し、検査用接続スイッチ ( T 5 ) 8 5 によって駆動 T F T ( T 2 ) 8 2 に検査用電流経路が与えられている。検査用接続スイッチ ( T 5 ) 8 5 は、実施の形態 2、実施の形態 3、実施の形態 4 および実施の形態 5 と同じように、検査用接続スイッチ ( T 5 ) 8 5 のゲートを別のライト線 ( Write ) につないだり、検査用接続スイッチ ( T 5 ) 8 5 を直列に複数配置したり、ダイオードに代えたり、あるいはダイオードと検査用接続スイッチ ( T 5 ) 8 5 の直列にすることも可能である。

【 0 0 5 2 】

以上、詳述したように、実施の形態 1 ~ 実施の形態 8 では、従来、1 つの配線であったコモン配線を 2 系統に分割し、水平ライン毎あるいは垂直カラム毎に交互に異なるコモン配線で画素回路に電源あるいは G N D を接続する構成を採用した。そして、T F T アレイ 1 0 0 ( 図 6 参照 ) の検査時には、2 つのコモン配線に異なる電位を印加し、片方のコモン配線から他方のコモン配線への電流経路を構成することにより、O L E D 駆動 T F T の特性検査を可能にしている。実施の形態 1 ~ 実施の形態 8 に記載した方式によれば、新たな検査用配線を導入する必要がないため、画素回路レイアウトへの影響を小さくすることができる。特に、ボトムエミッション ( 裏側表示 ) 方式の O L E D パネルでは、各画素の O L E D 発光部面積の縮小を小さく留めることが可能である。また、本方式を採用した O L E

10

20

30

40

50

Dパネルでは、TFTアレイ単体でOLED駆動TFTの $V_{th}$ や  $I_d - V_{gs}$ 特性などの測定を容易に行うことが可能であり、OLED実装前に不良TFTアレイを排除することが可能となる。即ち、実施の形態1～実施の形態8を説明する回路図では、説明の容易のために全てOLED21が実装された状態が示されているが、これらの実施の形態によれば、OLED21の実装前であってもOLED駆動TFTを検査することが可能である。

#### 【0053】

最後に、実施の形態1～実施の形態8に示したようなOLEDパネルの製造方法について説明する。

本実施の形態が適用されるOLEDパネルの製造方法は、OLED21の駆動回路であるTFTアレイ100(アクティブマトリックスパネル)を生成するアレイ工程と、生成されたTFTアレイ100単体で機能テストを行う検査工程を有している。この検査工程では、アレイ工程により生成されたアクティブマトリックスパネルにおける第1コモン配線( $V_{com1}$ )11および第2コモン配線( $V_{com2}$ )12の何れか一方に高電位、他方に低電位を供給した状態でビデオデータのプログラミングを行い、駆動TFT22(62,72,82)に流れる電流を観測することにより検査が行われる。この検査工程で不良品であると判断されるTFTアレイ100は、次工程に移行させずに排除される。良品であると判断されるTFTアレイ100については、TFTアレイ100上にOLED21を形成するセル工程を経て、最終検査工程に移行する。この最終検査工程にて、最後に良品と不良品とが振り分けられる。本実施の形態では、セル工程の前に検査工程を設けることで、OLED21を載せる前に、駆動TFT22(62,72,82)のばらつきの大きいTFTアレイ100を排除することが可能となる。検査対象としては、例えばPHSや携帯電話などの表示画面に用いられるアクティブマトリックス(AM)パネルの他、各種AMOLEDパネルが挙げられる。

#### 【産業上の利用可能性】

#### 【0054】

本発明の活用例としては、EL素子を実装するためのTFTアレイ、EL素子が実装された表示パネルへの適用等が考えられる。

#### 【図面の簡単な説明】

#### 【0055】

【図1】本実施の形態が適用されるAMOLEDの基本回路構成を示した図である。

【図2】コモン配線の基本構成を示した図である。

【図3】図1に示す基本回路における通常の表示動作時の駆動波形を示した図である。

【図4】図1に示す基本回路にて、各画素回路における駆動TFTの検査を順に行う場合の駆動波形を示した図である。

【図5】奇数番目の画素の駆動TFTの検査を順に行う場合の駆動波形を示した図である。

【図6】検査工程において用いられるテスト装置の構成を示した図である。

【図7】(a)～(d)は、図6の信号生成・信号測定回路に用いられる測定回路例を示した図である。

【図8】図7に示す回路によって測定された $I_d - V_{gs}$ 特性から $V_{th}$ と  $I_{on}$ を推定する方法を説明するための図である。

【図9】2TFT構成電圧プログラミング方式の画素回路に本発明を適用する例を示した図である。

【図10】図9の回路によって保持特性を検査するための駆動波形の一例を示した図である。

【図11】図9の回路によって保持特性を検査するための他の検査方法による駆動波形の一例を示した図である。

【図12】図9の回路を用いた別の検査方法による駆動波形の一例を示した図である。

【図13】2TFT構成電圧プログラミング方式の画素回路に応用した他の例を示した図

10

20

30

40

50

である。

【図14】図13に示す回路を検査するための駆動波形を示した図である。

【図15】図13に示す回路の保持特性を検査する駆動波形を示した図である。

【図16】2TFT構成電圧プログラミング方式の画素回路(Brody回路)に本実施の形態を適用した例を示した図である。

【図17】図16の回路を検査する場合の駆動波形の一例を示した図である。

【図18】図16に示す実施の形態4の回路において、プログラミングと同時に検査を行うときの駆動波形を示した図である。

【図19】接続スイッチとダイオードが直列に接続された例を示した図である。

【図20】Dawsonの回路に本発明を適用した場合の回路図である。

10

【図21】Dawsonの回路に、本発明を適用した場合の回路図である。

【図22】カレントミラー方式4TFT構成プログラミング回路に、本発明を適用した場合の回路図である。

【図23】(a)~(d)は、OLED用の各種画素回路の例を示した図である。

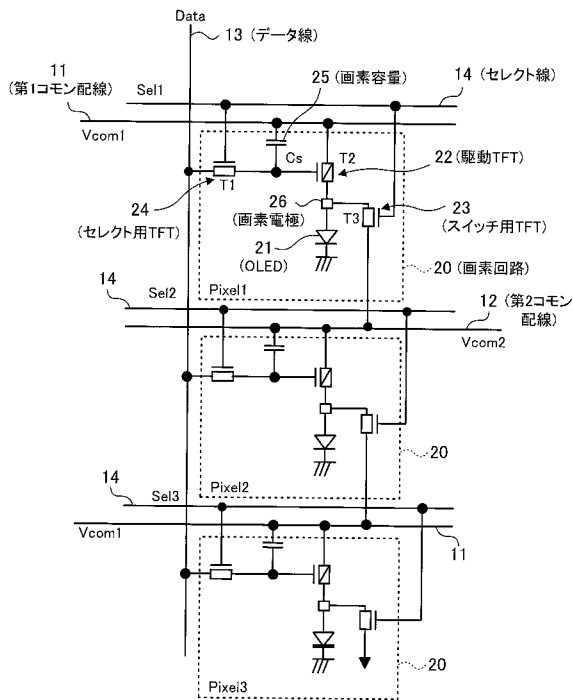
【符号の説明】

【0056】

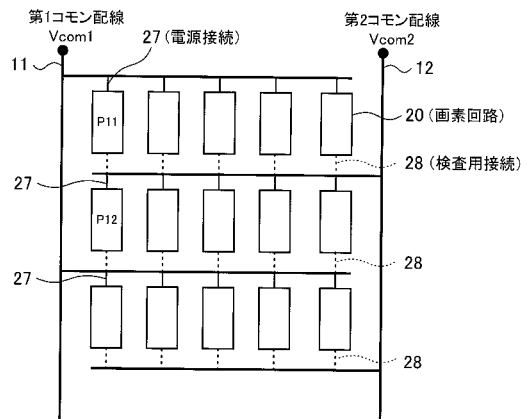
11...第1コモン配線(Vcom1)、12...第2コモン配線(Vcom2)、13...データ線(Data)、14...セレクト線(Sel)、20...画素回路、21...OLED(Organic Light Emitting Diode)、22,62,72,82...駆動TFT、23...スイッチ用TFT、24,61...セレクト用TFT、25...画素容量(Cs)、26...画素電極、31...ゲート、32,34...ダイオード、33...第2スイッチ用TFT、64...電流制御用TFT、65,75,85...検査用接続スイッチ

20

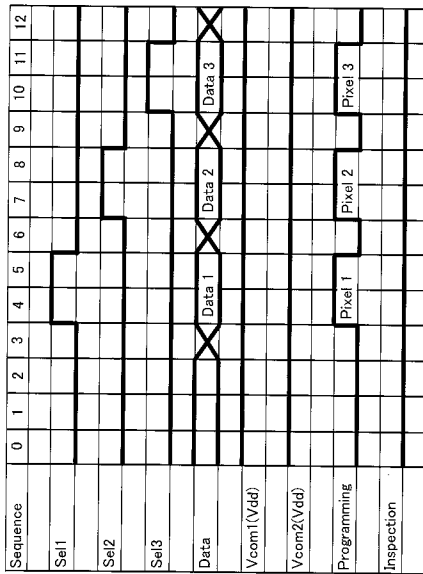
【図1】



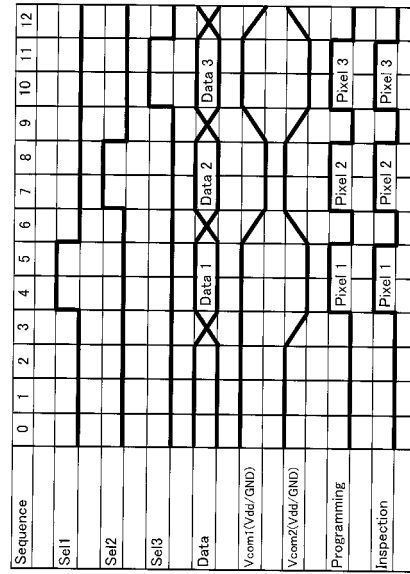
【図2】



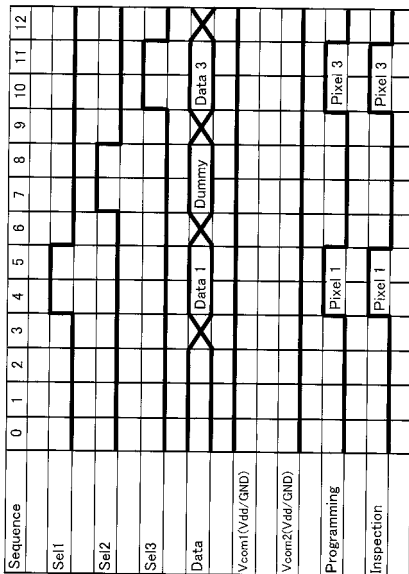
【 図 3 】



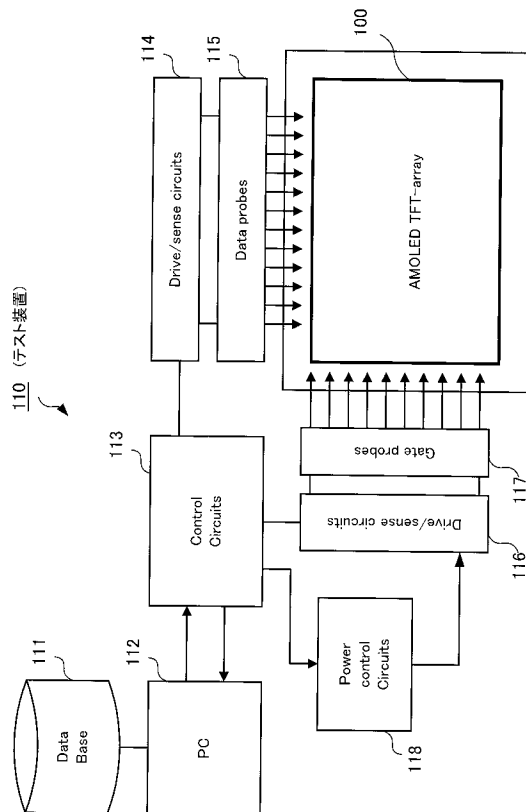
【 図 4 】



【 図 5 】

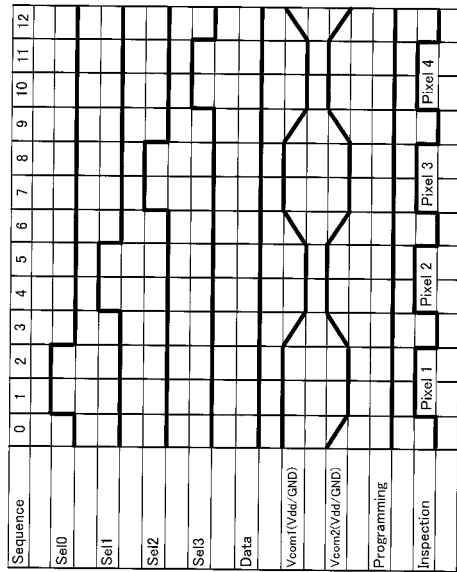


【 図 6 】

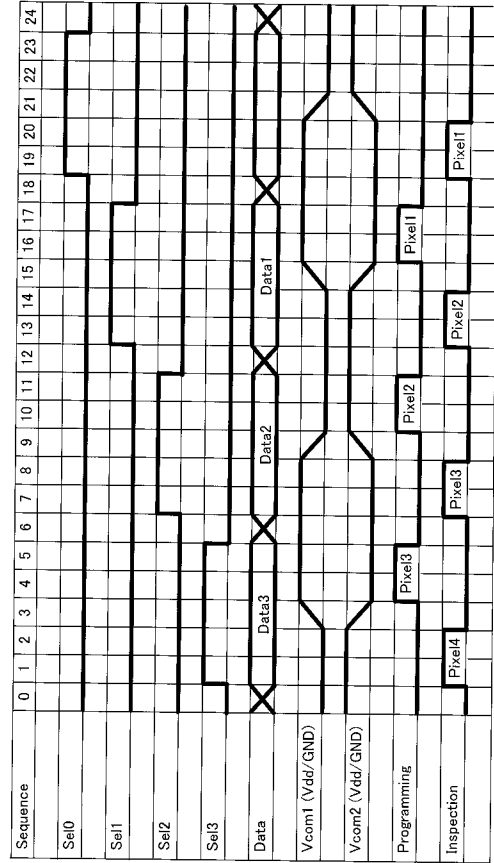




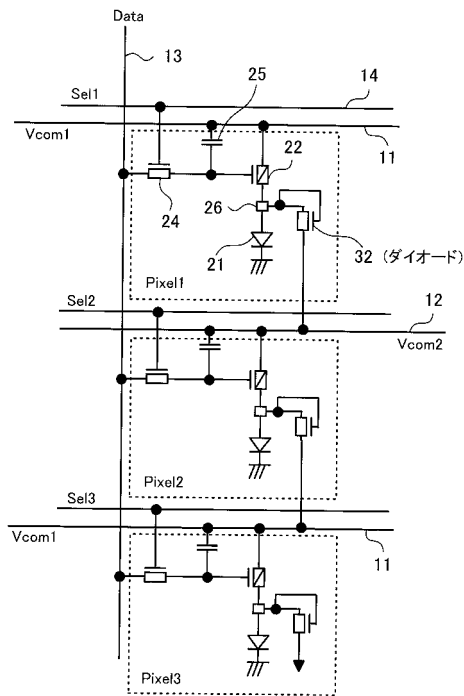
【図 1 1】



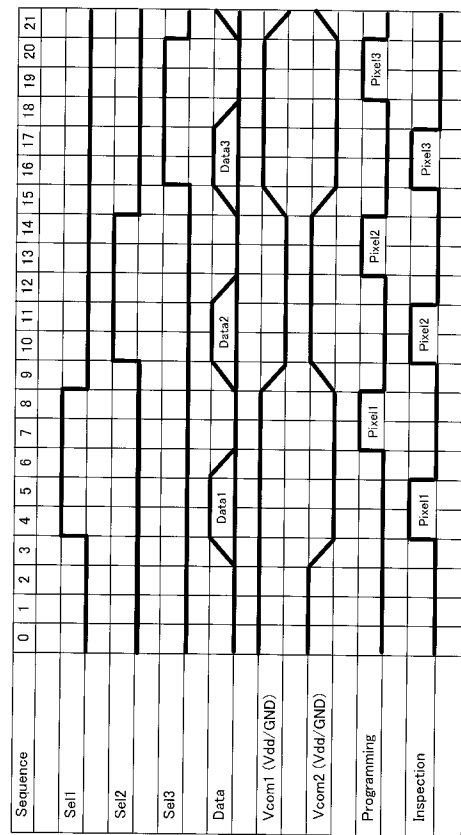
【図 1 2】



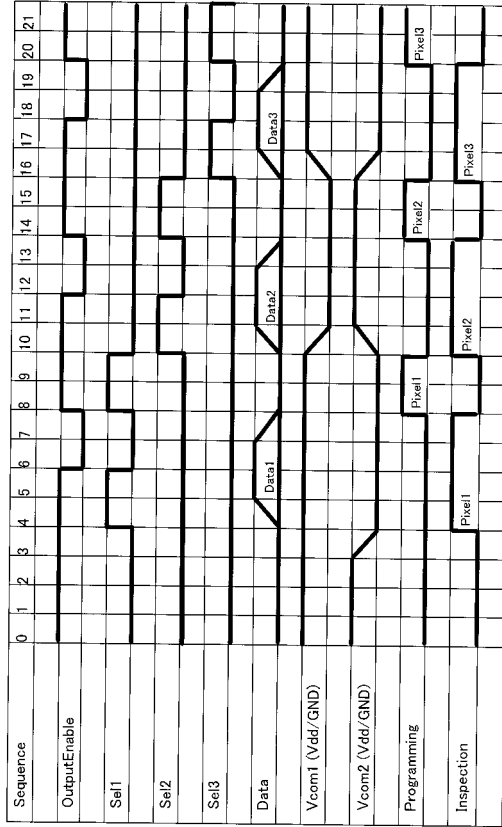
【図 1 3】



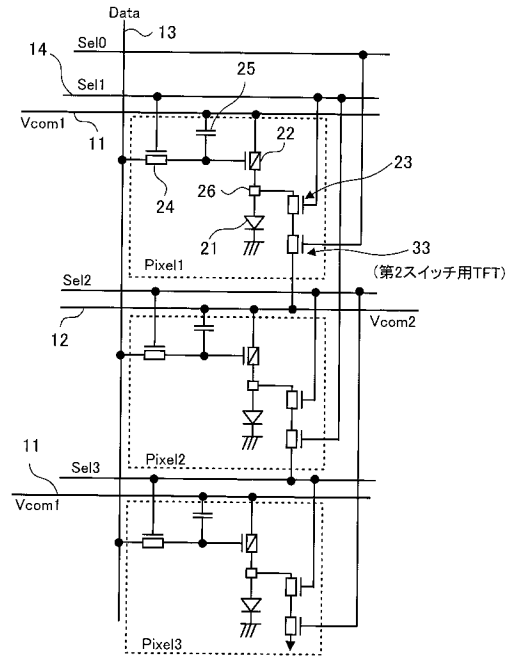
【図 1 4】



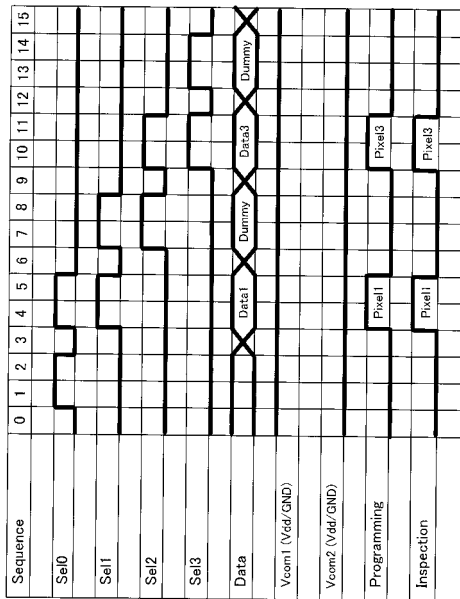
【図15】



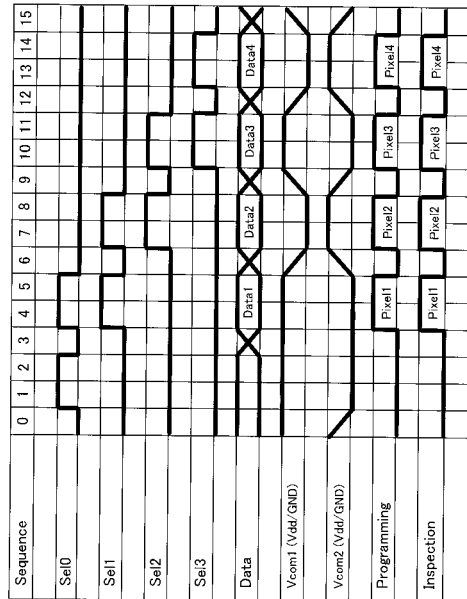
【図16】



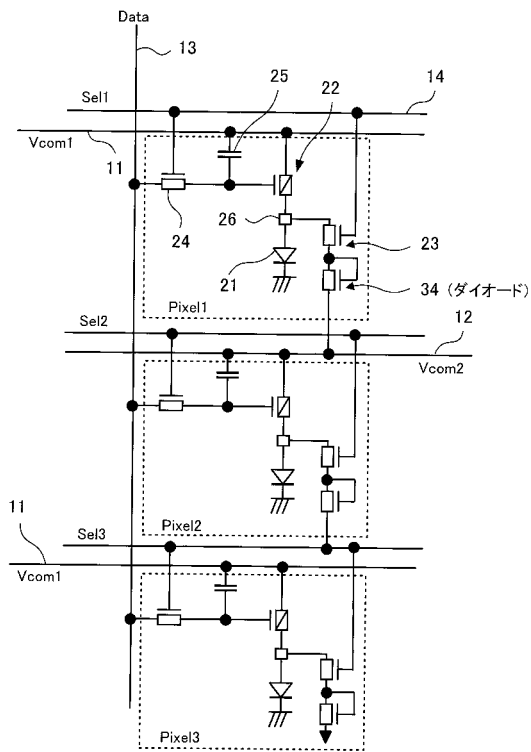
【図17】



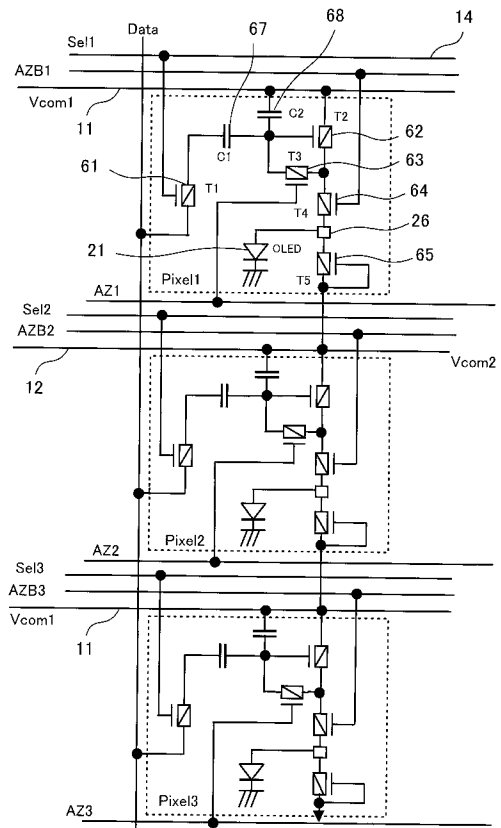
【図18】



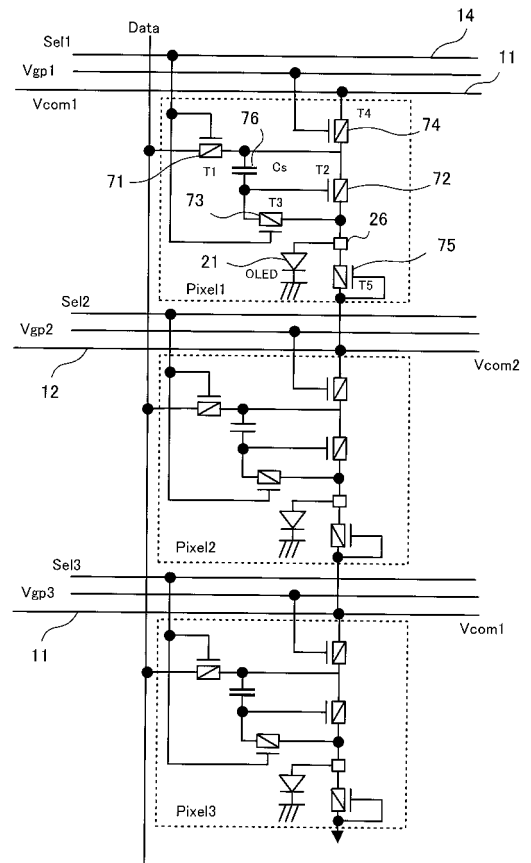
【図19】



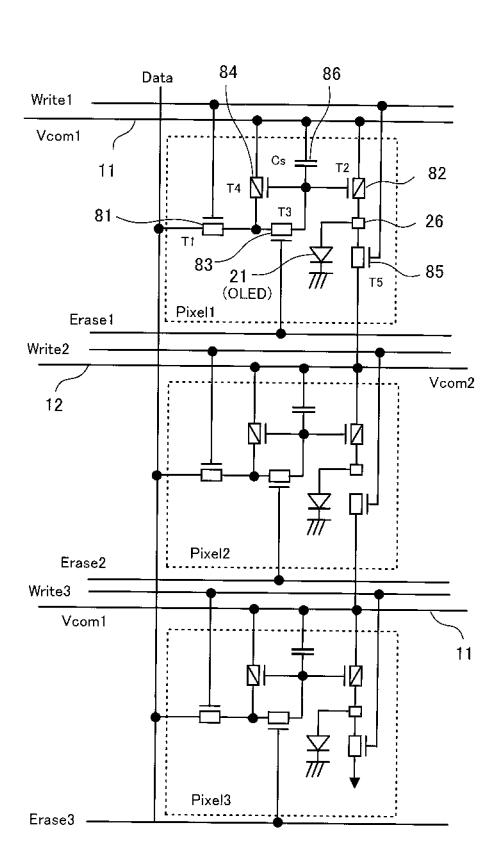
【図20】



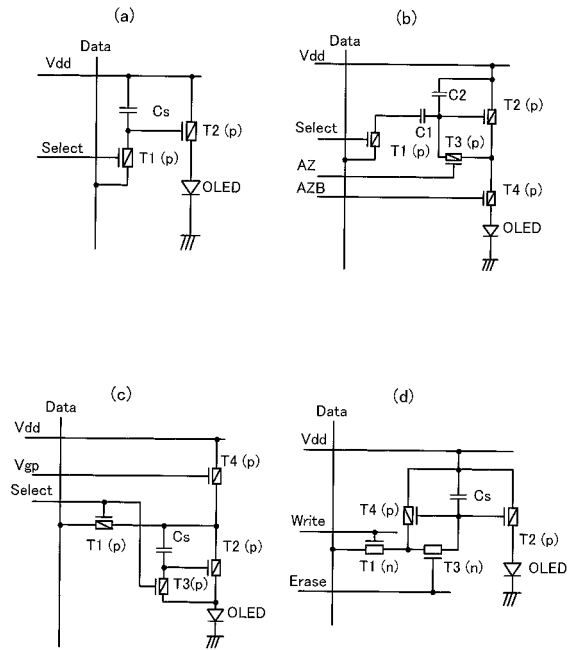
【図21】



【図22】



【 図 2 3 】



---

フロントページの続き

- (72)発明者 坂口 佳民  
神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 東京基礎研究所内
- (72)発明者 中野 大樹  
神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 東京基礎研究所内

審査官 小川 浩史

- (56)参考文献 特開2004-191603(JP,A)  
特開2002-32035(JP,A)  
特開2002-297053(JP,A)  
特開2003-228299(JP,A)  
国際公開第2004/055772(WO,A1)  
特開2004-233715(JP,A)  
特開2004-294457(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G09G 3/20-3/38

专利名称(译)	TFT阵列，显示面板和TFT阵列检查方法		
公开(公告)号	<a href="#">JP4338131B2</a>	公开(公告)日	2009-10-07
申请号	JP2003340018	申请日	2003-09-30
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
当前申请(专利权)人(译)	国际商业机器公司		
[标]发明人	坂口佳民 中野大樹		
发明人	坂口 佳民 中野 大樹		
IPC分类号	G09G3/30 G09G3/20 H05B33/10 G09F9/00 G09F9/30 G09G3/00 G09G3/32 H01L27/12 H01L27/32 H01L51/50 H05B33/14		
CPC分类号	G09G3/006 G09G3/3208 H01L27/12		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.Q G09G3/20.680.G G09F9/00.352 G09F9/30.338 G09F9/30.365 G09F9/30.365.Z G09G3/3225 G09G3/3266 G09G3/3283 G09G3/3291 H01L27/32 H05B33/10 H05B33/14.A H05B33/14.Z		
F-TERM分类号	3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/DD39 3K107/EE03 3K107/EE04 3K107/GG00 3K107/GG56 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD15 5C080/DD28 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA07 5C094/AA42 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DA09 5C094/DB01 5C094/DB02 5C094/FA01 5C094/FB01 5C094/FB20 5C094/GA10 5C094/GB10 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB46 5C380/AC11 5C380/BA28 5C380/CA12 5C380/CA13 5C380/CB16 5C380/CB17 5C380/CC02 5C380/CC14 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD025 5C380/CF20 5C380/CF27 5C380/CF41 5C380/CF43 5C380/CF46 5C380/DA06 5C380/FA03 5C380/FA21 5C380/GA05 5C380/GA08 5C380/HA12 5G435/AA17 5G435/BB05 5G435/CC09 5G435/EE37 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05 5G435/KK10		
代理人(译)	坂口 博 上野 武		
审查员(译)	小川博		
其他公开文献	JP2005107129A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：在不引入新线路进行检查的情况下，能够对驱动TFT进行特性检查。解决方案：TFT阵列配备有驱动TFT 22，用于驱动作为EL元件的OLED 21，第一公共布线11，用于对OLED 21进行电流供应或从其中放电，第二公共布线12交替连接到第一公共布线12公共布线11由每个水平线或每个垂直列像素组成，并设置成对OLED 21进行电流供应或电流从其放电，以及开关TFT 23，它是连接开关，用于连接第一公共布线11和第二公共布线12到像素电极26

