

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-507799

(P2020-507799A)

(43) 公表日 令和2年3月12日(2020.3.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 611A	5C094
H01L 51/50 (2006.01)	G09G 3/20 611H	5C380
H01L 21/336 (2006.01)	G09G 3/20 642A	5F110

審査請求 有 予備審査請求 未請求 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2019-537159 (P2019-537159)	(71) 出願人	515179325 昆山国顯光電有限公司 KUNSHAN GO-VISIONOX OPTO-ELECTRONICS C O., LTD. 中国江蘇省昆山市開發区龍騰路1号4棟 Building 4, No. 1, Longteng Road, Deve lopment Zone Kunsha n, Jiangsu, People's Republic of China
(86) (22) 出願日	平成30年2月14日 (2018.2.14)		
(85) 翻訳文提出日	令和1年7月8日 (2019.7.8)		
(86) 国際出願番号	PCT/CN2018/076788		
(87) 国際公開番号	W02018/153336		
(87) 国際公開日	平成30年8月30日 (2018.8.30)		
(31) 優先権主張番号	201710095713.4		
(32) 優先日	平成29年2月22日 (2017.2.22)		
(33) 優先権主張国・地域又は機関	中国 (CN)		
(31) 優先権主張番号	201710098993.4	(74) 代理人	110000383 特許業務法人 エビス国際特許事務所
(32) 優先日	平成29年2月23日 (2017.2.23)		
(33) 優先権主張国・地域又は機関	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 画素駆動回路、その駆動方法及びトランジスタのレイアウト構造

(57) 【要約】

【課題】画素駆動回路、その駆動方法及びトランジスタのレイアウト構造を提供する。

【解決手段】画素駆動回路は、蓄積コンデンサと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、第3スイッチングトランジスタと、第4スイッチングトランジスタと、第5スイッチングトランジスタと、第6スイッチングトランジスタと、第7スイッチングトランジスタと、第1駆動トランジスタと、第2駆動トランジスタと、有機発光ダイオードとを含む。トランジスタのレイアウト構造は、回路ノードと、回路ノードに接続され第1の活性層、第2の活性層及び第3の活性層活性層を有する活性層と、第1の活性層に接続された第1のソースと、第2の活性層に接続されたドレインと、第3の活性層に接続された第2のソースと、第1の活性層、第2の活性層及び第3の活性層にそれぞれ対応する第1のゲートと、第2のゲートと、第3のゲートと、を含み、第1のゲートと、第2のゲートと、第3のゲートからなるゲートパターンは、回路ノード及び活性層の上方に位置する。

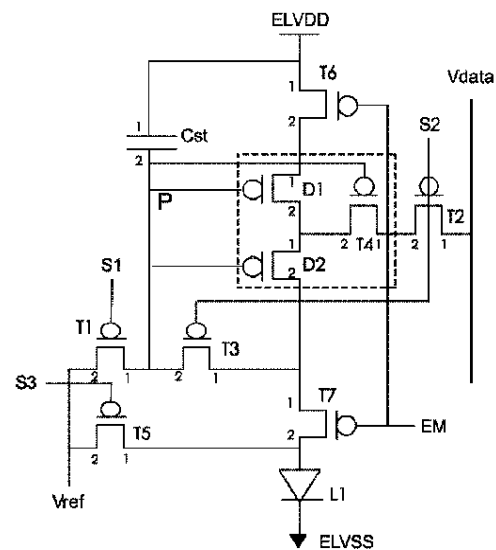


図1

【特許請求の範囲】

【請求項 1】

第 1 電圧源に接続された第 1 端と、第 2 端とを有する蓄積コンデンサと、
 蓄積コンデンサの第 2 端に接続された第 1 端と、基準電圧を受信するための第 2 端と、
 第 1 制御信号を受信するための制御端とを有する第 1 スイッチングトランジスタと、
 データ信号を受信するための第 1 端と、第 2 端と、第 2 制御信号を受信するための制御
 端とを有する第 2 スイッチングトランジスタと、
 第 1 端と、第 1 スイッチングトランジスタの第 1 端に接続された第 2 端と、第 2 制御信
 号を受信するための制御端とを有する第 3 スイッチングトランジスタと、
 第 2 スイッチングトランジスタの第 2 端に接続された第 1 端と、第 2 端と、蓄積コンデ
 ンサの第 2 端に接続された制御端とを有する第 4 スイッチングトランジスタと、
 有機発光ダイオードのアノード端に接続された第 1 端と、基準電圧を受信するための第
 2 端と、第 3 制御信号を受信するための制御端とを有する第 5 スイッチングトランジスタ
 と、
 第 1 電圧源に接続された第 1 端と、第 2 端と、駆動信号を受信するための制御端とを有
 する第 6 スイッチングトランジスタと、
 第 6 スイッチングトランジスタの第 2 端に接続された第 1 端と、第 4 スイッチングトラ
 ンジスタの第 2 端に接続された第 2 端と、蓄積コンデンサの第 2 端に接続された制御端と
 を有する第 1 駆動トランジスタと、
 第 4 スイッチングトランジスタの第 2 端に接続された第 1 端と、第 3 スイッチングトラ
 ンジスタの第 1 端に接続された第 2 端と、蓄積コンデンサの第 2 端に接続された制御端と
 を有する第 2 駆動トランジスタと、
 第 2 駆動トランジスタの第 2 端に接続された第 1 端と、有機発光ダイオードのアノード
 端に接続された第 2 端と、駆動信号を受信するための制御端とを有する第 7 スイッチング
 トランジスタと、
 アノード端と、第 2 電圧源に接続されたカソード端とを有する有機発光ダイオードと、
 を含むことを特徴とする画素駆動回路。

10

20

【請求項 2】

前記第 1 駆動トランジスタの幅と長さの比 W_1 / L_1 、前記第 2 駆動トランジスタの幅
 と長さの比 W_2 / L_2 、及び前記第 4 スイッチングトランジスタの幅と長さの比 W_3 / L_3
 は、

30

W_1 は前記第 1 駆動トランジスタの幅を指し、 L_1 は前記第 1 駆動トランジスタの長さ
 を指し、 W_2 は前記第 2 駆動トランジスタの幅を指し、 L_2 は前記第 2 駆動トランジスタ
 の長さを指し、 W_3 は前記第 4 スイッチングトランジスタの幅を指し、 L_3 は前記第 4 ス
 イッチングトランジスタの長さを指す関係を満たすことを特徴とする請求項 1 に記載の画
 素駆動回路。

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 = 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 > 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 < 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 < W_3$ 、 $L_1 / L_2 = 1$ 又は $L_1 / L_2 > 1$ 又は $L_1 / L_2 < 1$ 、 $L_3 < L_2$ 、或いは、

40

$W_1 = W_2 > W_3$ 、 $L_1 / L_2 = 1$ 又は $L_1 / L_2 > 1$ 又は $L_1 / L_2 < 1$ 、 $L_3 < L_2$

【請求項 3】

前記基準電圧と前記第 2 電圧源によって供給される電圧の電位が等しいかまたは前記基
 準電圧は独立した電圧源であることを特徴とする請求項 1 に記載の画素駆動回路。

【請求項 4】

第 1 スイッチングトランジスタの制御端が第 1 制御信号を受信してオンし、第 4 スイッ
 チングトランジスタ、第 1 駆動トランジスタ及び第 2 駆動トランジスタの制御端を基準電
 圧に初期化する第 1 のステップと、

50

第 2 スイッチングトランジスタ及び第 3 スイッチングトランジスタの制御端が第 2 制御信号を受信してオンし、データ信号 V_{data} を蓄積コンデンサの第 2 端に供給する第 2 のステップと、

第 5 スイッチングトランジスタの制御端が第 3 制御信号を受信してオンし、有機発光ダイオードのアノード端を基準電圧に逆に初期化する第 3 のステップと、

第 6 スイッチングトランジスタ及び第 7 スイッチングトランジスタの制御端が駆動信号を受信してオンし、前記有機発光ダイオードが発光を開始する第 4 のステップと、を含むことを特徴とする画素駆動回路の駆動方法。

【請求項 5】

前記第 2 のステップにおいて、前記第 4 スイッチングトランジスタ、前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタの制御端の電圧は、

10

$$V_{data} - |V_{th2}|$$

に達し、 V_{th2} が前記第 2 駆動トランジスタの閾値電圧であることを特徴とする請求項 4 に記載の画素駆動回路の駆動方法。

【請求項 6】

前記第 4 のステップにおいて、前記有機発光ダイオードに流れる電流は、

20

$$I = 1/2 \times U \times C_{ox} \times [W/(L1 + L2)] \times (V_{data} - VDD)^2$$

であり、 U が前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタの移動度であり、 C_{ox} が前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタのゲート絶縁層の単位面積当たりの容量であることを特徴とする請求項 6 に記載の画素駆動回路の駆動方法。

【請求項 7】

請求項 1 ~ 5 のいずれか 1 項に記載の画素駆動回路を含むことを特徴とするアレイ基板。

【請求項 8】

請求項 9 に記載のアレイ基板を含むことを特徴とする表示装置。

30

【請求項 9】

回路ノードと、

前記回路ノードに接続され、第 1 の活性層と、第 2 の活性層と、第 3 の活性層とを有する活性層と、

前記第 1 の活性層に接続された第 1 のソースと、

前記第 2 の活性層に接続されたドレインと、

前記第 3 の活性層に接続された第 2 のソースと、

前記第 1 の活性層、前記第 2 の活性層及び前記第 3 の活性層にそれぞれ対応する第 1 のゲートと、第 2 のゲートと、第 3 のゲートと、を含み、

前記第 1 のゲートと、前記第 2 のゲートと、前記第 3 のゲートからなるゲートパターンは、前記回路ノード及び前記活性層の上方に位置することを特徴とするトランジスタのレイアウト構造。

40

【請求項 10】

前記第 1 の活性層と前記第 3 の活性層は逆 U 型構造を構成し、前記第 2 の活性層は逆 L 型構造を構成し、或いは、

前記第 1 の活性層と前記第 2 の活性層は

n

型構造を構成し、前記第 3 の活性層は逆 L 型構造を構成し、或いは、

前記第 1 の活性層と前記第 2 の活性層は n 型構造を構成し、前記第 3 の活性層は逆 L 型

50

構造を構成し、或いは、

前記第1のゲート、前記第2のゲート及び前記第3のゲートからなるゲートパターンは、方形又は多角形であることを特徴とする請求項9に記載のトランジスタのレイアウト構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示技術の分野に関し、特に、画素駆動回路、その駆動方法及びトランジスタのレイアウト構造に関する。

【背景技術】

10

【0002】

アクティブマトリックス有機EL (Active Matrix Organic Light Emitting Diode, AMOLED) ディスプレイは、ディスプレイの研究分野におけるホットスポットの1つである。液晶ディスプレイと比較して、有機発光ダイオード (Organic Light Emitting Diode, OLED) は、低消費電力、低製造コスト、自発光、広視野角及び高速応答性等の利点を有する。

【0003】

AMOLEDディスプレイ製品の場合、画素の明るさは、有機発光ダイオードに流れる電流の大きさによって決定され、電流の大きさは、画素駆動回路の駆動用薄膜トランジスタによって制御される。ディスプレイの輝度が同じ場合、ディスプレイの画素密度 (Pixels Per Inch, PPI) が増加するにつれて、各画素に必要な電流が小さくなるため、画素駆動回路における駆動用薄膜トランジスタのチャンネルの幅と長さの比 (W/L) を小さくする必要がある。駆動用薄膜トランジスタのチャンネルの幅が製造工程によって制限されるため、通常、チャンネルの長さを増加させることにより、駆動用薄膜トランジスタのチャンネルの幅/長さ比 (W/L) を小さくして、有機発光ダイオードの電流を減少させる。しかしながら、高PPI、高解像度及び高リフレッシュレートがAMOLEDディスプレイ製品の開発動向であるが、高解像度及び高リフレッシュレートは、各画素の充電時間を短縮するため、画素駆動用薄膜トランジスタのゲートの充電率に影響を与える。したがって、充電率を高めるためには、薄膜トランジスタのチャンネルの幅と長さとの比をより大きくする必要がある。

20

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

AMOLEDディスプレイ技術の発展につれて、画素駆動用薄膜トランジスタのチャンネルの幅と長さの比は、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という2つの要求を両立することが困難である。

【0005】

また、AMOLEDディスプレイ製品では、画素駆動回路内の駆動用薄膜トランジスタの数が多く、レイアウト設計において占有面積又は占有スペースが大きいため、高画素密度 (Pixels Per Inch, PPI) の製品設計に影響を及ぼす。

40

【0006】

本発明の1つの目的は、従来の画素駆動用薄膜トランジスタのチャンネルの幅と長さの比により有機発光ダイオードの電流の減少と、画素駆動用薄膜トランジスタのゲートの充電率の増加の2つの要求を両立することが困難であるという問題を解決するための画素駆動回路及びその駆動方法を提供することにある。

【0007】

本発明の他の目的は、従来の画素駆動回路内の駆動用薄膜トランジスタの数が多く、レイアウト設計において占有面積又は占有スペースが大きく、高画素密度の製品設計に影響

50

を及ぼすという問題を解決するためのトランジスタのレイアウト構造を提供することにある。

【課題を解決するための手段】

【0008】

本発明に係る画素駆動回路は、第1電圧源に接続された第1端、及び第2端を有する蓄積コンデンサと、蓄積コンデンサの第2端に接続された第1端、基準電圧を受信するための第2端、及び第1制御信号を受信するための制御端を有する第1スイッチングトランジスタと、データ信号を受信するための第1端、第2端、及び第2制御信号を受信するための制御端を有する第2スイッチングトランジスタと、第1端、第1スイッチングトランジスタの第1端に接続された第2端、及び第2制御信号を受信するための制御端を有する第3スイッチングトランジスタと、第2スイッチングトランジスタの第2端に接続された第1端、第2端、及び蓄積コンデンサの第2端に接続された制御端を有する第4スイッチングトランジスタと、有機発光ダイオードのアノード端に接続された第1端、基準電圧を受信するための第2端、及び第3制御信号を受信するための制御端を有する第5スイッチングトランジスタと、第1電圧源に接続された第1端、第2端、及び駆動信号を受信するための制御端を有する第6スイッチングトランジスタと、第6スイッチングトランジスタの第2端に接続された第1端、第4スイッチングトランジスタの第2端に接続された第2端、及び蓄積コンデンサの第2端に接続された制御端を有する第1駆動トランジスタと、第4スイッチングトランジスタの第2端に接続された第1端、第3スイッチングトランジスタの第1端に接続された第2端、及び蓄積コンデンサの第2端に接続された制御端を有する第2駆動トランジスタと、第2駆動トランジスタの第2端に接続された第1端、有機発光ダイオードのアノード端に接続された第2端、及び駆動信号を受信するための制御端を有する第7スイッチングトランジスタと、アノード端及び第2電圧源に接続されたカソード端を有する有機発光ダイオードと、を含む。

10

20

【0009】

一実施形態において、前記第1駆動トランジスタの幅と長さの比 $W1/L1$ 、前記第2駆動トランジスタの幅と長さの比 $W2/L2$ 、及び前記第4スイッチングトランジスタの幅と長さの比 $W3/L3$ は、以下の関係を満たす。

$W1 = W2 = W3$ 、 $L1/L2 = 1$ 、 $L3 < L2$ 、或いは、

$W1 = W2 = W3$ 、 $L1/L2 > 1$ 、 $L3 < L2$ 、或いは、

$W1 = W2 = W3$ 、 $L1/L2 < 1$ 、 $L3 < L2$ 、或いは、

$W1 = W2 < W3$ 、 $L1/L2 = 1$ 又は $L1/L2 > 1$ 又は $L1/L2 < 1$ 、 $L3 < L2$ 、或いは、

$W1 = W2 > W3$ 、 $L1/L2 = 1$ 又は $L1/L2 > 1$ 又は $L1/L2 < 1$ 、 $L3 < L2$ 。

30

【0010】

一実施形態において、前記基準電圧と前記第2電圧源によって供給される電圧の電位が等しい。

【0011】

一実施形態において、前記基準電圧は独立した電圧源である。

40

【0012】

一実施形態において、前記第1スイッチングトランジスタ～前記第7スイッチングトランジスタ、前記第1駆動トランジスタ、及び前記第2駆動トランジスタは、全て同じチャネルタイプを有する。

【0013】

本発明に係る画素駆動回路の駆動方法は、第1スイッチングトランジスタの制御端が第1制御信号を受信してオンし、第4スイッチングトランジスタ、第1駆動トランジスタ及び第2駆動トランジスタの制御端を基準電圧に初期化する第1のステップと、第2スイッチングトランジスタ及び第3スイッチングトランジスタの制御端が第2制御信号を受信してオンし、データ信号 V_{data} を蓄積コンデンサの第2端に供給する第2のステップと

50

、第 5 スイッチングトランジスタの制御端が第 3 制御信号を受信してオンし、有機発光ダイオードのアノード端を基準電圧に逆に初期化する第 3 のステップと、第 6 スイッチングトランジスタ及び第 7 スイッチングトランジスタの制御端が駆動信号を受信してオンし、前記有機発光ダイオードが発光を開始する第 4 のステップと、を含む。

【 0 0 1 4 】

一実施形態において、前記第 2 のステップにおいて、前記第 4 スイッチングトランジスタ、前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタの制御端の電圧は、

$$V_{data} - |V_{th2}|$$

10

に達し、 V_{th2} が第 2 駆動トランジスタの閾値電圧である。

【 0 0 1 5 】

一実施形態において、前記第 4 のステップにおいて、前記有機発光ダイオードに流れる電流は、

$$I = \frac{1}{2} \times \mu \times C_{ox} \times [W/(L1 + L2)] \times (V_{data} - VDD)^2$$

であり、 μ が前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタの移動度であり、 C_{ox} が前記第 1 駆動トランジスタ及び前記第 2 駆動トランジスタのゲート絶縁層の単位面積当たりの容量である。

20

【 0 0 1 6 】

本発明に係るアレイ基板は、上述した画素駆動回路を含む。

【 0 0 1 7 】

本発明に係る表示装置は、上述したアレイ基板を含む。

【 0 0 1 8 】

本発明に係るトランジスタのレイアウト構造は、回路ノードと、前記回路ノードに接続され、第 1 の活性層、第 2 の活性層及び第 3 の活性層を有する活性層と、前記第 1 の活性層に接続された第 1 のソースと、前記第 2 の活性層に接続されたドレインと、前記第 3 の活性層に接続された第 2 のソースと、前記第 1 の活性層、前記第 2 の活性層及び前記第 3 の活性層にそれぞれ対応する第 1 のゲートと、第 2 のゲートと、第 3 のゲートと、を含み、前記第 1 のゲートと、前記第 2 のゲートと、前記第 3 のゲートからなるゲートパターンは、前記回路ノード及び前記活性層の上方に位置する。

30

【 0 0 1 9 】

一実施形態において、前記第 1 の活性層と前記第 3 の活性層は逆 U 型構造を構成し、前記第 2 の活性層は逆 L 型構造を構成する。

【 0 0 2 0 】

一実施形態において、前記第 1 の活性層と前記第 2 の活性層は

n

型構造を構成し、前記第 3 の活性層は逆 L 型構造を構成する。

40

【 0 0 2 1 】

一実施形態において、前記第 1 の活性層と前記第 2 の活性層は n 型構造を構成し、前記第 3 の活性層は逆 L 型構造を構成する。

【 0 0 2 2 】

一実施形態において、前記第 1 のゲート、前記第 2 のゲート及び前記第 3 のゲートからなるゲートパターンは、方形又は多角形である。

【発明の効果】

【 0 0 2 3 】

本発明に係る画素駆動回路及びその駆動方法は、直列接続された第 1 駆動トランジスタ及び第 2 駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電され

50

る場合、画素駆動回路は、直列接続された第2駆動トランジスタ及び第4スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という2つの要求を満たすことができる。

【0024】

本発明に係るトランジスタのレイアウト構造は、3つのトランジスタのゲートが同一パターンを構成し、2つのトランジスタのドレインと第3トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することにより、3つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

10

【図面の簡単な説明】

【0025】

【図1】本発明の一実施形態に係る画素駆動回路の概略構成図である。

【図2】本発明の一実施形態に係る画素駆動回路の駆動方法の概略フローチャートである。

。

【図3】本発明の一実施形態に係る画素駆動回路の信号タイミング状態を示す概略図である。

【図4】本発明の一実施形態に係る画素駆動回路の電流の流れを示す概略構成図である。

【図5】本発明の一実施形態に係る画素駆動回路の電流の流れを示す概略構成図である。

【図6】本発明の一実施形態に係る画素駆動回路の電流の流れを示す概略構成図である。

20

【図7】本発明の一実施形態に係る画素駆動回路の電流の流れを示す概略構成図である。

【図8】本発明の一実施形態に係るトランジスタのレイアウト構造を示す概略図である。

【図9】本発明の一実施形態に係るトランジスタのレイアウト構造を示す他の概略図である。

【図10】本発明の一実施形態によるトランジスタのレイアウト構造を示す別の概略図である。

【発明を実施するための形態】

【0026】

本発明の目的、技術手段及び利点をより明らかにするために、以下、図面を参照しながら、本発明の実施形態をさらに詳細に説明する。

30

【0027】

以下、図面を参照して、本発明を実施するための様々な実施形態を説明するが、要素を示すために「モジュール」、「部材」又は「ユニット」などの接尾辞を使用することは、本発明を容易にするための説明にすぎず、それ自体は特定の意味を持たない。

【0028】

本発明の全ての実施形態に用いられるスイッチングトランジスタ及び駆動トランジスタは、薄膜トランジスタ、電界効果トランジスタ、又はこれらと同等の特性を有する他の素子であってもよい。ここで用いられるスイッチングトランジスタのソース及びドレインが対称的であるため、ソースとドレインは交換可能である。本発明の実施形態では、トランジスタのゲート以外の2つの電極を区別するために、一方の電極をソース、他方の電極をドレインと呼ぶ。図示の形態によれば、トランジスタの制御端はゲートであり、第1端はソースであり、第2端はドレインである。また、本発明の実施形態に用いられるスイッチングトランジスタは、P型スイッチングトランジスタとN型スイッチングトランジスタの2種類を含む。ここで、P型スイッチングトランジスタは、ゲートがローレベルのときにオンし、ゲートがハイレベルのときにオフし、N型スイッチングトランジスタは、ゲートがハイレベルのときにオンし、ゲートがローレベルのときにオフする。

40

【0029】

なお、図示の画素駆動回路のスイッチングトランジスタ及び駆動トランジスタは、全てPチャネルトランジスタである。当業者であれば、本発明の画素駆動回路を全てNチャネルトランジスタである画素駆動回路に容易に変更できる。

50

【 0 0 3 0 】

図 1 に示すように、本発明に係る画素駆動回路は、第 1 電圧源 $E L V D D$ に接続された第 1 端、及び第 2 端を有する蓄積コンデンサ $C s t$ と、蓄積コンデンサ $C s t$ の第 2 端に接続された第 1 端、基準電圧 $V r e f$ を受信するための第 2 端、及び第 1 制御信号 $S 1$ を受信するための制御端を有する第 1 スイッチングトランジスタ $T 1$ と、データ信号を受信するための第 1 端、第 2 端、及び第 2 制御信号 $S 2$ を受信するための制御端を有する第 2 スイッチングトランジスタ $T 2$ と、第 1 端、第 1 スイッチングトランジスタ $T 1$ の第 1 端に接続された第 2 端、及び第 2 制御信号 $S 2$ を受信するための制御端を有する第 3 スイッチングトランジスタ $T 3$ と、第 2 スイッチングトランジスタ $T 2$ の第 2 端に接続された第 1 端、第 2 端、及び蓄積コンデンサ $C s t$ の第 2 端に接続された制御端を有する第 4 スイッチングトランジスタ $T 4$ と、有機発光ダイオード $L 1$ のアノード端に接続された第 1 端、基準電圧 $V r e f$ を受信するための第 2 端、及び第 3 制御信号 $S 3$ を受信するための制御端を有する第 5 スイッチングトランジスタ $T 5$ と、第 1 電圧源 $E L V D D$ に接続された第 1 端、第 2 端、及び駆動信号を受信するための制御端を有する第 6 スイッチングトランジスタ $T 6$ と、第 6 スイッチングトランジスタ $T 6$ の第 2 端に接続された第 1 端、第 4 スイッチングトランジスタ $T 4$ の第 2 端に接続された第 2 端、及び蓄積コンデンサ $C s t$ の第 2 端に接続された制御端を有する第 1 駆動トランジスタ $D 1$ と、第 4 スイッチングトランジスタ $T 4$ の第 2 端に接続された第 1 端、第 3 スイッチングトランジスタ $T 3$ の第 1 端に接続された第 2 端、及び蓄積コンデンサ $C s t$ の第 2 端に接続された制御端を有する第 2 駆動トランジスタ $D 2$ と、第 2 駆動トランジスタ $D 2$ の第 2 端に接続された第 1 端、有機発光ダイオード $L 1$ のアノード端に接続された第 2 端、及び駆動信号 $E M$ を受信するための制御端を有する第 7 スイッチングトランジスタ $T 7$ と、アノード端、及び第 2 電圧源 $E L V S S$ に接続されたカソード端を有する有機発光ダイオード $L 1$ と、を含む。

【 0 0 3 1 】

本実施形態において、第 1 駆動トランジスタ $D 1$ の幅と長さの比 $W 1 / L 1$ 、第 2 駆動トランジスタ $D 2$ の幅と長さの比 $W 2 / L 2$ 、及び第 4 スイッチングトランジスタ $T 4$ の幅と長さの比 $W 3 / L 3$ は、以下の関係を満たす。

$W 1 = W 2 = W 3$ 、 $L 1 / L 2 = 1$ 、 $L 3 < L 2$ 、或いは、

$W 1 = W 2 = W 3$ 、 $L 1 / L 2 > 1$ 、 $L 3 < L 2$ 、或いは、

$W 1 = W 2 = W 3$ 、 $L 1 / L 2 < 1$ 、 $L 3 < L 2$ 、或いは、

$W 1 = W 2 < W 3$ 、 $L 1 / L 2 = 1$ 又は $L 1 / L 2 > 1$ 又は $L 1 / L 2 < 1$ 、 $L 3 < L 2$ 、或いは、

$W 1 = W 2 > W 3$ 、 $L 1 / L 2 = 1$ 又は $L 1 / L 2 > 1$ 又は $L 1 / L 2 < 1$ 、 $L 3 < L 2$ 。

【 0 0 3 2 】

なお、第 1 駆動トランジスタ $D 1$ の幅と長さの比 $W 1 / L 1$ 、第 2 駆動トランジスタ $D 2$ の幅と長さの比 $W 2 / L 2$ 、第 4 スイッチングトランジスタ $T 4$ の幅と長さの比 $W 3 / L 3$ は、上記に列挙したものに限定されない。本発明の実施形態の画素駆動回路によって設計された $D 1$ 、 $D 2$ 、及び $T 4$ の幅と長さの比は、全て本発明の保護範囲内に含まれる。

【 0 0 3 3 】

本実施形態において、第 1 スイッチングトランジスタ $T 1$ ~ 第 7 スイッチングトランジスタ $T 7$ 、第 1 駆動トランジスタ $D 1$ 、及び第 2 駆動トランジスタ $D 2$ は、全て同じチャネルタイプを有する。

【 0 0 3 4 】

一実施形態において、基準電圧 $V r e f$ と第 2 電圧源 $E L V S S$ によって供給される電圧の電位が等しい。

【 0 0 3 5 】

一実施形態において、基準電圧 $V r e f$ は独立した電圧源であってもよい。

【 0 0 3 6 】

10

20

30

40

50

本発明の実施形態に係る画素駆動回路は、直列接続された第 1 駆動トランジスタ及び第 2 駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電される場合、画素駆動回路は、直列接続された第 2 駆動トランジスタ及び第 4 スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という 2 つの要求を満たすことができる。

【 0 0 3 7 】

図 2 に示すように、本実施形態に係る画素駆動回路の駆動方法は、以下のステップを含む。

【 0 0 3 8 】

第 1 のステップにおいて、第 1 スイッチングトランジスタ T 1 の制御端が第 1 制御信号 S 1 を受信してオンし、第 4 スイッチングトランジスタ T 4、第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 の制御端を基準電圧 V r e f に初期化する。

【 0 0 3 9 】

第 2 のステップにおいて、第 2 スイッチングトランジスタ T 2 及び第 3 スイッチングトランジスタ T 3 の制御端が第 2 制御信号 S 2 を受信してオンし、データ信号 V d a t a を蓄積コンデンサ C s t の第 2 端に供給する。

本実施例において、第 4 スイッチングトランジスタ T 4、第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 の制御端の電圧は

$$V_{data} - |V_{th2}|$$

に達し、ここで、V t h 2 が第 2 駆動トランジスタ D 2 の閾値電圧である。

【 0 0 4 0 】

第 3 のステップにおいて、第 5 スイッチングトランジスタ T 5 の制御端が第 3 制御信号 S 3 を受信してオンし、有機発光ダイオード L 1 のアノード端を基準電圧 V r e f に逆に初期化する。

【 0 0 4 1 】

第 4 のステップにおいて、第 6 スイッチングトランジスタ T 6 及び第 7 スイッチングトランジスタ T 7 の制御端が駆動信号を受信してオンし、有機発光ダイオード L 1 が発光を開始する。

【 0 0 4 2 】

本実施形態において、有機発光ダイオードに流れる電流は、

$$I = 1/2 \times U \times C_{ox} \times [W/(L1 + L2)] \times (V_{data} - VDD)^2$$

であり、U が第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 の移動度であり、C o x が第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 のゲート絶縁層の単位面積当たりの容量である。

【 0 0 4 3 】

例示として、図 3 ~ 図 7 を併せて参照しながら、以下説明する。

【 0 0 4 4 】

t 1 の間に、第 1 制御信号 S 1 がローレベルであり、第 2 制御信号 S 2、第 3 制御信号 S 3 及び駆動信号 E M がハイレベルである。このとき、第 1 スイッチングトランジスタ T 1 の制御端がローレベルである第 1 制御信号 S 1 を受信してオンし、第 4 スイッチングトランジスタ T 4、第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 の制御端は、基準電圧 V r e f に初期化される。電流の流れの方向は、図 4 の点線で示されている。

【 0 0 4 5 】

t 2 の間に、第 2 制御信号 S 2 がローレベルであり、第 1 制御信号 S 1、第 3 制御信号

10

20

30

40

50

S 3 及び駆動信号 E M がハイレベルである。このとき、第 2 スイッチングトランジスタ T 2 及び第 3 スイッチングトランジスタ T 3 の制御端がローレベルである第 2 制御信号 S 2 を受信してオンし、データ信号 V_{data} は、蓄積コンデンサ C_{st} の第 2 端に供給される。電流の流れの方向は、図 5 の点線で示されている。なお、このとき、第 2 駆動トランジスタ D 2 及び第 4 スイッチングトランジスタ T 4 は、幅と長さの比が $W / (L_2 + L_3)$ であるトランジスタとみなすことができる。比較的短い充電時間 t_2 の間に、P 点の電圧は、

$$V_{data} - |V_{th2}|$$

10

になるように比較的迅速に書き込まれることができる。ここで、 V_{th2} は第 2 駆動トランジスタ D 2 の閾値電圧である。この場合、第 2 駆動トランジスタ D 2 及び第 4 スイッチングトランジスタ T 4 からなるトランジスタの閾値電圧は、主に第 2 駆動トランジスタ D 2 によって決定される。

【0046】

t_3 の間に、第 3 制御信号 S 3 がローレベルであり、第 1 制御信号 S 1、第 2 制御信号 S 2 及び駆動信号 E M がハイレベルである。このとき、第 5 スイッチングトランジスタ T 5 の制御端がローレベルである第 3 制御信号を受信してオンし、有機発光ダイオード L 1 のアノード端は、基準電圧 V_{ref} に逆に初期化される。電流の流れの方向は、図 6 の点線で示されている。

20

【0047】

t_4 の間に、駆動信号 E M がローレベルであり、第 1 制御信号 S 1、第 2 制御信号 S 2 及び第 3 制御信号 S 3 がハイレベルである。このとき、第 6 スイッチングトランジスタ T 6 及び第 7 スイッチングトランジスタ T 7 の制御端がローレベルである駆動信号を受信してオンし、有機発光ダイオード L 1 が発光し始める。電流の流れの方向は、図 7 の点線で示されている。なお、このとき、第 1 駆動トランジスタ D 1 と第 2 駆動トランジスタ D 2 とが直列接続され、ゲート同士が接続されているので、幅と長さの比が $W / (L_1 + L_2)$ であるトランジスタとみなすことができる。このトランジスタは飽和領域で動作し、 V_{th} は、主に第 2 駆動トランジスタ D 2 の V_{th2} によって決定されるため、飽和領域の電流算出式によれば、有機発光ダイオードに流れる電流は、

30

$$I = \frac{1}{2} \times U \times C_{ox} \times [W / (L_1 + L_2)] \times (V_{data} - V_{DD})^2$$

である。ここで、U が第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 の移動度であり、 C_{ox} が第 1 駆動トランジスタ D 1 及び第 2 駆動トランジスタ D 2 のゲート絶縁層の単位面積当たりの容量である。

【0048】

本発明の実施形態に係る画素駆動回路の駆動方法は、直列接続された第 1 駆動トランジスタ及び第 2 駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電される場合、画素駆動回路は、直列接続された第 2 駆動トランジスタ及び第 4 スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という 2 つの要求を満たすことができる。

40

【0049】

本発明の実施形態に係るアレイ基板は、列に沿って配列された複数のデータ信号線と、行に沿って配列された複数の制御信号線及び駆動信号線と、データ信号線と制御信号線とが交差する位置にマトリクス状に配置した複数の画素と、を含み、画素は、上述した画素駆動回路を含む。

50

【 0 0 5 0 】

本発明の実施形態に係るアレイ基板は、直列接続された第 1 駆動トランジスタ及び第 2 駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電される場合、画素駆動回路は、直列接続された第 2 駆動トランジスタ及び第 4 スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という 2 つの要求を満たすことができる。

【 0 0 5 1 】

本発明の実施形態に係る表示装置は、上述したアレイ基板を含む。また、表示装置は、電子ペーパー、携帯電話、テレビ、デジタルフォトフレーム等の表示装置であってもよい。

10

【 0 0 5 2 】

本発明の実施形態に係る表示装置は、直列接続された第 1 駆動トランジスタ及び第 2 駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電される場合、画素駆動回路は、直列接続された第 2 駆動トランジスタ及び第 4 スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という 2 つの要求を満たすことができる。

【 0 0 5 3 】

図 8 ~ 図 10 に示すように、本実施形態に係るトランジスタのレイアウト構造は、回路ノード 10 と、回路ノード 10 に接続された活性層とを含む。

20

【 0 0 5 4 】

本実施形態において、活性層は、第 1 の活性層 2 1、第 2 の活性層 2 2 及び第 3 の活性層 2 3 を有する。

【 0 0 5 5 】

図 8 に示すように、一実施形態において、第 1 の活性層 2 1 と第 3 の活性層 2 3 は逆 U 型構造を構成し、第 2 の活性層 2 2 は逆 L 型構造を構成する。

【 0 0 5 6 】

図 9 に示すように、一実施形態において、第 1 の活性層 2 1 と第 2 の活性層 2 2 は

30

n

型構造を構成し、第 3 の活性層 2 3 は逆 L 型構造を構成する。

【 0 0 5 7 】

図 10 に示すように、一実施形態において、第 1 の活性層 2 1 と第 2 の活性層 2 2 は n 型構造を構成し、第 3 の活性層 2 3 は逆 L 型構造を構成する。

【 0 0 5 8 】

第 1 の活性層 2 1 には第 1 のソース 3 1 が接続され、第 2 の活性層 2 2 にはドレイン 3 2 が接続され、第 3 の活性層 2 3 には第 2 のソース 3 3 が接続される。

【 0 0 5 9 】

レイアウト構造は、第 1 の活性層 2 1、第 2 の活性層 2 2 及び第 3 の活性層 2 3 にそれぞれ対応する第 1 のゲート、第 2 のゲート及び第 3 のゲートを含む。第 1 のゲートと、第 2 のゲートと、第 3 のゲートからなるゲートパターン 40 は、回路ノード 10 及び活性層の上方に位置する。

40

【 0 0 6 0 】

図 8 ~ 図 10 に示すように、本実施形態において、ゲートパターン 40 は、正方形又は長方形のような方形であり、4 つ以上の線分を連続的に連結して形成された平面パターンである多角形であってもよい。

【 0 0 6 1 】

図 8 を再び参照すると、ゲートパターン 40 によって覆われた活性層はチャネル領域である。第 1 の活性層 2 1 のゲートパターン 40 によって覆われた活性層（図中の点線枠）

50

は、第 1 チャンネル 2 1 1 であり、第 2 の活性層 2 2 のゲートパターン 4 0 によって覆われた活性層（図中の点線枠）は、第 2 チャンネル 2 2 1 であり、第 3 の活性層 2 3 のゲートパターン 4 0 に覆われた活性層（図中の点線枠）は、第 3 チャンネル 2 3 1 である。

【 0 0 6 2 】

第 1 のソース 3 1、第 1 の活性層 2 1 及び回路ノード 1 0 は、電流を流すチャンネルを形成し、第 2 のソース 3 3、第 3 の活性層 2 3 及び回路ノード 1 0 は、電流を流すチャンネルを形成し、回路ノード 1 0、第 2 の活性層 2 2 及びドレイン 3 2 は、電流を流すチャンネルを形成することができる。したがって、そのレイアウト構造は、3 つのトランジスタからなるレイアウトに相当する。即ち、2 つのトランジスタのドレインと 3 つ目のトランジスタのソースとが接続されて回路ノードが形成され、3 つのトランジスタのゲート同士が接続される。

10

【 0 0 6 3 】

なお、本発明の実施形態に係るトランジスタのレイアウト構造は、ボトムゲート構造のトランジスタに限らず、トップゲート構造のトランジスタにも適用可能である。

【 0 0 6 4 】

トップゲート構造とトランジスタのボトムゲート構造の製造プロセスは異なる。トップゲート構造の製造プロセスは、以下の通りである。

S 1 : バッファ層、活性層を堆積し、活性層をパターニングする。

S 2 : ゲート絶縁層、ゲート金属層を堆積し、ゲート金属層をパターニングする。

S 3 : トランジスタのソースとドレインを P + ドーピングする。

20

ボトムゲート構造の製造プロセスは、以下の通りである。

S 1 0 : バッファ層、ゲート金属層を堆積し、ゲート金属層をパターニングする。

S 1 1 : ゲート絶縁層、活性層を堆積し、活性層をパターニングする。

S 1 2 : ドーピングバリア層をコーティングしてパターニングし、TFT のソースとドレインを P + ドーピングする。

S 1 3 : ゲートバリア層を剥離する。

【 0 0 6 5 】

本発明の実施形態に係るトランジスタのレイアウト構造は、3 つのトランジスタのゲートが同一パターンを構成し、2 つのトランジスタのドレインと第 3 トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することに相当する。これにより、3 つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

30

【 0 0 6 6 】

本発明の一実施形態において、画素駆動回路は、第 1 駆動トランジスタと、第 2 駆動トランジスタと、スイッチングトランジスタとを含む。第 1 駆動トランジスタと第 2 駆動トランジスタとスイッチングトランジスタとが構成するレイアウト構造は、上述したレイアウト構造である。

【 0 0 6 7 】

本実施形態において、第 1 駆動トランジスタの幅と長さの比 W_1 / L_1 、第 2 駆動トランジスタの幅と長さの比 W_2 / L_2 、及びスイッチングトランジスタの幅と長さの比 W_3 / L_3 は、以下の関係を満たす。

40

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 = 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 > 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 = W_3$ 、 $L_1 / L_2 < 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 < W_3$ 、 $L_1 / L_2 = 1$ 又は $L_1 / L_2 > 1$ 又は $L_1 / L_2 < 1$ 、 $L_3 < L_2$ 、或いは、

$W_1 = W_2 > W_3$ 、 $L_1 / L_2 = 1$ 又は $L_1 / L_2 > 1$ 又は $L_1 / L_2 < 1$ 、 $L_3 < L_2$ 。

【 0 0 6 8 】

なお、第 1 駆動トランジスタの幅と長さの比 W_1 / L_1 、第 2 駆動トランジスタの幅と

50

長さの比 W_2 / L_2 、スイッチングトランジスタの幅と長さの比 W_3 / L_3 は、上記に列挙したものに限定されない。本発明の実施形態の画素駆動回路によって設計された幅と長さの比は、全て本発明の保護範囲内に含まれるべきである。

【0069】

例示として、図1を参照する。図1の画素駆動回路は、第1駆動トランジスタD1、第2駆動トランジスタD2及び第4スイッチングトランジスタT4（図中の点線枠）を含む。第1駆動トランジスタD1の第2端（ドレイン）と、第4スイッチングトランジスタT4の第2端（ドレイン）と、第2駆動トランジスタD2の第1端（ソース）が回路ノードを形成するように接続される。第1駆動トランジスタD1のゲートと、第2駆動トランジスタD2のゲートと、第4スイッチングトランジスタT4のゲートとが接続される。そのレイアウト構造は、上述の通りである。

10

【0070】

本発明の実施形態に係る画素駆動回路は、3つのトランジスタのゲートが同一パターンを構成し、2つのトランジスタのドレインと第3トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することにより、3つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

【0071】

本発明に係るアレイ基板は、列に沿って配列されたデータ信号線と、行に沿って配列された複数の制御信号線及び駆動信号線と、データ信号線と制御信号線とが交差する位置にマトリクス状に配置した複数の画素と、を含み、画素は、上述した画素駆動回路を含む。

20

【0072】

本発明の実施形態に係るアレイ基板は、3つのトランジスタのゲートが同一パターンを構成し、2つのトランジスタのドレインと第3トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することにより、3つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

【0073】

本発明に係る表示装置は、上述したアレイ基板を含む。また、表示装置は、電子ペーパー、携帯電話、テレビ、デジタルフォトフレーム等の表示装置であってもよい。

30

【0074】

本発明の実施形態に係る表示装置は、3つのトランジスタのゲートが同一パターンを構成し、2つのトランジスタのドレインと第3トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することにより、3つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

【0075】

以上、本発明の好適な実施形態について説明したが、本発明は、上記実施形態に限定されるものではない。本発明にあっては種々の変形が可能であって、かかる変形は、特許請求の範囲内に含まれる変形である限り本発明の保護範囲に含まれる。

40

【産業上の利用可能性】

【0076】

本発明に係る画素駆動回路及びその駆動方法は、直列接続された第1駆動トランジスタ及び第2駆動トランジスタにより有機発光ダイオードを駆動することで、画素が充電される場合、画素駆動回路は、直列接続された第2駆動トランジスタ及び第4スイッチングトランジスタの閾値電圧を補償することができる。その結果、有機発光ダイオードの電流を減少させること、画素駆動用薄膜トランジスタのゲートの充電率を増加させること、という2つの要求を満たすことができる。

【0077】

本発明に係るトランジスタのレイアウト構造は、3つのトランジスタのゲートが同一パ

50

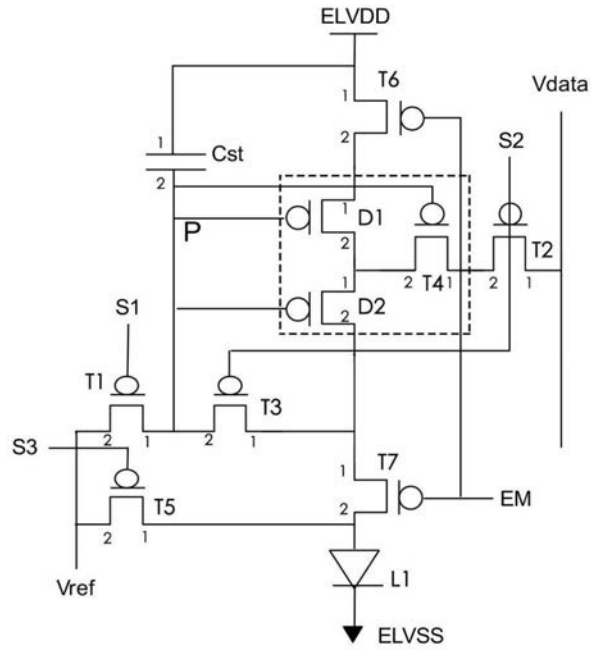
ターンを構成し、2つのトランジスタのドレインと第3トランジスタのソースとの接続によって形成される回路ノードがゲートパターンの下に位置することにより、3つのトランジスタのレイアウト面積を縮小し、レイアウト設計の難易度を低減し、適用範囲を向上させることができる。

【符号の説明】

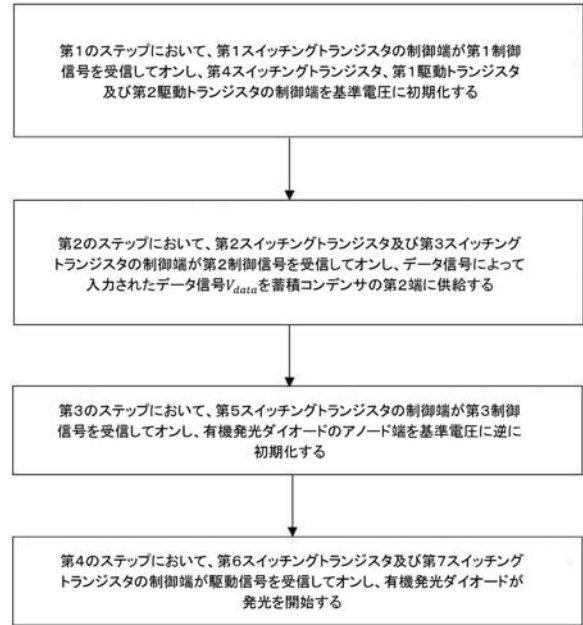
【0078】

10	回路ノード	
21	第1の活性層	
22	第2の活性層	
23	第3の活性層	10
31	第1のソース	
32	ドレイン	
33	第2のソース	
40	ゲートパターン	
Cst	蓄積コンデンサ	
D1	第1駆動トランジスタ	
D2	第2駆動トランジスタ	
ELVDD	第1電圧源	
ELVSS	第2電圧源	
EM	駆動信号	20
L1	有機発光ダイオード	
S1	第1制御信号	
S2	第2制御信号	
S3	第3制御信号	
T1	第1スイッチングトランジスタ	
T2	第2スイッチングトランジスタ	
T3	第3スイッチングトランジスタ	
T4	第4スイッチングトランジスタ	
T5	第5スイッチングトランジスタ	
T6	第6スイッチングトランジスタ	30
T7	第7スイッチングトランジスタ	
Vref	基準電圧	
Vdata	データ信号	

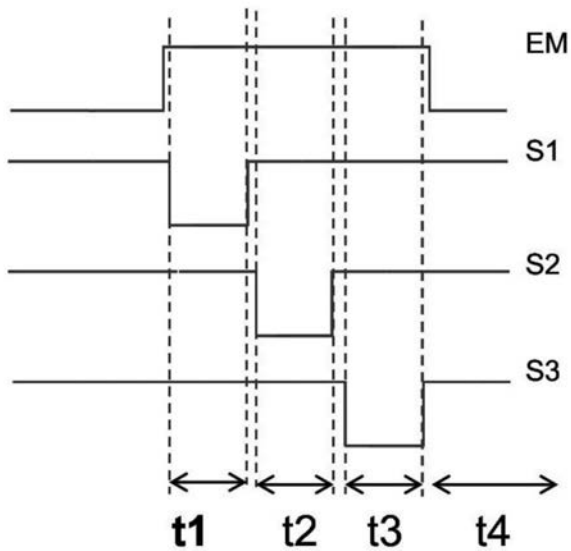
【図 1】



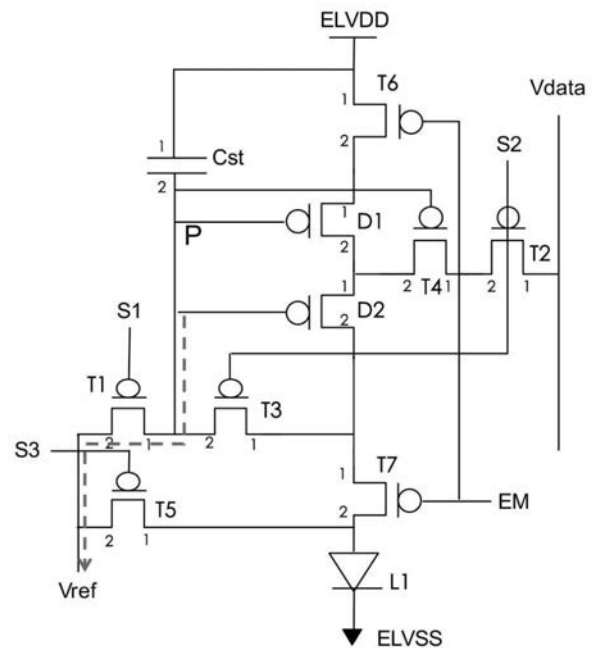
【図 2】



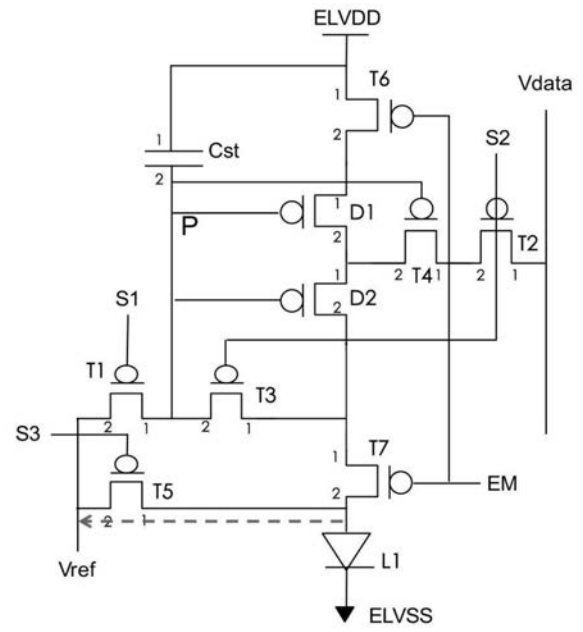
【図 3】



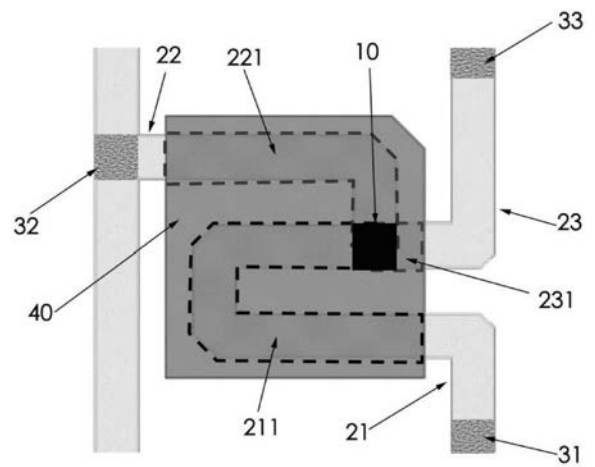
【図 4】



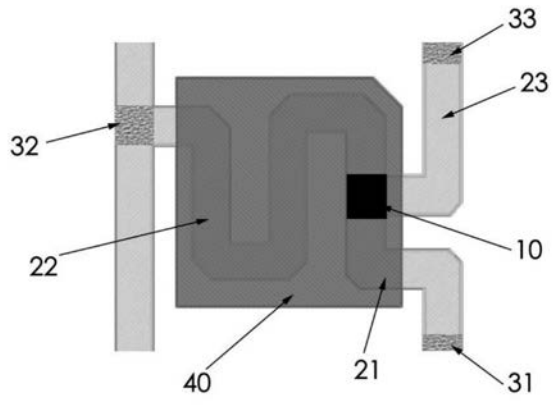
【 図 6 】



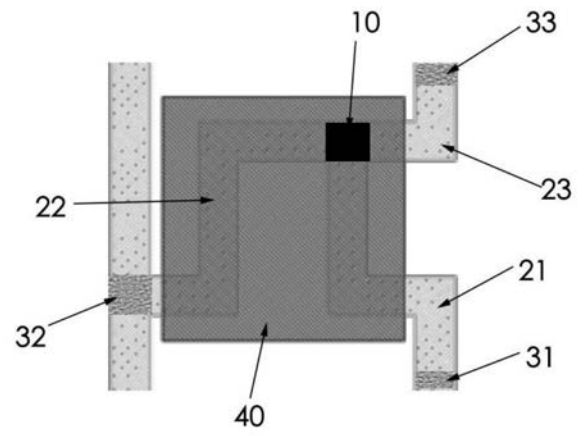
【 図 8 】



【図 9】



【図 10】



【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2018/076788
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/3233 (2016.01) i; G09G 3/3266 (2016.01) i; G09G 3/3225 (2016.01) i; H01L 27/12 (2006.01) i; H01L 27/32 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G; H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, EPODOC, WPI, IEEE: 像素, 象素, 电路, 驱动, 晶体管, 发光二极管, pixel, circuit, driv+, transistor?, light, emit+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105590955 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.), 18 May 2016 (18.05.2016), description, paragraphs [0046]-[0091], and figures 3-4	1-15
A	CN 105470311 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.), 06 April 2016 (06.04.2016), entire document	1-15
A	CN 104485067 A (SHANGHAI UNIVERSITY), 01 April 2015 (01.04.2015), entire document	1-15
A	CN 104409050 A (BOE TECHNOLOGY GROUP CO., LTD.), 11 March 2015 (11.03.2015), entire document	1-15
A	US 2016372050 A1 (SAMSUNG DISPLAY CO., LTD. et al.), 22 December 2016 (22.12.2016), entire document	1-15
A	US 2016148575 A1 (HON HAI PRECISION INDUSTRY CO., LTD.), 26 May 2016 (26.05.2016), entire document	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 April 2018		Date of mailing of the international search report 28 April 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer LIU, Tianfei Telephone No. (86-10) 86-010-53961216

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/076788

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105590955 A	18 May 2016	None	
CN 105470311 A	06 April 2016	None	
CN 104485067 A	01 April 2015	None	
CN 104409050 A	11 March 2015	CN 104409050 B	15 February 2017
		WO 2016101634 A1	30 June 2016
US 2016372050 A1	22 December 2016	US 9875693 B2	23 January 2018
		KR 20160148732 A	27 December 2016
US 2016148575 A1	26 May 2016	TW I562119 B	11 December 2016
		US 9886901 B2	06 February 2018
		TW 201619946 A	01 June 2016

国际检索报告

国际申请号

PCT/CN2018/076788

A. 主题的分类 G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/3225(2016.01)i; H01L 27/12(2006.01)i; H01L 27/32(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, EPDOC, WPI, IEEE: 像素, 象素, 电路, 驱动, 晶体管, 发光二极管, pixel, circuit, driv+, transi- stor?, light, emit+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 105590955 A (昆山国显光电有限公司) 2016年 5月 18日 (2016 - 05 - 18) 说明书第[0046]-[0091]段、图3-4</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 105470311 A (昆山国显光电有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104485067 A (上海大学) 2015年 4月 1日 (2015 - 04 - 01) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104409050 A (京东方科技集团股份有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2016372050 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2016年 12月 22日 (2016 - 12 - 22) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2016148575 A1 (HON HAI PRECISION INDUSTRY CO., LTD.) 2016年 5月 26日 (2016 - 05 - 26) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 105590955 A (昆山国显光电有限公司) 2016年 5月 18日 (2016 - 05 - 18) 说明书第[0046]-[0091]段、图3-4	1-15	A	CN 105470311 A (昆山国显光电有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-15	A	CN 104485067 A (上海大学) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-15	A	CN 104409050 A (京东方科技集团股份有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-15	A	US 2016372050 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2016年 12月 22日 (2016 - 12 - 22) 全文	1-15	A	US 2016148575 A1 (HON HAI PRECISION INDUSTRY CO., LTD.) 2016年 5月 26日 (2016 - 05 - 26) 全文	1-15
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 105590955 A (昆山国显光电有限公司) 2016年 5月 18日 (2016 - 05 - 18) 说明书第[0046]-[0091]段、图3-4	1-15																					
A	CN 105470311 A (昆山国显光电有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-15																					
A	CN 104485067 A (上海大学) 2015年 4月 1日 (2015 - 04 - 01) 全文	1-15																					
A	CN 104409050 A (京东方科技集团股份有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-15																					
A	US 2016372050 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2016年 12月 22日 (2016 - 12 - 22) 全文	1-15																					
A	US 2016148575 A1 (HON HAI PRECISION INDUSTRY CO., LTD.) 2016年 5月 26日 (2016 - 05 - 26) 全文	1-15																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2018年 4月 12日		国际检索报告邮寄日期 2018年 4月 28日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘天飞 电话号码 (86-10)86-010-53961216																					

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/076788

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	105590955	A	2016年 5月 18日	无	
CN	105470311	A	2016年 4月 6日	无	
CN	104485067	A	2015年 4月 1日	无	
CN	104409050	A	2015年 3月 11日	CN 104409050 B	2017年 2月 15日
				WO 2016101634 A1	2016年 6月 30日
US	2016372050	A1	2016年 12月 22日	US 9875693 B2	2018年 1月 23日
				KR 20160148732 A	2016年 12月 27日
US	2016148575	A1	2016年 5月 26日	TW I562119 B	2016年 12月 11日
				US 9886901 B2	2018年 2月 6日
				TW 201619946 A	2016年 6月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
H 0 1 L 29/786 (2006.01)	G 0 9 F 9/30 3 3 8	
	H 0 5 B 33/14 A	
	H 0 1 L 29/78 6 1 2 D	
	H 0 1 L 29/78 6 1 8 C	

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

- (72)発明者 張 露
中国江蘇省蘇州市昆山市開發区竜騰路 1 号 4 幢
- (72)発明者 文 国哲
中国江蘇省蘇州市昆山市開發区竜騰路 1 号 4 幢
- (72)発明者 韓 珍珍
中国江蘇省蘇州市昆山市開發区竜騰路 1 号 4 幢
- (72)発明者 朱 修剣
中国江蘇省蘇州市昆山市開發区竜騰路 1 号 4 幢

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 CC43 DD14 EE04 FF04 FF15 HH02
HH05
5C080 AA06 BB05 DD05 DD22 DD26 EE29 JJ03 JJ04 JJ06 JJ07
KK43 KK47
5C094 BA03 BA27 DA13 DB04 FB14 HA08
5C380 AA01 AB06 AB11 AB12 AB18 AC07 AC11 BA01 BA05 BA11
BA39 BB02 BB05 CC06 CC07 CC27 CC28 CC30 CC33 CC65
CD019 DA02 DA06 DA47
5F110 BB01 CC01 CC07 EE29 GG23 GG28 GG29 GG30 NN71 NN75
NN78

【要約の続き】

【選択図】図 1

专利名称(译)	像素驱动电路，其驱动方法和晶体管布局结构		
公开(公告)号	JP2020507799A	公开(公告)日	2020-03-12
申请号	JP2019537159	申请日	2018-02-14
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
发明人	張 露 文 国哲 韓 珍珍 朱 修劍		
IPC分类号	G09G3/3233 G09G3/20 G09F9/30 H01L51/50 H01L21/336 H01L29/786		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/045 G09G3/3225 G09G3/3266 H01L27/1222 H01L27/3262 H01L27/3276 H01L27/12 H01L27/32 G09G3/3291 G09G2300/0426 G09G2300/043		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.611.A G09G3/20.611.H G09G3/20.642.A G09F9/30.338 H05B33/14.A H01L29/78.612.D H01L29/78.618.C		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC43 3K107/DD14 3K107/EE04 3K107/FF04 3K107/FF15 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD26 5C080/EE29 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK43 5C080/KK47 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DB04 5C094/FB14 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AC07 5C380/AC11 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC65 5C380/CD019 5C380/DA02 5C380/DA06 5C380/DA47 5F110/BB01 5F110/CC01 5F110/CC07 5F110/EE29 5F110/GG23 5F110/GG28 5F110/GG29 5F110/GG30 5F110/NN71 5F110/NN75 5F110/NN78		
优先权	201710095713.4 2017-02-22 CN 201710098993.4 2017-02-23 CN		
外部链接	Espacenet		

摘要(译)

本公开提供了一种像素驱动电路，其驱动方法以及晶体管的布局结构。像素驱动电路包括存储电容器，第一开关晶体管，第二开关晶体管，第三开关晶体管，第四开关晶体管，第五开关晶体管，第六开关晶体管，第七开关晶体管，第一驱动晶体管，第二驱动晶体管和有机发光二极管。该晶体管的布局结构包括电路节点和连接到该电路节点的有源层。有源层包括：第一有源层，第二有源层和第三有源层；第一源极连接到第一有源层，漏极连接到第二有源层，第二源极连接到第三有源层；分别对应于第一有源层，第二有源层和第三有源层的第一栅极，第二栅极和第三栅极；由第一栅极，第二栅极和第三栅极组成的栅极图案位于电路节点和有源层上方。

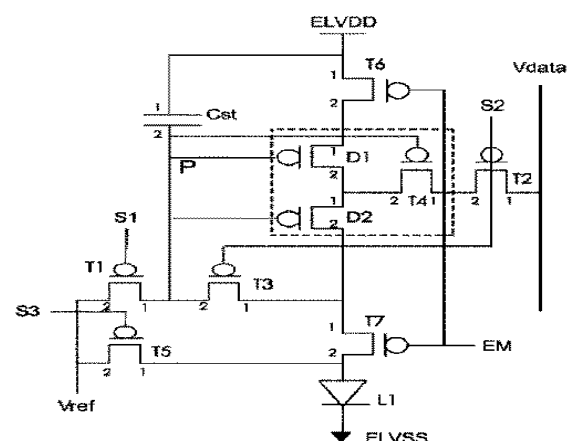


图 1