

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-77034
(P2008-77034A)

(43) 公開日 平成20年4月3日(2008.4.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 621A	5C080
HO1L 51/50 (2006.01)	G09G 3/20 622E	
	G09G 3/20 622A	
	HO5B 33/14 A	

審査請求 有 請求項の数 23 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2006-329217 (P2006-329217)
 (22) 出願日 平成18年12月6日 (2006.12.6)
 (31) 優先権主張番号 10-2006-0092493
 (32) 優先日 平成18年9月22日 (2006.9.22)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (72) 発明者 鄭 費容
 大韓民国ソウル市松坡区可樂2洞173-
 19
 Fターム(参考) 3K107 AA01 BB01 CC43 CC45 EE03
 HH02 HH04 HH05
 5C080 AA06 BB05 DD22 DD27 DD28
 FF11 JJ02 JJ03 JJ04

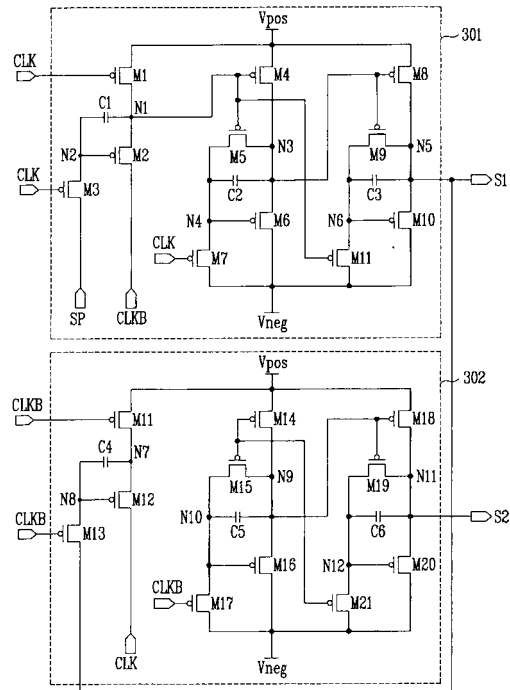
(54) 【発明の名称】 走査駆動部、走査信号の駆動方法、および走査駆動部を備えた有機電界発光表示装置

(57) 【要約】

【課題】 走査駆動部をPMOSトランジスタまたはNMOSトランジスタのみで実現することで、工程を簡便化し、大きさ及びコスト低減の効果を有する走査駆動部及びそれを用いた有機電界発光表示装置を提供する。

【解決手段】 上記走査駆動部は、複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号及び入力信号の伝達を受けて動作するが、上記クロック信号と上記サブクロック信号とによって第1電圧と上記入力信号の電圧である第2電圧とを記憶し、上記サブクロック信号と上記第2電圧とによって上記第1電圧を所定時間出力する第1出力信号を生成する第1信号処理部を含む。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

走査線を駆動する走査駆動部であって：

複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号、および入力信号の伝達を受けて動作し；

前記複数のステージのうちいずれか一つには、前記クロック信号及び／又は前記サブクロック信号の変化によって第 1 電圧と前記入力信号の電圧である第 2 電圧とを記憶し、前記サブクロック信号及び／又は前記第 2 電圧の変化によって前記第 1 電圧を所定時間出力するための第 1 出力信号を生成する第 1 信号処理部が含まれることを特徴とする、走査駆動部。

10

【請求項 2】

前記第 1 信号処理部を備える前記ステージには、

前記第 1 信号処理部の出力端に接続され、前記第 1 出力信号と前記クロック信号との伝達を受けて第 2 出力信号を生成する第 2 信号処理部と；

前記第 1 出力信号と前記第 2 出力信号との伝達を受けて前記第 2 出力信号の副信号である第 3 出力信号を生成する第 3 信号処理部と；

がさらに備わること特徴とする、請求項 1 に記載の走査駆動部。

【請求項 3】

前記ステージが 1 番目のステージである場合、前記入力信号は、スタートパルスであることを特徴とする、請求項 1 に記載の走査駆動部。

20

【請求項 4】

前記ステージが 1 番目のステージでない場合、前記入力信号は、第 1 のステージの後続である第 2 のステージに対し該第 1 のステージから出力される出力信号であることを特徴とする、請求項 1 に記載の走査駆動部。

【請求項 5】

前記第 1 信号処理部は、

前記クロック信号の変化によって前記駆動電源を選択的に第 1 ノードに伝達する第 1 トランジスタと；

第 2 ノードの電圧の変化に対応して選択的に前記第 1 ノードの電圧を調節する第 2 トランジスタと；

30

前記クロック信号の変化に対応して前記入力信号の電圧を前記第 2 ノードに伝達する第 3 トランジスタと；

前記第 1 ノードと前記第 2 ノードとの間に接続され、前記駆動電源と前記入力信号の電圧とを記憶する第 1 キャパシタとを含み、

前記第 1 ノードの電圧が前記第 1 出力信号であることを特徴とする、請求項 1 に記載の走査駆動部。

【請求項 6】

前記第 2 信号処理部は、

前記第 1 出力信号の変化に対応して駆動電源を第 3 ノードに伝達する第 4 トランジスタと；

40

前記第 1 出力信号の変化に対応して選択的に前記第 3 ノードの電圧と第 4 ノードの電圧を等しくする第 5 トランジスタと；

前記第 4 ノードの電圧の変化に対応して前記第 3 ノードの電圧を調節する第 6 トランジスタと；

前記クロック信号の変化に対応して前記第 4 ノードの電圧を調節する第 7 トランジスタと；

前記第 3 ノードと前記第 4 ノードとの間に接続される第 2 キャパシタと；

を含み、

前記第 3 ノードの電圧が前記第 2 出力信号であることを特徴とする、請求項 2 に記載の走査駆動部。

50

【請求項 7】

前記第 3 信号処理部は、

前記第 2 出力信号の変化に対応して駆動電源を第 5 ノードに伝達する第 8 トランジスタと；

前記第 2 出力信号の変化に対応して選択的に前記第 5 ノードの電圧と第 6 ノードの電圧を等しくする第 9 トランジスタと；

前記第 6 ノードの電圧の変化に対応して前記第 5 ノードの電圧を調節する第 10 トランジスタと；

前記第 1 出力信号の変化に対応して前記第 6 ノードの電圧を調節する第 11 トランジスタと；

前記第 5 ノードと前記第 6 ノードとの間に接続される第 3 キャパシタと；

を含み、

前記第 5 ノードの電圧が前記第 3 出力信号であることを特徴とする、請求項 2 に記載の走査駆動部。

【請求項 8】

前記トランジスタは、PMOS トランジスタまたは NMOS トランジスタのいずれか一方のトランジスタのみで構成されることを特徴とする、請求項 5 ~ 7 のいずれかに記載の走査駆動部。

【請求項 9】

前記複数のステージのうち奇数番目のステージと偶数番目のステージは、クロック信号とサブクロック信号とが互いに交差して伝達されることを特徴とする、請求項 1 に記載の走査駆動部。

【請求項 10】

有機電界発光表示装置であって：

データ線と走査線とによって定義される領域に形成される複数の画素によって画像を表現する画素部と；

前記データ線にデータ信号を伝達するデータ駆動部と；

前記走査線に走査信号を伝達する走査駆動部と；

を含み、

前記走査駆動部は、

複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号、および入力信号の伝達を受けて動作し；

前記複数のステージのうちいずれか一つには、前記クロック信号及び / 又は前記サブクロック信号の変化によって第 1 電圧と前記入力信号の電圧である第 2 電圧とを記憶し、前記サブクロック信号及び / 又は前記第 2 電圧の変化によって前記第 1 電圧を所定時間出力するための第 1 出力信号を生成する第 1 信号処理部が含まれることを特徴とする、有機電界発光表示装置。

【請求項 11】

前記第 1 信号処理部を備える前記ステージには、

前記第 1 信号処理部の出力端に接続され、前記第 1 出力信号と前記クロック信号との伝達を受けて第 2 出力信号を生成する第 2 信号処理部と；

前記第 1 出力信号と前記第 2 出力信号との伝達を受けて前記第 2 出力信号の副信号である第 3 出力信号を生成する第 3 信号処理部と；

をさらに備えることを特徴とする、請求項 10 に記載の有機電界発光表示装置。

【請求項 12】

前記ステージが 1 番目のステージである場合、前記入力信号は、スタートパルスであることを特徴とする、請求項 10 に記載の有機電界発光表示装置。

【請求項 13】

前記ステージが 1 番目のステージでない場合、前記入力信号は、第 1 のステージの後続である第 2 のステージに対し該第 1 のステージから出力される出力信号であることを特徴

10

20

30

40

50

とする、請求項 10 に記載の有機電界発光表示装置。

【請求項 14】

前記第 1 信号処理部は、

前記クロック信号の変化によって前記駆動電源を選択的に第 1 ノードに伝達する第 1 トランジスタと；

第 2 ノードの電圧の変化に対応して選択的に前記第 1 ノードの電圧を調節する第 2 トランジスタと；

前記クロック信号の変化に対応して前記入力信号の電圧を前記第 2 ノードに伝達する第 3 トランジスタと；

前記第 1 ノードと前記第 2 ノードとの間に接続され、前記駆動電源と前記入力信号の電圧とを記憶する第 1 キャパシタとを含み、

前記第 1 ノードの電圧が前記第 1 出力信号であることを特徴とする、請求項 10 に記載の有機電界発光表示装置。

10

【請求項 15】

前記第 2 信号処理部は、

前記第 1 出力信号の変化に対応して駆動電源を第 3 ノードに伝達する第 4 トランジスタと；

前記第 1 出力信号の変化に対応して選択的に前記第 3 ノードの電圧と第 4 ノードの電圧を等しくする第 5 トランジスタと；

前記第 4 ノードの電圧の変化に対応して前記第 3 ノードの電圧を調節する第 6 トランジスタと；

前記クロック信号の変化に対応して前記第 4 ノードの電圧を調節する第 7 トランジスタと；

前記第 3 ノードと前記第 4 ノードとの間に接続される第 2 キャパシタとを含み、

前記第 3 ノードの電圧が前記第 2 出力信号であることを特徴とする、請求項 11 に記載の有機電界発光表示装置。

20

【請求項 16】

前記第 3 信号処理部は、

前記第 2 出力信号の変化に対応して駆動電源を第 5 ノードに伝達する第 8 トランジスタと；

前記第 2 出力信号の変化に対応して選択的に前記第 5 ノードの電圧と第 6 ノードの電圧を等しくする第 9 トランジスタと；

前記第 6 ノードの電圧の変化に対応して前記第 5 ノードの電圧を調節する第 10 トランジスタと；

前記第 1 出力信号の変化に対応して前記第 6 ノードの電圧を調節する第 11 トランジスタと；

前記第 5 ノードと前記第 6 ノードとの間に接続される第 3 キャパシタとを含み、

前記第 5 ノードの電圧が前記第 3 出力信号であることを特徴とする、請求項 11 に記載の有機電界発光表示装置。

30

【請求項 17】

前記トランジスタは、PMOS トランジスタまたは NMOS トランジスタのいずれか一方のトランジスタのみで構成されることを特徴とする、請求項 14 ~ 16 のいずれかに記載の有機電界発光表示装置。

40

【請求項 18】

前記複数のステージのうち奇数番目のステージと偶数番目のステージは、クロック信号とサブクロック信号とが互いに交差して伝達されることを特徴とする、請求項 10 に記載の有機電界発光表示装置。

【請求項 19】

複数のステージを備え、前記各々のステージで順次に走査信号を駆動する走査信号の駆動方法において：

50

クロック信号及び/又はサブクロック信号の変化によって第1電圧と第2電圧とを記憶する段階と；

前記記憶された第2電圧及び/又は前記サブクロック信号の変化によって前記第1電圧を所定時間出力するための第1出力信号を生成する段階と；

を含むことを特徴とする、走査信号の駆動方法。

【請求項20】

前記ステージが1番目のステージである場合、前記入力信号は、スタートパルスであることを特徴とする、請求項19に記載の走査信号の駆動方法。

【請求項21】

前記ステージが1番目のステージでない場合、前記入力信号は、第1のステージの後続である第2のステージに対し該第1のステージから出力される出力信号であることを特徴とする、請求項19に記載の走査信号の駆動方法。

10

【請求項22】

前記第1出力信号は、反転して出力されることを特徴とする、請求項19に記載の走査信号の駆動方法。

【請求項23】

前記複数のステージのうち奇数番目のステージと偶数番目のステージは、クロック信号とサブクロック信号とが互いに交差して伝達されることを特徴とする、請求項19に記載の走査信号の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、PMOSトランジスタまたはNMOSトランジスタの一方を備えた発光制御駆動部、発光制御信号の駆動方法、及び当該発光制御駆動部を備えた有機電界発光表示装置に関する。

【背景技術】

【0002】

平板表示装置（又は、フラットパネルディスプレイ装置ともいう）には、基板上にマトリクス状に複数の画素を配置した表示領域が存在する。上記平板表示装置は、上記各画素に走査線とデータ線とを接続し、画素にデータ信号を選択的に印加することで上記表示領域にディスプレイするものである。

30

【0003】

平板表示装置は、画素の駆動方式によってパッシブマトリクス型発光表示装置とアクティブマトリクス型発光表示装置とに区別されるが、解像度、コントラスト、動作速度の観点から、単位画素毎に選択的に画素が点灯するアクティブマトリクス型が主流となっている。

【0004】

このような平板表示装置は、パーソナルコンピュータ、携帯電話機、PDA（Personal Digital Assistant）などの携帯情報端末機などの表示装置や各種情報機器のモニタとして使用されている。

40

【0005】

また、平板表示装置として、液晶パネルを用いたLCD、有機発光素子を用いた有機電界発光表示装置、プラズマパネルを用いたPDPなどが知られている。

【0006】

最近、陰極線管に比べて重量と体積の小さい各種発光表示装置が開発されており、特に、発光効率、輝度及び視野角に優れ、応答速度の速い有機電界発光表示装置が注目されている。

【0007】

図1は、一般の有機電界発光表示装置に係る概略的な構造を示す説明図である。図1に示すように、有機電界発光表示装置は、画素部10、データ駆動部20、及び走査駆動部

50

30を含む。

【0008】

画素部10には、複数の画素11が配列され、上記各画素11に発光素子(図示せず)が接続される。

【0009】

さらに、画素部10には、行方向(又は、水平方向)に形成され、上記各画素11に走査信号を伝達するn個の走査線S1、S2、...Sn-1、Snと、列方向(又は、垂直方向)に形成され、上記各画素11にデータ信号を伝達するm個のデータ線D1、D2、...Dm-1、Dmと、第1電源を伝達するm個の第1電源供給線(図示せず)と、第1電源ELVDDより低い電位を有する第2電源ELVSSを伝達するm個の第2電源供給線(図示せず)とが配列される。

10

【0010】

上記画素部10は、走査信号、データ信号、第1電源ELVDD、及び第2電源ELVSSによって発光素子が発光し映像を表示することができる。

【0011】

データ駆動部20は、画素部10にデータ信号を印加する手段である。上記データ駆動部20は、画素部10のデータ線D1、D2、...Dm-1、Dmと接続しており、データ信号を画素部10に印加する。

【0012】

走査駆動部30は、走査信号を順次に出力する手段であって、走査駆動部30は、走査線S1、S2、...Sn-1、Snに接続されている。

20

【0013】

走査駆動部30は、上記走査線S1、走査線S2、...走査線Sn-1、又は走査線Snに走査信号を出力することで、走査信号を画素部10の特定の行に伝達する。走査信号が伝達された画素部10の特定の行の画素11には、データ駆動部20から入力されるデータ信号が印加されて映像を表示し、すべての行が順次に選択されると、1つのフレームが完成する。

【0014】

図2は、図1に示す有機電界発光表示装置に備わる画素を示す回路図である。図1及び図2を参照しながら説明すると、画素11は、データ線Dm、走査線Sn、及び画素電源線ELVDDに接続され、第1トランジスタT1、第2トランジスタT2、キャパシタCst、及び有機発光素子OLEDを含む。

30

【0015】

第1トランジスタT1は、ソースが画素電源線ELVDDに接続され、ドレインが有機発光素子OLEDに接続され、ゲートが第1ノードN1に接続される。第2トランジスタT2は、ソースがデータ線Dmに接続され、ドレインが第1ノードN1に接続され、ゲートが走査線Snに接続される。なお、PMOSの場合、NMOSの場合に比べるとソースとドレインが逆となる。

【0016】

キャパシタCstは、第1ノードN1と画素電源線ELVDDとの間に接続され、所定時間、第1ノードN1と画素電源線ELVDDとの間の電圧を保持させる。有機発光素子OLEDは、アノード電極とカソード電極及び発光層を含み、アノード電極が第1トランジスタT1のドレイン側に接続され、カソード電極が低電位の電源ELVSSに接続され、アノード電極からカソード電極へ電流が流れると、発光層から光を発光して電流の量に対応して明るさが調節される。

40

【0017】

上記のように構成された有機電界発光表示装置は、製造コストを低減するために、画素部10と走査駆動部30を同一の基板上に生成する。

【0018】

また、有機電界発光表示装置の画素は、PMOSトランジスタのみを用いて形成される

50

か、NMOSトランジスタのみを用いて形成されるのが一般的である。

【0019】

【特許文献1】米国特許出願公開第6670771B2号明細書

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、走査駆動部は、PMOSトランジスタとNMOSトランジスタを共に使用して簡易に回路を構成するのが一般的であるため、走査駆動部を別途の外装ドライバとして形成するか、追加的な工程が必要となり、有機電界発光表示装置の大きさと重量が増加し、工程が複雑になるという問題がある。

10

【0021】

そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、走査駆動部をPMOSトランジスタまたはNMOSトランジスタのみで実現することが可能な走査駆動部及びそれを用いた有機電界発光表示装置を提供することにある。

【課題を解決するための手段】

【0022】

上記課題を解決するために、本発明のある観点によれば、複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号及び入力信号の伝達を受けて動作するが、上記クロック信号と上記サブクロックと信号によって第1電圧と上記入力信号の電圧である第2電圧とを記憶し、上記サブクロック信号と上記第2電圧とによって上記第1電圧を所定時間出力する第1出力信号を生成する第1信号処理部を含む走査駆動部が提供される。

20

【0023】

かかる構成によれば、走査駆動部の製作工程を簡便化し、走査駆動部の大きさ及びコストを低減することができる。

【0024】

また、上記課題を解決するために、本発明の別の観点によれば、走査線を駆動する走査駆動部が提供される。上記走査駆動部は、複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号、および入力信号の伝達を受けて動作し；上記複数のステージのうちいずれか一つには、上記クロック信号及び/又は上記サブクロック信号の変化（例えば、ハイ/ローなど）によって第1電圧（例えば、第1ノードN1の電圧など）と上記入力信号の電圧である第2電圧（例えば、第2ノードN2の電圧など）とを記憶し、上記サブクロック信号及び/又は上記第2電圧の変化によって上記第1電圧を所定時間出力するための第1出力信号（例えば、第1ノードN1の電圧が低くなった結果による信号など）を生成する第1信号処理部が含まれる。

30

【0025】

また、上記第1信号処理部を備える上記ステージには、第1信号処理部の出力端に接続され、上記第1出力信号と上記クロック信号との伝達を受けて第2出力信号を生成する第2信号処理部と；第1出力信号と第2出力信号との伝達を受けて第2出力信号の副信号である第3出力信号を生成する第3信号処理部と；がさらに備わる。

40

【0026】

上記ステージが1番目のステージである場合、上記入力信号は、スタートパルスであるように構成してもよい。

【0027】

上記ステージが1番目のステージでない場合、上記入力信号は、第1のステージの後続である第2のステージに対し該第1のステージから出力される出力信号であるように構成してもよく、また上記第1出力信号は、上記入力信号と反転して出力されるように構成してもよい。したがって、入力信号がハイのとき、第1出力信号はローに出力され、入力信号がローのとき第1出力信号はハイに出力される。

【0028】

50

また、上記第 1 信号処理部は、上記クロック信号の変化によって上記駆動電源を選択的に第 1 ノードに伝達する第 1 トランジスタと；第 2 ノードの電圧の変化に対応して選択的に上記第 1 ノードの電圧を調節する第 2 トランジスタと；上記クロック信号の変化に対応して上記入力信号の電圧を上記第 2 ノードに伝達する第 3 トランジスタと；上記第 1 ノードと上記第 2 ノードとの間に接続され、上記駆動電源と上記入力信号の電圧とを記憶する第 1 キャパシタとを含み、上記第 1 ノードの電圧が上記第 1 出力信号であるように構成してもよい。

【0029】

また、上記第 2 信号処理部は、上記第 1 出力信号の変化に対応して駆動電源を第 3 ノードに伝達する第 4 トランジスタと；上記第 1 出力信号の変化に対応して選択的に上記第 3 ノードの電圧と第 4 ノードの電圧を等しくする第 5 トランジスタと；上記第 4 ノードの電圧の変化に対応して上記第 3 ノードの電圧を調節する第 6 トランジスタと；上記クロック信号の変化に対応して上記第 4 ノードの電圧を調節する第 7 トランジスタと；上記第 3 ノードと上記第 4 ノードとの間に接続される第 2 キャパシタとを含み、上記第 3 ノードの電圧が上記第 2 出力信号であるように構成してもよい。

10

【0030】

また、上記第 3 信号処理部は、上記第 2 出力信号の変化に対応して駆動電源を第 5 ノードに伝達する第 8 トランジスタと；上記第 2 出力信号の変化に対応して選択的に上記第 5 ノードの電圧と第 6 ノードの電圧を等しくする第 9 トランジスタと；上記第 6 ノードの電圧の変化に対応して上記第 5 ノードの電圧を調節する第 10 トランジスタと；上記第 1 出力信号の変化に対応して上記第 6 ノードの電圧を調節する第 11 トランジスタと；上記第 5 ノードと上記第 6 ノードとの間に接続される第 3 キャパシタとを含み、上記第 5 ノードの電圧が上記第 3 出力信号であるように構成してもよい。

20

【0031】

上記トランジスタは、PMOS トランジスタまたは NMOS トランジスタのいずれか一方のトランジスタのみで構成されるようにしてもよい。

【0032】

上記複数のステージのうち奇数番目のステージと偶数番目のステージは、クロック信号とサブクロック信号とが互いに交差して伝達されるようにしてもよい。例えば、奇数番目のステージでクロック信号がハイであり、サブクロック信号がローであれば、偶数番目のステージでは上記奇数番目のステージとは反対にクロック信号がローであり、サブクロック信号がハイに印加される。

30

【0033】

また、上記課題を解決するために、本発明の別の観点によれば、走査線を駆動する走査駆動部が提供される。上記走査駆動部は、複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号、および入力信号の伝達を受けて動作し；上記複数のステージのうちいずれか一つには、上記クロック信号及び上記サブクロック信号によって第 1 電圧と上記入力信号の電圧である第 2 電圧とを記憶し、上記サブクロック信号と上記第 2 電圧とによって上記第 1 電圧を所定時間出力するための第 1 出力信号を生成する第 1 信号処理部が含まれる。

40

【0034】

上記第 1 信号処理部は、上記クロック信号の変化によって上記駆動電源を選択的に第 1 ノードに伝達する第 1 トランジスタと；第 2 ノードの電圧の変化に対応して選択的に上記第 1 ノードの電圧を調節する第 2 トランジスタと；上記クロック信号の変化に対応して上記入力信号の電圧を上記第 2 ノードに伝達する第 3 トランジスタと；上記第 1 ノードと上記第 2 ノードとの間に接続され、上記駆動電源と上記入力信号の電圧とを記憶する第 1 キャパシタとを含み、上記第 1 ノードの電圧が上記第 1 出力信号であるように構成されている。

【0035】

上記第 2 信号処理部は、上記第 1 出力信号の変化に対応して駆動電源を第 3 ノードに伝

50

達する第4トランジスタと；上記第1出力信号の変化に対応して選択的に上記第3ノードの電圧と第4ノードの電圧を等しくする第5トランジスタと；上記第4ノードの電圧の変化に対応して上記第3ノードの電圧を調節する第6トランジスタと；上記クロック信号の変化に対応して上記第4ノードの電圧を調節する第7トランジスタと；上記第3ノードと上記第4ノードとの間に接続される第2キャパシタとを含み、上記第3ノードの電圧が上記第2出力信号であるように構成されている。

【0036】

上記第3信号処理部は、上記第2出力信号の変化に対応して駆動電源を第5ノードに伝達する第8トランジスタと；上記第2出力信号の変化に対応して選択的に上記第5ノードの電圧と第6ノードの電圧を等しくする第9トランジスタと；上記第6ノードの電圧の変化に対応して上記第5ノードの電圧を調節する第10トランジスタと；上記第1出力信号の変化に対応して上記第6ノードの電圧を調節する第11トランジスタと；上記第5ノードと上記第6ノードとの間に接続される第3キャパシタとを含み、上記第5ノードの電圧が上記第3出力信号であるように構成されている。

10

【0037】

また、上記課題を解決するために、本発明の別の観点によれば、データ線、走査線によって定義される領域に形成される画素によって画像を表現する画素部と、上記データ線にデータ信号を伝達するデータ駆動部と、上記走査線に走査信号を伝達する走査駆動部とを含むが、上記走査駆動部は、複数のステージを直列に接続して構成され、各ステージは、クロック信号、サブクロック信号及び入力信号の伝達を受けて動作するが、上記クロック信号と上記サブクロック信号とによって第1電圧と上記入力信号の電圧である第2電圧とを記憶し、上記サブクロック信号と上記第2電圧とによって上記第1電圧を所定時間出力する第1出力信号を生成する第1信号処理部を含む有機電界発光表示装置が提供される。

20

【0038】

また、上記課題を解決するために、本発明の別の観点によれば、複数のステージを備え、上記各々のステージで順次に走査信号を駆動する方法が提供される。上記走査信号の駆動方向は、クロック信号とサブクロック信号とによって第1電圧と第2電圧とを記憶する段階と、上記記憶された第1電圧と第2電圧及び上記サブクロック信号によって第1出力信号を生成する段階とを含むことを特徴としている。

30

【0039】

また、上記課題を解決するために、本発明の別の観点によれば、複数のステージを備え、上記各々のステージで順次に走査信号を駆動する走査信号の駆動方法が提供される。上記走査信号の駆動方向は、クロック信号及び/又はサブクロック信号の変化によって第1電圧と第2電圧とを記憶する段階と；上記記憶された第2電圧及び/又は上記サブクロック信号の変化によって上記第1電圧を所定時間出力するための第1出力信号を生成する段階とを含むことを特徴としている。

【発明の効果】

【0040】

以上説明したように本発明によれば、走査駆動部をPMOSトランジスタまたはNMOSトランジスタで実現することができ、基板上に画素部をPMOSトランジスタまたはNMOSトランジスタのみで生産する際は、走査駆動部をPMOSトランジスタまたはNMOSトランジスタのみで実現することができ、走査駆動部を画素部と同時に基板上に形成することができるため、工程を簡便化し、有機電界発光表示装置の大きさ、重量などを減らすことができる。また、コスト低減の効果も得られる。

40

【0041】

さらに、走査信号が第2電源の電圧を有することができるため、走査信号の信号特性が良くなるという効果がある。

【発明を実施するための最良の形態】

【0042】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。

50

なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0043】

(第1の実施形態)

図3は、本発明の第1の実施形態に係る有機電界発光表示装置の概略的な構造を示す説明図である。図3に示すように、有機電界発光表示装置は、画素部100と、データ駆動部200と、走査駆動部300とを含む。

【0044】

画素部100は、複数のデータ線D1、D2、... Dm-1、Dmと、複数の走査線S1、S2、... Sn-1、Snとを含み、画素部100は、複数のデータ線D1、D2、... Dm-1、Dmと、複数の走査線S1、S2、... Sn-1、Snとによって定義される領域内に形成される複数の画素101を含む。

10

【0045】

画素101は、画素回路と有機発光素子とを含み、画素回路から複数のデータ線D1、D2、... Dm-1、Dmを介して伝達されるデータ信号と、複数の走査線S1、S2、... Sn-1、Snを介して伝達される走査信号によって画素に流れる画素電流を生成して有機発光素子に流れるようにする。このとき、各画素は、複数の薄膜トランジスタを含み、各薄膜トランジスタは、PMOSTランジスタまたはNMOSTランジスタのみで形成される。

【0046】

データ駆動部200は、複数のデータ線D1、D2、... Dm-1、Dmと接続し、データ信号を生成し1行分のデータ信号を順次に複数のデータ線D1、D2、... Dm-1、Dmに伝達する。

20

【0047】

走査駆動部300は、複数の走査線S1、S2、... Sn-1、Snと接続し、走査信号を生成し複数の走査線S1、S2、... Sn-1、Snに走査信号を伝達する。走査信号によって特定の行が選択され、選択された行に位置する画素101にデータ信号が伝達され、画素にデータ信号に対応する電流が生成される。このとき、走査駆動部300は、画素部100の薄膜トランジスタがPMOSTランジスタで形成されると、PMOSTランジスタで形成され、画素部100がNMOSTランジスタで形成されると、NMOSTランジスタのみで構成され、画素部と同様の工程によって形成される。

30

【0048】

なお、本実施の形態に係る行とは、例えば、図3に示す垂直方向の走査線S1～走査線Snをいうが、かかる例に限定されない。

【0049】

図4は、図3に示す有機電界発光表示装置に備わる走査駆動部の概略的な構成を示す説明図である。図4に示すように、複数のステージ301、302、... 30n-1、30nは、走査駆動部300に、直列的又は直線状に配置されている。

【0050】

各ステージのうち1番目のステージ301は、クロック信号CLK、サブクロック信号CLKB及びスタートパルスSPの入力を受け、1番目のステージ301を除くステージ302、303、... 30n-1、30nは、クロック信号CLK、サブクロック信号CLKB及び以前のステージの出力信号である走査信号S1、S2、... Sn-1が入力される。例えば、ステージ302には、一つ前のステージ301が出力する走査信号S1が入力され、ステージ30nには、一つ前のステージ30n-1が出力する走査信号Sn-1が入力される。

40

【0051】

図5は、図4に示す走査駆動部300に備わるステージの一部を示す回路図である。図5に示すステージは、1番目のステージ301と2番目のステージ302を示している。

【0052】

50

1番目のステージ301は、第1信号処理部、第2信号処理部、及び第3信号処理部を含み、2番目のステージ302は、第4信号処理部、第5信号処理部、及び第6信号処理部を含む。なお、ステージ302以降のステージ303、...30nについても実質的に同一の構成である。

【0053】

第1信号処理部は、第1トランジスタM1と、第2トランジスタM2と、第3トランジスタM3と、第1キャパシタC1とを備えている。

【0054】

上記第1トランジスタM1は、図5に示すように、ソースが第1電源Vposに接続され、ゲートがクロック端子CLKに入力され、ドレインが第1ノードN1に接続されている。

10

【0055】

上記第2トランジスタM2は、図5に示すように、ソースが第1ノードN1に接続され、ゲートが第2ノードN2に接続され、ドレインがサブクロック端子CLKBに接続されている。

【0056】

上記第3トランジスタM3は、ソースが第2ノードN2に接続され、ゲートがクロック端子CLKに接続され、ドレインがスタートパルス入力端子SPに接続されている。

【0057】

上記第1キャパシタC1は、図5に示すように、第1ノードN1と第2ノードN2との間に接続されている。

20

【0058】

上記第2信号処理部は、第4トランジスタM4と、第5トランジスタM5と、第6トランジスタM6と、第7トランジスタM7と、第2キャパシタC2とを備えている。

【0059】

上記第4トランジスタM4は、図5に示すように、ソースが第1電源Vposに接続され、ゲートが第1ノードN1に接続され、ドレインが第3ノードN3に接続されている。ここで、第4トランジスタM4は、第1信号処理部の出力信号に対応して駆動電源を第3ノードに伝達する。

【0060】

上記第5トランジスタM5は、図5に示すように、ソースが第3ノードN3に接続され、ゲートが第1ノードN1に接続され、ドレインが第4ノードN4に接続されている。ここで、第5トランジスタM5は、第1信号処理部の出力信号に対応して前記第3ノードと第4ノードの電圧を選択的に同じくする。

30

【0061】

上記第6トランジスタM6は、ソースが第3ノードN3に接続され、ゲートが第4ノードN4に接続され、ドレインが第1電源Vposより低い電圧を有する第2電源Vnegに接続されている。ここで、第6トランジスタM6は、第4ノードの電圧に対応して前記第3ノードの電圧を調節する。

【0062】

上記第7トランジスタM7は、ソースが第4ノードN4に接続され、ゲートがクロック端子CLKに接続され、ドレインが第2電源Vnegに接続されている。ここで、第7トランジスタM7は、クロック信号に対応して前記第4ノードの電圧を調節する。

40

【0063】

上記第2キャパシタC2は、第3ノードN3と第4ノードN4との間に接続されている。

【0064】

第3信号処理部は、第8トランジスタM8と、第9トランジスタM9と、第10トランジスタM10と、第11トランジスタM11と、第3キャパシタC3とを備えている。

【0065】

50

上記第 8 トランジスタ M 8 は、図 5 に示すように、ソースが第 1 電源 V_{pos} に接続され、ゲートが第 4 ノード N 4 に接続され、ドレインが第 5 ノード N 5 に接続されている。ここで、第 8 トランジスタ M 8 は、第 2 信号処理部の出力信号に対応して駆動電源を第 5 ノードに伝達する。

【 0 0 6 6 】

上記第 9 トランジスタ M 9 は、図 5 に示すように、ソースが第 5 ノード N 5 に接続され、ゲートが第 4 ノード N 4 に接続され、ドレインが第 6 ノード N 6 に接続されている。ここで、第 9 トランジスタ M 9 は、第 2 信号処理部の出力信号に対応して前記第 5 ノードと第 6 ノードの電圧を同じくする。

【 0 0 6 7 】

上記第 10 トランジスタ M 10 は、ソースが第 5 ノード N 5 に接続され、ゲートが第 6 ノード N 6 に接続され、ドレインが第 2 電源 V_{neg} に接続されている。ここで、第 10 トランジスタ M 10 は、第 6 ノードの電圧に対応して第 5 ノードの電圧を調節する。

【 0 0 6 8 】

上記第 11 トランジスタ M 11 は、図 5 に示すように、ソースが第 6 ノード N 6 に接続され、ゲートが第 3 ノード N 3 に接続されている。ここで、第 11 トランジスタ M 11 は、第 2 信号処理部の出力信号に対応して第 6 ノード電圧を調節する。

【 0 0 6 9 】

上記第 3 キャパシタ C 3 は、図 5 に示すように、第 5 ノード N 5 と第 6 ノード N 6 との間に接続されている。なお、第 5 ノード N 5 は、出力端 OUT として用いられる。

【 0 0 7 0 】

ステージ 302 に備わる第 4 信号処理部は、第 11 トランジスタ M 11 と、第 12 トランジスタ M 12 と、第 13 トランジスタ M 13 と、第 4 キャパシタ C 4 とを備えている。

【 0 0 7 1 】

上記第 11 トランジスタ M 11 は、図 5 に示すように、ソースが第 1 電源 V_{pos} に接続され、ゲートがサブクロック端子 CLK B に入力され、ドレインが第 7 ノード N 7 に接続されている。

【 0 0 7 2 】

上記第 12 トランジスタ M 12 は、図 5 に示すように、ソースが第 7 ノード N 7 に接続され、ゲートが第 8 ノード N 8 に接続され、ドレインがクロック端子 CLK に接続されている。

【 0 0 7 3 】

上記第 13 トランジスタ M 13 は、図 5 に示すように、ソースが第 8 ノード N 8 に接続され、ゲートがサブクロック端子 CLK B に接続され、ドレインが第 1 ステージ 301 の出力端 OUT に接続されている。

【 0 0 7 4 】

上記第 4 キャパシタ C 4 は、第 7 ノード N 7 と第 8 ノード N 8 との間に接続されている。

【 0 0 7 5 】

第 5 信号処理部は、第 14 トランジスタ M 14 と、第 15 トランジスタ M 15 と、第 16 トランジスタ M 16 と、第 17 トランジスタ M 17 と、第 5 キャパシタ C 5 とを備えている。

【 0 0 7 6 】

上記第 14 トランジスタ M 14 は、図 5 に示すように、ソースが第 1 電源 V_{pos} に接続され、ドレインが第 9 ノード N 9 に接続されている。

【 0 0 7 7 】

上記第 15 トランジスタ M 15 は、図 5 に示すように、ソースが第 9 ノード N 9 に接続され、ゲートが第 7 ノード N 7 に接続され、ドレインが第 10 ノード N 10 に接続されている。

【 0 0 7 8 】

10

20

30

40

50

上記第16トランジスタM16は、図5に示すように、ソースが第9ノードN9に接続され、ゲートが第10ノードN10に接続され、ドレインが第1電源Vposより低い電圧を有する第2電源Vnegに接続されている。

【0079】

上記第17トランジスタM17は、図5に示すように、ソースが第10ノードN10に接続され、ゲートがサブクロック端子CLKBに接続され、ドレインが第2電源Vnegに接続されている。

【0080】

上記第5キャパシタC5は、第9ノードN9と第10ノードN10との間に接続されている。

【0081】

第6信号処理部は、第18トランジスタM18と、第19トランジスタM19と、第20トランジスタM20と、第21トランジスタM21と、第6キャパシタC6とを備えている。

【0082】

上記第18トランジスタM18は、図5に示すように、ソースが第1電源Vposに接続され、ゲートが第10ノードN10に接続され、ドレインが第11ノードN11に接続されている。

【0083】

上記第19トランジスタM19は、図5に示すように、ソースが第11ノードN11に接続され、ゲートが第10ノードN10に接続され、ドレインが第12ノードN12に接続されている。

【0084】

上記第20トランジスタM20は、図5に示すように、ソースが第11ノードN11に接続され、ゲートが第12ノードN12に接続され、ドレインが第2電源Vnegに接続されている。

【0085】

上記第21トランジスタM21は、図5に示すように、ソースが第12ノードN12に接続されている。

【0086】

上記第6キャパシタC6は、第11ノードN11と第12ノードN12との間に接続されている。なお、上記第11ノードN11は、出力端OUTとして用いられる。

【0087】

上記説明した第1信号処理部、第2信号処理部、第3信号処理部、第4信号処理部、第5信号処理部、及び第6信号処理部に含まれている第1～第20トランジスタは、PMOSトランジスタで実現されている。

【0088】

図6は、図5に示すステージの動作を示すタイミングチャート図である。図6を参照しながら図5に示すステージの動作について説明する。

【0089】

ステージ301において、第1信号処理部は、クロック信号CLKと、サブクロック信号CLKBと、スタートパルスSPとの伝達を受けて動作し、第2信号処理部は、クロック信号CLKと、上記第1信号処理部の出力信号すなわち、第1ノードN1の電圧との伝達を受けて動作し、第3信号処理部は、第1信号処理部の出力信号すなわち、第1ノードN1の電圧と、第2信号処理部の出力信号すなわち、第3ノードN3の電圧とに対応して動作する。

【0090】

ステージ302において、第4信号処理部は、クロック信号CLKと、サブクロック信号CLKBと、スタートパルスSPとの伝達を受けて動作し、第5信号処理部は、クロック信号CLKと、第4信号処理部の出力信号すなわち、第7ノードN7の電圧との伝達を

10

20

30

40

50

受けて動作し、第 6 信号処理部は、第 4 信号処理部の出力信号すなわち、第 7 ノード N 7 の電圧と、第 2 信号処理部の出力信号すなわち、第 9 ノード N 9 の電圧とに対応して動作する。

【 0 0 9 1 】

第 1 信号処理部は、クロック信号 C L K がロー状態、スタートパルス S P がハイ状態、サブクロック信号 C L K B がハイ状態になると（例えば、図 6 に示す左端から第 1 番目の破線と第 2 番目の破線の範囲）、第 1 トランジスタ M 1 と第 3 トランジスタ M 3 がオン状態になり、第 1 ノード N 1 が第 1 電源 V p o s の伝達を受けてハイ状態になり、第 2 ノード N 2 もスタートパルス S P の伝達を受けてハイ状態になる。そして、第 1 キャパシタ C 1 によって第 1 ノード N 1 の電圧と第 2 ノード N 2 の電圧とが保持される。そして、第 2 ノード N 2 の電圧がハイ状態になり、第 2 トランジスタ M 2 がオフ状態を保持する。したがって、第 1 ノード N 1 の電圧は、第 1 電源 V p o s の電圧を保持するようになる。

10

【 0 0 9 2 】

そして、クロック信号 C L K がハイ状態、スタートパルス S P がハイ状態、サブクロック信号 C L K B がロー状態になると（例えば、図 6 に示す左端から第 2 番目の破線と第 3 番目の破線の範囲）、第 1 トランジスタ M 1 と第 3 トランジスタ M 3 がオフ状態になり、第 1 キャパシタ C 1 の両端がフローティング状態になる。したがって、第 1 ノード N 1 は、第 1 キャパシタ C 1 によって第 1 電源 V p o s の電圧を保持し、第 2 トランジスタ M 2 のゲート電圧も第 1 キャパシタ C 1 によってハイ状態を保持してオフ状態を保持する。

20

【 0 0 9 3 】

そして、クロック信号 C L K がロー状態、スタートパルス S P がロー状態、サブクロック信号 C L K B がハイ状態になると（例えば、図 6 に示す左端から第 3 番目の破線と第 4 番目の破線の範囲）、第 1 トランジスタ M 1 と第 3 トランジスタ M 3 がオン状態になり、第 1 ノード N 1 が第 1 電源 V p o s の伝達を受け、第 2 ノード N 2 がスタートパルス S P によってロー状態になる。このとき、第 2 トランジスタ M 2 のドレインがサブクロック信号 C L K B によってハイ状態になり、第 2 トランジスタ M 2 のソースからドレイン方向へ電流が流れることができなくなる。したがって、第 1 ノード N 1 の電圧は、第 1 電源 V p o s の電圧を保持するようになる。

【 0 0 9 4 】

そして、クロック信号 C L K がハイ状態、スタートパルス S P がハイ状態、サブクロック信号 C L K B がロー状態になると（例えば、図 6 に示す左端から第 4 番目の破線と第 5 番目の破線の範囲）、第 1 トランジスタ M 1 と第 3 トランジスタ M 3 がオフ状態になると、第 1 キャパシタ C 1 の両端がフローティング状態になり、第 2 ノード N 2 がロー状態を保持する。したがって、第 2 トランジスタ M 2 のゲート電圧がロー状態を保持し、第 2 トランジスタ M 2 のソースからドレイン方向へ電流経路が形成され、第 1 ノード N 1 の電圧が低くなる。このとき、第 1 キャパシタ C 1 によって第 1 ノード N 1 の電圧がロー状態を引き続き保持するようになり、第 1 ノード N 1 の電圧は、第 2 電源 V n e g の電圧だけ低くなることができ、走査信号の信号特性が良くなる。

30

【 0 0 9 5 】

そして、第 2 信号処理部は、クロック信号 C L K がハイ状態のとき、第 3 ノード N 3 の電圧を第 1 電源 V p o s の電圧に保持し、クロック信号 C L K がロー状態のとき、第 3 ノード N 3 の電圧を第 2 電源 V n e g の電圧に保持する。

40

【 0 0 9 6 】

また、第 3 信号処理部は、第 1 ノード N 1 の電圧がハイ状態、第 3 ノード N 3 の電圧がロー状態のとき（例えば、図 6 に示す左端から第 1 番目の破線と第 4 番目の破線の範囲）、第 5 ノード N 5 の電圧すなわち、出力端 O U T の電圧がハイ状態を保持するようにし、第 1 ノード N 1 の電圧がロー状態、第 3 ノード N 3 の電圧がハイ状態のとき（例えば、図 6 に示す左端から第 4 番目の破線と第 5 番目の破線の範囲）、第 5 ノード N 5 の電圧すなわち、出力端 S 1 の電圧がロー状態を保持するようにする。

【 0 0 9 7 】

50

一方、ステージ 302 は、上述したステージ 301 と同様の動作を行うが、スタートパルス SP の代わりにステージ 301 の出力端 OUT の電圧すなわち、第 1 走査信号 S1 の伝達を受けて動作する。

【0098】

(第 2 の実施形態)

図 7 は、本発明の第 2 の実施形態に係る走査駆動部に備わるステージの一部を示す回路図であり、図 8 は、図 7 に示すステージの動作を示すタイミングチャート図である。

【0099】

ステージ 301 a は、第 1 信号処理部、第 2 信号処理部、及び第 3 信号処理部で構成され、図 7 に示すステージ 301 a と図 4 及び図 5 に示すステージ 301 との違いは、ステージ 301 の各信号処理部に備わる薄膜トランジスタが PMOS トランジスタであるのに対して、ステージ 301 a の各信号処理部に備わる薄膜トランジスタが NMOS トランジスタで実現されるという点である。

10

【0100】

なお、図 6 に示すタイミングチャートは、ステージの各信号処理部に含まれた薄膜トランジスタが PMOS トランジスタに具現される場合であり、図 8 に示すタイミングチャートは、NMOS トランジスタに具現される場合を示しているため、図 6 で説明した薄膜トランジスタはロー信号の入力を受けたときに動作し、図 8 における薄膜トランジスタはハイ信号の入力を受けたときに動作する。したがって、図 6 と図 8 との相違は、薄膜トランジスタが受ける入力が互いに反転している点であり、その他の点については同様である。

20

【0101】

本実施の形態に係るステージを備えた走査駆動部について説明してきた。かかる走査駆動部によれば、PMOS トランジスタまたは NMOS トランジスタの一方によって形成されているため、走査駆動部又は平板表示装置等の大きさ、重量、又はコストを低減することができる。

【0102】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

30

【産業上の利用可能性】

【0103】

本発明は、発光制御駆動部、発光制御信号の駆動方法、および発光制御駆動部を備えた有機電界発光表示装置に適用可能である。

【図面の簡単な説明】

【0104】

【図 1】一般の有機電界発光表示装置に係る概略的な構造を示す説明図である。

【図 2】図 1 に示す有機電界発光表示装置に備わる画素を示す回路図である。

【図 3】本発明の第 1 の実施形態に係る有機電界発光表示装置の概略的な構造を示す説明図である。

40

【図 4】図 3 に示す有機電界発光表示装置に備わる走査駆動部の概略的な構成を示す説明図である。

【図 5】図 4 に示す走査駆動部 300 に備わるステージの一部を示す回路図である。

【図 6】図 5 に示すステージの動作を示すタイミングチャート図である。

【図 7】本発明の第 2 の実施形態に係る走査駆動部に備わるステージの一部を示す回路図である。

【図 8】図 7 に示すステージの動作を示すタイミングチャート図である。

【符号の説明】

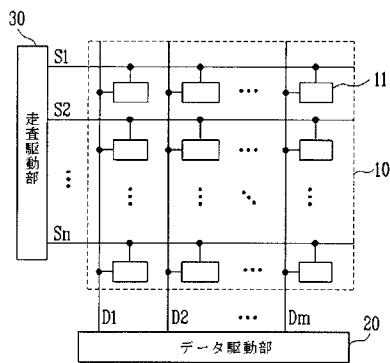
【0105】

100 画素部

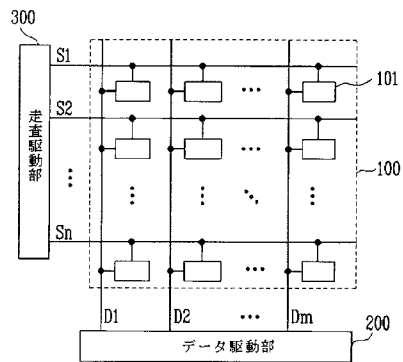
50

- 1 0 1 画素
- 2 0 0 データ駆動部
- 3 0 0 走査駆動部
- D 1、D 2、... D m - 1、D m データ線
- S 1、S 2、... S n - 1、S n 走査線
- 3 0 1、3 0 2、... 3 0 n - 1、3 0 n ステージ

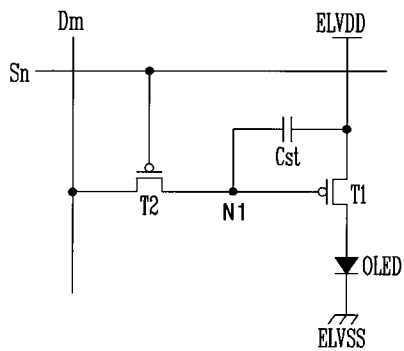
【 図 1 】



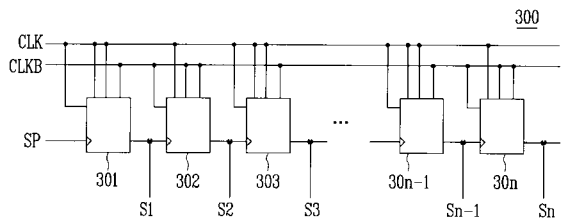
【 図 3 】



【 図 2 】



【 図 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 B

专利名称(译)	扫描驱动器，扫描信号驱动方法和带有扫描驱动器的有机电致发光显示设备		
公开(公告)号	JP2008077034A	公开(公告)日	2008-04-03
申请号	JP2006329217	申请日	2006-12-06
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	鄭寬容		
发明人	鄭寬容		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G3/3266 G09G2300/0809 G11C19/184		
FI分类号	G09G3/30.J G09G3/20.621.A G09G3/20.622.E G09G3/20.622.A H05B33/14.A G09G3/20.622.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC43 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA28 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF43 5C380/DA02 5C380/DA06		
优先权	1020060092493 2006-09-22 KR		
外部链接	Espacenet		

摘要(译)

通过仅使用PMOS晶体管或NMOS晶体管和使用其的有机发光显示器实现扫描驱动器，提供简化工艺并具有减小尺寸和成本的效果的扫描驱动器。通过串联连接多个级来配置扫描驱动器，并且每个级通过接收时钟信号，子时钟信号和输入信号来操作，其中时钟信号和子级通过时钟信号和第一输出信号产生作为输入信号的电压的第一电压和第二电压，用于通过副时钟信号和第二电压输出第一电压达预定时间。并且是第一个信号处理单元。点域5

