

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-46427

(P2008-46427A)

(43) 公開日 平成20年2月28日(2008.2.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H01L 51/50 (2006.01)	G09G 3/20 623A	
	G09G 3/20 622A	
	G09G 3/20 624B	
審査請求 有 請求項の数 5 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2006-222846 (P2006-222846)	(71) 出願人	000002185
(22) 出願日	平成18年8月18日 (2006.8.18)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100092336
			弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	三富 豊
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	三並 徹雄
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		最終頁に続く	

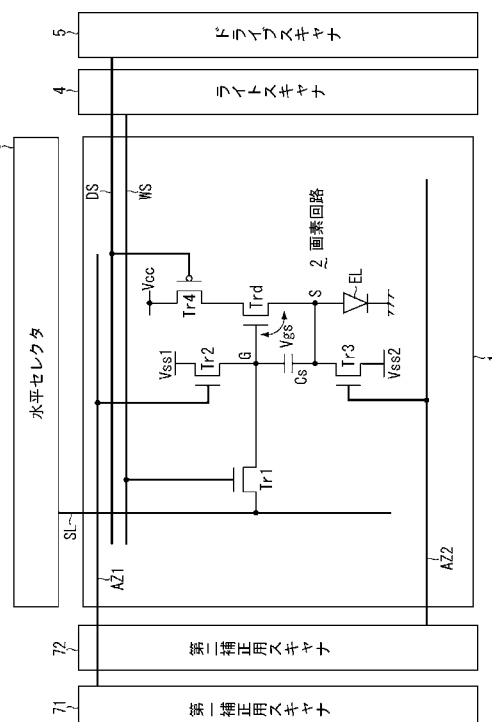
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】ドライブトランジスタの閾電圧のばらつき自体を抑制して、高い画面のユニフォームティを得る。

【解決手段】画素回路2は、サンプリングトランジスタ $Tr1$ とドライブトランジスタ Trd とスイッチングトランジスタ $Tr2$ 、 $Tr3$ 、 $Tr4$ と画素容量 Cs と発光素子 EL とを含む。サンプリングトランジスタ $Tr1$ は、制御信号 WS に応じ導通して信号線 SL から供給された映像信号の信号電位を画素容量 Cs にサンプリングし、ドライブトランジスタ Trd は、信号電位に応じた出力電流を発光素子 EL に供給する。スイッチングトランジスタ $Tr2$ 、 $Tr3$ 、 $Tr4$ は、ドライブトランジスタ Trd の特性バラツキを補正する。加えてドライブトランジスタ Trd のチャネル長をスイッチングトランジスタ $Tr2$ 、 $Tr3$ 、 $Tr4$ のチャネル長より長くして、その閾電圧のバラツキを抑制する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された第 1 走査線、第 2 走査線、第 3 走査線及び第 4 走査線と、列状に配された信号線と、これらの走査線及び信号線に接続した行列状の画素回路と、各画素回路の動作に必要な第 1 電位、第 2 電位及び第 3 電位を供給する複数の電源線とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、第 1 走査線、第 2 走査線、第 3 走査線及び第 4 走査線に制御信号を供給して順次行ごとに画素回路を走査し、

各画素回路は、サンプリングトランジスタと、ドライブトランジスタと、第 1 スイッチングトランジスタと、第 2 スイッチングトランジスタと、第 3 スイッチングトランジスタと、画素容量と、発光素子とを含み、

前記サンプリングトランジスタは、所定のサンプリング期間に第 1 走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、

前記発光素子は、所定の発光期間中該ドライブトランジスタから供給される出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記第 1 スイッチングトランジスタは、該サンプリング期間に先立ち第 2 走査線から供給される制御信号に応じ導通して該ドライブトランジスタのゲートを第 1 電位に設定し、

前記第 2 スイッチングトランジスタは、該サンプリング期間に先立ち第 3 走査線から供給される制御信号に応じ導通して該ドライブトランジスタのソースを第 2 電位に設定し、

前記第 3 スイッチングトランジスタは、該サンプリング期間に先立ち第 4 走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第 3 電位に接続し、以って該ドライブトランジスタの閾電圧に相当する電圧を該画素容量に保持させて閾電圧の影響を補正するとともに、該発光期間に再び第 4 走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第 3 電位に接続して該出力電流を該発光素子に流す画像表示装置において、

前記ドライブトランジスタのチャネル長を各スイッチングトランジスタのチャネル長より長くして、その閾電圧のバラツキを抑制することを特徴とする画像表示装置。

【請求項 2】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された第 1 走査線、第 2 走査線、第 3 走査線及び第 4 走査線と、列状に配された信号線と、これらの走査線及び信号線に接続した行列状の画素回路と、各画素回路の動作に必要な第 1 電位、第 2 電位及び第 3 電位を供給する複数の電源線とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、第 1 走査線、第 2 走査線、第 3 走査線及び第 4 走査線に制御信号を供給して順次行ごとに画素回路を走査し、

各画素回路は、サンプリングトランジスタと、ドライブトランジスタと、第 1 スイッチングトランジスタと、第 2 スイッチングトランジスタと、第 3 スイッチングトランジスタと、画素容量と、発光素子とを含み、

前記サンプリングトランジスタは、所定のサンプリング期間に第 1 走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

10

20

30

40

50

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、
前記発光素子は、所定の発光期間中該ドライブトランジスタから供給される出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記第 1 スイッチングトランジスタは、該サンプリング期間に先立ち第 2 走査線から供給される制御信号に応じ導通して該ドライブトランジスタのゲートを第 1 電位に設定し、

前記第 2 スイッチングトランジスタは、該サンプリング期間に先立ち第 3 走査線から供給される制御信号に応じ導通して該ドライブトランジスタのソースを第 2 電位に設定し、

前記第 3 スイッチングトランジスタは、該サンプリング期間に先立ち第 4 走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第 3 電位に接続し、以って該ドライブトランジスタの閾電圧に相当する電圧を該画素容量に保持させて閾電圧の影響を補正するとともに、該発光期間に再び第 4 走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第 3 電位に接続して該出力電流を該発光素子に流す画像表示装置において、

前記スキャナ部は、画素アレイ部と同一基板上に形成されており、

前記ドライブトランジスタのチャンネル長を該スキャナ部を構成するトランジスタのチャンネル長より長くして、その閾電圧のバラツキを抑制することを特徴とする画像表示装置。

【請求項 3】

前記ドライブトランジスタのチャンネル長を $10\ \mu\text{m}$ 以上に設定することを特徴とする請求項 1 又は請求項 2 記載の画像表示装置。

【請求項 4】

前記画素回路は、発光期間中該ドライブトランジスタのソース電位が変動する一方、該ソース電位を基準にして該ドライブトランジスタのゲートに印加される入力電圧は変動しない様に、該ドライブトランジスタのチャンネル長が設定されていることを特徴とする請求項 1 又は請求項 2 記載の画像表示装置。

【請求項 5】

前記ドライブトランジスタは、その出力電流がチャンネル領域のキャリア移動度に対して依存性を有し、

前記第 3 スイッチングトランジスタは、該サンプリング期間に導通して該ドライブトランジスタを第 3 電位に接続し、該信号電位がサンプリングされている間に該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正し、以って該出力電流のキャリア移動度に対する依存性を打ち消すことを特徴とする請求項 1 又は請求項 2 記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して表示を行なう画像表示装置に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機 EL などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の画像表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり有機 EL 素子は自発光素子である。その為、有機 EL ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【特許文献３】特開２００４－１３３２４０

【特許文献４】特開２００４－０２９７９１

【特許文献５】特開２００４－０９３６８２

【発明の開示】

【発明が解決しようとする課題】

【０００４】

図１１は、従来画素回路の一例を示す模式図である。この画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線ＳＬとが交差する部分に配され、サンプリングトランジスタＴｒ１と画素容量ＣｓとドライブトランジスタＴｒｄと発光素子ＥＬとを含む。サンプリングトランジスタＴｒ１は、走査線から供給される制御信号に応じ導通して信号線ＳＬから供給された映像信号をサンプリングする。画素容量Ｃｓは、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタＴｒｄは、画素容量Ｃｓに保持された入力電圧に応じて所定の発光期間に出力電流Ｉｄｓを供給する。なお一般に、出力電流ＩｄｓはドライブトランジスタＴｒｄのチャネル領域のキャリア移動度μ及び閾電圧Ｖｔｈに対して依存性を有する。発光素子ＥＬは、ドライブトランジスタＴｒｄから供給された出力電流により映像信号に応じた輝度で発光する。なお図１１の従来例は、画素容量ＣｓがドライブトランジスタＴｒｄのゲートＧと電源電位Ｖｃｃとの間に接続されている。一方発光素子ＥＬはアノードがドライブトランジスタＴｒｄのソースＳに接続し、カソードが接地されている。ドライブトランジスタＴｒｄのドレインは電源電位Ｖｃｃに接続されている。

【０００５】

ドライブトランジスタＴｒｄは、画素容量Ｃｓに保持された入力電圧をゲートＧに受けてソースＳ／ドレインＤ間に出力電流Ｉｄｓを流し、発光素子ＥＬに通電する。一般に発光素子ＥＬの発光輝度は通電量に比例している。さらにドライブトランジスタＴｒｄの出力電流供給量はゲート電圧Ｖｇｓ即ち画素容量Ｃｓに書き込まれた入力電圧によって制御される。この画素回路は、ドライブトランジスタＴｒｄのゲートＧに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子ＥＬに供給する電流量を制御している。

【０００６】

ここでドライブトランジスタの動作特性は以下の式１で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式１において、Ｉｄｓはソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。Ｖｇｓはソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。Ｖｔｈはトランジスタの閾電圧である。又μはトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他Ｗはチャネル幅を表わし、Ｌはチャネル長を表わし、Ｃoxはゲート容量を表わしている。このトランジスタ特性式１から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧Ｖｇｓが閾電圧Ｖｔｈを超えて大きくなると、オン状態となってドレイン電流Ｉｄｓが流れる。原理的に見ると上記のトランジスタ特性式１が示す様に、ゲート電圧Ｖｇｓが一定であれば常に同じ量のドレイン電流Ｉｄｓが発光素子に供給される。従って、画面を構成する各画素に全てのレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォ

10

20

30

40

50

ーミティ)が得られるはずである。

【0007】

ところで有機EL素子などからなる発光素子に必要な駆動電流 I_{ds} は1画素当たり数 μ Aと大きく、映像信号の振幅を下げて低消費電力化を図るためにも、ドライブトランジスタは移動度 μ が高いNチャネル型が望ましい。図11に示した画素回路は、Nチャネル型のトランジスタをドライブトランジスタ T_{rd} に用いたソースフォロワー型となっている。

【0008】

しかしながら図11に示した画素回路では、発光素子ELの電流-電圧特性($I-V$ 特性)の劣化を補正できないという課題が生じる。図12は、発光素子ELの $I-V$ 特性を示すグラフである。横軸に発光素子のアノード電圧 V_a を取り、縦軸に駆動電流 I_{ds} を取ってある。図11の回路では、このアノード電位 V_a はドライブトランジスタ T_{rd} のソース電位と等しく、駆動電流はドライブトランジスタ T_{rd} に流れるドレイン電流 I_{ds} である。図12のグラフに示すように、有機ELデバイスなどの発光素子は時間の経過と共に $I-V$ 特性が劣化し、時間の経過と共に特性カーブがねてくる。その為、図11に示したソースフォロワー型の画素回路では、この発光素子の $I-V$ 特性劣化に伴い、ドライブトランジスタ T_{rd} の動作点(ソース電位)が変化してしまい、画像の焼付きが残ってしまう。

【0009】

この従来の問題に対処するため、最近ではソースフォロワー型の画素回路に代えて、ブートストラップ型の画素回路も提案されている。このブートストラップ型の画素回路は、画素容量をドライブトランジスタのゲートGとソースSとの間に接続した構成となっている。このブートストラップ型の画素回路は、発光素子の $I-V$ 特性の経時変化により、アノード電位(即ちドライブトランジスタのソース電位)が変動しても、常にドライブトランジスタ T_{rd} のゲート電圧 V_{gs} が画素容量に保持されているので、発光素子ELの $I-V$ 特性の影響を受けることなく、常にゲート電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子に流し続けることが出来る。これにより発光素子の $I-V$ 特性が劣化しても、画面輝度の劣化や焼付きなどの画質低下が生じることは無い。

【0010】

画素回路は、発光素子の $I-V$ 特性の変動に加え、ドライブトランジスタ T_{rd} の特性自体も個々の画素によってばらつきがある。実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。そこで従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0011】

しかしながら、発光素子の $I-V$ 特性の経時変化を補正するブートストラップ機能や、ドライブトランジスタの閾電圧のばらつきをキャンセルする機能(閾電圧補正機能)を組み込んだ画素回路でも、依然として解決すべき課題が残っている。閾電圧補正機能により、発光素子に供給する出力電流から閾電圧の影響はキャンセルすることが出来る。しかしながら、このドライブトランジスタ T_{rd} の閾電圧のばらつき自体が、ブートストラップ機能にも悪影響を与えており、画面のユニフォーミティを損なうため、これが解決すべき課題である。

【課題を解決するための手段】

【0012】

上述した従来の技術の課題に鑑み、本発明はドライブトランジスタの閾電圧のばらつき自体を抑制して、高い画面のユニフォーミティを得ることを目的とする。かかる目的を達

10

20

30

40

50

成するために以下の手段を講じた。即ち本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された第1走査線、第2走査線、第3走査線及び第4走査線と、列状に配された信号線と、これらの走査線及び信号線に接続した行列状の画素回路と、各画素回路の動作に必要な第1電位、第2電位及び第3電位を供給する複数の電源線とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線、第2走査線、第3走査線及び第4走査線に制御信号を供給して順次行ごとに画素回路を走査し、各画素回路は、サンプリングトランジスタと、ドライブトランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、第3スイッチングトランジスタと、画素容量と、発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、前記発光素子は、所定の発光期間中該ドライブトランジスタから供給される出力電流により該映像信号の信号電位に応じた輝度で発光し、前記第1スイッチングトランジスタは、該サンプリング期間に先立ち第2走査線から供給される制御信号に応じ導通して該ドライブトランジスタのゲートを第1電位に設定し、前記第2スイッチングトランジスタは、該サンプリング期間に先立ち第3走査線から供給される制御信号に応じ導通して該ドライブトランジスタのソースを第2電位に設定し、前記第3スイッチングトランジスタは、該サンプリング期間に先立ち第4走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第3電位に接続し、以って該ドライブトランジスタの閾電圧に相当する電圧を該画素容量に保持させて閾電圧の影響を補正するとともに、該発光期間に再び第4走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第3電位に接続して該出力電流を該発光素子に流す画像表示装置において、前記ドライブトランジスタのチャンネル長を各スイッチングトランジスタのチャンネル長より長くして、その閾電圧のバラツキを抑制することを特徴とする。

【0013】

又本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された第1走査線、第2走査線、第3走査線及び第4走査線と、列状に配された信号線と、これらの走査線及び信号線に接続した行列状の画素回路と、各画素回路の動作に必要な第1電位、第2電位及び第3電位を供給する複数の電源線とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線、第2走査線、第3走査線及び第4走査線に制御信号を供給して順次行ごとに画素回路を走査し、各画素回路は、サンプリングトランジスタと、ドライブトランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、第3スイッチングトランジスタと、画素容量と、発光素子とを含み、前記サンプリングトランジスタは、所定のサンプリング期間に第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、前記発光素子は、所定の発光期間中該ドライブトランジスタから供給される出力電流により該映像信号の信号電位に応じた輝度で発光し、前記第1スイッチングトランジスタは、該サンプリング期間に先立ち第2走査線から供給される制御信号に応じ導通して該ドライブトランジスタのゲートを第1電位に設定し、前記第2スイッチングトランジスタは、該サンプリング期間に先立ち第3走査線から供給される制御信号に応じ導通して該ドライブトランジスタのソースを第2電位に設定し、前記第3スイッチングトランジスタは、該サンプリング期間に先立ち第4走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第3電位に接続し、以って該ドライブトランジスタの閾電圧に相当する電圧を該画素容量に保持させて閾電圧の影響を補正するとともに、該発光期間に再び第4走査線から供給される制御信号に応じ導通して該ドライブトランジスタを第3電位に接続して該出力電流を該発光素子に

流す画像表示装置において、前記スキナ部は、画素アレイ部と同一基板上に形成されており、前記ドライブトランジスタのチャンネル長を該スキナ部を構成するトランジスタのチャンネル長より長くして、その閾電圧のバラツキを抑制することを特徴とする。

【0014】

好ましくは、前記ドライブトランジスタのチャンネル長を $10\mu\text{m}$ 以上に設定する。また前記画素回路は、発光期間中該ドライブトランジスタのソース電位が変動する一方、該ソース電位を基準にして該ドライブトランジスタのゲートに印加される入力電圧は変動しない様に、該ドライブトランジスタのチャンネル長が設定されている。又前記ドライブトランジスタは、その出力電流がチャンネル領域のキャリア移動度に対して依存性を有し、前記第3スイッチングトランジスタは、該サンプリング期間に導通して該ドライブトランジスタを第3電位に接続し、該信号電位がサンプリングされている間に該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正し、以って該出力電流のキャリア移動度に対する依存性を打ち消す。

【発明の効果】

【0015】

本発明によれば、ドライブトランジスタのチャンネル長を長くすることで、その閾電圧のばらつき自体を抑制している。かかる構成により、ブートストラップ動作のゲインにばらつきが少なくなり、画面のユニフォーミティを大幅に改善することが出来る。具体的には、ドライブトランジスタのチャンネル長を各スイッチングトランジスタのチャンネル長より長くして、その閾電圧のばらつきを抑制している。単なるスイッチとして線形領域で動作するスイッチングトランジスタに比べ、特性式1に従って飽和領域で動作するドライブトランジスタの閾電圧が画面のユニフォーミティに大きく影響するため、この構成が有効である。またドライブトランジスタのチャンネル長を、周辺のスキナを構成するトランジスタのチャンネル長より長くして、その閾電圧のばらつきを抑制することも効果的である。同一基板上に画素アレイ部とスキナ部をTFTプロセスで形成した場合、ドライブトランジスタの閾電圧のばらつきは画面のユニフォーミティに大きな影響を与えるので、スキナ部のトランジスタのチャンネル長より長くすることが有効である。いずれの場合も、ドライブトランジスタのチャンネル長を好ましくは $10\mu\text{m}$ 以上に設定することで、閾電圧のばらつき範囲が、画面のユニフォーミティに影響を与えないレベルまで抑えることが可能である。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる画像表示装置の全体構成を示すブロック図である。図示する様に、本画像表示装置は基本的に画素アレイ部1とスキナ部と信号部とで構成されている。画素アレイ部1は、行状に配された第1走査線WS、第2走査線AZ1、第3走査線AZ2及び第4走査線DSと、列状に配された信号線SLと、これらの走査線WS、AZ1、AZ2、DS及び信号線SLに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位Vss1、第2電位Vss2及び第3電位Vccを供給する複数の電源線とからなる。信号部は水平セレクタ3からなり、信号線SLに映像信号を供給する。スキナ部は、ライトスキナ4、ドライブスキナ5、第一補正用スキナ71及び第二補正用スキナ72からなり、それぞれ第1走査線WS、第4走査線DS、第2走査線AZ1及び第3走査線AZ2に制御信号を供給して順次行毎に画素回路を走査する。

【0017】

図2は、図1に示した画像表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路2は、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、第1スイッチングトランジスタTr2と、第2スイッチングトランジスタTr3と、第3スイッチングトランジスタTr4と、画素容量Csと、発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に第1走査線WSから供給される制御信号に応じ導通して信号線SLから供給された映像信号の信号電位を画

10

20

30

40

50

素容量 C_s にサンプリングする。画素容量 C_s は、サンプリングされた映像信号の信号電位に応じてドライブトランジスタ T_{rd} のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。発光素子 E_L は、所定の発光期間中ドライブトランジスタ T_{rd} から供給される出力電流 I_{ds} により映像信号の信号電位に応じた輝度で発光する。

【0018】

第1スイッチングトランジスタ T_{r2} は、サンプリング期間に先立ち第2走査線 AZ_1 から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} のゲート G を第1電位 V_{ss1} に設定する。第2スイッチングトランジスタ T_{r3} は、サンプリング期間に先立ち第3走査線 AZ_2 から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} のソース S を第2電位 V_{ss2} に設定する。第3スイッチングトランジスタ T_{r4} は、サンプリング期間に先立ち第4走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} を第3電位 V_{cc} に接続し、以ってドライブトランジスタ T_{rd} の閾電圧 V_{th} に相当する電圧を画素容量 C_s に保持させて閾電圧 V_{th} の影響を補正する。さらにこの第3スイッチングトランジスタ T_{r4} は、発光期間に再び第4走査線 DS から供給される制御信号に応じ導通してドライブトランジスタ T_{rd} を第3電位 V_{cc} に接続して出力電流 I_{ds} を発光素子 E_L に流す。

【0019】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタ T_{r1} ないし T_{r4} 及び T_{rd} と1個の画素容量 C_s と1個の発光素子 E_L とで構成されている。トランジスタ $T_{r1} \sim T_{r3}$ と T_{rd} はNチャネル型のポリシリコンTFTである。トランジスタ T_{r4} のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることが出来る。発光素子 E_L は例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0020】

図3は、図2に示した画像表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。以下図3に基づいて、画素回路2の動作を説明する。

【0021】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した画素回路の動作を具体的に説明する。図4は、時間軸 T に沿って各走査線 WS 、 AZ_1 、 AZ_2 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はNチャネル型なので、走査線 WS 、 AZ_1 、 AZ_2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS 、 AZ_1 、 AZ_2 、 DS の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

【0022】

図4のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド (1f) としである。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 AZ_1 、 AZ_2 、 DS の波形を表してある。

【0023】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS 、 AZ_1 、 AZ_2 、 DS がローレベルにある。したがってNチャネル型のトランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオフ状態にある。

r 3 はオフ状態にある一方、Pチャネル型のトランジスタT r 4 のみオン状態である。したがってドライブトランジスタT r d はオン状態のトランジスタT r 4 を介して電源V c c に接続しているので、所定の入力電圧V g s に応じて出力電流I d s を発光素子E L に供給している。したがってタイミングT 0 で発光素子E L は発光している。この時ドライブトランジスタT r d に印加される入力電圧V g s は、ゲート電位 (G) とソース電位 (S) の差で表される。

【 0 0 2 4 】

当該フィールドが始まるタイミングT 1 で、制御信号D S がローレベルからハイレベルに切り替わる。これによりトランジスタT r 4 がオフし、ドライブトランジスタT r d は電源V c c から切り離されるので、発光が停止し非発光期間に入る。したがってタイミングT 1 に入ると、全てのトランジスタT r 1 ~ T r 4 がオフ状態になる。

10

【 0 0 2 5 】

続いてタイミングT 2 に進むと、制御信号A Z 1 及びA Z 2 がハイレベルになるので、スイッチングトランジスタT r 2 及びT r 3 がオンする。この結果、ドライブトランジスタT r d のゲートG が基準電位V s s 1 に接続し、ソースS が基準電位V s s 2 に接続される。ここで $V s s 1 - V s s 2 > V t h$ を満たしており、 $V s s 1 - V s s 2 = V g s > V t h$ とする事で、その後タイミングT 3 で行われるV t h 補正の準備を行う。換言すると期間T 2 ~ T 3 は、ドライブトランジスタT r d のリセット期間に相当する。また、発光素子E L の閾電圧をV t h E L とすると、 $V t h E L > V s s 2$ に設定されている。これにより、発光素子E L にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うV t h 補正動作及び移動度補正動作を正常に行うために必要である。

20

【 0 0 2 6 】

タイミングT 3 では制御信号A Z 2 をローレベルにし且つ直後制御信号D S もローレベルにしている。これによりトランジスタT r 3 がオフする一方トランジスタT r 4 がオンする。この結果ドレイン電流I d s が画素容量C s に流れ込み、V t h 補正動作を開始する。この時ドライブトランジスタT r d のゲートG はV s s 1 に保持されており、ドライブトランジスタT r d がカットオフするまで電流I d s が流れる。カットオフするとドライブトランジスタT r d のソース電位 (S) は $V s s 1 - V t h$ となる。ドレイン電流がカットオフした後のタイミングT 4 で制御信号D S を再びハイレベルに戻し、スイッチングトランジスタT r 4 をオフする。さらに制御信号A Z 1 もローレベルに戻し、スイッチングトランジスタT r 2 もオフする。この結果、画素容量C s にV t h が保持固定される。この様にタイミングT 3 ~ T 4 はドライブトランジスタT r d の閾電圧V t h を検出する期間である。ここでは、この検出期間T 3 ~ T 4 をV t h 補正期間と呼んでいる。

30

【 0 0 2 7 】

この様にV t h 補正を行った後タイミングT 5 で制御信号W S をハイレベルに切り替え、サンプリングトランジスタT r 1 をオンして映像信号V s i g を画素容量C s に書き込む。発光素子E L の等価容量C o l e d に比べて画素容量C s は十分に小さい。この結果、映像信号V s i g のほとんど大部分が画素容量C s に書き込まれる。正確には、V s s 1 に対するV s i g の差分 $V s i g - V s s 1$ が画素容量C s に書き込まれる。したがってドライブトランジスタT r d のゲートG とソースS 間の電圧V g s は、先に検出保持されたV t h と今回サンプリングされた $V s i g - V s s 1$ を加えたレベル ($V s i g - V s s 1 + V t h$) となる。以降説明簡易化の為V s s 1 = 0 V とすると、ゲート/ソース間電圧V g s は図4のタイミングチャートに示すように $V s i g + V t h$ となる。かかる映像信号V s i g のサンプリングは制御信号W S がローレベルに戻るタイミングT 6 まで行われる。すなわちタイミングT 5 ~ T 6 がサンプリング期間に相当する。

40

【 0 0 2 8 】

続いてタイミングT 7 で制御信号D S がローレベルとなりスイッチングトランジスタT r 4 がオンする。これによりドライブトランジスタT r d が電源V c c に接続されるので、画素回路は非発光期間から発光期間に進む。その前のタイミングT 6 で制御信号W S が

50

ローレベルとなりサンプリングトランジスタ T_{r1} は既にオフしている。この為ドライブトランジスタ T_{rd} のゲート G は信号線 S_L から切り離されている。映像信号 V_{sig} の印加が解除されているので、スイッチングトランジスタ T_{r4} のオンと共に、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。なお本実施形態の画素回路はドライブトランジスタ T_{rd} のソースと発光素子 E_L のアノードとが接続している。その為、ドライブトランジスタ T_{rd} のソース電位 (S) は同時に発光素子 E_L のアノード電位 V_a でもある。図 4 のタイミングチャートは、この発光素子 E_L のアノード電位 V_a も示してある。この発光期間は次のフィールドに入る前のタイミング T_8 で終わる。

【0029】

上述したようにタイミング T_7 では、ドライブトランジスタ T_{rd} のゲート電位 (G) が上昇可能となり、これと連動してソース電位 (S) が上昇していく。これがブートストラップ動作である。このブートストラップ動作の間、画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} + V_{th}$) の値を維持する。つまりこのブートストラップ動作は、画素容量 C_s に保持された V_{gs} を一定に維持したまま、発光素子 E_L のアノード電位 V_a の上昇を可能にするものである。ドライブトランジスタのソース電位 (S) の上昇即ち発光素子 E_L のアノード電位 V_a の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。このときのドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に $V_{sig} + V_{th}$ を代入することで、以下の式 2 のように与えられる。

$$I_{ds} = k \cdot \mu (V_{gs} - V_{th})^2 = K \cdot \mu (V_{sig})^2 \cdots \text{式 2}$$

上記式 2 において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しないことがわかる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光することになる。加えて本画素回路はドライブトランジスタのソース電位即ち発光素子のアノード電位 V_a に依存することなく、常にゲート電圧 V_{gs} を一定に維持している。このブートストラップ機能のため、本画素回路は発光素子 E_L の $I-V$ 特性の経時変動の影響を受けることなく、画面輝度を安定的に維持することが出来る。

【0030】

この様にブートストラップ機能及び閾電圧補正機能を組み込んだ本画素回路でも、なお解決すべき課題がある。この点につき、本発明の説明に入る前に、図 5 を参照して簡潔に説明する。図 5 は、図 2 に示した画像表示装置から画素回路一個分を取り出した模式図である。基本的には図 3 に示した画素回路の模式図と同じであるが、説明の都合上寄生容量 C_p も加えてある。薄膜トランジスタはそのゲートとソースの間に寄生容量 C_p が存在している。本画素回路では特にサンプリングトランジスタ T_{r1} やスイッチングトランジスタ T_{r2} の寄生容量 C_p が、ドライブトランジスタ T_{rd} の動作に悪影響を与えている。具体的には、これらのトランジスタ T_{r1} , T_{r2} の寄生容量 C_p により、ブートストラップ動作で電圧ロスが生じ、これがドライブトランジスタ T_{rd} の閾電圧 V_{th} のばらつきと絡み合っ、画面上に輝度差が生じてしまう。理想的なブートストラップ動作では、ドライブトランジスタのソース電位の上昇分とゲート電位の上昇分とが完全に同じで、ゲート電圧 V_{gs} が一定に維持される。即ちブートストラップゲインが 1 になることが理想である。しかしながら実際には寄生容量 C_p の影響でブートストラップゲインにロスが生じ、その分だけゲート電位はソース電位に比べて上昇分が少ない。ここで問題となるのは、このブートストラップゲインロスが画素間で一定ではなく、個々の画素回路のドライブトランジスタの閾電圧 V_{th} の影響を受けてばらつくことである。このブートストラップゲインロスのばらつきにより、画面上で画素間に輝度差が生じ、ユニフォーミティを損ねている。

【0031】

10

20

30

40

50

引き続き図5を参照してブートストラップゲインロスに付き詳細に説明にする。信号電圧 V_{sig} を書き込んだ後のドライブトランジスタ T_{rd} のゲート/ソース間電圧 V_{gs} は、予め V_{th} 補正を行っているため、 $V_{gs} = V_{sig} - V_{ss1} + V_{th}$ となる。次にサンプリングトランジスタ T_{r1} をオフした後スイッチングトランジスタ T_{r4} をオンすることで、ドライブトランジスタ T_{rd} が電源 V_{cc} に接続し、ドレイン電流 I_{ds} が発光素子 E_L に流れる。このときドレイン電流 I_{ds} に相当する電圧が発光素子 E_L のアノード端子に印加される。図4のタイミングチャートでは、このときのアノード電圧(ドライブトランジスタのソース電圧)を V_a で表してある。よって、発光動作時には、ドライブトランジスタのソース電圧は $V_a - V_{ss1} + V_{th}$ だけ上昇する。一方、ドライブトランジスタ T_{rd} のゲート電圧は寄生容量 C_p があるため、その上昇分は $(V_a - V_{ss1} + V_{th}) \times C_s / (C_s + C_p)$ となる。以上により、ブートストラップ動作後の V_{gs} は以下の式3で表される。またこの V_{gs} に対応するドレイン電流 I_{ds} は以下の式4で与えられる。但し下記の式3では、簡単のため V_{ss1} を $0V$ にしている。

$$\begin{aligned} V_{gs} &= V_{sig} - V_{ss1} + V_{th} - \\ &\quad (V_a - V_{ss1} + V_{th}) \cdot C_p / (C_s + C_p) \\ &= V_{sig} + V_{th} - (V_a + V_{th}) \cdot C_p / (C_s + C_p) \cdots (3) \end{aligned}$$

10

$$I_{ds} = k \cdot \mu (V_{sig} - (V_a + V_{th}) \cdot C_p / (C_s + C_p))^2 \cdots (4)$$

【0032】

ブートストラップ後の V_{gs} を表す上記式3は、その三項目にブートストラップゲインロス項を含んでおり、理想的な値よりも小さくなる。このブートストラップゲインロス項を見ると、 $C_p / (C_s + C_p)$ を係数部として変数 V_a と V_{th} を含んでいる。一般に画素間で発光素子特性にそれほどばらつきはないので、アノード電位 V_a のばらつきは無視できる。これに対しドライブトランジスタの閾電圧 V_{th} は画素毎にばらついてしまう。この為ブートストラップゲインロス項は画素毎にばらつき、発光輝度が画素間で様にならない。

20

【0033】

一般的に画素容量 C_s は $200fF$ 程度であり寄生容量 C_p は $5fF$ 程度である。よってブートストラップゲインロス $C_p / (C_s + C_p)$ は約 2.5% である。この為 V_{th} ばらつきの 2.5% 程度のばらつきが数式4で示した発光電流 I_{ds} に含まれてしまう。例えばドライブトランジスタ T_{rd} の V_{th} ばらつきの最小最大幅が $2V$ であったとすると、ブートストラップゲインロスによる V_{gs} ばらつきは $50mV$ となる。ここで画面ユニフォーミティーが最も目立つ白表示の時 $V_{gs} = 2V$ とすると、 $50mV$ の差による輝度ばらつきは約 5% となり、目視されてしまう。これによりパネルの歩留りが低下してしまう。一般に、製造プロセス上ドライブトランジスタ V_{th} のばらつきは画面でスジ状に分布する。よって画面にスジ状のムラが生じ、パネルの歩留りが低下してしまう。

30

【0034】

以上の考察から明らかなように、画素回路には寄生容量 C_p があるため、原理的にブートストラップゲインロスは避けられない。仮にブートストラップゲインロスが各画素で様に起これば、画面全体としては単に輝度のわずかな低下があるだけで、画質に悪影響は無い。しかしながら、各画素にドライブトランジスタの閾電圧 V_{th} のばらつきがあるため、この影響を受けてブートストラップゲインロスが画素間でばらついてしまう。そこで本発明はこのブートストラップゲインロスの画素間のばらつきを抑制するため、各画素のドライブトランジスタの V_{th} のばらつきを抑制している。具体的には、発光素子 E_L の発光電流 I_{ds} を制御しているドライブトランジスタ T_{rd} のチャネル長 L を長く設計することで、このドライブトランジスタの閾電圧 V_{th} のばらつきを抑制することが出来る。この点につき図6のグラフを参照して説明する。図6は、薄膜トランジスタの L 長と V_{th} ばらつきとの関係を示すグラフである。横軸に L 長を取り縦軸に V_{th} ばらつき(偏差値)を取ってある。グラフから明らかなように、多結晶シリコン膜を素子領域とする薄膜トランジスタは、 L 長が長くなるほど V_{th} ばらつきは小さくなる。多結晶シリコン膜

40

50

はシリコンの結晶粒の集合からなり、局部的に見れば結晶粒の分布にばらつきがある。電流の流れる方向になるチャンネル長を長くすることで結晶粒の分布のばらつきが平均化され、その分閾電圧のばらつきが少なくなる。

【0035】

一般的に有機ELデバイスなどの発光素子に必要な駆動電流は1画素当り数 μA と大きく、入力映像信号の振幅を下げ低消費電力化を測るためにも、ドライブトランジスタ T_{rd} のサイズ比 W/L はなるべく大きく設定して、電流駆動能力を高めている。一方パネルの高精細化のため画素サイズは小さくすることが好ましくしたがってドライブトランジスタ T_{rd} の素子面積も小さい方がよい。よってドライブトランジスタ T_{rd} はサイズ比をなるべく大きく設計し且つ素子面積を小さくするため、一般的にはドライブトランジスタ T_{rd} の L 長(チャンネル長)を短く設計する傾向にある。しかしながら低温ポリシリコンを素子領域とするTFTなどでは、図6に示すようにドライブトランジスタの L 長が短くなるにつれて、 V_{th} 特性ばらつきが悪化する。この V_{th} 特性ばらつきのため、仮にドライブトランジスタ T_{rd} の L 長を短く設計してしまうと、 V_{th} キャンセル動作でドレイン電流 I_{ds} から V_{th} の影響を除いても、ブートストラップゲインロスによる V_{th} ばらつきが画面上に見えてしまい、ユニフォーミティの悪化を招く。前述の式3から明らかのように、ドライブトランジスタ T_{rd} の V_{th} が周囲の画素より大きい画素は相対的に周囲に比べ輝度が低下する一方、 V_{th} が周囲の画素より小さい画素は相対的に輝度が高くなる。これにより、画面上にスジのようなムラが生じてしまう。

【0036】

このような画質不良の対策として、本発明はドライブトランジスタ T_{rd} の L 長を長く設定している。具体的には、ドライブトランジスタ T_{rd} の L 長を $10\mu\text{m}$ 以上に設計することが好ましい。 L 長が $10\mu\text{m}$ 以上の場合、図6のグラフから明らかのように V_{th} のばらつきは 1V 以内である。ここでブートストラップゲインロスが 2.5% の場合、ブートストラップゲインロスによる V_{gs} ばらつきは 25mV である。白階調でドライブトランジスタ T_{rd} に印加するゲート電圧 $V_{gs} = 2\text{V}$ とすると、このばらつきによる輝度差は式3により 2.5% となる。一般的に白階調のユニフォーミティで目視される輝度差は $2\sim 3\%$ であるので、 L 長を $10\mu\text{m}$ 以上に設計すればブートストラップゲインロスによる輝度ばらつきはほとんど視認出来ないレベルにすることが可能である。これによりパネルの製造歩留りを改善することができる。図6のグラフから明らかのように、高い画質を得るためには、ドライブトランジスタ T_{rd} の L 長は $15\mu\text{m}$ から $20\mu\text{m}$ まで長いほうが望ましい。

【0037】

なお画素回路のスケールファクタによっては、ドライブトランジスタ T_{rd} の L 長を絶対的な数値で規定することが難しい場合がある。この場合でも、ドライブトランジスタ T_{rd} のチャンネル長 L を各スイッチングトランジスタ T_{r2} 、 T_{r3} 、 T_{r4} のチャンネル長より長くして、その閾電圧 V_{th} のばらつきを抑制することが効果的である。ドライブトランジスタ T_{rd} の閾電圧 V_{th} のばらつきはブートストラップゲインロスなどを通じて輝度に大きな影響を与えている。そこで画素を構成する他のスイッチング素子よりもドライブトランジスタのチャンネル長 L を長く取ることが輝度ばらつきを抑えるために有効である。また低温ポリシリコンTFTを利用したパネルは、画素アレイ部に加えてスキナ部も同一の低温ポリシリコンTFTプロセスで集積形成することがある。この場合には、画素アレイ部の各画素に含まれるドライブトランジスタ T_{rd} のチャンネル長 L を、スキナ部を構成するトランジスタのチャンネル長よりも長くして、その閾電圧 V_{th} のばらつきを抑制することが効果的である。ドライブトランジスタの閾電圧は画素の輝度に大きな影響を与えており、そのチャンネル長をスキナ部のトランジスタのチャンネル長より長くすることは画面のユニフォーミティを高める上で有効である。

【0038】

図7は、ドライブトランジスタの V_{th} のばらつきが生じる原因を示す模式図である。図示する様に、表示装置は1枚の絶縁性基板で形成されており、フラットなパネル0である

。このパネル 0 の上には画素アレイ部 1 に加えて周辺のライトスキャナ 4、ドライブスキャナ 5、水平セクタ 3 なども集積形成されている。これらの周辺駆動部は中央の画素アレイ部 1 と同じく、薄膜トランジスタで集積形成されている。一般に薄膜トランジスタは多結晶シリコン膜を素子領域とする。この多結晶シリコン膜は、例えば絶縁性の基板上に非晶質のシリコン薄膜を成膜した後、レーザ光を照射することで結晶化し、多結晶シリコン薄膜に転換している。このレーザ光の照射は、例えばライン状のレーザビームを、パネル 0 の上から下に向かって順次重ねながら照射することで、非晶質シリコン膜を多結晶シリコン膜に転換している。このレーザ光の照射過程でレーザ出力に局部的な変動が生じると、パネル 0 の上下方向で多結晶シリコン膜の結晶性に差が生じ、これが結果的に薄膜トランジスタの閾電圧のばらつきとなって現れる。よって通常閾電圧のばらつきは、レーザ光のラインに沿って、パネル 0 の水平方向に現れる。図示の例では、一部のラインで閾電圧 V_{th} が周囲に比べ高くなっており、他のラインでは逆に V_{th} が周囲に比べ低くなっている。 V_{th} の変動はブートストラップゲインの変動につながるので、ラインに沿ってスジ状に輝度ムラが現れてしまう。平均に比べて V_{th} が小さくなるとブートストラップゲインロスも小さいため、周囲より明るいスジが発生してしまう。逆に V_{th} が標準より大きくなると、ブートストラップゲインロスが大きくなりその分周囲より暗いスジが生じてしまう。

【0039】

図 8 は、図 2 及び図 3 に示した画像表示装置の駆動方法の他の例を示すタイミングチャートである。図 4 に示したタイミングチャートと同様の表記を採用して理解を容易にしている。図 4 に示した駆動方法と異なる点は、本駆動方法が閾電圧補正動作及びブートストラップ動作に加え、移動度補正動作を行っていることである。以下、図 8 に示した駆動方法を詳細に説明する。当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS 、 $AZ1$ 、 $AZ2$ 、 DS がローレベルにある。したがって N チャンネル型のトランジスタ $Tr1$ 、 $Tr2$ 、 $Tr3$ はオフ状態にある一方、 P チャンネル型のトランジスタ $Tr4$ のみオン状態である。したがってドライブトランジスタ Trd はオン状態のトランジスタ $Tr4$ を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。したがってタイミング T_0 で発光素子 EL は発光している。この時ドライブトランジスタ Trd に印加される入力電圧 V_{gs} は、ゲート電位 (G) とソース電位 (S) の差で表される。

【0040】

当該フィールドが始まるタイミング T_1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ $Tr4$ がオフし、ドライブトランジスタ Trd は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ $Tr1 \sim Tr4$ がオフ状態になる。

【0041】

続いてタイミング T_2 に進むと、制御信号 $AZ1$ 及び $AZ2$ がハイレベルになるので、スイッチングトランジスタ $Tr2$ 及び $Tr3$ がオンする。この結果、ドライブトランジスタ Trd のゲート G が基準電位 V_{ss1} に接続し、ソース S が基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T_3 で行われる V_{th} 補正の準備を行う。換言すると期間 $T_2 \sim T_3$ は、ドライブトランジスタ Trd のリセット期間に相当する。また、発光素子 EL の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

【0042】

タイミング T_3 では制御信号 $AZ2$ をローレベルにし且つ直後制御信号 DS もローレベルにしている。これによりトランジスタ $Tr3$ がオフする一方トランジスタ $Tr4$ がオンする。この結果ドレイン電流 I_{ds} が画素容量 C_s に流れ込み、 V_{th} 補正動作を開始す

10

20

30

40

50

る。この時ドライブトランジスタ T_{rd} のゲート G は V_{ss1} に保持されており、ドライブトランジスタ T_{rd} がカットオフするまで電流 I_{ds} が流れる。カットオフするとドライブトランジスタ T_{rd} のソース電位 (S) は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミング T_4 で制御信号 DS を再びハイレベルに戻し、スイッチングトランジスタ T_r4 をオフする。さらに制御信号 AZ_1 もローレベルに戻し、スイッチングトランジスタ T_r2 もオフする。この結果、画素容量 C_s に V_{th} が保持固定される。この様にタイミング $T_3 \sim T_4$ はドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出する期間である。ここでは、この検出期間 $T_3 \sim T_4$ を V_{th} 補正期間と呼んでいる。

【0043】

この様に V_{th} 補正を行った後タイミング T_5 で制御信号 WS をハイレベルに切り替え、サンプリングトランジスタ T_r1 をオンして映像信号 V_{sig} を画素容量 C_s に書き込む。発光素子 EL の等価容量 C_{oled} に比べて画素容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する、 V_{sig} の差分 $V_{sig} - V_{ss1}$ が画素容量 C_s に書き込まれる。したがってドライブトランジスタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル ($V_{sig} - V_{ss1} + V_{th}$) となる。以降説明簡易化の為 $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図4のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは制御信号 WS がローレベルに戻るタイミング T_7 まで行われる。すなわちタイミング $T_5 \sim T_7$ がサンプリング期間に相当する。

【0044】

サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 DS がローレベルとなりスイッチングトランジスタ T_r4 がオンする。これによりドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_r1 がまだオン状態で且つスイッチングトランジスタ T_r4 がオン状態に入った期間 $T_6 \sim T_7$ で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち本例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T_6 \sim T_7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 EL は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T_6 \sim T_7$ では、ドライブトランジスタ T_{rd} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{oled} の両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これによりドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図4のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 $T_6 \sim T_7$ の時間幅 t を調整する事で最適化可能である。

【0045】

タイミング T_7 では制御信号 WS がローレベルとなりサンプリングトランジスタ T_r1 がオフする。この結果ドライブトランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} - V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式1の V_{gs} に $V_{sig} -$

$V + V_{th}$ を代入する事で、以下の式5のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \cdots \text{式5}$$

上記式5において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式5から V_{th} の項がキャンセルされており、発光素子ELに供給される出力電流 I_{ds} はドライブトランジスタ Tr_d の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子ELは映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式5の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

10

【0046】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ Tr_4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0047】

図9は、移動度補正期間 $T_6 \sim T_7$ における画素回路2の状態を示す回路図である。図示するように、移動度補正期間 $T_6 \sim T_7$ では、サンプリングトランジスタ Tr_1 及びスイッチングトランジスタ Tr_4 がオンしている一方、残りのスイッチングトランジスタ Tr_2 及び Tr_3 がオフしている。この状態でドライブトランジスタ Tr_4 のソース電位(S)は $V_{ss1} - V_{th}$ である。このソース電位(S)は発光素子ELのアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ Tr_d に流れる電流 I_{ds} は画素容量 C_s と発光素子ELの等価容量 C_{oled} との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

20

【0048】

図10は上述したトランジスタ特性式5をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式5も合わせて示してある。図10のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号の信号電圧 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素2に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

30

【0049】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式1から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図10のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は移動度の小さな画素2の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極

40

50

めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の補正量 V_1 は移動度の小さい画素 2 の補正量 V_2 に対して小さくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【 0 0 5 0 】

以下参考の為、上述した移動度補正の数値解析を行う。図 9 に示したように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は以下の式 6 に示す通りである。

10

【数 1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式 6}$$

【 0 0 5 1 】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式 7 に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

【数 2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式 7}$$

20

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

30

【 0 0 5 2 】

式 7 に式 6 を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式 8 のように与えられる。

【数 3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式 8}$$

40

【図面の簡単な説明】

【 0 0 5 3 】

【図 1】本発明にかかる画像表示装置の全体構成を示すブロック図である。

【図 2】図 1 に示した画像表示装置に形成される画素を示す回路図である。

【図 3】図 2 に示した画素回路の動作説明に供する模式図である。

【図 4】図 2 及び図 3 に示した画像表示装置の動作説明に供するタイミングチャートである。

【図 5】本発明にかかる画像表示装置の説明に供する模式的な回路図である。

50

【図 6】本発明にかかる画像表示装置の説明に供するグラフである。

【図 7】同じく本発明にかかる画像表示装置の説明に供する模式図である。

【図 8】図 2 及び図 3 に示した画像表示装置の動作説明に供する他のタイミングチャートである。

【図 9】本発明にかかる画像表示装置の説明に供する模式図である。

【図 10】同じく本発明にかかる画像表示装置の説明に供するグラフである。

【図 11】従来の画素回路の一例を示す回路図である。

【図 12】発光素子の電流 電圧特性を示すグラフである。

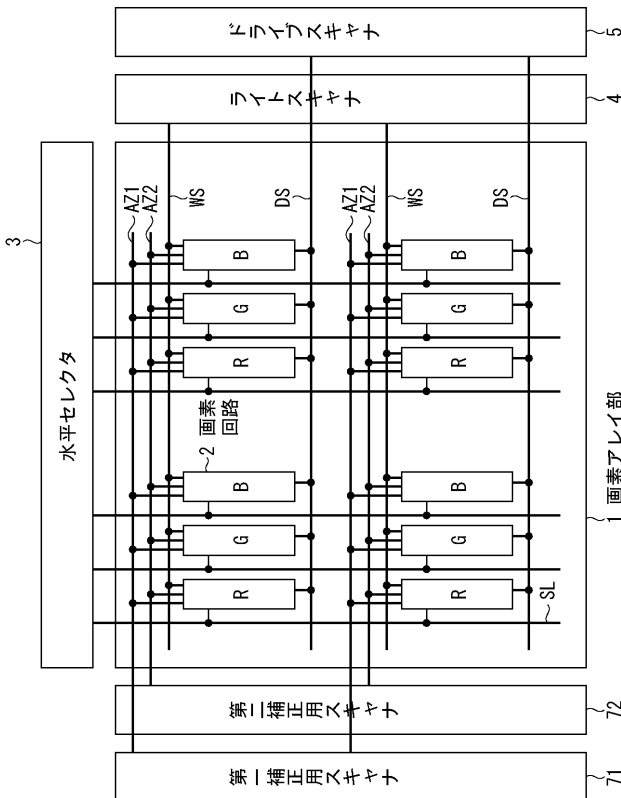
【符号の説明】

【0054】

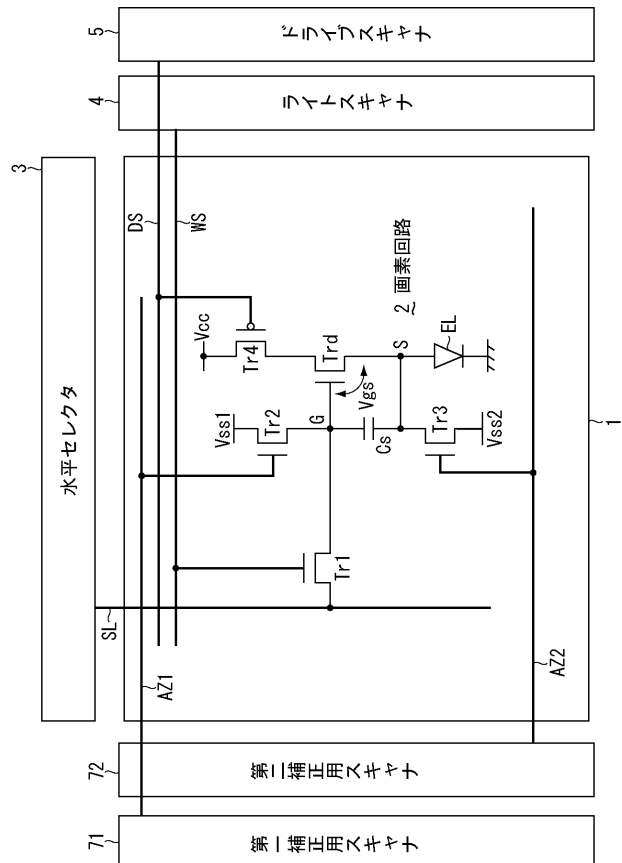
1・・・画素アレイ部、2・・・画素回路、3・・・水平セクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、71・・・第一補正用スキャナ、72・・・第二補正用スキャナ、Tr1・・・サンプリングトランジスタ、Tr2・・・第1スイッチングトランジスタ、Tr3・・・第2スイッチングトランジスタ、Tr4・・・第3スイッチングトランジスタ、Trd・・・ドライブトランジスタ、Cs・・・画素容量、EL・・・発光素子、Vss1・・・第1電源電位、Vss2・・・第2電源電位、Vcc・・・第3電源電位、WS・・・第1走査線、AZ1・・・第2走査線、AZ2・・・第3走査線、DS・・・第4走査線

10

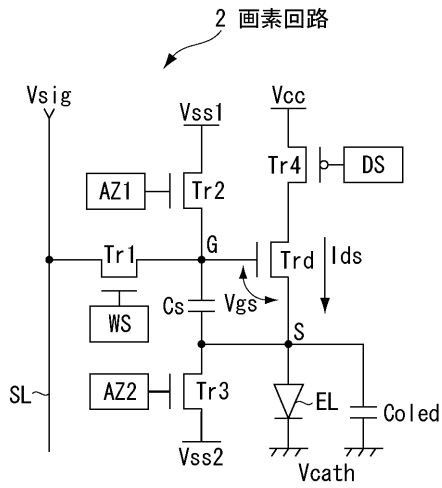
【図 1】



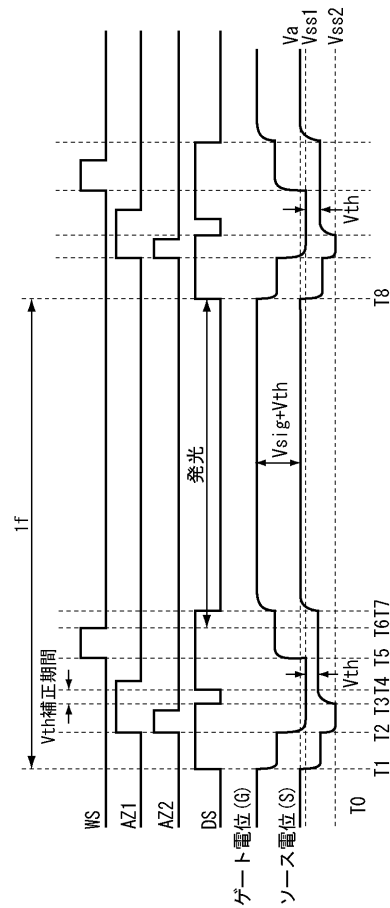
【図 2】



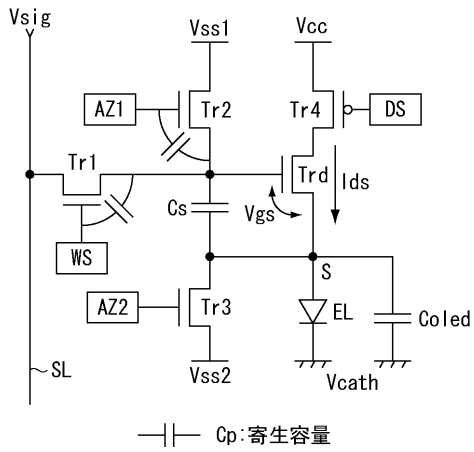
【図 3】



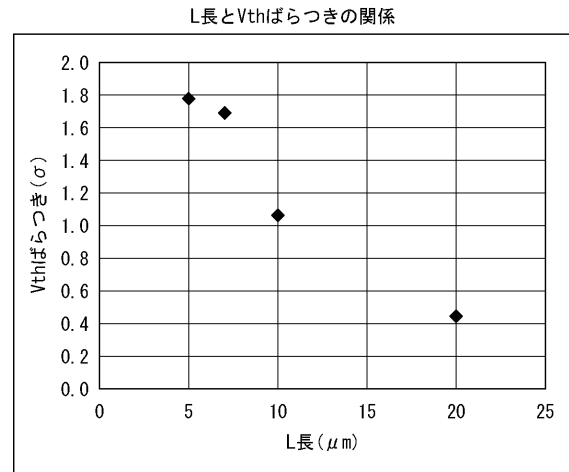
【図 4】



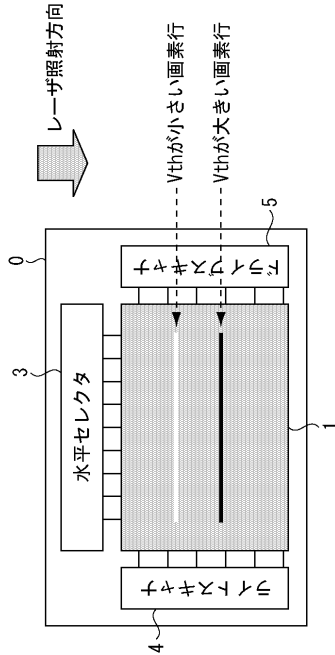
【図 5】



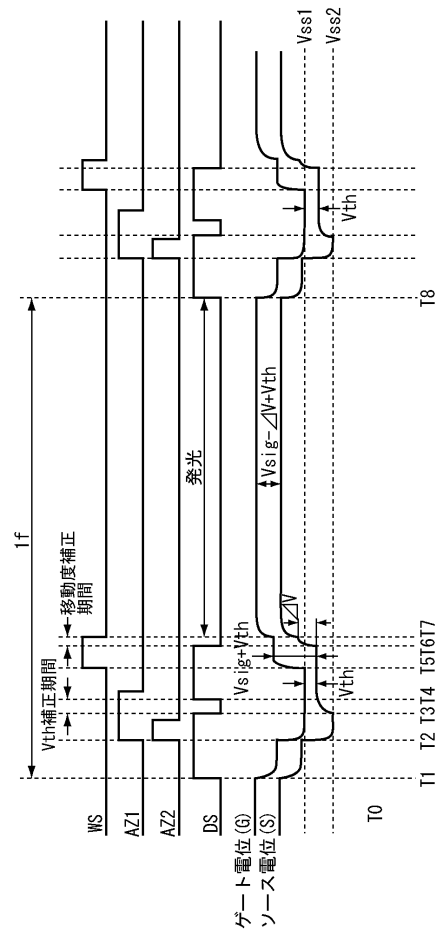
【図 6】



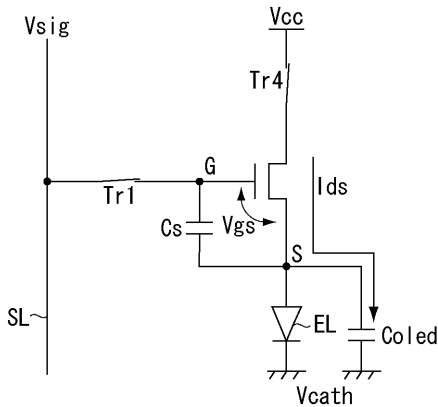
【図 7】



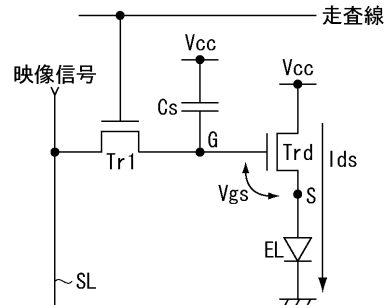
【図 8】



【図 9】

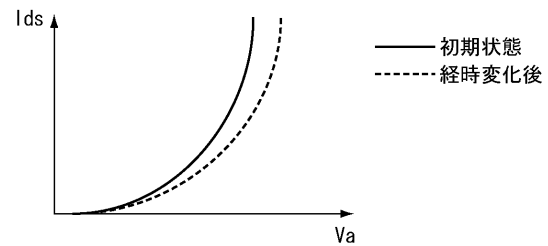


【図 1 1】

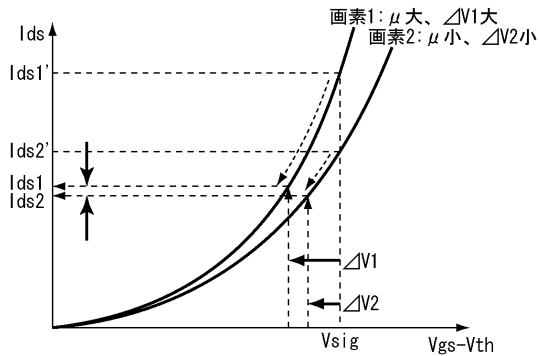


【図 1 2】

発光素子のI-V特性の経時変化



【図 1 0】



$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 H
	H 0 5 B 33/14	A

(72)発明者 谷亀 貴央

東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC21 CC33 CC34 EE03 HH04 HH05
5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	画像表示装置		
公开(公告)号	JP2008046427A	公开(公告)日	2008-02-28
申请号	JP2006222846	申请日	2006-08-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 三富豊 三並徹雄 谷亀貴央		
发明人	山下 淳一 三富 豊 三並 徹雄 谷亀 貴央		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2320/0233 G09G2320/0626 H01L27/3262 H01L27/3265 H01L27/3276 H01L29/78678 H01L29/78696		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.623.A G09G3/20.622.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.611.H H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC34 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC65 5C380/CC71 5C380/CC77 5C380/CD012 5C380/CD015 5C380/DA06 5C380/DA47		
外部链接	Espacenet		

摘要(译)

种类代码：A1抑制驱动晶体管的阈值电压变化以获得高屏幕均匀性。像素电路包括采样晶体管Tr1，驱动晶体管Trd，开关晶体管Tr2，Tr3，Tr4，像素电容器Cs和发光元件EL。采样晶体管Tr1响应于控制信号WS导通，并且将从信号线SL提供的视频信号的信号电位采样到像素电容Cs中，并且驱动晶体管Trd将对应于信号电位的输出电流采样到发光元件EL。耗材。开关晶体管Tr2，Tr3和Tr4校正驱动晶体管Trd的特性变化。另外，驱动晶体管Trd的沟道长度被设置为长于开关晶体管Tr2，Tr3，Tr4的沟道长度，并且阈值电压的变化被抑制。The

