

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-156460
(P2007-156460A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642P	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 10 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2006-307352 (P2006-307352)
 (22) 出願日 平成18年11月14日 (2006.11.14)
 (31) 優先権主張番号 特願2005-328337 (P2005-328337)
 (32) 優先日 平成17年11月14日 (2005.11.14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092336
 弁理士 鈴木 晴敏
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 泉 岳
 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

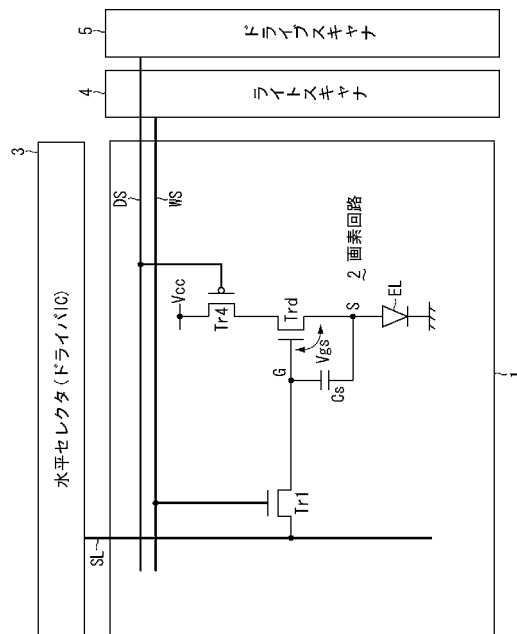
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 閏電圧補正機能備えた画素回路の効率化及び簡素化を図り、以って表示装置の高精細化及び歩留りの改善を達成する。

【解決手段】 表示装置は、画素アレイ部1とスキャナ部4、5と信号部3とを含む。各画素回路2は、サンプリングトランジスタTr1と、これに接続する画素容量Csと、これに接続するドライブトランジスタTrdと、これに接続する発光素子ELと、ドライブトランジスタTrdを電源に接続するスイッチングトランジスタTr4とで構成されている。スキャナ部4、5は、水平走査期間にサンプリングトランジスタTr1及びスイッチングトランジスタTr4をオンオフ制御して、画素容量Csをリセットする準備動作、リセットされた画素容量Csに閏電圧をキャンセルするための電圧を書き込む補正動作、及び補正された画素容量Csに映像信号をサンプリングするサンプリング動作を実行する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、第 1 走査線及び第 2 走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、

前記サンプリングトランジスタは、第 1 走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スイッチングトランジスタは、第 2 走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源から切り離し、

前記スキャナ部は、水平走査期間に該第 1 走査線及び第 2 走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するために該画素容量をリセットする準備動作、リセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作、及び補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行することを特徴とする表示装置。

【請求項 2】

前記信号部は、該水平走査期間に該映像信号を第 1 の固定電位と、第 2 の固定電位と、信号電位との間で切り替え、以って該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記信号部は、先ず高レベルの第 1 固定電位を供給し続いて低レベルの第 2 固定電位に切り替えて該準備動作を可能とし、更に低レベルの第 2 固定電位を維持した状態で該補正動作を実行させ、その後該信号電位に切り替えて該サンプリング動作を実行させることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記信号部は、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に第 1 固定電位及び第 2 固定電位を挿入し、以って第 1 固定電位と第 2 固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含むことを特徴とする請求項 2 記載の表示装置。

【請求項 5】

前記信号部は通常の定格を越えない信号電位と定格を越える第 1 固定電位とを合成した映像信号を出力し、前記信号生成回路は定格を越えない信号電位を生成するため通常の耐圧を有する一方、前記出力回路は、定格を越える第 1 固定電位に対処するため高耐圧化されていることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、

10

20

30

40

50

前記スキャナ部は、水平走査期間に該第2走査線に制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行することを特徴とする請求項1記載の表示装置。

【請求項7】

画素アレイとスキャナとドライバとを含み、

前記画素アレイは、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記ドライバは、該信号線に映像信号を供給し、

10

前記スキャナは、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、

前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、

20

前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源から切り離し、

前記スキャナは、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流のばらつきを補正する補正動作と該映像信号の信号電位をサンプリングするサンプリング動作を実行し、

前記ドライバは、該水平走査期間に該映像信号を固定電位と信号電位との間で切り替え、以って該補正動作及び該サンプリング動作に必要な電位を該画素に信号線を介して供給することを特徴とする表示装置。

30

【請求項8】

前記ドライバは、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に該固定電位を挿入し、以って該固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含むことを特徴とする請求項7記載の表示装置。

【請求項9】

前記ドライバは通常の定格を越えない信号電位と定格を越える固定電位とを合成した映像信号を出力し、前記信号生成回路は定格を越えない信号電位を生成するため通常の耐圧を有し、前記出力回路のみ定格を越える固定電位に対処するため高耐圧化することを特徴とする請求項8記載の表示装置。

40

【請求項10】

画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む表示装置の駆動方法であって、

50

前記サンプリングトランジスタが、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、

前記画素容量が、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタが、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有し、

前記発光素子が、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、

前記スイッチングトランジスタが、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源に接続し、非発光期間中は非導通状態になって、該ドライブトランジスタを電源から切り離し、

前記スキャナ部が、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するために該画素容量をリセットする準備動作、リセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作、及び補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行することを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動して表示を行なう表示装置に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル(階調)はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子(一般には薄膜トランジスタ、TFT)によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号

10

20

30

40

50

線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャンネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース/ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

10

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} はソース/ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャンネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャンネル幅を表わし、 L はチャンネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性(ユニフォ-ミティ)が得られるはずである。

20

30

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ(TFT)は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォ-ミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

しかしながら、閾電圧のばらつきをキャンセルする機能(閾電圧補正機能)を画素回路に組み込んだ従来の表示装置は構成が複雑であり、画素の微細化もしくは高精細化の障害になっていた。また、従来の閾電圧補正機能を組み込んだ画素回路は、効率的でなく回路設計の複雑化を招いていた。加えて、従来の閾電圧補正機能を備えた画素回路は、構成素子数が比較的多いため歩留りの低下を招いていた。

40

【課題を解決するための手段】

【0009】

上述した従来の技術の課題に鑑み、本発明は閾電圧補正機能を備えた画素回路の効率化及び簡素化を図り、以って表示装置の高精細化及び歩留りの改善を達成することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明にかかる表示装置は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走

50

査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査する。各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含む。前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングする。前記画素容量は、該サンプリングされた映像信号の信号電位に応じて該ドライブトランジスタのゲートに入力電圧を印加する。前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの閾電圧に対して依存性を有する。前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光する。前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源から切り離す。特徴事項として、前記スキャナ部は、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流の該閾電圧に対する依存性を補正するために該画素容量をリセットする準備動作、リセットされた該画素容量に該閾電圧をキャンセルするための電圧を書き込む補正動作、及び補正された該画素容量に該映像信号の信号電位をサンプリングするサンプリング動作を実行する。

10

20

【0010】

一方前記信号部は、該水平走査期間に該映像信号を第1の固定電位と、第2の固定電位と、信号電位との間で切り替え、以って該準備動作、該補正動作及び該サンプリング動作に必要な電位を各画素に信号線を介して供給する。この場合前記信号部は、先ず高レベルの第1固定電位を供給し続いて低レベルの第2固定電位に切り替えて該準備動作を可能とし、更に低レベルの第2固定電位を維持した状態で該補正動作を実行させ、その後該信号電位に切り替えて該サンプリング動作を実行させる。又前記信号部は、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に第1固定電位及び第2固定電位を挿入し、以って第1固定電位と第2固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含む。この場合、前記信号部は通常の定格を越えない信号電位と定格を越える第1固定電位とを合成した映像信号を出力し、前記信号生成回路は定格を越えない信号電位を生成するため通常の耐圧を有する一方、前記出力回路は、定格を越える第1固定電位に対処するため高耐圧化されている。

30

【0011】

一態様では、前記ドライブトランジスタは、その出力電流が閾電圧に加えチャネル領域のキャリア移動度に対しても依存性を有し、前記スキャナ部は、水平走査期間に該第2走査線に制御信号を出力して更に該スイッチングトランジスタを制御し、該出力電流のキャリア移動度に対する依存性を打ち消すために、該信号電位がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する動作を実行する。

40

【0012】

又本発明にかかる表示装置は、画素アレイとスキャナとドライバとを含み、前記画素アレイは、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記ドライバは、該信号線に映像信号を供給し、前記スキャナは、第1走査線及び第2走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、サンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子と、該ドライブトランジスタを電源に接続するスイッチングトランジスタとを含み、前記サンプリングトランジスタは、第1走査線から供給される制御信号に応じ導通して信号線から供給された映像信号の信号電位を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号の信号電位に応じ

50

て該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、前記発光素子は、発光期間中該ドライブトランジスタから供給された出力電流により該映像信号の信号電位に応じた輝度で発光し、前記スイッチングトランジスタは、第2走査線から供給される制御信号に応じ導通して該発光期間中該ドライブトランジスタを電源に接続し、非発光期間では非導通状態になって、該ドライブトランジスタを電源から切り離し、前記スキュナは、水平走査期間に該第1走査線及び第2走査線に夫々制御信号を出力し、該サンプリングトランジスタ及び該スイッチングトランジスタをオンオフ制御して、該出力電流のばらつきを補正する補正動作と該映像信号の信号電位をサンプリングするサンプリング動作を実行し、前記ドライバは、該水平走査期間に該映像信号を固定電位と信号電位との間で切り替え、以って該補正動作及び該サンプリング動作に必要な電位を該画素に信号線を介して供給することを特徴とする。

10

【0013】

具体的に前記ドライバは、信号電位を生成する信号生成回路と、該信号生成回路から出力された信号電位に該固定電位を挿入し、以って該固定電位と信号電位とが切り替わる映像信号を合成して各信号線に出力する出力回路とを含む。この場合、前記ドライバは通常の定格を越えない信号電位と定格を越える固定電位とを合成した映像信号を出力し、前記信号生成回路は定格を越えない信号電位を生成するため通常の耐圧を有し、前記出力回路のみ定格を越える固定電位に対処するため高耐圧化することを特徴とする。

【発明の効果】

20

【0014】

本発明によれば、表示装置は各画素回路に閾電圧補正機能を組み込んでいる。この表示装置は、画素の各行に割り当てられた1水平走査期間(1H)内において、ゲート電位カップリングによる閾電圧補正準備動作と、実際の閾電圧補正動作と、信号電圧のサンプリング動作とを行っている。これにより、各画素回路を構成する素子数を、トランジスタ3個と容量1個と発光素子1個まで削減できる。これにより電源ラインやゲートライン(走査線)の本数を削減し、配線間のクロスオーバーを大幅に減少させることで、表示装置を構成するパネルの歩留りを改善することが可能である。同時にパネルの高精細化も可能になる。また本発明では、水平走査期間内でサンプリング走査だけでなく、補正動作も実行するため、信号線から信号電位に加え制御用の固定電位も供給している。この様に本発明の表示装置は、データ信号線から画像データだけでなく画素回路制御用の固定電圧をパネルの画素アレイに送ることが可能になる。これによって各画素回路に含まれるドライブトランジスタの特性ばらつきを補正する手段を、少ない素子数で構成することが出来るようになった。また画素回路制御用の固定電圧が一般的なドライバICの最大定格電圧より高くなっても、出力回路部の高耐圧化を行うだけで、ドライバICの高耐圧化の必要はなく、回路構成の大型化や広ピッチ化などのドライバの物理的なサイズの大型化によるICのコスト増加を防ぎ、且つ高解像度パネルへの対応を可能にすることが出来た。

30

【発明を実施するための最良の形態】**【0015】**

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に図1を参照して、本発明の元になった表示装置の参考例を簡潔に説明する。図示する様に、このアクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セレクタ3、ライトスキュナ4、ドライブスキュナ5、第一補正用スキュナ71、第二補正用スキュナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキュナ4によって走査される。なお、走査線WSと平行に別の走査線DS, AZ1及びAZ2も配線されている。走査線DSはドライブスキュナ5によって走査される。走査線AZ1は第一補正用スキュナ71に

40

50

よって走査される。走査線 A Z 2 は第二補正用スキャナ 7 2 によって走査される。ライトスキャナ 4、ドライブスキャナ 5、第一補正用スキャナ 7 1 及び第二補正用スキャナ 7 2 はスキャナ部を構成しており、1 水平走査期間ごと画素の行を順次走査する。各画素回路 2 は走査線 W S によって選択されたとき信号線 S L から映像信号をサンプリングする。さらに走査線 D S によって選択されたとき、サンプリングされた映像信号に応じて画素回路 2 内に含まれている発光素子 E L を駆動する。加えて画素回路 2 は走査線 A Z 1, A Z 2 によって走査された時、予め決められた補正動作を行う。

【0016】

画素回路 2 は、5 個の薄膜トランジスタ T r 1 ~ T r 4 及び T r d と 1 個の容量素子 (画素容量) C s と 1 個の発光素子 E L とで構成されている。トランジスタ T r 1 ~ T r 3 と T r d は N チャンネル型のポリシリコン T F T である。トランジスタ T r 4 のみ P チャンネル型のポリシリコン T F T である。1 個の容量素子 C s は本画素回路 2 の容量部を構成している。発光素子 E L は例えばアノード及びカソードを備えたダイオード型の有機 E L 素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

10

【0017】

画素回路 2 の中心となるドライブトランジスタ T r d はそのゲート G が画素容量 C s の一端に接続され、そのソース S が同じく画素容量 C s の他端に接続されている。またドライブトランジスタ T r d のゲート G はスイッチングトランジスタ T r 2 を介して別の基準電位 V s s 1 に接続されている。ドライブトランジスタ T r d のドレインはスイッチングトランジスタ T r 4 を介して電源 V c c に接続されている。このスイッチングトランジスタ T r 2 のゲートは走査線 A Z 1 に接続されている。スイッチングトランジスタ T r 4 のゲートは走査線 D S に接続している。発光素子 E L のアノードはドライブトランジスタ T r d のソース S に接続し、カソードは接地されている。この接地電位は V c a t h で表される場合がある。また、ドライブトランジスタ T r d のソース S と所定の基準電位 V s s 2 との間にスイッチングトランジスタ T r 3 が介在している。このトランジスタ T r 3 のゲートは走査線 A Z 2 に接続している。一方サンプリングトランジスタ T r 1 は信号線 S L とドライブトランジスタ T r d のゲート G との間に接続されている。サンプリングトランジスタ T r 1 のゲートは走査線 W S に接続している。

20

【0018】

かかる構成において、サンプリングトランジスタ T r 1 は、所定のサンプリング期間に走査線 W S から供給される制御信号 W S に応じ導通して信号線 S L から供給された映像信号 V s i g を容量部 C s にサンプリングする。容量部 C s は、サンプリングされた映像信号 V s i g に応じてドライブトランジスタのゲート G とソース S 間に入力電圧 V g s を印加する。ドライブトランジスタ T r d は、所定の発光期間中入力電圧 V g s に応じた出力電流 I d s を発光素子 E L に供給する。なおこの出力電流 (ドレイン電流) I d s はドライブトランジスタ T r d のチャンネル領域のキャリア移動度 μ 及び閾電圧 V t h に対して依存性を有する。発光素子 E L は、ドライブトランジスタ T r d から供給された出力電流 I d s により映像信号 V s i g に応じた輝度で発光する。

30

【0019】

本参考例の特徴として、画素回路 2 はスイッチングトランジスタ T r 2 ~ T r 4 で構成される補正手段を備えており、出力電流 I d s のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 C s に保持された入力電圧 V g s を補正する。具体的には、この補正手段 (T r 2 ~ T r 4) は、走査線 W S 及び D S から供給される制御信号 W S, D S に応じてサンプリング期間の一部で動作し、映像信号 V s i g がサンプリングされている状態でドライブトランジスタ T r d から出力電流 I d s を取り出し、これを容量部 C s に負帰還して入力電圧 V g s を補正する。さらにこの補正手段 (T r 2 ~ T r 4) は、出力電流 I d s の閾電圧 V t h に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ T r d の閾電圧 V t h を検出し、且つ検出された閾電圧 V t h を入力電圧 V g s に足し込む様にしている。

40

50

【0020】

本参考例の場合、ドライブトランジスタ T_{rd} はNチャンネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方、ソース S が発光素子 E_L 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出して、容量部 C_s 側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E_L の有する容量に流れ込むようにしている。具体的には、発光素子 E_L はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ T_{rd} のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段($T_{r2} \sim T_{r4}$)は、予め発光素子 E_L のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E_L に流れ込む時、このダイオード型の発光素子 E_L を容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出す時間幅 t を調整可能であり、これにより容量部 C_s に対する出力電流 I_{ds} の負帰還量を最適化している。

10

【0021】

図2は、図1に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} などを書き加えてある。以下図2に基づいて

20

【0022】

図3は、図2に示した画素回路のタイミングチャートである。図3を参照して、図2に示した参考例にかかる画素回路の動作をより具体的に説明する。図3は、時間軸 T に沿って各走査線 W_S 、 A_Z1 、 A_Z2 及び D_S に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はNチャンネル型なので、走査線 W_S 、 A_Z1 、 A_Z2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャンネル型なので、走査線 D_S がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 W_S 、 A_Z1 、 A_Z2 、 D_S の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。

30

【0023】

図3のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 W_S 、 A_Z1 、 A_Z2 、 D_S の波形を表してある。

【0024】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 W_S 、 A_Z1 、 A_Z2 、 D_S がローレベルにある。したがってNチャンネル型のトランジスタ T_{r1} 、 T_{r2} 、 T_{r3} はオフ状態にある一方、Pチャンネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 E_L に供給している。したがってタイミング T_0 で発光素子 E_L は発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位(G)とソース電位(S)の差で表される。

40

【0025】

当該フィールドが始まるタイミング T_1 で、制御信号 D_S がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

50

【 0 0 2 6 】

続いてタイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタTr2及びTr3がオンする。この結果、ドライブトランジスタTrdのゲートGが基準電位Vss1に接続し、ソースSが基準電位Vss2に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミングT3で行われる V_{th} 補正の準備を行う。換言すると期間T2 - T3は、ドライブトランジスタTrdのリセット期間に相当する。また、発光素子ELの閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

10

【 0 0 2 7 】

タイミングT3では制御信号AZ2をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが画素容量Csに流れ込み、 V_{th} 補正動作を開始する。この時ドライブトランジスタTrdのゲートGはVss1に保持されており、ドライブトランジスタTrdがカットオフするまで電流Idsが流れる。カットオフするとドライブトランジスタTrdのソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、画素容量Csに V_{th} が保持固定される。この様にタイミングT3 - T4はドライブトランジスタTrdの閾電圧 V_{th} を検出する期間である。ここでは、この検出期間T3 - T4を V_{th} 補正期間と呼んでいる。

20

【 0 0 2 8 】

この様に V_{th} 補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号Vsigを画素容量Csに書き込む。発光素子ELの等価容量Coledに比べて画素容量Csは十分に小さい。この結果、映像信号Vsigのほとんど大部分が画素容量Csに書き込まれる。正確には、Vss1に対するVsigの差分 $V_{sig} - V_{ss1}$ が画素容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル($V_{sig} - V_{ss1} + V_{th}$)となる。以降説明簡易化の為 $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧Vgsは図3のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。すなわちタイミングT5 - T7がサンプリング期間に相当する。

30

【 0 0 2 9 】

サンプリング期間の終了するタイミングT7より前のタイミングT6で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T6 - T7で、ドライブトランジスタTrdの移動度補正を行う。即ち本参考例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6 - T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6 - T7では、ドライブトランジスタTrdのゲートGが映像信号Vsigのレベルに固定された状態で、ドライブトランジスタTrdにドレイン電流Idsが流れる。ここで $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタTrdに流れる電流Idsは画素容量Csと発光素子ELの等価容量Coledの両者を結合した容量 $C = C_s + C_{oled}$ に書き込まれていく。これ

40

50

によりドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図 3 のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。

【0030】

タイミング T_7 では制御信号 WS がローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果ドライブトランジスタ T_{rd} のゲート G は信号線 SL から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は $(V_{sig} - V + V_{th})$ の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 EL は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に $V_{sig} - V + V_{th}$ を代入する事で、以下の式 2 のように与えられる。

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V)^2 \quad \dots \text{式 2}$$

上記式 2 において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 EL に供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 EL は映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0031】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0032】

しかしながらこの参考例にかかる画素回路では、5種類のトランジスタ T_{r1} , T_{r2} , T_{r3} , T_{r4} , T_{rd} と、3種類の電源ライン V_{ss1} , V_{ss2} , V_{cc} 、4種類のゲートライン(走査線) WS , DS , $AZ1$, $AZ2$ を形成する必要があるため、電源ラインや信号線ラインとのクロスオーバーが増加してしまう。これは歩留りを低下させる原因になる。さらにレイアウト的に高精細化が困難になる。高精細パネルにおいては、歩留りを上げるために、素子数を削減する必要がある。

【0033】

図 4 は、本発明にかかる表示装置の全体構成を示しており、閾電圧 (V_{th}) 補正機能を備えたアクティブマトリクス型である。図示する様に、このアクティブマトリクス型表示装置は、主要部となる画素アレイ 1 と周辺の回路部とで構成されている。周辺の回路部は水平セクタ 3、ライトスキャナ 4、ドラブスキャナ 5 などを含んでいる。画素アレイ 1 は行状の走査線 WS と列状の信号線 SL と両者の交差する部分にマトリクス状に配列した画素 R , G , B とで構成されている。カラー表示を可能とするため、 RGB の三原色画素を用意しているが、本発明はこれに限られるものではない。各画素 R , G , B はそれぞれ画素回路 2 で構成されている。信号線 SL は水平セクタ 3 によって駆動される。水平セクタ 3 は信号部を構成し、一般にドライバ IC が用いられ、信号線 SL に映像信号を供給する。走査線 WS はライトスキャナ 4 によって走査される。なお、第 1 の走査線 WS と並行に第 2 の走査線 DS も配線されている。走査線 DS はドラブスキャナ 5 によって

10

20

30

40

50

走査される。ライトスキャナ4とドライブスキャナ5はスキャナ部を構成しており、1水平走査期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて画素回路2は水平走査期間内で走査線WS及びDSによって制御されたとき、予め決められた補正動作を行う。

【0034】

上述した画素アレイ1は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2はアモルファスシリコン薄膜トランジスタ(TFT)または低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキャナ部はパネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。同様に信号部も外付けのドライバICで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンTFTの場合、信号部及びスキャナ部も同じ低温ポリシリコンTFTで形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

10

【0035】

図5は、図4に示した本発明にかかる表示装置に組み込まれる画素回路2の構成を示す回路図である。この画素回路2は、サンプリングトランジスタTr1と、これに接続する画素容量Csと、これに接続するドライブトランジスタTrdと、これに接続する発光素子ELと、ドライブトランジスタTrdを電源Vccに接続するスイッチングトランジスタTr4とを含む。

20

【0036】

サンプリングトランジスタTr1は、第1走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号の信号電位Vsigを画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号の信号電位Vsigに応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なおこの出力電流Idsは、ドライブトランジスタTrdの閾電圧Vthに対して依存性を有する。発光素子ELは、発光期間中ドライブトランジスタTrdから供給された出力電流Idsにより映像信号の信号電位Vsigに応じた輝度で発光する。スイッチングトランジスタTr4は、第2走査線DSから供給される制御信号DSに応じ導通して発光期間中ドライブトランジスタTrdを電源Vccに接続し、非発光期間では非導通状態になってドライブトランジスタTrdを電源Vccから切り離す。

30

【0037】

特徴事項として、ライトスキャナ4及びドライブスキャナ5で構成されるスキャナ部は、水平走査期間(1H)に第1走査線WS及び第2走査線DSにそれぞれ制御信号WS, DSを出力し、サンプリングトランジスタTr1及びスイッチングトランジスタTr4をオンオフ制御して、出力電流Idsの閾電圧Vthに対する依存性を補正するために画素容量Csをリセットする準備動作、リセットされた画素容量Csに閾電圧Vthをキャンセルするための電圧を書き込む補正動作、及び補正された画素容量Csに映像信号Vsigの信号電位をサンプリングするサンプリング動作を実行する。一方水平セレクタ(ドライバIC)3で構成された信号部は、水平走査期間(1H)に映像信号を第1の固定電位VssHと、第2の固定電位VssLと、信号電位Vsigとの間で切換え、以って上述した準備動作、補正動作及びサンプリング動作に必要な電位を各画素に信号線SLを介して供給する。

40

【0038】

具体的には水平セレクタ3は、まず高レベルの第1固定電位VssHを供給し続いて低レベルの第2固定電位VssLに切換えて準備動作を可能とし、さらに低レベルの第2固定電位VssLを維持した状態で補正動作を実行し、その後信号電位Vsigに切換えてサンプリング動作を実行する。上述したように水平セレクタ3はドライバICで構成され

50

、信号電位 V_{sig} を生成する信号生成回路と、信号生成回路から出力された信号電位 V_{sig} に第1固定電位 V_{ssH} 及び第2固定電位 V_{ssL} を挿入し、以って第1固定電位 V_{ssH} と第2固定電位 V_{ssL} と信号電位 V_{sig} とが切換る映像信号を合成して各信号線 SL に出力する出力回路とを含む。好ましくは水平セレクタ3を構成するドライバICは、通常定格を超えない信号電位 V_{sig} と定格を超える第1固定電位 V_{ssH} とを合成した映像信号を出力する。この場合ドライバICに含まれる信号生成回路は定格を超えない信号電位 V_{sig} を生成するため通常耐圧を有する一方、出力回路は定格を超える第1固定電位 V_{ssH} に対処するため高耐圧化されている。

【0039】

ドライブトランジスタ Trd は、その出力電流 I_{ds} が閾電圧 V_{th} に加えチャネル領域のキャリア移動度 μ に対しても依存性を有する。この場合ライトスキャナ4とドライブスキャナ5で構成されるスキャナ部は、水平走査期間 ($1H$) に第2走査線 DS に制御信号を出力してさらにスイッチングトランジスタ $Tr4$ を制御し、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、信号電位 V_{sig} がサンプリングされている状態でドライブトランジスタ Trd から出力電流を取り出し、これを画素容量 C_s に帰還して入力電圧 V_{gs} を補正する動作を実行する。

【0040】

図6は、図5に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ $Tr1$ によってサンプリングされる映像信号 V_{sig} やドライブトランジスタ Trd の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。また各トランジスタのゲートに接続される走査線 WS 、 DS も書き込んである。この画素回路2は水平走査期間 ($1H$) 内に V_{th} 補正準備動作と、実際の補正動作と信号電位サンプリング動作を行う。これにより、画素回路2は3個のトランジスタ $Tr1$ 、 $Tr4$ 、 Trd と1個の画素容量 C_s と1個の発光素子 EL とで構成可能である。図1に示した参考例にかかる V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを2個削減可能である。これにより電源ラインやゲートラインを削減することが出来、パネルの歩留りの改善につながる。また画素回路のレイアウトを簡素化することで高精細化も可能である。

【0041】

図7は、図5及び図6に示した画素回路のタイミングチャートである。図7を参照して、図5及び図6に示した画素回路の動作を具体的且つ詳細に説明する。図7は、時間軸 T に沿って各走査線 WS 、 DS に印加される制御信号の波形を表してある。表記を簡略するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号の波形も時間軸 T に沿って示してある。図示する様に、この映像信号は各水平走査期間 ($1H$) 内で、高電位 V_{ssH} 、低電位 V_{ssL} 、信号電位 V_{sig} と順に切換る。トランジスタ $Tr1$ はNチャンネル型なので、走査線 WS がハイレベルのときオンし、ローレベルのときオフする。一方トランジスタ $Tr4$ はPチャンネル型なので、走査線 DS がハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号 WS 、 DS の波形や映像信号の波形と共に、ドライブトランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

【0042】

図7のタイミングチャートではタイミング $T1 \sim T8$ までを1フィールド ($1f$) としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS 、 DS の波形を表してある。

【0043】

初めにタイミング $T1$ で、スイッチングトランジスタ $Tr4$ をオフして非発光とする。この時、ドライブトランジスタ Trd のソース電位は V_{cc} からの電源供給が無いので、発光素子 EL のカットオフ電圧 V_{thEL} まで下げられる。

【0044】

次にタイミング $T2$ で、サンプリングトランジスタ $Tr1$ をオンする。ただしこの前に

、信号線電圧を V_{ssH} まで上げておく方が、書き込み時間を短くできるので好ましい。サンプリングトランジスタ T_{r1} をオンする事でドライブトランジスタ T_{rd} のゲート電位は V_{ssH} が書き込まれる。この時、画素容量 C_s を介してソース電位にカップリングが入り、ソース電位は上昇する。ソース S の電位は一度上昇するが、発光素子 E_L を介して放電されるので、再度ソース電圧は V_{thEL} になる。この時、ゲート電圧は V_{ssH} のままである。このように信号線電圧を V_{ssH} まで上げることで、ソース電位を一旦 V_{thEL} より上げその後確実に V_{thEL} にすることができる。

【0045】

次にタイミング T_a で、サンプリングトランジスタ T_{r1} をオンしたまま、信号電圧を V_{ssL} に変化させる。この電位変化が画素容量 C_s を介してソース電位にカップリングされる。この時のカップリング量は、 $C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ にて求められる。この時、ゲート電位は V_{ssL} 、ソース電位は $V_{thEL} - C_s / (C_s + C_{oled}) \times (V_{ssH} - V_{ssL})$ で表される。ここでソース電位は、この後の V_{th} 補正や移動度補正終了後も発光素子 E_L がカットオフし続ける電位に設定することが望ましい。また、この $V_{gs} > V_{th}$ となるようにカップリングを入れることで、 V_{th} 補正の準備を行うことができる。以上により、トランジスタや電源ライン、ゲートラインを削減した回路においても V_{th} 補正準備を行うことができる。即ちタイミング $T_2 \sim T_a$ は補正準備期間に含まれる。なお V_{ssL} および V_{ssH} のレベルは、画素容量 C_s と発光素子容量 C_{oled} の容量比を考慮して、ドライブトランジスタが $V_{gs} > V_{th}$ の条件を満たし且つこの後の V_{th} 補正や移動度補正終了後も発光素子 E_L がカットオフし続ける電位となるように設定する。

なお上記の説明では、一旦信号電圧を V_{ssH} に上げた後 V_{ssL} に下げることで、ドライブトランジスタ T_{rd} のソース電位を下げ、以って $V_{gs} > V_{th}$ の条件を設定している。

但し本発明はこの動作に限られるものではなく、基本的には信号電圧を V_{ssL} に落とすことでソース電圧を V_{thEL} から下げ、且つドライブトランジスタについて $V_{gs} > V_{th}$ の条件を満たす事ができる画素容量 C_s 、発光素子容量 C_{oled} 、 V_{ssL} レベル、 V_{ssH} レベルの関係であればかまわない。

ただ本実施例のように一旦信号電圧を V_{ssH} に上げた後 V_{ssL} に下げることで、速やかに且つ確実に、ドライブトランジスタ T_{rd} のソース電位が $V_{gs} > V_{th}$ の条件を満たし且つこの後の V_{th} 補正や移動度補正終了後も発光素子 E_L がカットオフし続ける電位となるようにセットすることができる。

なお後述するように、 V_{th} 補正後に信号電位 V_{sig} を画素容量 C_s に書き込む。即ち信号線の電位を V_{ssL} から V_{sig} に変化させて、映像信号の信号電位 V_{sig} を画素容量 C_s に書き込む。この時実際に画素容量 C_s に保持される電圧は、画素容量 C_s と発光素子容量 C_{oled} の容量分割によって決まる。この場合、発光素子容量 C_{oled} に比べて画素容量 C_s は小さいため、ドライブトランジスタ T_{rd} のソース側の電位変動よりゲート側の電位変動が大きく、ソース・ゲート間の電位差が広がり、実信号を書き込むことができる。従って元の信号電位 V_{sig} の振幅に余裕を持たせておけば、動作上十分な信号電圧を画素容量 C_s に書き込むことができる。

以上の様に、本発明にかかる表示装置は、 V_{th} 補正準備動作で画素容量 C_s を通じたカップリングによる V_{gs} の設定と、信号書き込み動作で画素容量 C_s に対する V_{sig} の書き込みを行う。いずれの動作でも画素容量 C_s と発光素子容量 C_{oled} の容量比に応じて適切に V_{ssL} や V_{sig} のレベルを設定することで、相互に支障をきたすことなく V_{th} 補正準備動作及び信号書き込み動作を行うことができる。

【0046】

この後、タイミング T_3 でゲート G を V_{ssL} に保持した状態のままスイッチングトランジスタ T_{r4} をオンすると、ドライブトランジスタ T_{rd} に電流が流れて、参考例と同様に V_{th} 補正が行われる。ドライブトランジスタ T_{rd} がカットオフするまで電流が流れ、カットオフするとドライブトランジスタ T_{rd} のソース電位は $V_{ssL} - V_{th}$ とな

10

20

30

40

50

る。ここで、 $V_{ssL} - V_{th} < V_{thEL}$ とする必要がある。

【0047】

この後タイミングT4で、スイッチングトランジスタTr4をオフしてVth補正は終了する。即ち、タイミングT3～T4はVth補正期間である。

【0048】

この様にタイミングT3～T4でVth補正を行った後、タイミングT5に至って信号線の電位がVssLからVsigに変化する。これにより映像信号の信号電位Vsigが画素容量Csに書き込まれる。発光素子ELの等価容量Coledに比べて画素容量Csは十分に小さい。この結果、信号電位Vsigのほとんど大部分が画素容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持されたVthと今回サンプリングされたVsigを加えたレベル($V_{sig} + V_{th}$)となる。即ちドライブトランジスタTrdに対する入力電圧Vgsは $V_{sig} + V_{th}$ となる。かかる信号電圧Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。即ちタイミングT5～T7がサンプリング期間に相当する。

10

【0049】

本発明にかかる画素回路は、上述した閾電圧Vthの補正に加え、移動度 μ の補正も行っている。移動度 μ の補正はタイミングT6～T7で行われる。この点については後で詳細に説明する。結論としてタイミングチャートに示すように、補正量Vが入力電圧Vgsから差し引かれる。

20

【0050】

タイミングT7になると、制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号Vsigの印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは($V_{sig} - V + V_{th}$)の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流Idsの流入により発光素子ELは実際に発光を開始する。この時のドレイン電流Ids対ゲート電圧Vgsの関係は、前述した式2のように与えられる。この特性式2からVthの項がキャンセルされており、発光素子ELに供給される出力電流IdsはドライブトランジスタTrdの閾電圧Vthに依存しない事が分かる。基本的にドレイン電流Idsは映像信号の信号電圧Vsigによって決まる。換言すると、発光素子ELは映像信号Vsigに応じた輝度で発光する事になる。その際Vsigは帰還量Vで補正されている。この補正量Vは丁度特性式2の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流Idsは実質的に映像信号Vsigのみに依存する事になる。

30

【0051】

最後にタイミングT8に至ると制御信号DSがハイレベルとなってスイッチングトランジスタTr4がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び補正準備動作、Vth補正動作、移動度補正動作及び発光動作が繰り返される事になる。このように本実施形態では、画素の各行に割り当てられた1水平走査期間(1H)内において、ゲート電位カップリングによる閾電圧補正準備動作と、実際の閾電圧補正動作と、信号電圧のサンプリング動作とを行っている。但し本発明はこれに限られるものではなく、閾電圧補正準備動作と、実際の閾電圧補正動作と、信号電圧のサンプリング動作とを複数の水平走査期間に渡って行うこともできる。例えば、閾電圧補正準備動作と閾電圧補正動作を先行する水平走査期間で行い、信号電圧のサンプリング動作を当該画素行に割り当てられた水平走査期間で行うこともできる。

40

【0052】

図8は、移動度補正期間T6～T7における画素回路2の状態を示す回路図である。図示するように、移動度補正期間T6～T7では、サンプリングトランジスタTr1及びス

50

スイッチングトランジスタ T_{r4} がオンしている一方、残りのスイッチングトランジスタ T_{r3} がオフしている。この状態でドライブトランジスタ T_{rd} のソース電位 (S) は $V_{ssL} - V_{th}$ である。このソース電位 S は発光素子 E_L のアノード電位でもある。前述したように $V_{ssL} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 E_L は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 E_L の等価容量 C_{oled} との合成容量 $C = C_s + C_{oled}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0053】

図9は上述したトランジスタ特性式2をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式2も合わせて示してある。図9のグラフは、画素1と画素2を比較した状態で特性カーブを描いてある。画素1のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素2に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素1, 2に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素1に流れる出力電流 $I_{ds1'}$ は、移動度 μ の小さい画素2に流れる出力電流 $I_{ds2'}$ に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

【0054】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図9のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は移動度の小さな画素2の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は $I_{ds1'}$ から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 $I_{ds2'}$ は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量 V_1 は移動度の小さい画素2の補正量 V_2 に対して小さくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【0055】

以下参考の為図10を参照して、上述した移動度補正の数値解析を行う。図10に示すように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は以下の式3に示す通りである。

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0056】

またドレイン電流 I_{ds} と容量 $C (= C_s + C_{oled})$ の関係により、以下の式4に示す様に $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。

10

20

30

40

50

【数 2】

$$\begin{aligned}
 I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4} \\
 \Leftrightarrow \int_0^t \frac{1}{C} dt &= \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\
 \Leftrightarrow \frac{k\mu}{C} t &= \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\
 \Leftrightarrow V_{sig} - V_{th} - V &= \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}
 \end{aligned}$$

10

【0057】

式4に式3を代入して両辺積分する。ここで、ソース電圧V初期状態は $-V_{th}$ であり、移動度ばらつき補正時間($T_6 - T_7$)をtとする。この微分方程式を解くと、移動度補正時間tに対する画素電流が以下の数式5のように与えられる。

【数 3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

20

【0058】

図11は、式5をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号 V_{sig} を取っている。パラメータとして移動度補正期間 $t = 0 \mu s$ 、 $2.5 \mu s$ 及び $5 \mu s$ の場合を設定している。さらに、移動度 μ もパラメータとして比較的大きい場合 1.2μ と比較的小さい場合 0.8μ をパラメータにとってある。 $t = 0 \mu s$ として実質的に移動度補正をかけない場合に比べ、 $t = 2.5 \mu s$ では移動度ばらつきに対する補正が十分にかかっていることがわかる。移動度補正なしでは I_{ds} に40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられる。但し $t = 5 \mu s$ として補正期間を長くすると逆に移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまふ。この様に、適切な移動度補正を掛けるために、tは最適な値に設定する必要がある。図11に示したグラフの場合、最適値は $t = 2.5 \mu s$ の近辺である。

30

【0059】

以上のようにして、本発明ではゲート電圧を高電圧から低電圧に可変する事による V_{th} 補正準備や、 V_{th} 補正動作を1H以内に行い、その後同一水平走査期間内にて映像信号を書き込む。この動作により、従来必要であった3種類の電源を信号線に共有化することで電源ラインやスイッチングトランジスタ、そのゲートラインを削減する事ができ、3トランジスタ1容量の画素回路を構成することができる。以上により、パネルの歩留まりを向上する事ができる。また、レイアウトを削減する事で高精細化も可能となる。なお本実施形態では、サンプリングトランジスタ T_{r1} をオンした状態でスイッチングトランジスタ T_{r4} をオンして移動度補正をかけているが、サンプリングトランジスタ T_{r1} とスイッチングトランジスタ T_{r4} をノンオーバーラップにして移動度補正を行わない単純な V_{th} 補正動作においても、同様に配線やトランジスタの削減は可能である。又本実施形態の回路では、ドライブトランジスタ T_{rd} 以外のスイッチングトランジスタには N_{ch} を用いたが、各トランジスタの特性は N_{ch} でも P_{ch} でも構わない。

40

【0060】

最後に、本発明にかかる表示装置の信号部(水平セレクタ)を構成するデータドライバ

50

につき、その実施形態を説明する。本実施形態は、画像表示装置の列方向に配置され、画像データの表示に用いられるデータドライバにおいて、画像データを表す信号電位と画素回路制御用の固定電位を切り替えて出力する事を可能にし、且つこの画素回路制御用の固定電位が、一般的なデータドライバの最大定格電圧よりも高い電圧振幅を要求する場合、出力端子部分近くにある画像データ用信号電位と画素回路制御用固定電位を切り替えるスイッチ機能部分だけを高耐圧化する事で、ドライバの製造プロセスにおいて、高耐圧化プロセスへの変更、回路サイズの変更、端子の広ピッチ化等を必要としないまま、必要な機能を実現出来るものである。

【0061】

図12にデータ信号線に画像データを表す信号電位と画素回路制御用の固定電位を混在させた画像表示装置の画素回路(A)と駆動波形(B)の例を示す。(A)に示した画素回路は、3個のトランジスタと1個の画素容量と、1個の発光素子ELとで構成されており、図5に示した本発明の実施形態にかかる画素回路を一般化したものである。映像信号Vsigはデータ信号線SLから供給される。この信号Vsigの電圧値によって、ドライブトランジスタTrdを駆動し、所望の明るさで発光素子ELを発光させる。この画像表示装置においては、この際にドライブトランジスタTrdの特性ばらつきが直接画質に影響するため、画素容量Csを利用して、補正期間中にこのばらつきを補正する動作を行う。この補正動作を行う際に、走査パルスWAと走査パルスDSの駆動波形を利用してデータ信号線SLから制御用の固定電位Vstを画素回路に送り込む。通常画像表示装置においては画像データ系の信号線と駆動制御系の信号線は分離されており、制御系の信号を入力する際には別な配線及び走査パルスを配置する。しかし、それによって画素回路内の素子数が増加すると、トランジスタ欠陥による歩留まり悪化や、一つの画素回路に必要な面積が増える事から、物理的な解像度の低下等の悪影響が考えられるため、画素回路の素子数を極力少なくし、ドライブトランジスタTrdのばらつきを補正するためにはデータ信号線SLから、画像データに対応した信号電位Vpcと画素回路制御用の固定電位Vstをサンプリング時及び補正時に分けて送信する必要がある。

【0062】

この時、画素回路制御用の固定電圧Vstは必ずしも画像データの信号電圧Vpcと同一の範囲内にあるとは限らない。(B)の波形タイミングチャートの例のように、制御信号電圧Vstは画像信号電圧Vpcよりも高くなる場合が考えられ、且つVstはデータドライバICの定格電圧よりも高くなる場合もある。また、通常ドライバ出力は非表示期間には電圧不定(ハイインピーダンス)になるが、この画素回路の場合、VstとVpcはサンプリング期間と補正期間に分離され、その間の電圧はグラウンドレベルGNDに固定する事が必要となる場合がある。

【0063】

このような駆動波形の条件を満たすデータドライバIC3のブロック構成を図13に示す。四角の実線で囲んだ部分が高耐圧の出力回路部32であり、この中の回路だけを配線膜厚を厚くする等して高耐圧化すれば、画像信号生成回路部31は通常通りの耐圧及びプロセスで作製可能である。出力回路部32は電圧切り替え用のスイッチSW1, SW2を含んでいる。但し、スイッチSW1の制御信号及びスイッチSW2の制御信号は、スイッチのON/OFFを制御するロジック信号であるため、高耐圧化の必要は無い。

【0064】

画像信号生成回路部31の出力端子31Bは、画像表示系電源電圧Vpcを最大電圧とする出力電圧Vpc1~Vpcnを出力する。この出力電圧は、スイッチSW1に送られ、画素回路制御用の固定電圧と切り替えられる。画素回路制御用の固定電圧は、制御系電源電圧Vstの振幅を持つロジックパルスである。またスイッチSW1の出力は、スイッチSW2に送られる。このスイッチSW2では、Vpc1~VpcnとVstの切り替え時に出力端をGNDレベルに固定するため、信号がGNDかの選択を行う。その結果、最終出力端32Bには最終出力信号Vsigとして、制御系電源電圧を最大値とするVstまたは画像表示系電源電圧を最大値とするVpc1~Vpcn、あるいはGNDレベルの

電圧が出力される。

【0065】

本発明にかかる表示装置は、図14に示すような薄膜デバイス構成を有する。本図は、絶縁性の基板に形成された画素の模式的な断面構造を表している。図示するように、画素は、複数の薄膜トランジタを含むトランジスター部（図では1個のTFTを例示）、保持容量などの容量部及び有機EL素子などの発光部とを含む。基板の上にTFTプロセスでトランジスター部や容量部が形成され、その上に有機EL素子などの発光部が積層されている。その上に接着剤を介して透明な対向基板を貼り付けてフラットパネルとしている。

【0066】

本発明にかかる表示装置は、図15に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC（フレキシブルプリントサーキット）を設けてもよい。

10

【0067】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

20

【0068】

図16は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

【0069】

図17は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、メニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

30

【0070】

図18は本発明が適用されたノート型パーソナルコンピューターであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

【0071】

図19は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部（ここではヒンジ部）25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

40

【0072】

図20は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0073】

【図1】参考例にかかる表示装置を示すブロック図である。

【図2】図1に示した表示装置から取り出した画素回路を示す模式図である。

50

【図 3】図 1 及び図 2 に示した表示装置の動作説明に供するタイミングチャートである。

【図 4】本発明にかかる表示装置の全体構成を示すブロック図である。

【図 5】本発明にかかる表示装置に含まれる画素回路の構成を示すブロック図である。

【図 6】図 5 に示した表示装置から切り出した画素回路を示す模式図である。

【図 7】図 4 及び図 5 に示した本発明にかかる表示装置の動作説明に供するタイミングチャートである。

【図 8】同じく動作説明に供する回路図である。

【図 9】同じく動作説明に供するグラフである。

【図 10】同じく動作説明に供する回路図である。

【図 11】同じく動作説明に供するグラフである。

10

【図 12】本発明にかかるデータドライバの説明に供する模式図である。

【図 13】本発明にかかるデータドライバの構成例を示す回路図である。

【図 14】本発明にかかる表示装置のデバイス構成を示す断面図である。

【図 15】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図 16】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図 17】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図 18】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図 19】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

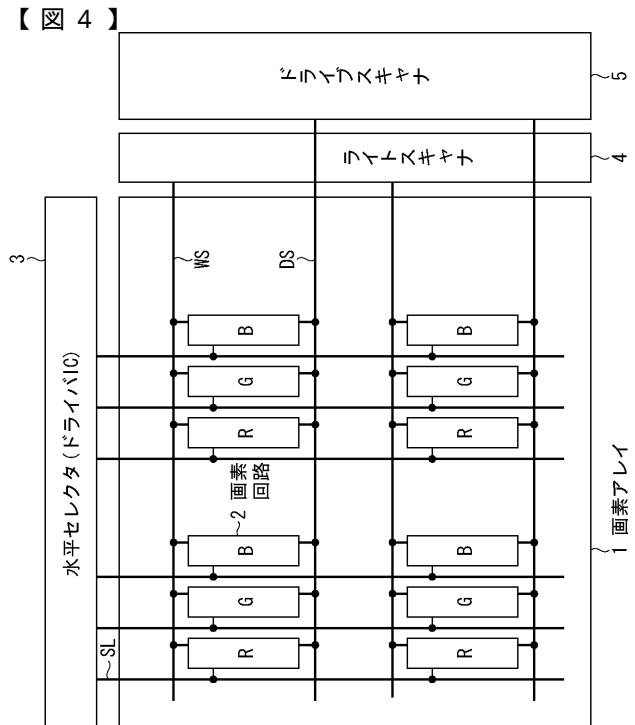
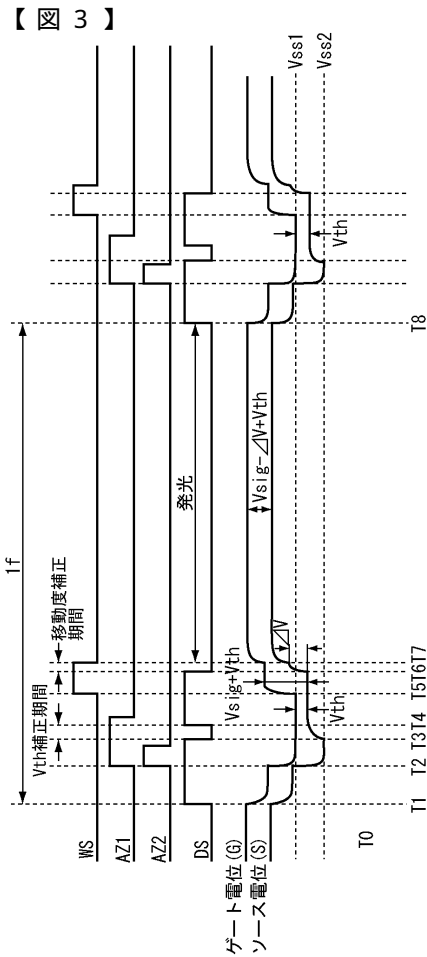
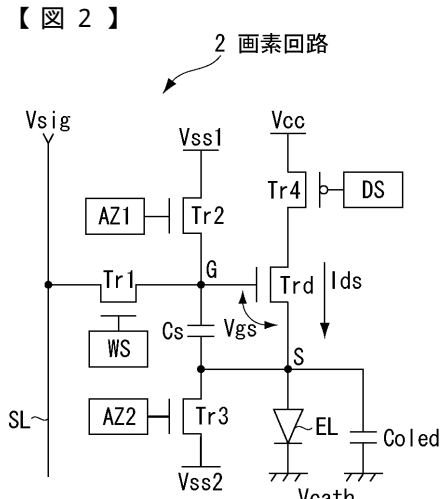
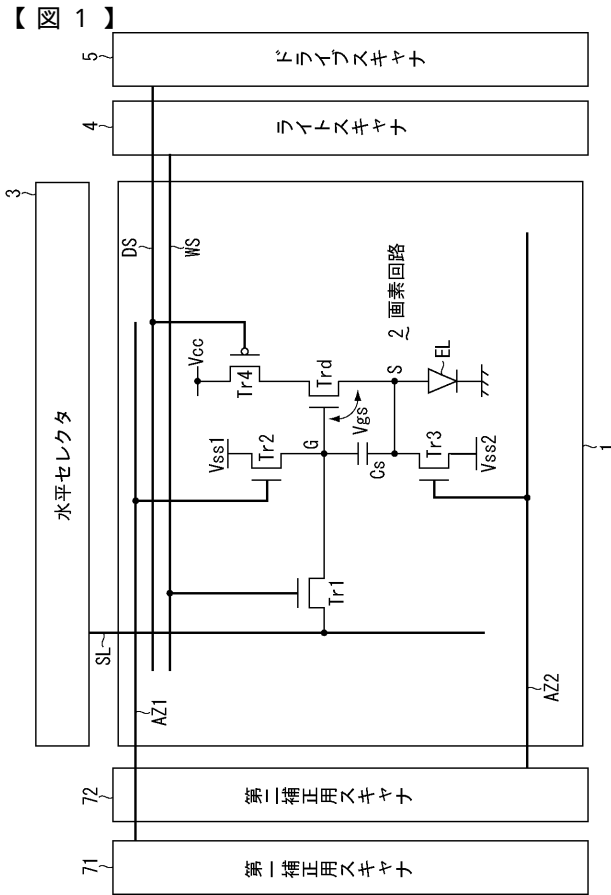
【図 20】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

20

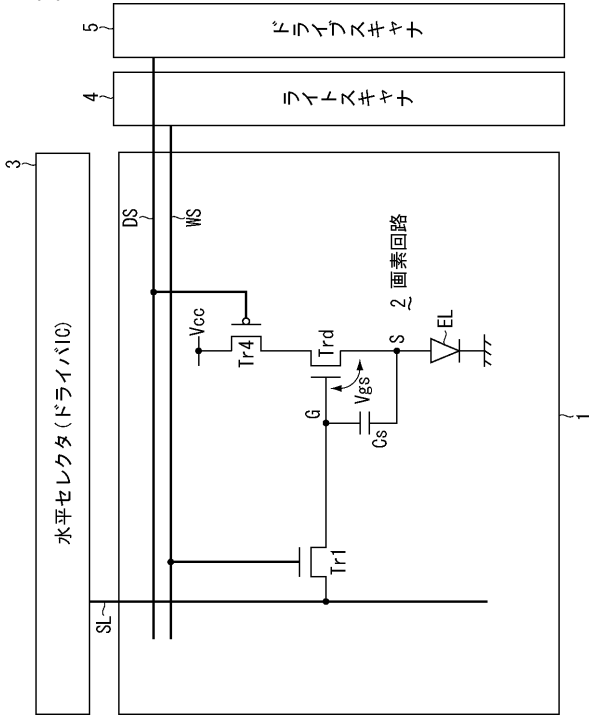
【符号の説明】

【0074】

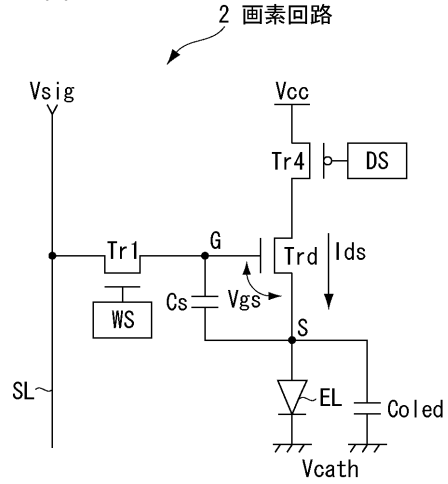
1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ(ドライバIC)、4・・・ライトスキャナ、5・・・ドライブスキャナ、Tr1・・・サンプリングトランジスタ、Tr4・・・スイッチングトランジスタ、Trd・・・ドライブトランジスタ、Cs・・・画素容量、EL・・・発光素子



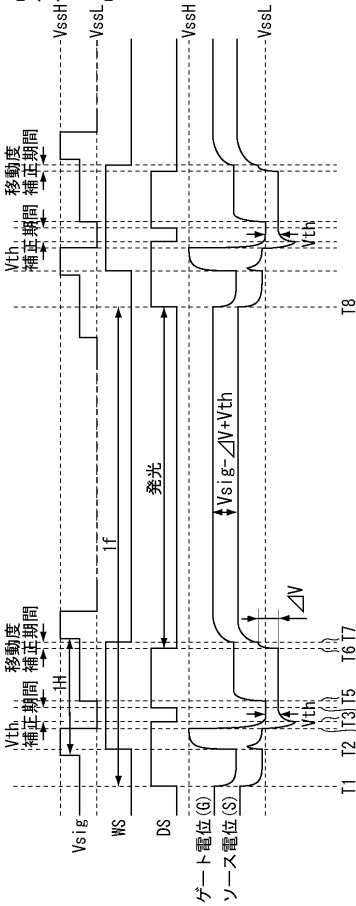
【図5】



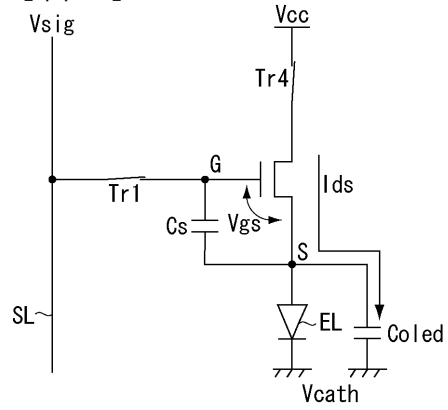
【図6】



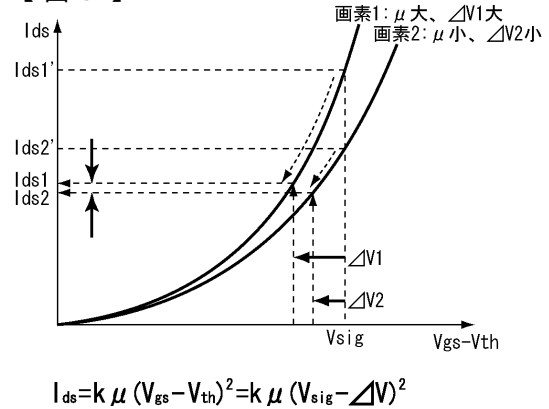
【図7】



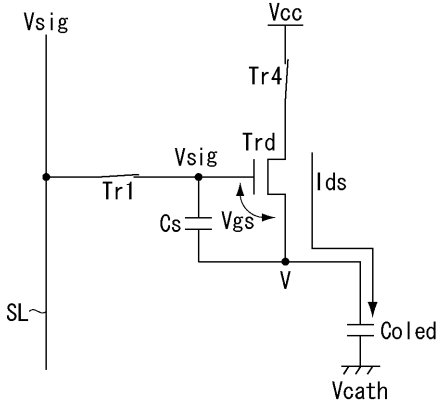
【図8】



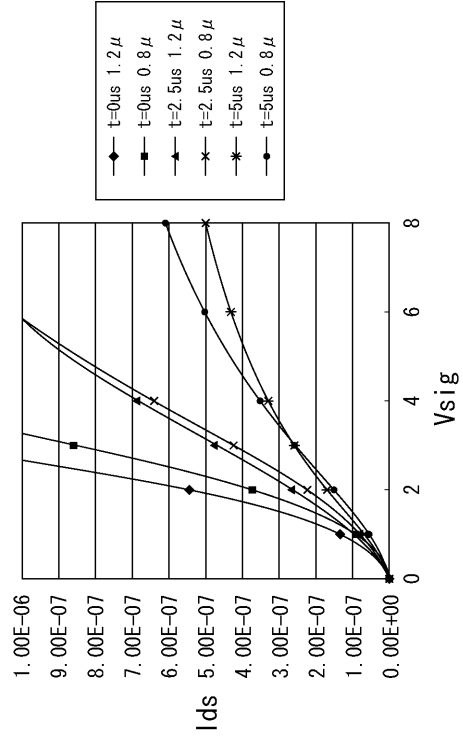
【図9】



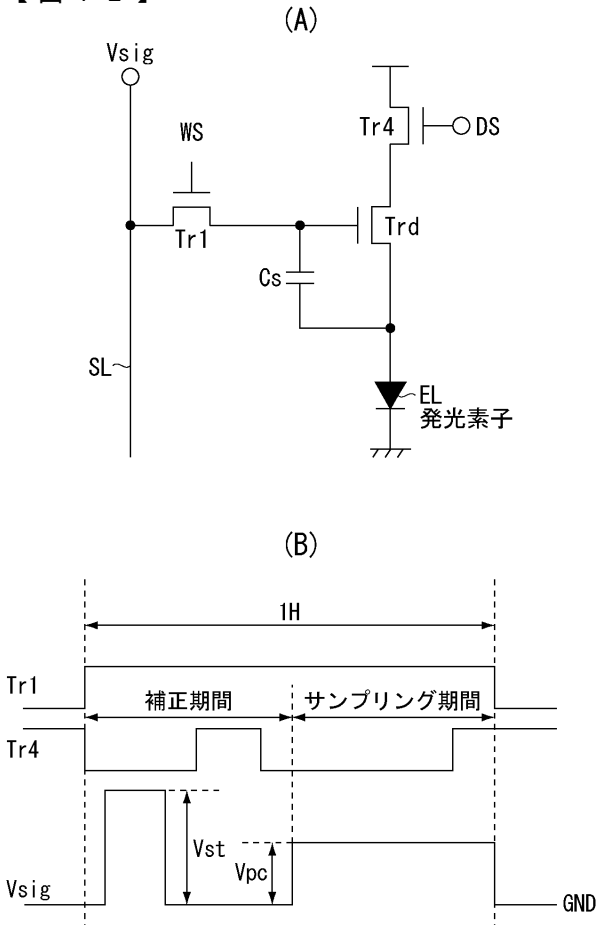
【 図 1 0 】



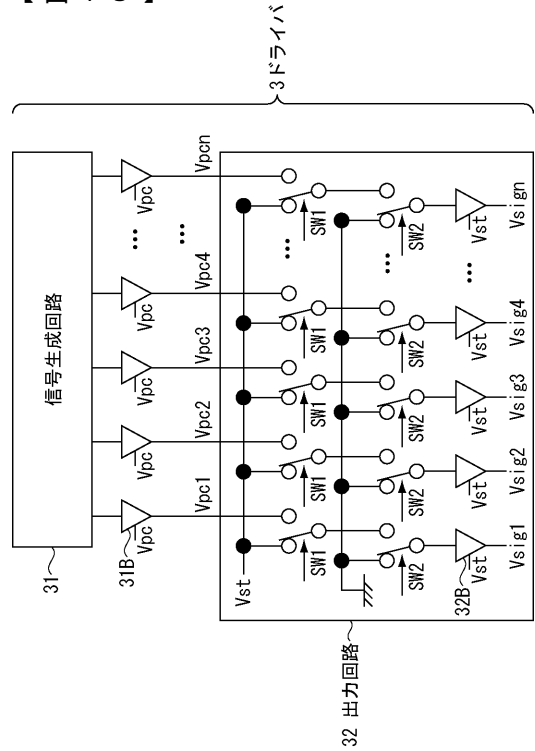
【 図 1 1 】



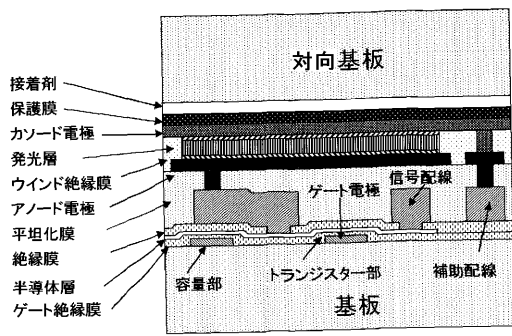
【 図 1 2 】



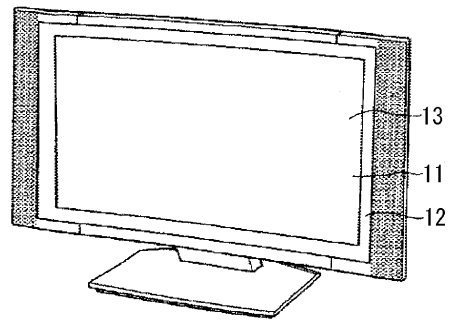
【 図 1 3 】



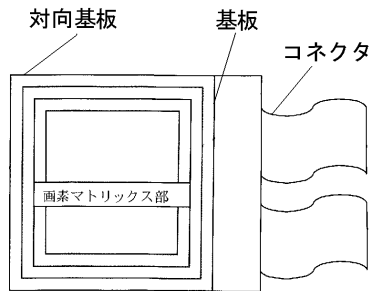
【 図 1 4 】



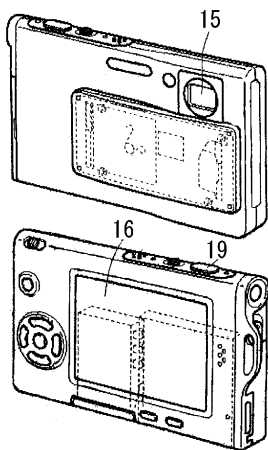
【 図 1 6 】



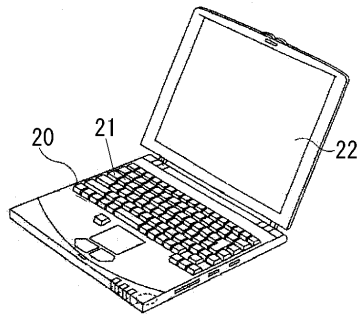
【 図 1 5 】



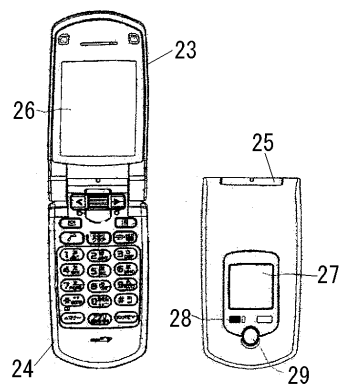
【 図 1 7 】



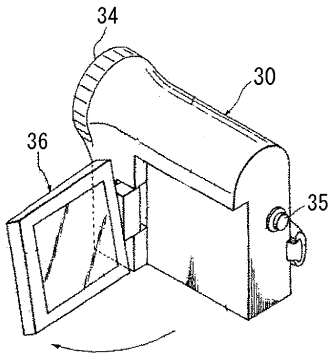
【 図 1 8 】



【 図 1 9 】



【 図 20 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 2 Q
	H 0 5 B 33/14	A

(72)発明者 中村 和夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45 EE03 HH02 HH04 HH05
5C080 AA06 BB05 DD05 DD22 EE29 FF07 FF11 HH09 JJ02 JJ03
JJ04 JJ05 JJ06 KK01 KK43 KK47

专利名称(译)	像素电路，像素电路的驱动方法，显示装置，显示装置的驱动方法以及电子设备		
公开(公告)号	JP2007156460A5	公开(公告)日	2009-12-03
申请号	JP2006307352	申请日	2006-11-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 泉岳 中村和夫		
发明人	内野 勝秀 山下 淳一 泉 岳 中村 和夫		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.P G09G3/20.623.C G09G3/20.623.B G09G3/20.622.Q H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK43 5C080/KK47 5C380 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC63 5C380/CC65 5C380/CC77 5C380/CD013 5C380/CD015 5C380/CD023 5C380/CD025 5C380/CF22 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA46		
优先权	2005328337 2005-11-14 JP		
其他公开文献	JP2007156460A JP4636006B2		

摘要(译)

要解决的问题：通过使配备有阈值电压校正功能的像素电路高效且简单，使显示器件的定义更高并提高产量。ŽSOLUTION：显示装置包括像素阵列单元1，扫描器单元4和5，以及信号单元3.每个像素电路2包括采样晶体管Tr1，与其连接的像素电容器Cs，与其连接的驱动晶体管Trd，灯与其连接的发光元件EL和将驱动晶体管Trd连接到电源的开关晶体管Tr4。扫描器单元4和5在水平扫描周期中对采样晶体管Tr1和开关晶体管Tr4执行ON / OFF控制以执行准备操作以复位像素电容器Cs，校正操作以将用于抵消阈值电压的电压写入已经复位的像素电容器Cs和对已经校正的像素电容器Cs中的视频信号进行采样的采样操作。Ž