

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-524355
(P2006-524355A)

(43) 公表日 平成18年10月26日(2006.10.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/30 H	5C094
H01L 27/32 (2006.01)	G09G 3/20 680H	
H01L 51/50 (2006.01)	G09G 3/20 670J	

審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2006-506419 (P2006-506419)
 (86) (22) 出願日 平成16年3月26日 (2004.3.26)
 (85) 翻訳文提出日 平成17年9月30日 (2005.9.30)
 (86) 国際出願番号 PCT/IB2004/000974
 (87) 国際公開番号 W02004/088627
 (87) 国際公開日 平成16年10月14日 (2004.10.14)
 (31) 優先権主張番号 0307789.8
 (32) 優先日 平成15年4月4日 (2003.4.4)
 (33) 優先権主張国 英国 (GB)

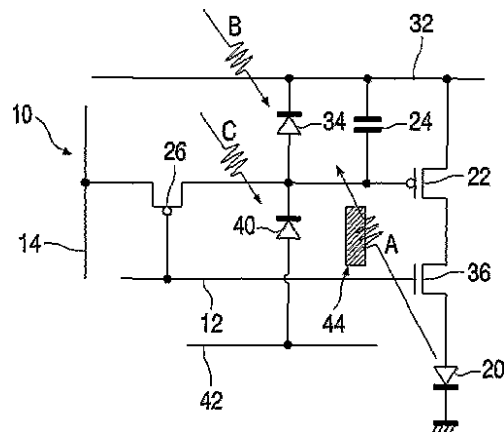
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 電界発光表示装置

(57) 【要約】

アクティブマトリクス電界発光表示装置において、蓄積容量 (24) は、電界発光表示素子 (20) の照射を制御する駆動トランジスタ (22) のアドレス指定のために使用されるべき電圧を蓄えるために、夫々の画素で設けられる。放電感光素子 (34) は、該表示素子の光出力に従って該蓄積容量を放電するために設けられる。更なる感光素子 (40) は、該画素の表示素子 (20) から以外の該放電感光素子への光入力の結果として、該放電感光素子で作られた光電流を相殺するように設けられ、該更なる感光素子は、該表示素子によって放射された光から遮断される一方で、他の方向からの光にさらされる。その時、該放電感光素子への不必要な光入力の影響による表示出力での不規則性は回避される。



【特許請求の範囲】

【請求項 1】

画素の配列を有するアクティブマトリクス電界発光表示装置であって、夫々の画素は、電界発光性の表示素子と、
該表示素子に電流を流す駆動トランジスタと、
該駆動トランジスタのアドレス指定に使用されるべき電圧を蓄える蓄積容量と、
該表示素子の光出力に従って該蓄積容量を放電する放電感光素子と、
他の方向からの光にさらされる間に該表示素子によって放射される光から遮断され、他の方向からの光によって該放電感光素子で作られた光電流を相殺するように接続された更なる感光素子とを有することを特徴とする表示装置。

10

【請求項 2】

該駆動トランジスタは、電力供給ラインと該表示素子との間に接続されることを特徴とする、請求項 1 記載の表示装置。

【請求項 3】

前記放電感光素子は、該電力供給ラインと該駆動トランジスタのゲートとの間に前記蓄積容量と並列に接続され、前記更なる感光素子は、該駆動トランジスタのゲートと基準電位との間に該放電感光素子と直列に接続されることを特徴とする、請求項 2 記載の表示装置。

【請求項 4】

該基準電位は、他の画素によって共有される基準電位ラインによって供給されることを特徴とする、請求項 3 記載の表示装置。

20

【請求項 5】

前記画素は、夫々の行アドレス導電体を有する画素の夫々の行と共に、該行アドレス導電体を介して該画素の行が行アドレス相で選択されるように行及び列で配置され、一つの行の該画素は、夫々の基準電位ラインを共有し、画素の一つの行に結合された前記基準電位ラインは、画素の隣接する行に結合された行アドレス導電体であることを特徴とする、請求項 4 記載の表示装置。

【請求項 6】

前記放電感光素子及び前記更なる感光素子は、光ダイオードであることを特徴とする、請求項 1 乃至 5 のうちいずれか一項記載の表示装置。

30

【請求項 7】

前記放電感光素子及び前記更なる感光素子は、ダイオード接続トランジスタであることを特徴とする、請求項 1 乃至 5 のうちいずれか一項記載の表示装置。

【請求項 8】

前記画素は、入力信号ラインと、前記蓄積容量と前記駆動トランジスタのゲートとの間の結節点に結合された該画素への入力との間に接続されたアドレストランジスタを更に有することを特徴とする、請求項 1 乃至 7 のうちいずれか一項記載の表示装置。

【請求項 9】

基板を有し、
アクティブマトリクス回路は、該基板の上に横たわる画素駆動トランジスタ、蓄積容量及び感光素子を有し、
前記画素の表示素子は、該アクティブマトリクス回路の上に横たわる電界発光層を有することを特徴とする、請求項 1 乃至 8 のうちいずれか一項記載の表示装置。

40

【請求項 10】

夫々の画素での前記放電感光素子及び前記更なる感光素子は、共に直ぐ近くに配置されることを特徴とする、請求項 9 記載の表示装置。

【請求項 11】

前記画素の表示素子は、前記電界発光層と前記アクティブマトリクス回路との間に透明な導電性電極層を有し、光遮蔽体は、夫々の画素において、前記更なる感光素子と前記上に横たわる電界発光層との間に該電界発光層からの直接的な光から該更なる感光素子を遮

50

断するように配置され、前記放電感光素子は、該上に横たわる電界発光層で発生する光にさらされることを特徴とする、請求項 9 又は 10 記載の表示装置。

【請求項 12】

該画素の表示素子は、該アクティブマトリクス回路から離れた該電界発光層の側面で光を透過しない電極層を有することを特徴とする、請求項 11 記載の表示装置。

【請求項 13】

該画素の表示素子は、該アクティブマトリクス回路から離れた該電界発光層の側面で第二の透明な電極層を有し、更なる光遮蔽体は、該第二の透明な電極層に配置され、画素の前記放電感光素子の上に横たわることを特徴とする、請求項 11 記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電界発光表示装置、特に、光を放射する電界発光表示素子及び薄膜トランジスタを有する画素の配列を有するアクティブマトリクス表示装置に関する。更に具体的に述べると、本発明は、アクティブマトリクス電界発光表示装置に関し、それらの画素は、該表示素子によって放射された光に応答し、該表示素子の電圧印加を制御するために使用される光検出素子を有する。

【背景技術】

【0002】

電界発光性の発光表示素子を用いるマトリクス表示装置がよく知られる。一般に、該表示素子は、高分子物質 (PLED)、又は発光ダイオード (LED) を含む、有機薄膜電界発光素子 (OLED) を有する。概して、これら物質は、一对の電極間に挟まれた半導体結合ポリマーの一以上の層を有し、該電極の一方は透明であり、他方は、空孔又は電子をポリマー層に注入することに適した物質から作られる。

20

【0003】

このような表示装置内の表示素子は電流駆動であり、従来のアナログ駆動方式は、制御可能な電流を該表示素子に供給する。概して、電流源トランジスタは、電界発光 (エレクトロルミネセント; EL) 表示素子を通る電流を決める該電流源トランジスタに供給されたゲート電圧を伴って、画素構造の一部として設けられる。蓄積容量は、アドレス指定相の後でゲート電圧を保持する。このような画素回路の一例は、EP-A-0717446で記述される。

30

【0004】

従って、夫々の画素は、EL表示素子及び関連する駆動回路を有する。該駆動回路は、行導電体上の行アドレスパルスによってオンとされるアドレストランジスタを有する。該アドレストランジスタがオンとされるとき、列導電体での電圧は残りの画素に送ることが可能である。特に、該アドレストランジスタは、駆動トランジスタ及び該駆動トランジスタのゲートに接続された蓄積容量を有する電流源に、該列導電体電圧を供給する。列でのデータ電圧は、該駆動トランジスタのゲートに供給され、該ゲートは、列アドレスパルスが終了した後でさえ、蓄積容量によってこの電圧に保持される。この回路内の該駆動トランジスタはpチャンネルTFTとして実施され、従って該蓄積容量は、ゲート - ソース間電圧を一定に保つ。これは、トランジスタを流れる一定のソース - ドレイン間電流を生じ、従って、この電流は前記画素の所望の電流源動作をもたらす。

40

【0005】

上記の基本的な画素回路では、LED物質の差異エージング又は劣化は、表示部全体に亘って画像品質の変化を生じさせうる。

【0006】

LED物質のエージングを補償しうる改善された電圧アドレス指定画素回路が提案される。これらは、前記表示素子の光出力に応答し、該光出力に応じて、前記画素の最初のアドレス指定の後に続く駆動期間中に該表示素子の統合された光出力を制御するように、蓄積容量に蓄えられた充電を漏らすように働く光検出素子を有する。この形式の画素構造の例

50

が、W001/20591及びEP1,096,466で詳細に記述される。一実施例において、前記画素内の光ダイオードは、前記蓄積容量に蓄えられたゲート電圧を放電し、前記EL表示素子は、前記駆動トランジスタでのゲート電圧が閾値電圧に到達するときに放射を中止し、その時点で該蓄積容量は放電を止める。この充電が前記光ダイオードから漏らされる速度は、前記表示素子の出力の関数であるので、該光ダイオードは、光検出フィードバック素子として働く。

【0007】

この配置と共に、それによって、前記EL表示素子から独立した表示素子からの光出力の効率及びエージング補償が得られる。更に、前記画素回路はまた、前記画素に供給する電流伝送ラインで起こりうる電圧降下の影響を補償することが可能である。これは、D. A. フィッシュ等による文献“アクティブマトリクス高分子/有機LEDディスプレイに対する画素回路の比較(原題 A comparison of pixel circuits for Active Matrix Polymer/Organic LED Displays)”(2002年5月発行、SID02ダイジェスト掲載)で記述される。

10

【発明の開示】

【発明が解決しようとする課題】

【0008】

このような技術は、所定の駆動電流レベルに対する画素からの光出力レベルを減少させるような異なるLEDエージング効果の影響を弱めることによって、一定期間に亘って非均一性にそれ程苦しまない高品質のディスプレイを達成するために非常に効果的であることを示されている一方で、画素の出力に関する問題は依然として残っている。これらは、悪影響を及ぼされた表示出力、又は画素の出力輝度での不規則性の形を採りうる。

20

【0009】

本発明の目的は、上述の形式の改善された画素回路を提供することである。

【課題を解決するための手段】

【0010】

本発明の一つの様相によれば、表示画素の配列を有するアクティブマトリクス電界発光表示装置が提供され、夫々の画素は、

電界発光性の表示素子と、

該表示素子に電流を流す駆動トランジスタと、

30

該駆動トランジスタのアドレス指定に使用されるべき電圧を蓄える蓄積容量と、

該表示素子の光出力に従って該蓄積容量を放電する放電感光素子と、

他の方向からの光にさらされる間に該表示素子によって放射される光から遮断され、他の方向からの光によって該放電感光素子で作られた光電流を相殺するように接続された更なる感光素子とを有すること。

【0011】

既知の画素回路での前記放電感光素子は、前記EL表示素子から向けられた以外の光出力に応答し、前記蓄積容量の不必要な放電を引き起こし、その結果エージング効果に対する所望の補償を供給する際に該画素回路の性能に悪影響を及ぼす。本発明の画素では、前記更なる感光素子は、この不必要な光入力を検出するように配置されることによって前記放電感光素子へのこのような不必要な光入力の影響を弱め、前記蓄積容量を放電する際に前記放電感光素子でのこのような影響を補正するように使用される。この不必要な光入力は、例えば、光のクロストークの形で隣接する画素の表示素子から影響を及ぼされる画素に入ってくる光、又は外部の発生源から該画素に入ってくる光、特に周辺光でありうる。

40

【0012】

本発明は、前記更なる感光素子の動作が、前記放電感光素子で起こり、既知の画素回路の性能での劣化にも寄与しうる漏れ電流の影響を弱めることでも効果的でありうるという、付加的な利点を提示する。

【0013】

従来の画素回路と同様に、前記駆動トランジスタは、電力供給ラインと前記表示素子と

50

の間に接続される。

【0014】

望ましい実施例では、前記蓄積容量は、該電力供給ラインと該駆動トランジスタのゲートとの間に接続され、前記放電感光素子は、該駆動トランジスタのゲートと該電力供給ラインとの間に、該蓄積容量と並列に接続され、前記更なる感光素子は、該駆動トランジスタのゲートと基準電位、例えば接地との間に接続される。従って、該放電感光素子及び該更なる感光素子は、該電力供給ラインと該基準電位との間で直列に接続される。この配置では、両方の感光素子に照射された不必要な光によって発生する光電流及びこれらの素子での漏れ電流は、該電力供給ラインから該基準電位（例えば、接地）に流れるので、該蓄積容量の放電には寄与しない。その時、このような放電は、その関連する表示素子から該放電感光素子によって受けられた光子に応じて該放電感光素子で作られた光電流によってのみ決定される。

10

【0015】

夫々の行アドレス導電体を介して供給された選択（ゲート）信号によってアドレス指定相で選択された行での画素を有する行において配置された画素の場合、画素の一つの行に対する基準電位は、隣接する画素の行に結合された行アドレス導電体によって都合よく供給されても良い。従来の駆動方法では、画素の一つの行に対する選択アドレス信号は、概して前記配列での画素の行の数によって導き出されるフレーム期間に相当する相対的に短い行アドレス期間の間に、関連する行アドレス導電体に加えられ、残りの該フレーム期間の間、該行アドレス導電体は、低く、一定な電位に、一般的に接地に通常保持される。

20

【0016】

望ましくは、前記放電感光素子及び前記更なる感光素子は、光ダイオードである。ダイオード接続トランジスタが代わりに用いられても良い。他の種類の感光素子、例えば光導電セルが使用されることが予想されるが、画素回路の性能に関してそれ程有利ではない。

【0017】

従来の装置と同様に、夫々の画素は、入力信号ラインと、前記駆動トランジスタのゲートに結合された該画素への入力との間に接続されたアドレストランジスタを更に有する。従って、従来のアドレス指定された電流源画素が実施されうる。しかし、あるいは、本発明は、例えば電流ミラー画素回路を用いる電流アドレス指定画素と共に使用されても良い。

30

【0018】

構造に関しては、望ましくは、前記表示装置は基板を有し、画素駆動トランジスタ、蓄積容量及び感光素子、並びに関連するアドレス指定ラインを有するアクティブマトリクス回路は、該アクティブマトリクス回路の上に横たわる前記表示素子の電界発光層と共に、該基板上に存在する。望ましくは、一つの画素の感光素子は、それらが、該画素での該電界発光層から直接的な入力以外の、同様の光入力を受けるように共に直ぐ近くに配置される一実施例において、該表示素子は、該電界発光層と該アクティブマトリクス回路との間に透明な電極層を有し、光遮蔽体は、夫々の画素において、前記更なる感光素子と前記上に横たわる電界発光層との間に該電界発光層からの該更なる感光素子に直接的に到達する光を妨げるように配置される。この形の構造は、装置の製造を複雑にすることなく、最小限の費用で容易に達成されうる。

40

【発明を実施するための最良の形態】

【0019】

本発明によるアクティブマトリクス電界発光（EL）表示装置の実施例は、添付の図を参照して、例を用いて記述される。

【0020】

同じ参照数字は、同じあるいは類似な部品を示すために全ての図に亘って使用される。図は、単に概要であり、実物大ではないことが理解される。特に、部品の夫々の寸法及び形状は、明快さのために誇張され、あるいは縮小されて示されうる。

50

【0021】

図1を参照すると、アクティブマトリクスEL表示装置は、ブロック10によって表わされる規則正しく間隔を空けられた画素から成る行及び列のマトリクス配列を有するパネルを有する。夫々の画素は、EL表示素子20と、該表示素子を流れる電流を制御する結合された駆動回路とを有し、行（選択）及び列（データ）のアドレス導電体又はライン12及び14の交差する組の間の共通部分に置かれる。幾つかの画素のみが、ここでは単純化のために示される。画素10は、夫々の導電体の集合の端に接続された行の走査駆動回路16及び列のデータ駆動回路18を有する周辺の駆動回路によってアドレス導電体の集合を介してアドレス指定される。

【0022】

画素から成る夫々の行は、夫々のデータ信号を有する行の画素をプログラムするように、回路16によって該当する行導電体12に加えられた選択パルス信号を用いてフレーム期間内でアドレス指定され、回路18によって列導電体14に並列に供給される夫々のデータ信号に従って、アドレス期間の後に続くフレーム期間内でそれらの個々の表示出力を決定する。夫々の行がアドレス指定されるので、データ信号は、適切に同期して回路18によって供給される。

【0023】

夫々の画素のEL表示素子20は、ここでダイオード素子（LED）として表わされる有機発光ダイオードであり、有機電界発光性の発光物質の一以上のアクティブ層が間に挟まれた一対の電極を有する。この特定の実施例において、該物質は、高分子LED物質であるが、他の有機電界発光物質、例えば低分子量物質が使用されても良い。前記配列の表示素子は、それらに結合されたアクティブマトリクス回路と共に、絶縁層の表面に運ばれる。基板は、透明な物質、例えばガラスから作られ、表示素子20の陰極又は陽極のどちらかは、ITOのような透明な導電性物質から形成される。従って、電界発光層によって発生する光は、これらの電極を通して伝えられる。EL物質に使用されうる適切な有機結合高分子物質の典型的な例は、W096/36959で記述される。他の、低分子量、有機物質の典型的な例は、EP-A0717446で記述される。

【0024】

夫々の画素10は、ここでは低温ポリシリコンTFT（薄膜トランジスタ）の形で、駆動トランジスタを有する駆動回路を有する。該トランジスタは、該画素に印加されたデータ信号電圧に基づいて、表示素子20を流れる電流の制御を担う。画素に対するデータ信号電圧は、複数の画素から成る夫々の列によって共有される列導電体14を介して供給される。該行導電体14は、画素駆動回路内のアドレスTFTを介して電流制御用駆動TFTのゲートに結合され、列画素のアドレスTFTのゲートは、夫々の共有の行アドレス導電体12に全て接続される。

【0025】

図1で示されていないが、画素10から成る夫々の行はまた、従来の方法で、所定の電位に保持され、全ての画素に共通の連続的な電極として標準的に設けられた共通の電圧供給ライン、及び夫々の共通電流ラインを共有する。表示素子20及び駆動TFTは、該電圧供給ラインと該共通電流ラインとの間に直列に接続される。例えば、該電圧供給ラインは、接地電位にあっても良く、該共通電流ラインは正の電位、例えば12Vであっても良い。

【0026】

図2は、例えばW001/20591で記述されるような画素回路の既知の形を表わす。ここで、駆動TFT及びアドレスTFTは、夫々22及び26で参照され、電圧供給ライン及び電流供給ラインは、夫々30及び32で参照される。アドレスTFT26が行導電体12に加えられた選択（ゲート）パルス信号によって、夫々の行アドレス期間でオンとされるとき、列導電体14上のデータ信号を形成する電圧は、残りの画素に送られる。特に、TFT26は、駆動TFT22及びTFT22のゲートと電流供給ライン32との間に接続された蓄積容量24を有する電流源回路25に列導電体の電圧を供給する。列電圧は、TFT22のゲートに供給され、ゲートは、アドレスTFT26が行アドレス期間の終了時にオフとされた後でさえ、蓄積容量24によって、蓄積された

10

20

30

40

50

制御値と同等である列電圧に保たれる。駆動TFT22は、PチャンネルTFTとしてここでは実施され、蓄積容量24はゲート-ソース間電圧を保持する。これは、TFT22を流れる一定のソース-ドレイン電流を生じ、従って、画素の所望の電流源動作を提供する。表示素子20を流れる電流は、駆動TFT22によって調整され、TFT22のゲート電圧の関数であり、列電圧データ信号によって決定される蓄積された制御値に依存する。行アドレス期間の終了時に、アドレスランジスタ26はオフとなり、蓄積容量24によって保持された電圧は、画素が次のフレーム期間に再度アドレス指定される前に、続いて起こる駆動期間の間に表示素子の動作を保持する。

【0027】

従って、TFT22と共通の電流ライン32ととの間の電圧は、表示素子20を流れる電流を決め、画素の瞬間の光出力を制御する。

10

【0028】

画素の夫々の行は、それらの夫々のデータ信号と共に画素の夫々の行を順次取り込むように、この方法で夫々の行アドレス期間にアドレス指定され、それらが次にアドレス指定されるまで、フレーム期間におおよそ対応する後に起こる駆動期間の間に所望の表示出力を供給する画素を設定する。

【0029】

画素は、放電光ダイオード34の形で、感光素子を更に有する。この素子は、逆バイアスをかけられ、表示素子20によって放射された光に反応し、該当する行アドレス期間の後に続く残りのフレーム間隔の間に表示素子の統合された総光出力を制御するように、感光素子で発生した光電流によって、素子20によって放射された光に従って蓄積容量24に蓄えられた充電を減衰させるように働く。陰極及び陽極がライン32及びTFT22のゲート結節点に夫々接続された光ダイオード34は、容量24に蓄えられたゲート電圧を放電し、TFT22のゲート電圧がTFTの閾値電圧に達するとき、表示素子20は、もはや光を放射しない。充電が光ダイオード34から漏らされる速度は、表示素子の光出力レベルの関数であり、従って、光ダイオード34は、光感知フィードバック装置として働く。

20

【0030】

図2で示されるように、断路TFT36は、駆動TFT22とLED素子20との間に直列に任意に接続されても良く、そのゲートは行アドレスライン12に接続される。TFT36は、画素が行アドレス期間でプログラムされている間に素子20を流れる電流を供給するように、補完的な方法でアドレスTFT26に作用するnチャンネル素子である。行アドレス期間の終了時及びTFT26がオフするとき、TFT36は、即座にオンとされ、電流が素子20を流れることを可能にする。TFT36のこの動作は、行のアドレス指定の間にライン32で生じる電圧降下をもたらす。

30

【0031】

光ダイオードのフィードバック配置は、表示素子のエージングの劣化効果を補償するためにここでは使用され、この効果により、所定の駆動電流に対して作られる光出力レベルに関するその動作の効率は減少する。更に長く、更に頑丈に駆動されたこのような劣化表示は、輝度を減じて表わされるので、表示の非均一性を引き起こす。光ダイオードの配置は、駆動期間内に表示素子からの統合された総光出力を適切に制御することによってこれらの効果の影響を弱める。表示素子が、アドレス期間の後に続く駆動期間の間に光を発生するように電圧を加えられる時間の長さは、加えられたデータ信号のレベルと同様に、既存の駆動電流による表示素子の光放射レベル特性に従って調整される。従って、劣化の効果は減じられる。劣化した調光表示素子は、劣化していない、より明るい表示素子よりも長い期間の間、表示素子に電圧を加える回路を駆動する画素を生じ、従って、平均輝度は、素子の動作時間の拡大された期間に亘って同じであるように保たれる。

40

【0032】

しかし、この回路の動作の有効性は、関連する表示素子20以外の発生源から光ダイオード34に照射された光によって減じられることが分かっている。この不必要な光は、例えば、隣接の画素によって放射され、画素配列構造の内部で反射された光、又は周囲の光を含

50

む、外部発生源から放射する光でありうる。更に、光ダイオード34は、更に画素の性能を悪化させる固有の漏れ電流を必ず有する。

【0033】

図3は、図1の装置内の典型的な画素の回路を表わす。この回路において、補償感光素子は、不必要な光出力によって作られる光電流を補正するために含まれる。付加的な感光素子は、画素の表示素子から直接的に入ってくる光から意図的に遮蔽されるが、放電感光素子と同じ方法で不必要な光によって影響を及ぼされるように、他の潜在的な光源に別な方法でさらされる。従って、この更なる感光素子は、蓄積容量24の減衰した充電での放電感光素子34の所望の動作でこのような効果を弱め、あるいは相殺するために使用されうる、一定量の不必要な光出力を供給する。これは、フィードバック配置が実質的に目的どおり

10

【0034】

図3を参照すると、この更なる感光素子は、不必要な光に依存する光電流が相殺されるように、ライン32と基準電位源との間の放電光ダイオード34に直列に、同じ極性で接続された第二の光ダイオード40の形で設けられる。この目的のために、光ダイオード40の陰極側は、TFT22のゲート結節点に対応する光ダイオード34の陽極側に接続され、その陽極側は、ライン32に対して所定の負の基準電位、即ちここでは接地電位にあるライン42に接続される。光ダイオード40は、光遮蔽体44によって表示素子20から直接的に放射される光から物理的に遮蔽され、光ダイオード34の近くに配置される。従って、素子20からの光から離れて、それらは、他の発生源からの同様の光入力に直面する。この回路配置の動作において、光ダイオード34及び40で発生した光電流は、それらダイオードに入射した不必要な光に依存し、これら光ダイオードの漏れ電流はまた、電源ライン32から接地に流れ、それ故に、蓄積容量24の放電には寄与しない。従って、画素内の表示素子20から光ダイオード34に照射される光によって発生する光電流のみが、駆動期間中の動作において蓄積容量24を放電するように働く。

20

【0035】

基準電位ライン42は、同じ行内の全ての画素によって共有され、専用の補助ラインとして設けられるのではなく、画素の隣接する行に結合された行アドレス導電体によって、実際面では都合よく構成されても良い。しかし、この目的のために、TFT26及び36は、n及びpチャネル形を夫々作られる。夫々の行アドレス導電体12は、行アドレス期間以外の全体的なフレーム期間の間、接地、又は相対的に低い電位レベルに保たれることが望まれる。

30

【0036】

あるいは、光ダイオード40の陽極側は、ライン30(共通の負電極)に接続されても良い。

【0037】

素子の構造の例は、図4及び5を参照して記述される。これらの図は、底面放射素子の場合における個々の画素の切断面を極めて図式的に示す。このような素子では、画素からの光出力は、画素を載せるガラス基板を通して得られ、表面放射素子では、光出力は、基板から離れた反対の方向にある。

【0038】

両方の場合において、素子は基板50を有し、この基板上にアクティブマトリクス回路及びLED素子が、当業者に良く知られる従来技術を用いて作られる。ここで、アクティブマトリクス回路は、画素TFT、光ダイオード、容量、アドレス導電体及び電圧ラインを有し、一様に54で示され、LED素子20の構造は、従来形式の多層構造を有し、55で示される。LED構造は、画素配列に広がり、全ての画素に共通する陰極層56を有する。底面放射素子、即ち図4では、これは、光を透過しない導電層を有し、表面放射素子、即ち図5では、光学的に透明な導電層を有する。基板50は、ガラスから作られるが、底面放射構造では、透過性高分子のような他の適切な透明な物質が使用されても良い。表面放射構造では、絶縁層によって覆われた金属ホイルのような不透明な物質が使用されうる。

40

【0039】

50

光ダイオード34及び40は、画素によって占有された領域内で物理的に接近してお互いに隣接するように配置される。画素の境界は、ここでは点線A及びBによって示される。これらの光ダイオードは、最上層にあるn形の層と共にp、i及びn形のアモルファスシリコンの副層を有する構造を有するアモルファスシリコンpin素子として形成される。

【0040】

図4及び5で示される様々な矢印に関して、矢印OPは、作り出される表示画像に寄与するLED素子からの表示光出力を示し、矢印Cは、クロストーク光、即ち、関心のある画素以外の全ての画素からの光の可能な発生源を示し、矢印Eは、素子に照射される外部の周囲光を示し、矢印Pは、画素のLED素子20から光ダイオード34上への意図的に導かれた光を示す。

10

【0041】

図4の構造では、LED素子20から光ダイオード40に直接的に照射される光を妨げる役割を果たす光遮蔽体44は、金属のような光を透過しない層の形で、LED素子構造の光ダイオードと発光層との間、光ダイオード40の上に設けられる。この金属層は、光ダイオード40の表面接触を有し、あるいは光ダイオードの接触層に付加されても良い。光ダイオード34の表面接触層は、ここでは35で参照され、透明な導電層、例えばITOであっても良い。従って、光ダイオード34及び40は両方とも、矢印C及びEで示されるクロストークトーク及び外部の光入力の影響下にある。しかし、光ダイオード34のみは、LED素子20からの直接的な光の影響下にある。他の発生源からの光は、両方の光ダイオード34及び40に共通であり、夫々の光ダイオード上のこのような光のレベルは、それらの大きさが比較的小さく、お互いに近接近しているために実質的に同一である。

20

【0042】

類似の光遮蔽体44が、図5の構造でも使用される。この場合、更なる光遮蔽体58は、入射する外部の光Eから光ダイオード34を遮蔽し、一方でLED素子の発光層から光ダイオード34に直接的に照射される光を許容するように、光ダイオード34の上に横たわる陰極層56の外側表面に配置されるように設けられる。光ダイオード40の上まで広げられ、光ダイオード40に付加的な遮蔽も供給するこの遮蔽体58は、この構造で光ダイオード40が遮蔽体44によって矢印Eの方向で入ってくる光を受けないので、必要とされる。

【0043】

図5の構造でのガラス基板50の外側表面は、基板50を通して構造体に入ってくる如何なる不必要な光も妨げるように、光を透過しない遮蔽層で覆われても良い。その時、この層は、図4の構造において、光を透過しない陰極層56と類似の機能を実行する。

30

【0044】

アドレス導電体又は電圧ラインのような導電素子を決めるためにアクティブマトリクス回路の製造において使用される金属層は、付加的な領域を決め、更に遮蔽層44を形成する適切なパターン化によって都合よく使用されても良く、それによって、付加的な金属層の堆積処理の必要性を回避する。外光遮蔽層58は、陰極層56上に堆積された適切にパターン化された金属層又は他の光を透過しない層を有しても良く、アクティブマトリクス液晶表示装置で共通に用いられる黒マトリクス層と類似な形から成っても良い。

【0045】

図3で表わされた画素回路は、好ましい実施例であり、光ダイオード40に対する他の回路配置が用いられても良いことが認識される。

40

【0046】

更に、光ダイオード以外の感光素子、例えば光導電体又は光導電セルが用いられても良いことも認識される。しかし、光ダイオードは、画素回路の所望の動作において最も効率的であると考えられる。

【0047】

使用されうる他の画素回路の例が図6及び7で表わされる。図6の画素回路では、ダイオード接続TFT62、63が、光ダイオード34及び40を置き換えるように使用される。TFT62及び63は、夫々、nチャンネル及びpチャンネル形素子であり、それらのゲートは、ライン32及び

50

42に夫々接続される。ここで、TFT62及び63は、実質的に同じ漏れ電流を示し、それらの共通の光入力に応じて実質的に同じ光電流を発生するように、等しい大きさにされる。

【0048】

図7の画素回路は、回路が、TFT22のゲートと、光ダイオード34と40との間の結節点に接続された容量24の端子との間に接続された付加的な容量70、及びTFT22のゲートとソースとの電極間に接続された更なるTFT72を更に有する以外、図3の回路と同様である。この回路では、配列でのTFTの閾値電圧レベルで変化に対する自動的な補償が達成される。容量24は、TFT22の所望のソース-ゲート間電圧を蓄えないが、代わりに入力駆動電圧を蓄える。直列接続された容量70は、TFT22の閾値電圧レベルに従って、容量24とTFT22のゲートとの間の電圧移動を供給する。容量70は、TFTの電流を用いて閾値電圧に容量70を充電するように動作可能であるTFT72を用いて、この閾値電圧を蓄える。このような画素回路の動作は、参照が勧められる英国特許出願番号0220614.2(PHGB020146)で更に十分に記述される。

10

【0049】

上記の画素回路は、全て電圧アドレス指定画素の例である。本発明はまた、例えば電流ミラーを用いる、既知の電流アドレス指定画素の実施と共に使用されうる。

【0050】

更なる例の方法によって、図3の画素回路は、ライン32とTFT22のゲートとの間の蓄積容量24に並列に接続された更なるp形TFTを有するように変形されうる。そのゲートは、TFT22のソース電極とLED素子20の陽極との間の結節点に接続される。この更なるTFTの動作は、TFT22とLED素子20との間の結節点の電圧に依存し、電圧が更なるTFTの閾値電圧に到達するとき、即ち、LED素子の駆動電流/光の出力レベルが所定の低いレベルに到達するときに、TFTは、蓄積容量24を即座に放電するようにオンに切り替えられ、それによって、光出力を抑えるように駆動TFTを不意にオフとする。これは、W001/20591で記述されるように、画素の光出力の更に正確な制御を可能にする。

20

【0051】

画素回路の他の実施例において、離れたところに位置する第一及び第二の蓄積容量は、英国特許出願0305632.2(PHGB030025)で記述されるように、駆動TFTのゲート電圧及び加えられたデータ信号よる充電を夫々蓄えるために使用されても良い。この回路において、第一の蓄積容量は、付加的なTFTを用いてアドレス相で所定のレベルに充電され、一方で第二の蓄積容量は、アドレス指定TFTを介して充電される。第二の蓄積容量は、第一の蓄積容量の両端に接続された放電TFTのゲートに接続され、この第二の蓄積容量での充電は、放電TFTの動作を制御するために使用される。フィードバック光ダイオードは画素の表示素子からの光出力に应答して、放電TFTのゲートでの電圧がその閾値電圧に到達するまで放射された光の量に従って、第二の蓄積容量を充電又は放電し、その時放電TFTは第一の蓄積容量を即座に放電するようにオンとされ、従って表示素子に接続された駆動TFTをオフとする。画素回路は、本発明によって、更なる感光素子、例えば光ダイオードを有するように変形される。該光ダイオードは、第二の蓄積容量の両端に接続され、フィードバック光ダイオード上のこれらの光入力の影響を相殺するように、画素の表示素子から以外の光入力に应答する。従って、この回路では、フィードバック光ダイオードは、駆動TFTのゲート電圧を蓄える蓄積容量に、しかし、第二の蓄積容量の充電又は放電へのその影響によって直接的に接続されないことが好ましい。従って、放電TFTの動作は、画素の光出力によって第一の蓄積容量を放電するという類似の機能を果たす。

30

40

【0052】

本開示を読むことで、他の変形が当業者にとって明らかである。このような変形は、アクティブマトリクス電界発光表示装置及びそれらの構成部品の分野で既に知られ、ここで既に説明された特性の代わりに、あるいはそれら特性に加えて使用されても良い他の特性を有しても良い。

【図面の簡単な説明】

【0053】

50

【図1】本発明によるアクティブマトリクスEL表示装置の一実施例の単純化された概略図である。

【図2】画素の既知の形の等価回路を示す。

【図3】図1の装置での標準的な画素の等価回路を示す。

【図4】図1の装置の画素の図式的な横断面図である。

【図5】本発明による表装置の他の実施例での画素の図式的な横断面図である。

【図6】本発明による画素回路の更なる例を図解する。

【図7】本発明による画素回路の更なる例を図解する。

【図1】

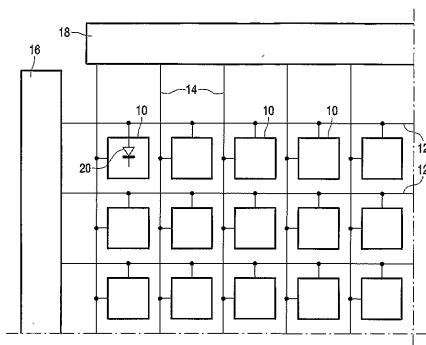


FIG.1

【図2】

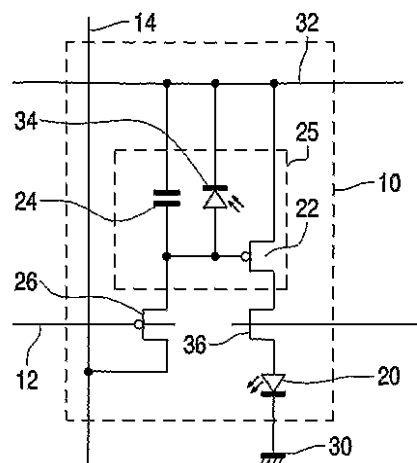


FIG.2

【 図 3 】

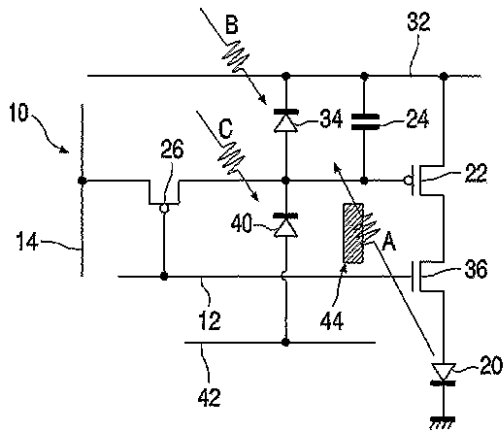


FIG.3

【 図 4 】

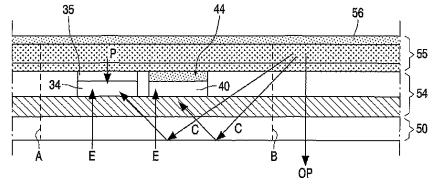


FIG.4

【 図 5 】

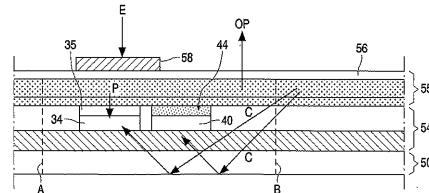


FIG.5

【 図 6 】

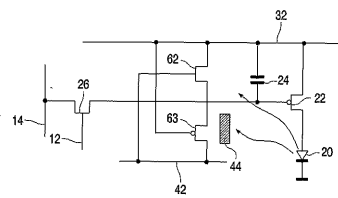


FIG.6

【 図 7 】

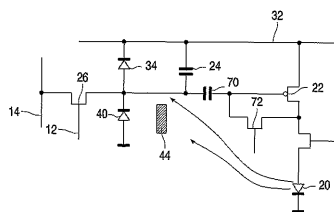


FIG.7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No .../IB2004/000974
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 194 013 A (EASTMAN KODAK CO) 3 April 2002 (2002-04-03) the whole document	1-13
A	US 2001/035848 A1 (HUNTER IAIN MCINTOSH ET AL) 1 November 2001 (2001-11-01) the whole document	1-13
A	WO 99/53472 A (BURROUGHES JEREMY HENLEY ; CAMBRIDGE DISPLAY TECH (GB); FRIEND RICHARD) 21 October 1999 (1999-10-21) the whole document	1-13
A	US 6 441 560 B1 (HUNTER IAIN M) 27 August 2002 (2002-08-27) the whole document	1-13
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*&* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
15 July 2004	27/07/2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Harke, M	

INTERNATIONAL SEARCH REPORT

International Application No.
/IB2004/000974

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 489 631 B2 (YOUNG NIGEL D ET AL) 3 December 2002 (2002-12-03) cited in the application the whole document -----	1-13

INTERNATIONAL SEARCH REPORT

International Application No

.../IB2004/000974

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1194013	A	03-04-2002	CN 1347074 A 01-05-2002
			DE 60100732 D1 16-10-2003
			EP 1194013 A1 03-04-2002
			JP 2002162934 A 07-06-2002
			US 2004032382 A1 19-02-2004
US 2001035848	A1	01-11-2001	CN 1364285 T 14-08-2002
			WO 0169583 A1 20-09-2001
			EP 1188158 A1 20-03-2002
			JP 2003527630 T 16-09-2003
			TW 518542 B 21-01-2003
WO 9953472	A	21-10-1999	EP 1072033 A1 31-01-2001
			WO 9953472 A1 21-10-1999
			JP 2002511608 T 16-04-2002
US 6441560	B1	27-08-2002	WO 0115232 A1 01-03-2001
			EP 1135804 A1 26-09-2001
			JP 2004510999 T 08-04-2004
US 6489631	B2	20-12-2001	WO 0199191 A1 27-12-2001
			EP 1222691 A1 17-07-2002
			JP 2003536115 T 02-12-2003
			US 2001052597 A1 20-12-2001

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30 3 3 8	
	G 0 9 F 9/30 3 6 5 Z	
	H 0 5 B 33/14 A	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 フィッシュ, デイヴィッド エイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 EE04 EE68 HH04 HH05

5C080 AA06 BB05 DD04 DD29 EE29 FF11 HH09 JJ02 JJ03 JJ06

5C094 AA03 AA21 AA42 BA03 BA27 DA20 DB04 DB10 EA10

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2006524355A	公开(公告)日	2006-10-26
申请号	JP2006506419	申请日	2004-03-26
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ		
发明人	フィッシュ,デイヴィッド エイ		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0809 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/088 G09G2320/043 G09G2320/045 G09G2320/0626 G09G2360/148 H01L27/3269 H01L27/3272		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/30.H G09G3/20.680.H G09G3/20.670.J G09F9/30.338 G09F9/30.365.Z H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/EE04 3K107/EE68 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD04 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA03 5C094/AA21 5C094/AA42 5C094/BA03 5C094/BA27 5C094/DA20 5C094/DB04 5C094/DB10 5C094/EA10		
代理人(译)	伊藤忠彦		
优先权	2003007789 2003-04-04 GB		
外部链接	Espacenet		

摘要(译)

在有源矩阵电致发光显示装置中，将被用于寻址驱动晶体管用于控制所述电致发光显示元件（20）的辐射（22）的存储电容器（24），以便存储的电压，每个它提供像素。提供放电光敏元件（34）以根据显示元件的光输出释放存储容量。另外的光敏元件（40），作为光输入到的结果，所述排放比从像素（20）的显示元件的其他光敏元件，设置成抵消由放电的光敏元件中产生的光电流，当另外的光敏元件暴露于来自其他方向的光时，该另外的光敏元件被显示元件发出的光阻挡。然后，由于不必要的光输入到放电的影响凹凸的显示输出的光敏元件被避免。

