

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-154521
(P2006-154521A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
G09G 3/20 (2006.01)	G09G 3/30 J	5C080
H01L 51/50 (2006.01)	G09G 3/20 611D	
	G09G 3/20 612E	
	G09G 3/20 612U	
審査請求 有 請求項の数 10 O L (全 32 頁) 最終頁に続く		

(21) 出願番号	特願2004-347283 (P2004-347283)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年11月30日(2004.11.30)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	3K007 AB17 BA06 DB03 GA00 GA04 5C080 AA06 BB05 DD10 EE28 EE29 EE30 FF11 JJ01 JJ02 JJ03 JJ04 JJ05

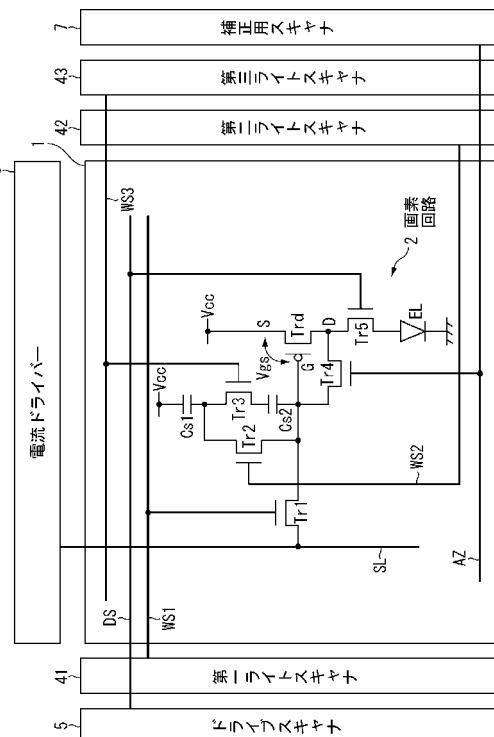
(54) 【発明の名称】 画素回路と表示装置及びこれらの駆動方法

(57) 【要約】

【課題】 黒レベルの微弱な信号電流も充分書き込み可能な画素回路を提供する。

【解決手段】 画素回路2の第1サンプリング手段は、トランジスタTr1, Tr3, Tr4と画素容量Cs2とで構成されており、信号線SLに流れる信号電流I_{sig}をサンプリングする。第2サンプリング手段はトランジスタTr1, Tr2, Tr3, Tr4と画素容量Cs1とで構成され、信号電流I_{sig}に前後して信号線SLに流れる所定の基準電流I_{ref}をサンプリングする。差分手段はトランジスタTr1, Tr3, Tr4と一対の画素容量Cs1, Cs2で構成されており、サンプリングされた信号電流I_{sig}と基準電流I_{ref}の差分に応じた制御電圧を生成する。駆動トランジスタTrdは、この制御電圧をゲートGを受けてソースS/ドレインD間に流れる駆動電流I_{ds}を発光素子ELに供給する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、
発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路であって、

前記制御部は該信号線に流れる信号電流をサンプリングする第 1 サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、

前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする画素回路。

10

【請求項 2】

前記第 1 及び第 2 サンプリング手段が各々サンプリングする信号電流及び基準電流は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されていることを特徴とする請求項 1 記載の画素回路。

【請求項 3】

前記制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルすることを特徴とする請求項 1 記載の画素回路。

20

【請求項 4】

前記第 1 サンプリング手段は該信号電流を該駆動トランジスタに流してその時ゲートに発生する信号電圧をサンプリングし、前記第 2 サンプリング手段は該駆動トランジスタに該基準電流を流してその時ゲートに発生する基準電圧をサンプリングし、前記差分手段は容量を介して該信号電圧と該基準電圧をカップリングさせ両者の差分を求めて該制御電圧を生成することを特徴とする請求項 1 記載の画素回路。

【請求項 5】

前記第 1 サンプリング手段はサンプリングした信号電圧を保持する第 1 の容量を有し、前記第 2 サンプリング手段はサンプリングした基準電圧を保持し且つ該信号電圧にカップリングする為の第 2 の容量を有し、前記第 1 及び第 2 の容量は同一の容量値を有することを特徴とする請求項 4 記載の画素回路。

30

【請求項 6】

画素アレイ部とドライバー部とスキャナ部とからなり、

前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、

前記ドライバー部は、各信号線に信号電流を流し、

前記スキャナ部は、各走査線に制御信号を供給し、

各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置であって、

40

前記画素内制御部は、該信号線に流れる信号電流をサンプリングする第 1 サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、

前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする表示装置。

【請求項 7】

前記第 1 及び第 2 サンプリング手段が各々サンプリングする信号電流及び基準電流は、

50

両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されていることを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記画素内制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルすることを特徴とする請求項 6 記載の表示装置。

表示装置

【請求項 9】

信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路の駆動方法であって、

該信号線に流れる信号電流をサンプリングする第 1 サンプリング手順と、

該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手順と、

サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手順と、

該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする画素回路の駆動方法。

【請求項 10】

画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は各信号線に信号電流を流し、前記スキャナ部は各走査線に制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置の駆動方法であって、

該信号線に流れる信号電流をサンプリングする第 1 サンプリング手順と、

該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第 2 サンプリング手順と、

サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手順と、

該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路及びその駆動方法に関する。またこの画素回路をマトリクス状（行列状）に配列した表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置及びその駆動方法に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度または反射強度を制御する事によって画像を表示する。これは、有機 EL 素子を画素に用いた有機 EL ディスプレイなどにおいても同様であるが、液晶画素と異なり有機 EL 素子は自発光素子である。その為、有機 EL ディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライト

10

20

30

40

50

が不要であり、応答速度が高いなどの利点を有する。また、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行われている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタTFT）によって制御するものであり、以下の特許文献に記載がある。

10

【特許文献1】特開2003-255856公報

【特許文献2】特開2003-271095公報

【特許文献3】特開2004-133240公報

【特許文献4】特開2004-029791公報

【特許文献5】特開2004-093682公報

【0004】

図22は、従来のアクティブマトリクス方式の有機ELディスプレイを示す模式的なブロック図である。図示するように、この表示装置は、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は電流ドライバー3、ライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R、G、Bとで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、これに代えて白黒表示の単色画素を用いる事もある。各画素R、G、Bはそれぞれ画素回路2で構成されている。信号線SLは電流ドライバー3によって駆動され、信号電流が流れるようになっている。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DSおよびAZも配線されている。走査線DSはドライブスキャナ5によって走査される。ドライブスキャナ5は各画素に含まれる発光素子の発光期間を制御するものである。走査線AZは補正用スキャナ7によって走査される。ライトスキャナ4、ドライブスキャナ5及び補正スキャナ7は全体としてスキャナ部を構成しており、1水平期間毎に画素の行を順次走査する。

20

30

【0005】

図23は、図22に示した画素回路の構成例を示す回路図である。図示するように、画素回路2は4個のトランジスタTr1、Tr4、Tr5、Trdと1個の画素容量Csと1個の発光素子ELとで構成されている。4個のトランジスタはいずれも薄膜トランジスタである。この内、トランジスタTr1、Tr4及びTr5は制御用のスイッチングトランジスタであり、いずれもNチャンネル型を用いている。これに対し、トランジスタTrdは発光素子ELを駆動する為の駆動トランジスタであり、Pチャンネル型を用いている。また発光素子ELはアノード及びカソードを備えた二端子型の自発光素子であり、例えば有機EL素子を用いる事ができる。

【0006】

駆動トランジスタTrdのソースSは電源Vccに接続している。ドレインDは発光素子ELのアノード側に位置する。発光素子ELのカソード側は接地されている。駆動トランジスタTrdのゲートGは画素容量Csの一端に接続している。画素容量Csの他端は電源Vccに接続している。

40

【0007】

スイッチングトランジスタTr1のソース/ドレインは信号線SLと駆動トランジスタTrdのゲートGとの間に接続されている。スイッチングトランジスタTr1のゲートは走査線WSに接続している。スイッチングトランジスタTr4のソース/ドレインは駆動トランジスタTrdのゲートGとドレインDとの間に接続されている。このトランジスタTr4のゲートは走査線AZに接続している。スイッチングトランジスタTr5のソース

50

ノドレインは駆動トランジスタTrdのドレインDと発光素子ELのアノードとの間に接続されている。このトランジスタTr5のゲートは走査線DSに接続されている。

【0008】

駆動トランジスタTrdは飽和領域で動作し、その特性は以下の数式1で表される。

【数1】

$$I_{ds} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

【0009】

数式1において、Vgsはゲート電圧であり、駆動トランジスタTrdのソースSとゲートGとの間の電圧を表している。Idsはドレイン電流であり、駆動トランジスタTrdのソースSとドレインDとの間を流れて発光素子ELに供給される。Vthは駆動トランジスタTrdの閾電圧を表している。μは同じく駆動トランジスタTrdのキャリア移動度を表している。またkは定数であり、Cox・W/Lで与えられる。ここでCoxは駆動トランジスタTrdのゲート容量、Wはチャンネル幅、Lはチャンネル長である。定数kはサイズファクタと呼ばれる場合がある。駆動トランジスタTrdは飽和領域で動作する時、上記数式1から明らかのように、ゲート電圧Vgsが閾電圧Vthを越えた時点からドレイン電流Idsが流れ始める。ドレイン電流Idsの大きさはゲート電圧Vgsの2乗に比例して増大する。なお、本明細書では、駆動トランジスタの閾電圧Vthは、駆動トランジスタの閾値電圧の絶対値をとったものとする。ちなみに、Pチャンネル型のトランジスタではしきい値電圧は負の値を持つので、その値をそのまま上記数式1に入れてしまうと正しくないことになる。その為、本明細書では絶対値をとり、Vthは正の値にて取り扱うことにする。

【0010】

駆動トランジスタTrdは例えば多結晶シリコン薄膜を活性層とするTFEである。多結晶シリコン薄膜としては、レーザーアニールで結晶化された低温ポリシリコンが多用されている。一般に、低温ポリシリコンTFEはデバイス毎に閾電圧Vthやキャリア移動度μがばらつく傾向にある。換言すると、個々の画素回路2毎に駆動トランジスタTrdのVthやμが異なっている。

【0011】

画素回路2は大別してサンプリング動作と発光動作を行う。始めのサンプリング動作ではトランジスタTr5をオフする一方トランジスタTr1及びTr4をオンする。この状態で信号線SLを電流ドライバー3で駆動すると、信号電流Isigが電源Vccから駆動トランジスタTrd及びスイッチングトランジスタTr4, Tr1を通過して信号線SLに流れる。この時の駆動トランジスタTrdの動作特性は以下の数式2で表される。

【数2】

$$I_{sig} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

上記数式2は数式1のドレイン電流Idsを信号電流Isigで置き換えたものとなっている。

【0012】

信号電流Isigが流れたとき駆動トランジスタTrdのゲートGとソースSとの間に現れるゲート電圧Vgsは、数式2をVgsで解くことによって、以下の数式3の様に表される。

10

20

30

40

【数 3】

$$V_{gs} = \sqrt{\frac{2I_{sig}}{k\mu}} + V_{th}$$

【0013】

数式 3 で表されるゲート電圧 V_{gs} は画素容量 C_s に保持される。この様にして、サンプリング動作では電流ドライバー 3 によって供給される信号電流 I_{sig} のレベルに応じたゲート電圧 V_{gs} が画素容量 C_s に書き込まれる。簡略的に言うと、信号電流 I_{sig} が駆動トランジスタ Tr_d のゲートに書き込まれた事になる。

10

【0014】

続いて発光動作では、トランジスタ Tr_1 及び Tr_4 がオフする一方、 Tr_5 がオンになる。これにより、駆動トランジスタ Tr_d から駆動電流 I_{ds} が発光素子 EL に流れ、所定の輝度で発光する事になる。このとき駆動トランジスタ Tr_d に流れる駆動電流 I_{ds} は以下の数式 4 で表される。

【数 4】

20

$$\begin{aligned} I_{ds} &= \frac{k\mu}{2} (V_{gs} - V_{th})^2 \\ &= \frac{k\mu}{2} \left(\sqrt{\frac{2I_{sig}}{k\mu}} + V_{th} - V_{th} \right)^2 \\ &= I_{sig} \end{aligned}$$

30

【0015】

数式 3 で求めた V_{gs} を数式 4 の V_{gs} に代入して整理すると、結局移動度 μ 及び閾電圧 V_{th} の項がキャンセルされ、 $I_{ds} = I_{sig}$ となる。したがって駆動トランジスタ Tr_d の移動度 μ や閾電圧 V_{th} が画素毎にばらついていても、上述の信号電流書き込み動作を行うことで全てキャンセルされ、画面のユニフォーミティを維持する事ができる。

【発明の開示】

【発明が解決しようとする課題】

40

【0016】

図 2 3 に示した従来の画素回路は駆動トランジスタの移動度 μ や閾電圧 V_{th} のばらつきに関わらず、信号電流 I_{sig} と同じ駆動電流 I_{ds} を発光素子 EL に供給する事ができるという利点がある。電流ドライバー 3 は信号電流 I_{sig} のレベルを階調制御する事で、発光素子 EL の輝度を黒レベルから中間のグレーレベルを通して白レベルまで変化させる事ができる。黒レベルのとき信号電流 I_{sig} は微弱となって 0 に近づく一方、白レベルでは大きな電流値となる。しかしながら、信号線 SL の寄生容量は数十 pF と比較的大きく、図 2 3 に示した従来の構成では、電流値の微弱な黒レベルの信号電流 I_{sig} はサンプリング動作に割り当てられた 1 水平映像期間 (1 H) 内で十分に書き込む事ができないという課題があった。

50

【0017】

図24は、この問題を模式的に表したものである。画素アレイ1は画面を構成しており、黒の背景に白のウィンドウを表示させた場合である。白いウィンドウの下方にグレーの部分が現れている。本来、このグレーの部分は背景に属し、黒色でなければならない。しかしながら、図23に示した従来の画素回路構成では、白いウィンドウの下方に位置する画素に黒レベルの信号電流を書き込むことができず、図示のような黒浮きや縦クロストークなどが発生する為、解決すべき課題となっている。

【課題を解決するための手段】

【0018】

上述した従来の技術の課題に鑑み、本発明は黒レベルの信号電流も充分書き込み可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路であって、前記制御部は該信号線に流れる信号電流をサンプリングする第1サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第2サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする。

10

20

【0019】

具体的に、前記第1及び第2サンプリング手段が各々サンプリングする信号電流及び基準電流は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。好ましくは、前記制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。一態様では、前記第1サンプリング手段は該信号電流を該駆動トランジスタに流してその時ゲートに発生する信号電圧をサンプリングし、前記第2サンプリング手段は該駆動トランジスタに該基準電流を流してその時ゲートに発生する基準電圧をサンプリングし、前記差分手段は容量を介して該信号電圧と該基準電圧をカップリングさせ両者の差分を求めて該制御電圧を生成する。この場合、前記第1サンプリング手段はサンプリングした信号電圧を保持する第1の容量を有し、前記第2サンプリング手段はサンプリングした基準電圧を保持し且つ該信号電圧にカップリングする為の第2の容量を有し、前記第1及び第2の容量は同一の容量値を有する。

30

【0020】

本発明は又、画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は、各信号線に信号電流を流し、前記スキャナ部は、各走査線に制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置であって、前記画素内制御部は、該信号線に流れる信号電流をサンプリングする第1サンプリング手段と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第2サンプリング手段と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手段とを含み、前記駆動トランジスタは該制御電圧をゲートに受けてソース・ドレイン間に流れる駆動電流を該発光素子に供給して発光を行わせることを特徴とする。

40

【0021】

具体的に、前記第1及び第2サンプリング手段が各々サンプリングする信号電流及び基準電流は、両者の相対的な差分が小さい時該発光素子の発光量が少なくなり且つ差分が大

50

きい時発光量が多くなる一方、両者の相対的な差分が小さい時でも該信号電流及び基準電流の絶対的なレベルはサンプリングを可能とする様に大きく設定されている。このM市区は、好ましくは、前記画素内制御部は、該駆動トランジスタの閾電圧を検出してこれを該制御電圧に加える補正手段を有しており、該閾電圧の影響を該駆動電流からキャンセルする。

【0022】

本発明は更に、信号電流が流れる信号線と制御信号を供給する走査線とが交差する部分に配され、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する制御部とからなる画素回路の駆動方法であって、該信号線に流れる信号電流をサンプリングする第1サンプリング手順と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第2サンプリング手順と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手順と、該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする。

10

【0023】

加えて本発明は、画素アレイ部とドライバー部とスキャナ部とからなり、前記画素アレイ部は、列状の信号線と、行状の走査線と、両者の交差する部分に配された行列状の画素回路とからなり、前記ドライバー部は各信号線に信号電流を流し、前記スキャナ部は各走査線に制御信号を供給し、各画素回路は、発光素子と、該発光素子に駆動電流を供給する駆動トランジスタと、該制御信号に応じて動作し該信号電流に基づいて該駆動トランジスタの駆動電流を制御する画素内制御部とからなる表示装置の駆動方法であって、該信号線に流れる信号電流をサンプリングする第1サンプリング手順と、該信号電流に前後して該信号線に流れる所定の基準電流をサンプリングする第2サンプリング手順と、サンプリングされた該信号電流と該基準電流の差分に応じた制御電圧を生成する差分手順と、該制御電圧を前記駆動トランジスタのゲートに印加しソース・ドレイン間に流れる駆動電流を該発光素子に供給する発光手順とを行なうことを特徴とする。

20

【発明の効果】

【0024】

本発明にかかる表示装置は、電流ドライバー側から信号電流ばかりでなく基準電流も供給している。画素回路は前後して信号電流及び基準電流をサンプリングし、さらに両者の差分を求めて駆動トランジスタのゲート制御電圧としている。これにより、駆動トランジスタは基準電流に対する信号電流の差分に応じて発光素子を駆動する事ができる。その際、黒レベルの発光輝度では差分が0に近くなり、信号電流が基準電流と略同じになる。この様な状態でも、信号電流及び基準電流の絶対値は信号線の寄生容量に対して充分高く設定する事ができる。したがって、黒レベルの電流でも各画素に充分高速で書き込むことができ、従来問題となっていた黒浮きや縦クロストークを防ぐ事ができる。表示すべき輝度階調に依存することなく、信号電流及び基準電流のレベルを高く設定できるので、黒表示の電流であっても1水平期間内に充分画素に書き込むことができ、輝度が充分沈んだ黒色を表現でき、高いコントラスト特性を得ることが可能である。また、駆動トランジスタの閾電圧や移動度に依存することなく、信号電流と基準電流の差分を求めて発光素子に対する駆動電流を制御する為、駆動トランジスタの特性ばらつきに影響を受けることなく、高いユニフォーム性の画像を表示する事ができる。特に、移動度や閾電圧が大きくばらつく低温ポリシリコンTFTを用いた画素回路で、本発明の効果が大きい。

30

40

【発明を実施するための最良の形態】

【0025】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の実施形態の全体的な構成を示すブロック図である。図示するように、本表示装置はアクティブマトリクス型であり、主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は電流ドライバー3、第一ライトスキャナ41、第二ライトスキャ

50

ナ 4 2、第三ライトスキャナ 4 3、ドライブスキャナ 5 及び補正用スキャナ 7 などを含んでいる。画素アレイ 1 は行状の走査線 $W S$ と列状の信号線 $S L$ と両者の交差する部分にマトリクス状に配列した画素 R, G, B とで構成されている。各画素 R, G, B はそれぞれ画素回路 2 で構成されている。信号線 $S L$ は電流ドライバー 3 によって駆動される。換言すると、電流ドライバー 3 は信号線 $S L$ に信号電流及び基準電流を流す。走査線 $W S$ は実際には 3 本の走査線 $W S 1, W S 2, W S 3$ に分かれている。最初の走査線 $W S 1$ は第一ライトスキャナ 4 1 によって走査される。次の走査線 $W S 2$ は第二ライトスキャナ 4 2 によって走査される。残る走査線 $W S 3$ は第三ライトスキャナ 4 3 によって走査される。これらの走査線 $W S 1$ ないし $W S 3$ に供給される制御信号はそれぞれタイミングが異なっている。また、走査線 $W S 1, W S 2, W S 3$ と平行に別の走査線 $D S$ 及び $A Z$ も配線されている。走査線 $D S$ はドライブスキャナ 5 によって走査される。ドライブスキャナ 5 は各画素に含まれる発光素子の発光期間を制御するものである。走査線 $A Z$ は補正用スキャナ 7 によって走査される。ライトスキャナ 4 1, 4 2, 4 3、ドライブスキャナ 5 及び補正用スキャナ 7 は全体としてスキャナ部を構成しており、1 水平期間ごと画素の行を順次走査する。

10

【0026】

図 2 は、図 1 に示した画素回路 2 の構成を示す回路図である。本画素回路 2 は、6 個の薄膜トランジスタ $T r 1, T r 2, T r 3, T r 4, T r 5$ 及び $T r d$ と、2 個の画素容量 $C s 1, C s 2$ と 1 個の発光素子 $E L$ とで構成されている。6 個の薄膜トランジスタの内、スイッチング制御用のトランジスタ $T r 1$ ないし $T r 5$ は N チャネル型である。残るトランジスタ $T r d$ は、発光素子 $E L$ を駆動する為の駆動トランジスタである。駆動トランジスタ $T r d$ は P チャネル型となっている。本実施形態では、これら 6 個の薄膜トランジスタは低温ポリシリコン薄膜をチャネル領域としている。発光素子 $E L$ はアノード及びカソードを備えた二端子型デバイスであり、例えば有機 $E L$ 発光素子を用いる事ができる。なお、上記実施例ではトランジスタ $T r 1 \sim T r 5$ は全て N チャネル型としているが、これらは全て P チャネル型もしくは N チャネル型と P チャネル型が混在していても構わない。

20

【0027】

駆動トランジスタ $T r d$ のソース S は電源 $V c c$ に接続している。駆動トランジスタ $T r d$ のドレイン D は発光素子 $E L$ のアノード側に接続している。発光素子 $E L$ のカソードは接地されている。なお、発光素子 $E L$ のカソード接地電位は、 $V c a t h o d e$ で表される場合がある。駆動トランジスタ $T r d$ のゲート G は画素容量 $C s 2$ の一端に接続している。この画素容量 $C s 2$ の他端はもう 1 つの画素容量 $C s 1$ の一端に接続している。この画素容量 $C s 1$ の他端は電源 $V c c$ に接続している。

30

【0028】

スイッチングトランジスタ $T r 1$ のソース/ドレインは信号線 $S L$ と駆動トランジスタ $T r d$ のゲート G に接続しており、そのゲートは走査線 $W S 1$ を介して第一ライトスキャナ 4 1 に接続されている。スイッチングトランジスタ $T r 2$ はそのソース/ドレインが駆動トランジスタ $T r d$ のゲート G と画素容量 $C s 1$ の一端との間に接続され、ゲートが走査線 $W S 2$ を介して第二ライトスキャナ 4 2 に接続している。スイッチングトランジスタ $T r 3$ はソース/ドレインが一对の画素容量 $C s 1, C s 2$ の間に接続され、このゲートが走査線 $W S 3$ を介して第三ライトスキャナ 4 3 に接続している。スイッチングトランジスタ $T r 4$ は、そのソース/ドレインが駆動トランジスタ $T r d$ のゲート G とドレイン D との間に接続されており、そのゲートが走査線 $A Z$ を介して補正用スキャナ 7 に接続している。スイッチングトランジスタ $T r 5$ は、そのソース/ドレインが駆動トランジスタ $T r d$ のドレイン D と発光素子 $E L$ のアノードとの間に接続され、そのゲートが走査線 $D S$ を介してドライブスキャナ 5 に接続されている。

40

【0029】

図 3 は、図 2 に示した画素回路の動作説明に供する模式図である。図示するように、信号線には、電流ドライバーから信号電流 $I s i g$ 及び基準電流 $I r e f$ が交互に流れる。

50

また、各スイッチングトランジスタ Tr のゲートには対応する走査線を介して各スキヤナから制御信号が供給される。図では理解を容易にする為、走査線と同じ符号を用いて制御信号を表している。例えばスイッチングトランジスタ Tr_1 のゲートに印加される制御信号は WS_1 で表してある。同様にトランジスタ Tr_2 のゲートに印加される制御信号は WS_2 で表され、トランジスタ Tr_3 の制御信号は WS_3 で表され、トランジスタ Tr_4 の制御信号は AZ で表され、トランジスタ Tr_5 の制御信号は DS で表されている。また、一对の画素容量 Cs_1 , Cs_2 はその容量値 C_1 , C_2 を図示してある。本実施形態では、一对の画素容量 Cs_1 , Cs_2 の容量値 C_1 と C_2 は等しくなるように設定されている。

【0030】

図4は、図3に示した画素回路の動作説明に供するタイミングチャートである。時間軸 T に沿って、信号電流及び各制御信号 WS_1 , WS_2 , WS_3 , AZ , DS の波形を表してある。信号電流 I_{sig} は1水平期間(1H)毎に変化しており、それぞれ対応する行の画素に割り当てられる。1H内で電流レベルは、 I_{sig} と I_{ref} の間を切り替わる。基準電流 I_{ref} は予め所定のレベルに設定されている。信号電流 I_{sig} はこの基準電流 I_{ref} を基準として1H毎に変化している。信号電流 I_{sig} のレベルが高くなる程、発光輝度は大きくなる。

【0031】

タイミング T_0 で制御信号 WS_1 , WS_2 及び AZ はローレベルにある一方、制御信号 WS_3 及び DS はハイレベルにある。各スイッチングトランジスタはNチャンネル型であるので、対応する制御信号がハイレベルにある時オン状態となり、ローレベルにある時オフ状態となる。タイミング T_0 では制御信号 DS がハイレベルである為スイッチングトランジスタ Tr_5 はオンとなっており、駆動トランジスタ Tr_5 から発光素子 EL に駆動電流が流れるので、画素回路は発光状態である。

【0032】

ここからタイミング T_1 になると、制御信号 DS がローレベルになり、発光素子 EL は非発光状態に切り替わる。タイミング T_2 で制御信号 AZ がハイレベルになる。さらにタイミング T_3 で制御信号 WS_1 及び WS_2 もハイレベルとなる。このとき信号線には基準電流 I_{ref} が流れている。タイミング T_4 に進むと制御信号 WS_2 がローレベルに戻る。このタイミング $T_3 \sim T_4$ までの期間で基準電流 I_{ref} を画素容量 C_1 に書き込む。

【0033】

続いてタイミング T_5 になると信号線側が基準電流 I_{ref} から信号電流 I_{sig} に切り替わる。さらにタイミング T_6 で制御信号 WS_3 がローレベルになる。このタイミング $T_5 \sim T_6$ の間で、信号電流 I_{sig} の書き込み及び I_{ref} と I_{sig} の差分保持動作が行われる。

【0034】

この後タイミング T_7 で制御信号 WS_1 が立ち下がる。さらにタイミング T_8 で制御信号 WS_2 が再びハイレベルになる。続いてタイミング T_9 で制御信号 AZ がローレベルに戻る。このタイミング $T_8 \sim T_9$ の間で駆動トランジスタの閾電圧 V_{th} の補正動作が行われる。

【0035】

さらにタイミング T_{10} に進むと制御信号 WS_2 がローレベルに戻る。タイミング T_{11} になると制御信号 WS_3 がハイレベルになると共に制御信号 DS がハイレベルになる。これにより発光動作が行われる。

【0036】

図5は、図4のタイミングチャートに示した期間 $T_3 - T_4$ で行われる I_{ref} 書き込み動作を示す模式図である。この期間 $T_3 - T_4$ では、信号線に基準電流 I_{ref} が流れている。スイッチングトランジスタは Tr_1 ないし Tr_4 がオンで、 Tr_5 がオフとなっている。したがって基準電流 I_{ref} が、電源 V_{cc} から駆動トランジスタ Tr_d 、スイッチングトランジスタ Tr_4 及び Tr_1 を通って信号線側に流れる。この結果基準電流 I

10

20

30

40

50

ref に応じた電位 V_{ref} が駆動トランジスタ T_{rd} のゲートに現れる。この時、駆動トランジスタ T_{rd} のゲート電圧 V_{gs} は以下の数式 5 によって表される。

【数 5】

$$V_{gs} = V_{cc} - V_{ref}$$

【0037】

したがって、基準電流 I_{ref} が駆動トランジスタ T_{rd} を流れた時の特性式は以下の数式 6 で表される。

10

【数 6】

$$\begin{aligned} I_{ref} &= \frac{k\mu}{2} (V_{gs} - V_{th})^2 \\ &= \frac{k\mu}{2} (V_{cc} - V_{ref} - V_{th})^2 \end{aligned}$$

20

数式 6 では V_{gs} に数式 5 の $V_{cc} - V_{ref}$ を代入する事で、 I_{ref} と V_{ref} の関係が求められている。

【0038】

ここで数式 6 を V_{ref} について整理すると、以下の数式 7 の様になる。

【数 7】

$$V_{ref} = V_{cc} - V_{th} - \sqrt{\frac{2I_{ref}}{k\mu}}$$

30

この様にして得られた基準電位 V_{ref} はオン状態にあるトランジスタ T_{r2} を介して容量 C_1 に書き込まれる。

【0039】

図 6 は、図 4 に示したタイミングチャートの期間 $T_5 - T_6$ で行われる I_{sig} 書き込み及び電流差分保持動作を示す模式図である。期間 $T_5 - T_6$ では、信号線に信号電流 I_{sig} が流れる。スイッチングトランジスタは T_{r1} 、 T_{r3} 及び T_{r4} がオンにある一方、 T_{r2} 及び T_{r5} がオフになっている。この状態で、信号電流 I_{sig} が電源 V_{cc} から駆動トランジスタ T_{rd} 、スイッチングトランジスタ T_{r4} 及び T_{r1} を通って信号線に流れる。この結果、駆動トランジスタ T_{rd} のゲート電位は V_{ref} から V_{sig} に変化する。この V_{sig} は、数式 7 で V_{ref} を求めた時と同様にして、以下の数式 8 によって求められる。

40

【数 8】

$$V_{sig} = V_{cc} - V_{th} - \sqrt{\frac{2I_{sig}}{k\mu}}$$

【0040】

駆動トランジスタ T_{rd} のゲートに現れた電位変化 $V_{sig} - V_{ref}$ は、容量 C_2 を

50

介してノード A にカップリングされる。ノード A は一対の容量 C 1 , C 2 の接続点であり、その電位を V a で表してある。ゲート電位の変化の容量カップリング分は (V s i g - V r e f) C 2 / (C 1 + C 2) で表される。元々電位 V r e f にあった A 点にこの容量カップリング分が加わる為、ノード A の電位 V a は以下の数式 9 で表される事になる。

【数 9】

$$V_a = V_{ref} + \frac{C_2}{C_1 + C_2} (V_{sig} - V_{ref}) = \frac{V_{sig} + V_{ref}}{2}$$

なお上記数式 9 では C 1 = C 2 を仮定しているので、V a = (V s i g + V r e f) / 2 となっている。 10

【0041】

ノード A の電位 V a から駆動トランジスタ T r d のゲート電位 V s i g を引いたものが、容量 C 2 に保持された電位である。数式 9 の結果から、この容量 C 2 の両端に保持された電圧 V a - V s i g は (V r e f - V s i g) / 2 で表される。さらに、この V r e f 及び V s i g に、数式 7 及び 8 で得られた結果を代入すると、結局以下の数式 10 が得られる。

【数 10】

$$V_a - V_{sig} = \frac{V_{ref} - V_{sig}}{2} = \frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}}$$

20

【0042】

上記の数式 10 から明らかなように、容量 C 2 の両端には、信号電流 I s i g と基準電流 I r e f の差分に応じた電圧が保持された事になる。以上の動作により、信号電流 I s i g の書き込みと I r e f 及び I s i g の電流差分が求められ、且つ電流差分に応じた電圧が数式 10 で表される形によって容量 C 2 に保持される。

【0043】

図 7 は、図 4 に示したタイミングチャートの期間 T 8 - T 9 で行われる V t h キャンセル動作を示す模式図である。この期間 T 8 - T 9 では、スイッチングトランジスタ T r 1 , T r 3 及び T r 5 がオフにある一方、スイッチングトランジスタ T r 2 及び T r 4 がオンしている。これにより、電源 V c c 、駆動トランジスタ T r d 、スイッチングトランジスタ T r 4 、スイッチングトランジスタ T r 2 及び容量 C 1 により閉ループが構成される。この閉ループに電源 V c c から電流が流れ、容量 C 1 を充電して駆動トランジスタ T r d のゲート電位を上昇させる。駆動トランジスタ T r d のゲート電圧 V g s が丁度閾電圧 V t h に到達した段階で、過渡電流は流れなくなる。この時のゲート電圧 V g s が閾電圧 V t h として容量 C 1 に書き込まれる事になる。この様にして、駆動トランジスタ T r d の閾電圧 V t h のキャンセルに必要な電位 V t h が容量 C 1 に保持される。 40

【0044】

図 8 は、図 4 のタイミングチャートに示した期間 T 11 以降で行われる発光動作を示す模式図である。図示するように、タイミング T 11 以降の発光期間では、スイッチングトランジスタ T r 1 , T r 2 及び T r 4 がオフする一方、T r 3 及び T r 5 がオンしている。この結果駆動電流 I d s が電源 V c c から駆動トランジスタ T r d 及びスイッチングトランジスタ T r 5 を通って発光素子 E L に流れ、所定の輝度で発光が行われる。この発光期間における駆動トランジスタ T r d のゲート電圧 V g s はスイッチングトランジスタ T r 3 がオンしている為、容量 C 1 に保持された電圧と容量 C 2 に保持された電圧の和となる。トランジスタ T r 3 をオンして容量 C 1 と C 2 を接続した時、駆動トランジスタ T r d のゲート寄生容量に比べて容量 C 1 及び C 2 の値が大きいので C 1 と C 2 は電荷を保持 50

したまま接続される。よって駆動トランジスタ T_{rd} のゲート電圧 V_{gs} は C_1 に保持された電圧 V_{th} と C_2 に保持された電圧 $(V_{ref} - V_{sig}) / 2$ の和となり、以下の数式 11 で表される。

【数 11】

$$V_{gs} = V_{th} + \frac{1}{2}(V_{ref} - V_{sig})$$

10

【0045】

一方、発光期間に流れる駆動電流 I_{ds} は以下の数式 12 によって表される。なお、この数式 12 はトランジスタの基本特性を示す数式 1 と同じである。

【数 12】

$$I_{ds} = \frac{k\mu}{2}(V_{gs} - V_{th})^2$$

【0046】

20

数式 12 に含まれる V_{gs} に数式 11 で求めた結果を代入すると、以下の数式 13 が得られる。

【数 13】

$$I_{ds} = \frac{1}{2}k\mu \left(V_{th} + \frac{V_{ref} - V_{sig}}{2} - V_{th} \right)^2$$

【0047】

30

上記数式 13 から明らかなように、元々のトランジスタ特性式に含まれていた V_{th} の項は容量 C_1 に保持された V_{th} の項によってキャンセルされる。これにより、駆動トランジスタ T_{rd} の閾電圧 V_{th} のばらつきの影響が除かれる。さらに数式 13 で残された $(V_{ref} - V_{sig}) / 2$ の項に数式 10 で求めた結果を代入すると、以下の数式 14 が得られる。

【数 14】

$$I_{ds} = \frac{1}{2}k\mu \left(\frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \right)^2$$

40

【0048】

数式 14 に含まれている移動度 μ の項は結局分子と分母でキャンセルするので、最終的な駆動電流 I_{ds} の式は以下の数式 15 のようになる。

【数 15】

$$I_{ds} = \frac{1}{4}(\sqrt{I_{sig}} - \sqrt{I_{ref}})^2$$

【0049】

50

上記数式 15 から明らかなように、駆動電流 I_{ds} は信号電流 I_{sig} と基準電流 I_{ref} の差分に応じて決まり、駆動トランジスタに固有の移動度 μ や閾電圧 V_{th} は含まれていない。この様にして本発明の画素回路では、 I_{sig} と I_{ref} の電流差分値により発光電流が決定され、閾電圧 V_{th} と移動度 μ のばらつきによらないユニフォーミティの高い画質を得ることができる。さらに、本画素回路で黒表示は $I_{sig} = I_{ref}$ にて表示する。そして I_{ref} 及び I_{sig} の値は書き込みに十分な電流値に設定している。このため黒表示の信号電流でも 1 水平期間内に充分画素容量に書き込む事ができ、黒浮きや縦クロストークなどの発生を抑制できる。

【0050】

図 9 は、本発明にかかる画素回路に含まれる駆動トランジスタの動作を模式的に表したグラフである。このグラフは横軸にゲート電圧 V_{gs} を取り、縦軸にドレイン電流 I_{ds} を取って、駆動トランジスタの動作特性を模式的に表している。実線は画素 A に含まれる駆動トランジスタの特性であって、移動度 μ が大きい場合である。点線のカーブは画素 B に含まれる駆動トランジスタの特性であって、移動度 μ が小さい場合である。移動度 μ が小さいほど特性カーブは傾斜が緩やかになっており、各画素で特性にばらつきがある。この様な特性のばらつきは低温ポリシリコン薄膜を用いたトランジスタに顕著である。この様に特性のばらつきがある駆動トランジスタであっても、本発明は信号電流 I_{sig} と基準電流 I_{ref} の差分に応じて発光電流が定まるように駆動トランジスタを制御している。したがって、移動度 μ がばらついても、常に各画素で電流差分に応じた発光電流制御が行われる為、高ユニフォーミティの画面品質が得られる。

10

20

【0051】

以上説明したように、図 2 に示した本発明の実施形態にかかる画素回路は、信号電流 I_{sig} が流れる信号線 SL と、制御信号を供給する走査線 $WS1, WS2, WS3, AZ, DS$ とが交差する部分に配されている。この画素回路 2 は、発光素子 EL と、発光素子 EL に駆動電流 I_{ds} を供給する駆動トランジスタ Trd と、制御信号 $WS1, WS2, WS3, AZ, DS$ に応じて動作し信号電流 I_{sig} に基づいて駆動トランジスタ Trd の駆動電流 I_{ds} を制御する制御部とで構成されている。この制御部は、第 1 サンプリグ手段と第 2 サンプリグ手段と差分手段とを含んでいる。第 1 サンプリグ手段は、トランジスタ $Tr1, Tr3, Tr4$ と画素容量 $C2$ とで構成されており、信号線 SL に流れる信号電流 I_{sig} をサンプリグする。第 2 サンプリグ手段はトランジスタ $Tr1, Tr2, Tr3, Tr4$ と画素容量 $C1$ とで構成され、信号電流 I_{sig} に前後して信号線 SL に流れる所定の基準電流 I_{ref} をサンプリグする。差分手段はトランジスタ $Tr1, Tr3, Tr4$ と一対の画素容量 $C1, C2$ で構成されており、サンプリグされた基準電流 I_{ref} に対するサンプリグされた信号電流 I_{sig} の差分に応じた制御電圧 $(V_{ref} - V_{sig}) / 2$ を生成する。駆動トランジスタ Trd は、この制御電圧 $(V_{ref} - V_{sig}) / 2$ をゲート G に受けてソース S / ドレイン D 間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。

30

【0052】

第 1 及び第 2 サンプリグ手段が各々サンプリグする信号電流 I_{sig} 及び基準電流 I_{ref} は、両者の相対的な差分が小さいとき発光素子 EL の発光量が小さくなり且つ差分が大きいとき発光量が大きくなる一方、相対的な差分が小さいときでも信号電流 I_{sig} 及び基準電流 I_{ref} の絶対的なレベルはサンプリグを可能とするように大きく設定されている。

40

【0053】

画素回路 2 の制御部は、上述した第 1 及び第 2 サンプリグ手段と差分手段に加え、補正手段を有している。この補正手段はトランジスタ $Tr2, Tr4$ と画素容量 $C1$ とで構成されており、駆動トランジスタ Trd の閾電圧 V_{th} を検出してこれを前述した制御電圧 $(V_{ref} - V_{sig}) / 2$ に加える事ができる様にしている。これにより、閾電圧 V_{th} の影響を駆動電流 I_{ds} からキャンセルする事ができる。

【0054】

50

本実施形態では、第1サンプリング手段は信号電流 I_{sig} を駆動トランジスタ T_{rd} に流してその時ゲート G に発生する信号電圧 V_{sig} をサンプリングする。同様に第2サンプリング手段は駆動トランジスタ T_{rd} に基準電流 I_{ref} を流してその時ゲート G に発生する基準電圧 V_{ref} をサンプリングする。このとき差分手段は、容量 C_2 を介して信号電圧 V_{sig} と基準電圧 V_{ref} をカップリングさせ両者の差分を求めて制御電圧 ($V_{ref} - V_{sig}$) $_2$ を生成している。なお、第1サンプリング手段はサンプリングした信号電圧 V_{sig} を保持する容量 C_2 を有し、第2サンプリング手段はサンプリングした基準電圧 V_{ref} を保持し且つ信号電圧 V_{sig} にカップリングする為の容量 C_1 を有する。この場合、第1及び第2の容量 C_1 , C_2 は同一の容量値を有する。

【0055】

図10は、本発明にかかる画素回路及びこれを組み込んだ表示装置の他の実施形態を示す回路図である。図示するように、本表示装置は主要部を構成する画素アレイ1とその周辺に位置する回路部とで構成されている。周辺回路部はドライバー部を構成する電流ドライバー3とスキャナ部を構成するライトスキャナ4、ドライブスキャナ5、補正用スキャナ7とで構成されている。画素アレイ1には列状に信号線 SL が形成されている。この信号線 SL は電流ドライバー3によって駆動され、所定の基準電流及び信号電流が交互に流れる様になっている。画素アレイ1には走査線 WS , DS , AZ が行状に配されている。走査線 WS はライトスキャナ4に接続されており、信号電流や基準電流のサンプリング用の制御信号 WS が供給される。走査線 DS にはドライブスキャナ5が接続されており、発光制御用の制御信号 DS が供給される。走査線 AZ には補正用スキャナ7が接続されてお

10

20

【0056】

列状の信号線 SL と行状の走査線 WS , DS , AZ が交差する部分に、各画素回路2が集積形成されている。図10は、図示を簡略化するため1個の画素回路2のみを表示してある。図示するように、画素回路2は、6個のトランジスタ T_{r1} , T_{r2} , T_{r3} , T_{r5} , T_{r6} , T_{rd} と、2個の画素容量 C_{s1} , C_{s2} と、1個の発光素子 EL とで構成されている。6個のトランジスタのうち、 T_{r1} , T_{r3} , T_{r5} 及び T_{r6} はNチャネル型の薄膜トランジスタである。これに対しトランジスタ T_{r2} と T_{rd} はPチャネル型の薄膜トランジスタである。一对のPチャネル型トランジスタ T_{r2} , T_{rd} は画素容量 C_{s1} を介してゲートが互いに接続されており、カレントミラー構成となっている。トランジスタ T_{r2} はカレントミラー回路の入力側に位置し、トランジスタ T_{rd} は出力側に位置する。この出力側に位置するトランジスタ T_{rd} は発光素子 EL を駆動する為の駆動トランジスタである。発光素子 EL はアノード及びカソードを備えた二端子型(ダイオード型)であり、例えば有機 EL 発光素子を用いる事ができる。駆動トランジスタ T_{rd} のソース S は電源 V_{cc} に接続されている。駆動トランジスタ T_{rd} のドレイン D はトランジスタ T_{r6} を介して発光素子 EL のアノードに接続している。発光素子 EL のカソードは接地されている。駆動トランジスタ T_{rd} のゲート G は画素容量 C_{s1} の一端に接続されている。図では画素容量 C_{s1} の一端を A 点で表してある。トランジスタ T_{r5} のソース/ドレインは駆動トランジスタ T_{rd} のゲート G とドレイン D との間に接続されている。このトランジスタ T_{r5} のゲートには走査線 AZ を介して補正用スキャナ7から制御パルス AZ が供給される。本明細書では理解と表記を容易にする為、走査線と対応する制御信号は同じ表記を用いている。トランジスタ T_{r6} のソース/ドレインはドライブトランジスタ T_{rd} のドレイン D と発光素子 EL のアノードとの間に接続され、そのゲートは走査線 DS を介してドライブスキャナ5から発光制御用の制御信号 DS が供給される。カレントミラー回路の入力側を構成するトランジスタ T_{r2} は、そのソース S が電源 V_{cc} に接続され、ドレイン D がトランジスタ T_{r1} を介して信号線 SL に接続し、ゲート G が画素容量 C_{s1} の他端に接続している。図では画素容量 C_{s1} の他端を B 点で表してある。トランジスタ T_{r2} は駆動トランジスタ T_{rd} のミラーであって、基本的に移動度 μ は等しい値となっている。トランジスタ T_{r1} のソース/ドレインは信号線 SL とトランジスタ T_{r2} のドレイン D との間に接続され、そのゲートは走査線 WS を介してライトスキ

30

40

50

ャナ4から信号サンプリング用の制御信号WSを受け入れる。トランジスタTr3のソース/ドレインはトランジスタTr2のドレインDとB点との間に接続されており、そのゲートは走査線WSに接続されている。B点と電源Vccとの間に別の画素容量Cs2が接続されている。

【0057】

図11は、図10に示した画素回路の動作説明に供するタイミングチャートである。時間軸Tに沿って、信号電流の波形及び各制御信号WS, AZ, DSの波形の変化を表している。合わせて、A点及びB点における電位の変化も表示してある。前述したように、A点は、カレントミラー回路を構成するペアトランジスタTr2, Trdの内、出力側に位置する駆動トランジスタTrdのゲートGである。またB点はペアトランジスタTr2, Trdの内、入力側に位置するミラートランジスタTr2のゲートGである。図示のタイミングチャートは、タイミングT1で1フィールドがスタートし、タイミングT7で1フィールドが終わる様になっている。1フィールドで1画面を表示する。このフィールド動作を繰り返すことで連続的に画面を画素アレイに表示する。

10

【0058】

信号線に流れる信号電流は1水平期間(1H)毎に変化している。各水平期間では、前半で所定の基準電流Irefが流れ、後半で信号電流Isigが流れる。基準電流Irefは固定されている一方、信号電流Isigは映像信号に応じたレベルを有する。

【0059】

当該フィールドが開始する前のタイミングT0で制御信号WS及びAZはローレベルにある一方、制御信号DSはハイレベルにある。制御信号DSがハイレベルなのでスイッチングトランジスタTr6がオンしており、発光素子ELには駆動トランジスタTrdから駆動電流が供給される。したがって、タイミングT0では発光素子ELが発光状態にある。

20

【0060】

タイミングT1で当該フィールドがスタートすると、制御信号WS及びAZが立ち上がり、全てのスイッチングトランジスタTr1, Tr3, Tr5, Tr6がオン状態になる。このとき略同時に信号線側が信号電流Isigから基準電流Irefに切り替わる。これにより、電源Vccから入力側トランジスタTr2及びスイッチングトランジスタTr1を通過して信号線SLに基準電流Irefが流れる。これに応じて、入力側トランジスタTr2のゲートGに接続したB点の電位が基準電流Irefに対応したレベルになる。換言すると、画素容量Cs2に基準電流Irefに応じた電位が書き込まれる事になる。この動作はタイミングT4まで続く。すなわち、タイミングT1～タイミングT4までの期間T1-T4でIrefの書き込みが行われる。

30

【0061】

一方、A点側では、タイミングT1で一旦駆動トランジスタTrdに電流を流した後タイミングT2でスイッチングトランジスタTr6を遮断する。これにより、駆動トランジスタTrdは電流路を遮断されるのでゲート電位(A点電位)は上昇していく。A点電位が駆動トランジスタTrdの閾電圧Vthに達した時点で、駆動トランジスタTrdはカットオフする。この動作で駆動トランジスタTrdの閾電圧Vthが検出され、容量Cs1に保持される。この保持されたVthは後の発光動作で駆動トランジスタTrdの閾電圧のばらつきをキャンセルする為に用いられる。駆動トランジスタTrdがカットオフした後のタイミングT3で、制御信号AZはローレベルとなり、スイッチングトランジスタTr5がオフする。これにより、画素容量Cs1に書き込まれたVthが固定される。この様にして駆動トランジスタTrdのVthを検出保持する処理がタイミングT2～タイミングT3の間で行われる。この期間T2-T3を本明細書ではVth補正期間あるいはVthキャンセル期間という。以上の説明から明らかなように、期間T1-T4の間でカレントミラー回路の入力トランジスタTr2側ではIref書き込みが行われる一方、出力側トランジスタTrdではVthキャンセルが行われる。

40

【0062】

50

タイミングT4で信号線に流れる電流が基準電流I_{ref}から信号電流I_{sig}に切り替わる。この結果、入力側トランジスタTr2には電源V_{cc}から信号線SLに向かって信号電流I_{sig}が流れる。よってB点電位は先の基準電流I_{ref}に応じたレベルから信号電流I_{sig}に応じたレベルに変化する。この変化はカレントミラー動作により画素容量C_{s1}を介してA点側にカップリングされる。この後タイミングT5で制御信号WSがローレベルになり、トランジスタTr1及びTr3がオフする。この様にしてタイミングT4～タイミングT5までの期間T4-T5でI_{sig}がサンプリングされ且つI_{ref}とI_{sig}の差分に応じた電位変化がB点側からA点側にカップリングされる。

【0063】

タイミングT6に至ると制御信号DSが再びハイレベルとなり、スイッチングトランジスタTr6がオンする。これにより駆動トランジスタTrdと発光素子ELが直結し、駆動トランジスタTrdから発光素子ELに駆動電流が供給され、発光状態となる。このとき駆動トランジスタTrdから供給される駆動電流は、A点に書き込まれた電位に応じたものとなる。A点電位は先に説明したように、基準電流と信号電流の差分に応じたものとなっている。

10

【0064】

この後タイミングT7に至ると当該フィールドが終了すると共に次のフィールドが開始する。前のフィールドと同じようにタイミングT7でI_{ref}書き込みが始まると共に次のタイミングT8でV_{th}キャンセル動作が始まる。

【0065】

20

図12は、図11のタイミングチャートに示した期間T1-T4で行われるI_{ref}書き込み及びV_{th}補正動作を示す模式図である。理解を容易にする為、この模式図では各スイッチングトランジスタTr1, Tr3, Tr5, Tr6をスイッチシンボルで置き換え、また画素容量C_{s1}, C_{s2}を容量値C1, C2で表してある。カレントミラー構成の画素回路の出力側でV_{th}補正動作が行われる。すなわちトランジスタTr6をオン状態からオフ状態に切り替えることで駆動トランジスタTrdの電流路が遮断され、スイッチングトランジスタTr5を介して画素容量C1を充電し始める。その充電によりA点電位が駆動トランジスタTrdの閾電圧V_{th}まで上昇すると、駆動トランジスタTrdがカットオフする。この後トランジスタTr5をオフすることで、画素容量C1に保持された閾電圧V_{th}が固定される。

30

【0066】

一方カレントミラー回路の入力側でI_{ref}書き込みが行われる。トランジスタTr1及びTr3がオンしているので、電源V_{cc}から入力側トランジスタTr2及びスイッチングトランジスタTr1を通して基準電流I_{ref}が信号線に流れる。このとき入力側トランジスタTr2のゲートに接続したB点に現れる電位をV_{ref}とする。このV_{ref}は基準電流I_{ref}に応じたレベルとなる。入力側トランジスタTr2のソースSとゲートGとの間に現れるゲート電圧V_{gs}はV_{cc}-V_{ref}で表される。ここで入力側トランジスタTr2はトランジスタTr3がオンなので飽和領域で動作しておりドレイン電流I_{ref}とゲート電圧V_{gs}との関係は以下の数式16で表される。

40

【数16】

$$\begin{aligned}
 I_{ref} &= \frac{k\mu}{2} (V_{gs} - V_{th})^2 \\
 &= \frac{k\mu}{2} (V_{cc} - V_{ref} - V_{th})^2
 \end{aligned}$$

50

上記数式 16 において、 V_{gs} は $V_{cc} - V_{ref}$ で置き換えられている。したがって、数式 16 は I_{ref} と V_{ref} の関係を表したものとなる。

【0067】

数式 16 を V_{ref} について整理すると、以下の数式 17 が得られる。

【数 17】

$$V_{ref} = V_{cc} - V_{th} - \sqrt{\frac{2I_{ref}}{k\mu}}$$

【0068】

上記数式から明らかなように、B 点電位 V_{ref} は基準電流 I_{ref} の関数となっている。なお、数式 17 中 μ は入力側トランジスタ Tr_2 の移動度を表し、 k は同じくトランジスタ Tr_2 のサイズを表し、 V_{th} は同じくトランジスタ Tr_2 の閾電圧を表している。

10

【0069】

図 13 は、図 11 に示したタイミングチャートの期間 $T_4 - T_5$ で行われる I_{sig} 書き込み及びカップリング動作を示す模式図である。この期間 $T_4 - T_5$ ではトランジスタ Tr_5 及び Tr_6 がオフすると共に、信号線を通る電流が基準電流 I_{ref} から信号電流 I_{sig} に切り替わる。これにより、電源 V_{cc} から入力側トランジスタ Tr_2 及びスイッチングトランジスタ Tr_1 を通って信号線に I_{sig} が流れる。換言すると、この信号電流 I_{sig} は入力側トランジスタ Tr_2 を流れるドレイン電流となっている。このドレイン電流 I_{sig} が流れる事で、B 点電位は先の V_{ref} から V_{sig} に変化する。 V_{ref} を表す数式 17 と同じ計算で、 V_{sig} が以下の数式 18 により表される。

20

【数 18】

$$V_{sig} = V_{cc} - V_{th} - \sqrt{\frac{2I_{sig}}{k\mu}}$$

上記数式 18 から明らかなように、B 点電位 V_{sig} は信号電流 I_{sig} の関数となっている。

30

【0070】

B 点に現れる電位変化は $V_b = V_{sig} - V_{ref}$ となる。これに数式 17 及び数式 18 を代入すると、以下の数式 19 が得られる。

【数 19】

$$\Delta V_b = \sqrt{\frac{2}{k\mu}} (\sqrt{I_{ref}} - \sqrt{I_{sig}})$$

上記数式 19 から明らかなように、B 点の電位変化 V_b は基準電流 I_{ref} の平方根と信号電流 I_{sig} の平方根との差分となっている。

40

【0071】

この B 点の電位変化 V_b はカレントミラー動作により画素容量 C_1 を介して A 点側にカップリングされる。カップリング量は画素容量 C_1 と駆動トランジスタ Tr_d のゲート容量 C_g との容量分割にて決定される。したがって、A 点の電位変化 V_a は以下の数式 20 により表される。

【数 2 0】

$$\Delta V_a = \frac{C_1}{C_1 + C_g} \Delta V_b$$

【0072】

数式 20 の V_b に数式 19 を代入すると、結局 A 点の電位変化 V_a は以下の数式 21 で表される事になる。

【数 2 1】

$$\Delta V_a = \frac{C_1}{C_1 + C_g} \sqrt{\frac{2}{k\mu}} (\sqrt{I_{ref}} - \sqrt{I_{sig}})$$

10

【0073】

上記数式 21 において、画素容量 C_1 は駆動トランジスタ T_{rd} のゲート容量 C_g 比べて大きい。したがって数式 21 の右辺の係数 $C_1 / (C_1 + C_g)$ は 1 に近い値となっている。換言すると、カレントミラー回路の入力側の電位変化 V_b は略そのまま出力側の電位変化 V_a にミラーリングされる。

20

【0074】

図 14 は図 11 に示したタイミングチャートの期間 $T_6 - T_8$ で行われる発光動作を示す模式図である。発光期間ではスイッチングトランジスタ T_{r1} , T_{r3} , T_{r5} がオフする一方 T_{r6} がオンする。これにより、駆動トランジスタ T_{rd} と発光素子 EL が直結し、駆動電流 I_{ds} が流れて発光素子 EL が発光する。このとき流れる駆動電流 I_{ds} は駆動トランジスタ T_{rd} のゲート電圧 V_{gs} により規定される。ゲート電圧 V_{gs} は電源電位 V_{cc} から A 点電位 V_a を引いたものである。A 点電位 V_a は V_{th} キャンセル動作で書き込まれた電位 $V_{cc} - V_{th}$ に数式 21 で求めた電位変化 V_a を足したものである。したがって $V_a = V_{cc} - V_{th} + V_a$ となる。この様にして求めた V_{gs} を先の数式 1 で表したトランジスタの基本特性式に代入すると、駆動電流 I_{ds} が以下の数式 22 の様に求められる事になる。

30

【数 2 2】

$$\begin{aligned} I_{ds} &= \frac{1}{2} k' \mu \{ V_{cc} - (V_{cc} - V_{th} + \Delta V_a) - V_{th} \}^2 \\ &= \left(\frac{C_1}{C_1 + C_g} \right)^2 \frac{k'}{k} (\sqrt{I_{sig}} - \sqrt{I_{ref}})^2 \end{aligned}$$

40

【0075】

上記数式 22 中で、 μ は駆動トランジスタ T_{rd} の移動度を表している。これはペアトランジスタの他方を構成する T_{r2} の移動度 μ と同じである。また k' は駆動トランジスタ T_{rd} のサイズファクタを表している。数式 22 を整理すると、結局駆動電流 I_{ds} は信号電流 I_{sig} と基準電流 I_{ref} の差分に応じた値となっており、閾電圧 V_{th} 及び移動度 μ の影響はキャンセルされている。数式 22 で表された駆動電流 I_{ds} には V_{th} や μ の項を含まない事が分かる。これにより、本発明にかかる画素回路は閾電圧 V_{th} や移動度 μ のばらつきに依存しない、ユニフォーミティの高い画質を得る事ができる。また、駆動電流 I_{ds} の値は k と k' の比、つまりペアトランジスタ T_{r2} , T_{rd} のサイズ比によって決められる。さらに本発明の画素回路では、黒表示は $I_{sig} = I_{ref}$ に設

50

定する事で得られる。数式 22 から明らかなように $I_{sig} = I_{ref}$ とすれば $I_{ds} = 0$ となり、発光素子には駆動電流が流れないので完全な黒表示が得られる。黒表示の場合であっても、 I_{sig} 及び I_{ref} の絶対値は書き込みに十分な電流値としている。この為、黒信号でも 1 水平期間 (1H) 内に充分書き込む事ができ、黒浮きや縦クロストークなどの発生を抑制できる。なお、本画素回路は駆動トランジスタ Tr_d とミラートランジスタ Tr_2 以外のスイッチングトランジスタ Tr_1, Tr_3, Tr_5 及び Tr_6 は N チャネル型を用いているが、これに限られるものではなく P チャネル型であっても良い。あるいは N チャネル型と P チャネル型とを混在しても良い。

【0076】

以上の説明から明らかなように、本発明にかかる画素回路 2 は、信号電流 I_{sig} が流れる信号線 SL と制御信号を供給する走査線 WS, DS, AZ とが交差する部分に配されている。画素回路 2 は、発光素子 EL とこれに駆動電流 I_{ds} を供給する駆動トランジスタ Tr_d と各制御信号 WS, AZ, DS に応じて動作し信号電流 I_{sig} に基づいて駆動トランジスタ Tr_d の駆動電流 I_{ds} を制御する制御部とで構成されている。制御部は基本的に第 1 サンプルング手段と第 2 サンプルング手段と差分手段とを含む。第 1 サンプルング手段はスイッチングトランジスタ Tr_1, Tr_3 と画素容量 C_2 とミラートランジスタ Tr_2 とで構成され、信号線 SL に流れる信号電流 I_{sig} をサンプルングする。第 2 サンプルング手段はスイッチングトランジスタ Tr_1, Tr_3 と画素容量 C_2 とミラートランジスタ Tr_2 とで構成され、信号電流 I_{sig} に前後して信号線 SL に流れる所定の基準電流 I_{ref} をサンプルングする。差分手段は画素容量 C_1 を含んでおり、サンプルングされた基準電流 I_{ref} に対するサンプルングされた信号電流 I_{sig} の差分に応じた制御電圧を生成する。駆動トランジスタ Tr_d はこの制御電圧をゲート G に受けてソース S / ドレイン D 間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。

【0077】

図 15 は、本発明にかかる画素回路の別の実施形態を示す模式的な回路図である。画素回路 2 は、列状の信号線 SL と行状の走査線 WS_1, WS_2, WS_3, AZ, DS とが交差する部分に配されている。信号線 SL には図示しない電流ドライバーから信号電流 I_{sig} と基準電流 I_{ref} が前後して流される。走査線 WS_1, WS_2, WS_3, AZ, DS にはそれぞれ対応するスキャナから制御信号 WS_1, WS_2, WS_3, AZ, DS を供給する。本明細書では表記を簡略化する為、走査線とこれに対応する制御信号は同じ参照符号を用いてある。

【0078】

画素回路 2 は、8 個のスイッチングトランジスタ Tr_1 ないし Tr_8 と、1 個の駆動トランジスタ Tr_d と、3 個の画素容量 C_{s1} ないし C_{s3} と、発光素子 EL とで構成されている。スイッチングトランジスタ Tr_1 ないし Tr_8 は全て N チャネル型の薄膜トランジスタである。駆動トランジスタ Tr_d は P チャネル型の薄膜トランジスタである。発光素子 EL はアノード及びカソードを備えた二端子型 (ダイオード型) の発光素子であり、例えば有機 EL 素子を用いる事ができる。なお、上記実施例ではトランジスタ $Tr_1 \sim Tr_8$ は全て N チャネル型としているが、これらは全て P チャネル型もしくは N チャネル型と P チャネル型が混在していても構わない。

【0079】

駆動トランジスタ Tr_d はそのソース S が電源 V_{cc} に接続されており、ドレイン D がスイッチングトランジスタ Tr_1 を介して発光素子 EL のアノード側に接続され、そのゲート G は画素容量 C_{s3} の一端に接続されている。駆動トランジスタ Tr_d と発光素子 EL の間に介在するスイッチングトランジスタ Tr_1 のゲートには、走査線 DS から制御信号 DS が印加される。駆動トランジスタ Tr_d のゲート G とドレイン D との間にスイッチングトランジスタ Tr_2 が接続されている。このトランジスタ Tr_2 のゲートは走査線 AZ に接続されている。

【0080】

スイッチングトランジスタ Tr_3 のソース / ドレインは信号線 SL と画素容量 C_{s3} の

他端との間に接続されている。このトランジスタ Tr_3 のゲートは走査線 WS_1 に接続している。スイッチングトランジスタ Tr_5 は画素容量 Cs_3 の他端と画素容量 Cs_1 の一端との間に接続されている。このスイッチングトランジスタ Tr_5 のゲートはトランジスタ Tr_3 と同じく走査線 WS_1 に接続されている。画素容量 Cs_1 の他端は電源 V_{cc} に接続されている。スイッチングトランジスタ Tr_4 は電源 V_{cc} と画素容量 Cs_2 の一端との間に接続されている。このスイッチングトランジスタ Tr_4 のゲートは走査線 WS_2 に接続している。画素容量 Cs_2 の他端は画素容量 Cs_3 の他端に接続している。スイッチングトランジスタ Tr_6 は画素容量 Cs_1 の一端と画素容量 Cs_2 の一端との間に接続されている。このトランジスタ Tr_6 のゲートは走査線 WS_3 に接続している。またトランジスタ Tr_7 は画素容量 Cs_1 の他端と画素容量 Cs_2 の他端との間に接続されている。このスイッチングトランジスタ Tr_7 のゲートは、 Tr_6 と同じく走査線 WS_3 に接続されている。最後にスイッチングトランジスタ Tr_8 は駆動トランジスタ Tr_d のドレイン D と画素容量 Cs_3 の他端との間に接続されている。このトランジスタ Tr_8 のゲートは、スイッチングトランジスタ Tr_3 及び Tr_5 と同じく走査線 WS_1 に接続されている。

10

20

30

40

50

【0081】

図16は、図15に示した画素回路2の動作説明に供するタイミングチャートである。時間軸 T に沿って、制御信号 DS 、 AZ 、 WS_1 、 WS_2 、 WS_3 の波形変化を表している。同時に信号電流 I_{sig} の波形変化も表してある。この信号電流 I_{sig} は1水平期間(1H)毎に信号レベルが変化する。また各水平期間内で前半に信号電流 I_{sig} が流れた後後半は所定の基準電流 I_{ref} に切り替わる。基準電流 I_{ref} は固定されているのに対し、信号電流 I_{sig} は映像信号に応じて変化する。本表示装置は1フィールドで1画面を画素アレイに書き込む。図16のタイミングチャートでは、1フィールドがタイミング T_1 から始まるように記載されている。

【0082】

当該フィールドが開始するタイミング T_1 の前の期間 T_0 で、制御信号 DS がハイレベルにある一方残りの制御信号 AZ 、 WS_1 、 WS_2 、 WS_3 はローレベルにある。制御信号 DS がハイレベルなのでスイッチングトランジスタ Tr_1 がオンしており、発光素子 EL は駆動トランジスタ Tr_d によって駆動されており、発光状態にある。

【0083】

タイミング T_1 で当該フィールドが開始すると、制御信号 AZ 及び WS_3 がローレベルからハイレベルに切り替わる。これにより駆動トランジスタ Tr_d の閾電圧 V_{th} を検出する準備状態に入る。続いてタイミング T_2 で制御信号 DS がハイレベルからローレベルに切り替わり、発光素子 EL が発光状態から非発光状態になると共に、駆動トランジスタ Tr_d の閾電圧 V_{th} の検出が行われる。続いてタイミング T_3 で制御信号 AZ 及び WS_3 がローレベルになり、検出された閾電圧が保持固定される。この保持固定された V_{th} は後の発光段階で駆動トランジスタ Tr_d の閾電圧のばらつきのキャンセルもしくは補正に用いられる。そこで、タイミング T_2 ～タイミング T_3 までの期間 $T_2 - T_3$ を V_{th} 補正期間と呼ぶ場合がある。

【0084】

タイミング T_4 に進むと制御信号 WS_1 及び WS_2 がハイレベルに切り替わる。この時信号線 SL には信号電流 I_{sig} が流れている。この信号電流 I_{sig} がサンプリングされて画素回路2に書き込まれる。続いてタイミング T_5 で制御信号 WS_2 がローレベルに切り替わると I_{sig} の書き込みが終了する。タイミング T_4 ～タイミング T_5 まで I_{sig} がサンプリングされる期間を I_{sig} 書き込み期間と呼ぶ場合がある。

【0085】

続いてタイミング T_5 のあと信号線 SL に流れる電流が信号電流 I_{sig} から I_{ref} に切り替わると、この基準電流 I_{ref} のサンプリングが行われる。タイミング T_6 で制御信号 WS_1 がローレベルに戻ると、 I_{ref} の書き込みが終了する。タイミング T_5 ～タイミング T_6 までの期間 $T_5 - T_6$ は I_{ref} 書き込み期間と呼ばれる。以上の説明が

ら明らかなように、タイミングT4～T6まで制御信号WS1がハイレベルの間に、I sig書き込みとI ref書き込みが順次行われる。制御信号WS1がハイレベルの期間T4 - T6は丁度1水平期間(1H)となっている。当該画素回路2に割り当てられた1水平期間1Hで順次I sig及びI refをサンプリングすることができる。

【0086】

この後タイミングT7で制御信号WS3が立ち上がり、タイミングT8で同じく制御信号WS3が立ち下がる。この制御信号WS3がハイレベルにある期間T7 - T8でI sigとI refの差分が求められる。この差分は画素容量Cs1とCs2のキャンセル動作によって行われる。そこでこの期間T7 - T8を容量キャンセル期間と呼ぶ場合がある。

【0087】

タイミングT9になると、制御信号DSがハイレベルになると共に制御信号WS2もハイレベルになる。これにより、画素容量Cs2とCs3が結合されると共に、駆動電流Idsが駆動トランジスタTrdから発光素子ELに供給され、発光動作が行われる。

【0088】

図17は、図16に示したV th補正期間T2 - T3で行われるV thキャンセル動作を示す模式図である。この期間T2 - T3で、スイッチングトランジスタTr1、Tr3、Tr4、Tr5、Tr8がオフしている一方、Tr2、Tr6及びTr7がオンしている。この結果画素容量Cs3の一端は駆動トランジスタTrdのゲートに接続する一方、他端はトランジスタTr7を介して電源Vccに接続している。電源Vccから発光素子ELに向かって電流が流れている状態でスイッチTr1をオフすると、電流路が遮断される為トランジスタTr2を介して画素容量Cs3を充電していく。この充電に伴い駆動トランジスタTrdのゲート電位は上昇していく。丁度ゲート電位が駆動トランジスタTrdのV thとなったところで駆動トランジスタTrdがカットオフする。この時点で検出された駆動トランジスタTrdのV thが画素容量Cs3の両端に保持される。この後トランジスタTr2がオフして、画素容量Cs3に保持されたV thが固定される。この様にして保持固定されたV thは後の発光動作で駆動トランジスタTrdの閾電圧のばらつきのキャンセルもしくは補正に用いられる。

【0089】

図18は、図16のタイミングチャートに示した期間T4 - T5で行われるI sig書き込み動作を示す模式図である。この期間では、信号線に信号電流I sigが流れている。また、トランジスタTr1、Tr2、Tr6、Tr7がオフしている一方、トランジスタTr3、Tr4、Tr5、Tr8がオンしている。この結果、信号電流I sigが電源Vccから駆動トランジスタTrd、スイッチングトランジスタTr8、スイッチングトランジスタTr3を通して信号線側に流れる。換言すると、I sigがドレイン電流として駆動トランジスタTrdを流れた事になる。よって、数式1で示したトランジスタの基本特性に従い、ドレイン電流I sigは以下の数式23で表される。

【数23】

$$I_{sig} = \frac{k\mu}{2} (V_{gs} - V_{th})^2$$

上記数式23において、V gsは駆動トランジスタTrdのゲートソース間に現れるゲート電圧を表し、V thは同じく駆動トランジスタTrdの閾電圧を表し、kは同じく駆動トランジスタTrdのサイズファクタを表し、μは同じく移動度を表している。

【0090】

ここで数式23をV gsについて整理すると、以下の数式24が得られる。

10

20

30

40

【数 2 4】

$$V_{gs} = \sqrt{\frac{2I_{sig}}{k\mu}} + V_{th}$$

【0091】

ここで図 18 を参照すると駆動トランジスタ T_{rd} のソースとゲートとの間には画素容量 C_{s2} と C_{s3} が直列接続されている。ここで画素容量 C_{s2} の両端に保持された電圧を V_{cs2} とし画素容量 C_{s3} に保持された電圧を V_{cs3} とすると、ゲート電圧 $V_{gs} = V_{cs2} + V_{cs3}$ で与えられる。ここで先の V_{th} キャンセル動作により、 V_{cs3} は V_{th} に設定されている。したがって $V_{gs} = V_{cs2} + V_{th}$ となる。この式の V_{gs} に数式 24 で与えられた V_{gs} を代入してまとめると、画素容量 C_{s2} に保持された電圧 V_{cs2} が以下の数式 25 により与えられる

【数 2 5】

$$V_{cs2} = \sqrt{\frac{2I_{sig}}{k\mu}}$$

【0092】

上記数式 25 から明らかなように、画素容量 C_{s2} に保持された電圧 V_{cs2} は信号電流 I_{sig} の平方根に比例している。換言すると、期間 $T_4 - T_5$ の I_{sig} 書き込み動作により、画素容量 C_{s2} に信号電流 I_{sig} に対応した電圧 V_{cs2} がサンプリング保持された事になる。

【0093】

図 19 は、図 16 に示した期間 $T_5 - T_6$ で行われる I_{ref} 書き込み動作を示す模式図である。図 18 に示した I_{sig} 書き込み動作から本図の I_{ref} の書き込み動作に進むと、制御線 WS_2 がローレベルになる結果、トランジスタ T_{r4} がオフする。その他のスイッチングトランジスタの状態はそのまま維持されている。したがって、図 18 と図 19 を比較すれば明らかなように、画素容量 C_{s2} が画素容量 C_{s1} に切り替わった関係となっている。より具体的には、図 18 の I_{sig} 書き込み動作では、駆動トランジスタ T_{rd} のソース/ゲート間には画素容量 C_{s2} 及び C_{s3} が直列に接続されていたのに対し、本図の I_{ref} 書き込み動作では駆動トランジスタ T_{rd} のソースとゲートとの間に画素容量 C_{s1} と画素容量 C_{s3} が直列に接続されている。すなわち、回路動作としては単に C_{s2} が C_{s1} に入れ代わっているに過ぎない。このとき信号線には先の I_{sig} に代わって I_{ref} が流れている。より具体的には、基準電流 I_{ref} は電源 V_{cc} から駆動トランジスタ T_{rd} を通り、さらにスイッチングトランジスタ T_{r8} 及び T_{r3} を介して信号線側に流れる。このとき駆動トランジスタ T_{rd} のソースとゲートとの間に生じるゲート電圧 V_{gs} の一部が画素容量 C_{s1} に保持される。この電圧を V_{cs1} とすると、数式 25 の場合と全く同様にして、以下の数式 26 のように表される。

【数 2 6】

$$V_{cs1} = \sqrt{\frac{2I_{ref}}{k\mu}}$$

【0094】

10

20

30

40

50

ここで数式 25 と数式 26 を比較すれば明らかなように、式の左辺が V_{cs2} から V_{cs1} に置き換わる一方、式の右辺は I_{sig} から I_{ref} に置き換わっている。数式 26 から明らかなように、画素容量 C_{s1} に保持された電圧 V_{cs1} は基準電流 I_{ref} の平方根に対応している。換言すると、この I_{ref} 書き込み動作で、画素容量 C_{s1} に基準電流 I_{ref} に対応した電圧がサンプリングされた事になる。

【0095】

図 20 は、図 16 に示したタイミングチャートの期間 $T7 - T8$ で行われる容量キャンセル動作を示す模式図である。この動作ではスイッチングトランジスタ $Tr3$ 、 $Tr5$ 及び $Tr8$ がオフする一方、 $Tr6$ 及び $Tr7$ がオンする。これにより、画素容量 C_{s1} のマイナス側端子と画素容量 C_{s2} のプラス側端子が接続され、且つ画素容量 C_{s1} のプラス側端子と画素容量 C_{s2} のマイナス側端子が接続される。これにより画素容量 C_{s1} と C_{s2} の容量キャンセルが V_{cs1} と V_{cs2} との間で行われる。つまり、画素容量 C_{s1} に保持された電圧 V_{cs1} と画素容量 C_{s2} に保持された電圧 V_{cs2} の差分が得られ且つこの差分が画素容量 C_{s2} の両端に保持される。ここで画素容量 C_{s1} と C_{s2} の容量が等しい場合、容量キャンセル後の画素容量 C_{s2} に保持された電位 V_{cs2}' は以下の数式 27 で与えられる。

10

$$V_{cs2}' = \frac{V_{cs2} - V_{cs1}}{2} = \frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}}$$

20

【0096】

上記数式 27 から明らかなように、 V_{cs2}' は信号電流 I_{sig} と基準電流 I_{ref} との差分に応じた値となっている。正確には、 I_{sig} の平方根と I_{ref} の平方根との差に応じた電圧が画素容量 C_{s2} に V_{cs2}' として保持される事になる。

【0097】

図 21 は、図 16 に示したタイミング $T9$ 以降に行われる発光期間における容量結合及び発光動作を示す模式図である。タイミング $T9$ に至ると、制御信号 DS と $WS2$ がハイレベルになる一方、他の制御信号は全てローレベルである。したがってスイッチングトランジスタ $Tr4$ 及び $Tr1$ がオン状態になる一方、残りのスイッチングトランジスタ $Tr3$ 、 $Tr5$ 、 $Tr6$ 、 $Tr7$ 、 $Tr2$ 、 $Tr8$ はオフ状態である。 $Tr4$ がオンになる為、駆動トランジスタ Trd のソースとゲートとの間で画素容量 C_{s2} と C_{s3} が結合される。このとき駆動トランジスタ Trd のゲート容量 C_g が充分小さいので、画素容量 C_{s2} と C_{s3} はお互いの電荷を保持した状態で結合される。つまり、発光時における駆動トランジスタ Trd のゲート電圧 V_{gs} は $V_{gs} = V_{cs3} + V_{cs2}' = V_{th} + V_{cs2}'$ となる。

30

【0098】

この様にして得られた V_{gs} を先の数式 1 で示したトランジスタの基本特性式に入れると、以下の数式 28 に示すような駆動電流 I_{ds} が得られる。

40

【数 28】

$$\begin{aligned}
 I_{ds} &= \frac{1}{2} k\mu (V_{gs} - V_{th})^2 = \frac{1}{2} k\mu (V_{cs2'})^2 \\
 &= \frac{1}{2} k\mu \left(\frac{\sqrt{I_{sig}} - \sqrt{I_{ref}}}{\sqrt{2k\mu}} \right)^2 \\
 &= \frac{1}{4} (\sqrt{I_{sig}} - \sqrt{I_{ref}})^2
 \end{aligned}$$

10

【0099】

上記数式28の一段目で、 V_{gs} に $V_{th} + V_{cs2'}$ を代入している。これにより、 V_{th} がキャンセルされ、駆動電流 I_{ds} は $V_{cs2'}$ の2乗に比例した形となる。さらに数式28の二段目に示すように $V_{cs2'}$ に数式27を代入する。このあと分母に現れる移動度 μ と係数部の移動度 μ がキャンセルされ、最終的に数式28の三段目で表す形となる。この式から明らかなように、 I_{sig} と I_{ref} の電流差分値により駆動電流（発光電流） I_{ds} が決定され、駆動トランジスタの V_{th} や移動度 μ のばらつきによらないユニフォーム性の高い画質を得る事ができる。さらに本発明の画素回路では黒表示時 $I_{sig} = I_{ref}$ に設定する。数式28から明らかなように、 $I_{sig} = I_{ref}$ にすると $I_{ds} = 0$ となり、発光電流はなくなる。この結果完全な黒表示となる。一方黒表示でも I_{ref} の絶対値は十分に高いレベルに設定する事ができ、1水平期間（1H）内で十分に黒信号を書き込む事ができる事になる。これにより、黒浮きや縦クロストークなどの発生を抑制でき、完全に沈んだ黒を表現でき高いコントラスト特性を得る事ができる。

20

【0100】

以上説明したように、図15に示した本発明の実施形態にかかる画素回路は、信号電流 I_{sig} が流れる信号線 SL と、制御信号を供給する走査線 $WS1, WS2, WS3, AZ, DS$ とが交差する部分に配されている。この画素回路2は、発光素子 EL と、発光素子 EL に駆動電流 I_{ds} を供給する駆動トランジスタ Trd と、制御信号 $WS1, WS2, WS3, AZ, DS$ に応じて動作し信号電流 I_{sig} に基づいて駆動トランジスタ Trd の駆動電流 I_{ds} を制御する制御部とで構成されている。この制御部は、第1サンプリング手段と第2サンプリング手段と差分手段とを含んでいる。第1サンプリング手段は、トランジスタ $Tr3, Tr4, Tr8$ と画素容量 $Cs2$ とで構成されており、信号線 SL に流れる信号電流 I_{sig} をサンプリングする。第2サンプリング手段はトランジスタ $Tr3, Tr5, Tr8$ と画素容量 $Cs1$ とで構成され、信号電流 I_{sig} に前後して信号線 SL に流れる所定の基準電流 I_{ref} をサンプリングする。差分手段はトランジスタ $Tr6, Tr7$ と一対の画素容量 $Cs1, Cs2$ で構成されており、サンプリングされた基準電流 I_{ref} に対するサンプリングされた信号電流 I_{sig} の差分に応じた制御電圧 $V_{cs2'}$ を生成する。駆動トランジスタ Trd は、この制御電圧をゲート G に受けてソース/ドレイン間に流れる駆動電流 I_{ds} を発光素子 EL に供給して発光を行わせる。

30

40

【0101】

第1及び第2サンプリング手段が各々サンプリングする信号電流 I_{sig} 及び基準電流 I_{ref} は、両者の相対的な差分が小さいとき発光素子 EL の発光量が小さくなり差分が大きいき発光量が大きくなる一方、相対的な差分が小さいときでも信号電流 I_{sig} 及び基準電流 I_{ref} の絶対的なレベルはサンプリングを可能とするように大きく設定されている。

【0102】

画素回路2の制御部は、上述した第1及び第2サンプリング手段と差分手段に加え、補正手段を有している。この補正手段はトランジスタ $Tr1, Tr2, Tr7$ と画素容量 C

50

s 3 とで構成されており、駆動トランジスタ T_{rd} の閾電圧 V_{th} を検出してこれを前述した制御電圧 V_{cs2} ' に加える事ができる様にしている。これにより、閾電圧 V_{th} の影響を駆動電流 I_{ds} からキャンセルする事ができる。

【図面の簡単な説明】

【0103】

【図1】本発明にかかる画素回路及び表示装置の実施形態を示す模式的な全体ブロック図である。

【図2】図1に示した表示装置に含まれる画素回路の構成を示す回路図である。

【図3】図2に示した画素回路の動作説明に供する模式図である。

【図4】同じく動作説明に供するタイミングチャートである。

10

【図5】同じく動作説明に供する模式図である。

【図6】同じく動作説明に供する模式図である。

【図7】同じく動作説明に供する模式図である。

【図8】同じく動作説明に供する模式図である。

【図9】駆動トランジスタの電流電圧特性を示すグラフである。

【図10】本発明にかかる画素回路及び表示装置の他の実施形態を示す回路図である。

【図11】図10に示した画素回路の動作説明に供するタイミングチャートである。

【図12】同じく動作説明に供する模式図である。

【図13】同じく動作説明に供する模式図である。

【図14】同じく動作説明に供する模式図である。

20

【図15】本発明にかかる画素回路の別の実施形態を示す回路図である。

【図16】図15に示した画素回路の動作説明に供するタイミングチャートである。

【図17】同じく動作説明に供する模式図である。

【図18】同じく動作説明に供する模式図である。

【図19】同じく動作説明に供する模式図である。

【図20】同じく動作説明に供する模式図である。

【図21】同じく動作説明に供する模式図である。

【図22】従来の表示装置の一例を示す全体ブロック図である。

【図23】図22に示した従来の表示装置に含まれる画素回路の構成を示す回路図である。

30

【図24】図22に示した従来の表示装置の画面の一例を示す模式図である。

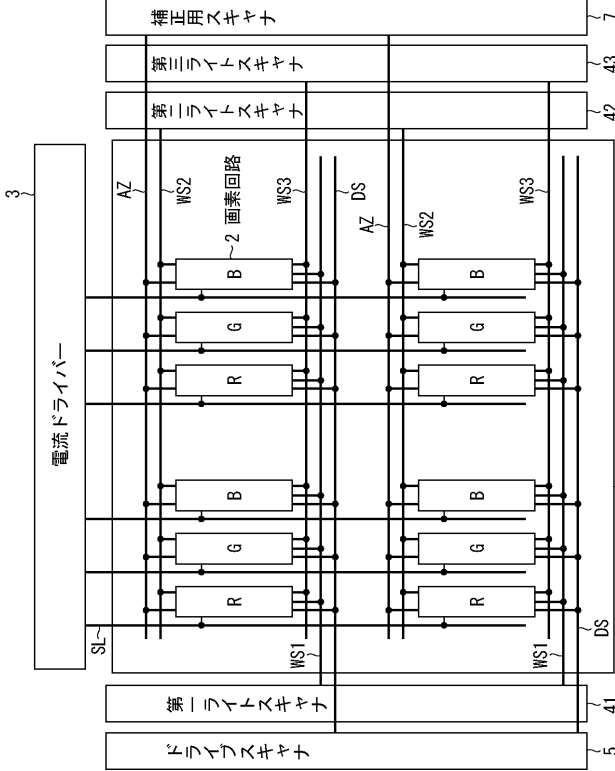
【符号の説明】

【0104】

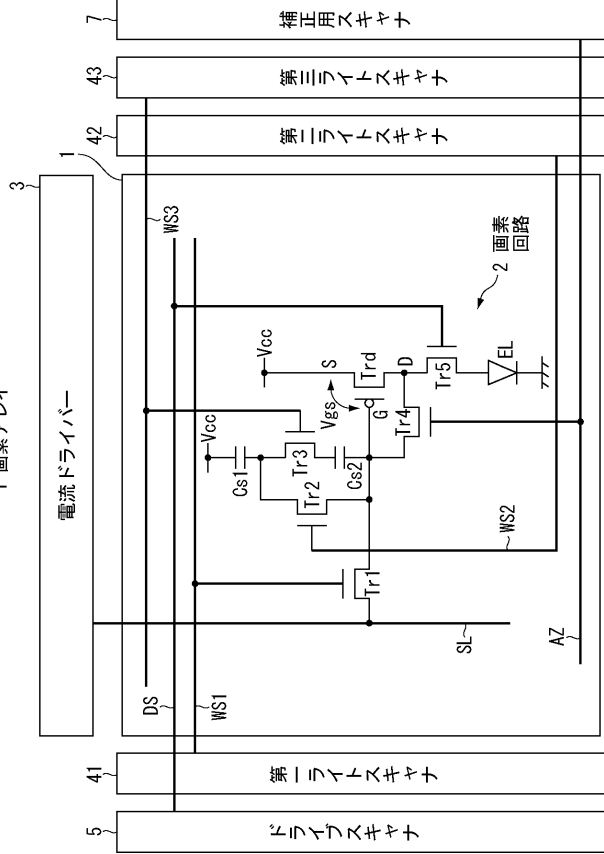
1・・・画素アレイ、2・・・画素回路、3・・・電流ドライバー、4・・・ライトスキヤナ、5・・・ドライブスキヤナ、7・・・補正用スキヤナ、41・・・第一ライトスキヤナ、42・・・第二ライトスキヤナ、43・・・第三ライトスキヤナ、 T_{rd} ・・・駆動トランジスタ、 T_{r1} ・・・スイッチングトランジスタ、 T_{r2} ・・・スイッチングトランジスタ、 T_{r3} ・・・スイッチングトランジスタ、 T_{r4} ・・・スイッチングトランジスタ、 T_{r5} ・・・スイッチングトランジスタ、 T_{r6} ・・・スイッチングトランジスタ、 T_{r7} ・・・スイッチングトランジスタ、 T_{r8} ・・・スイッチングトランジスタ、 E_L ・・・発光素子、 C_{s1} ・・・画素容量、 C_{s2} ・・・画素容量、 C_{s3} ・・・画素容量

40

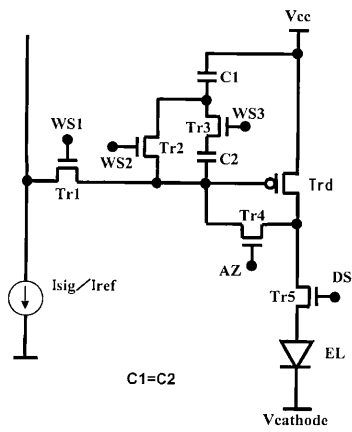
【 図 1 】



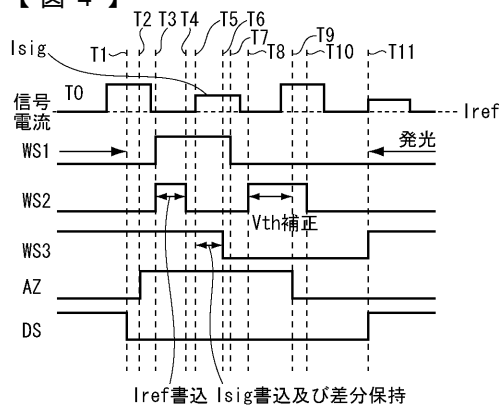
【 図 2 】



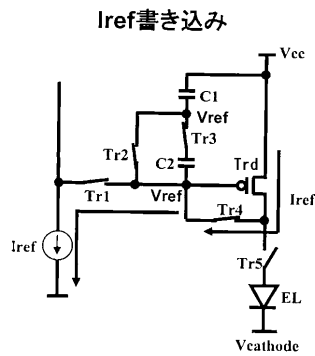
【 図 3 】



【 図 4 】

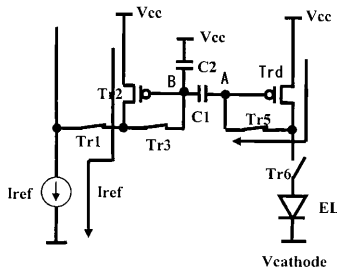


【 図 5 】



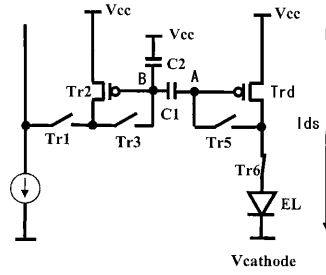
【 図 1 2 】

Iref書き込み&Vth補正



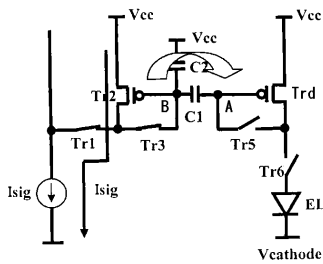
【 図 1 4 】

発光期間

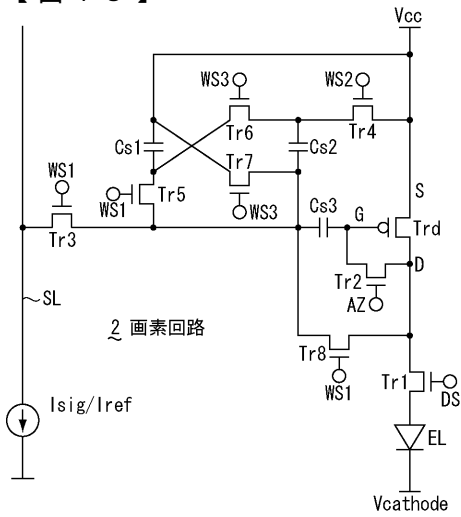


【 図 1 3 】

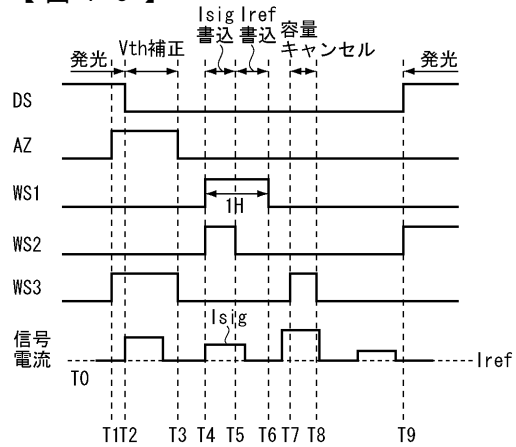
Isig書き込み&カップリング



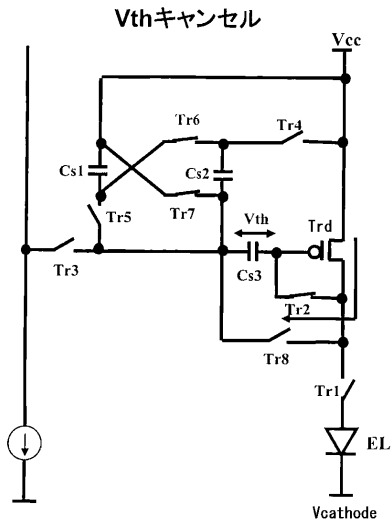
【 図 1 5 】



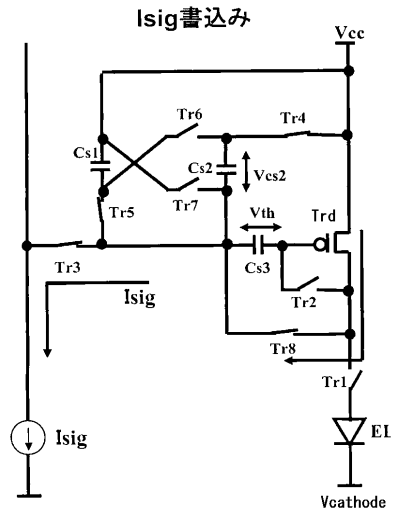
【 図 1 6 】



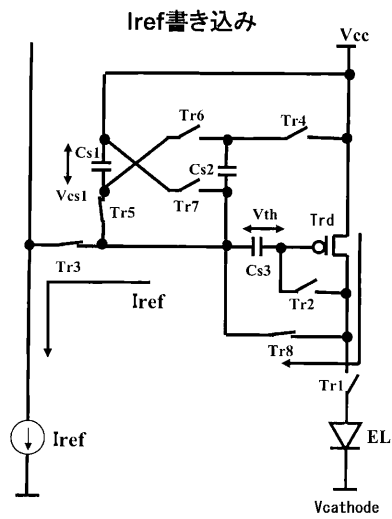
【 図 1 7 】



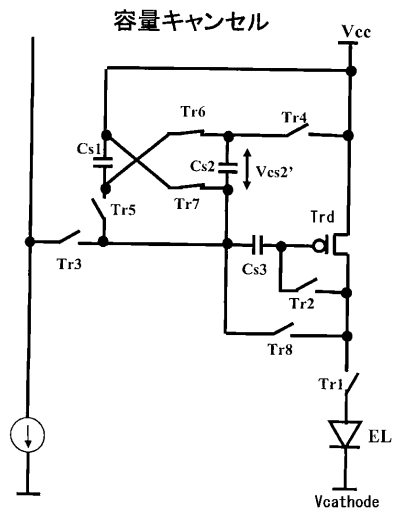
【 図 1 8 】



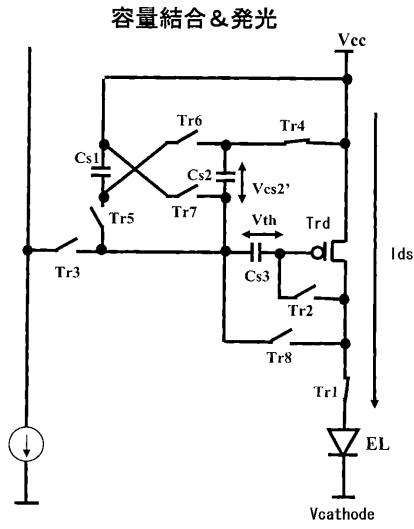
【 図 1 9 】



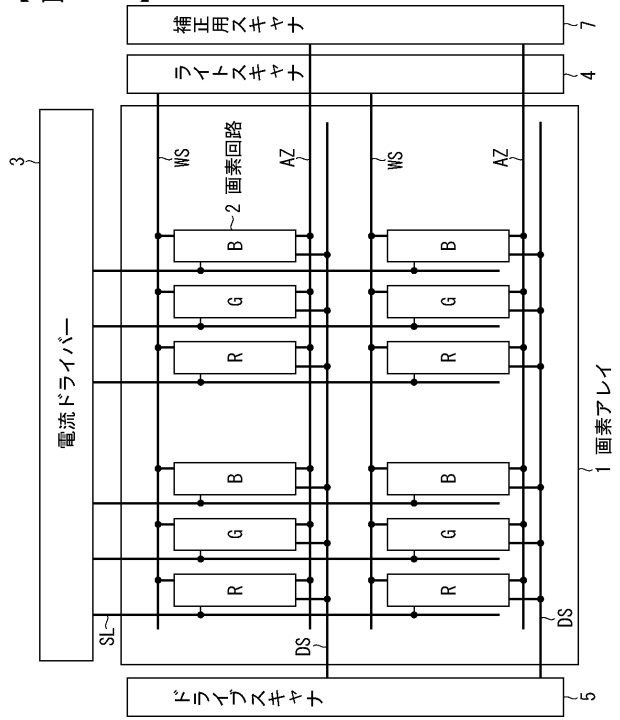
【 図 2 0 】



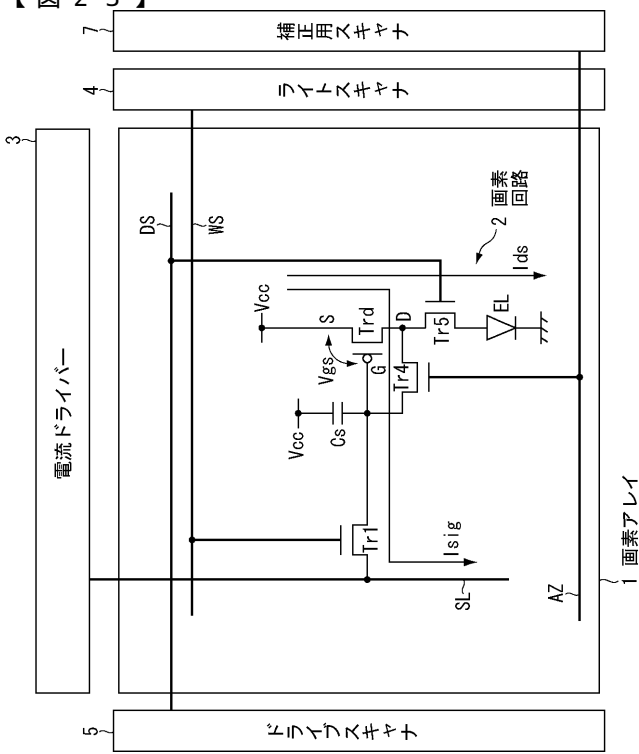
【 図 2 1 】



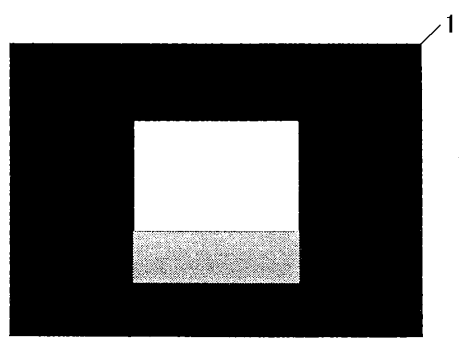
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 1 P
H 0 5 B	33/14	A

专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	JP2006154521A	公开(公告)日	2006-06-15
申请号	JP2004347283	申请日	2004-11-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3241 G09G3/3233 G09G3/325 G09G2300/0417 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.D G09G3/20.612.E G09G3/20.612.U G09G3/20.621.A G09G3/20.623.L G09G3/20.624.B G09G3/20.641.D G09G3/20.641.P H05B33/14.A G09G3/20.611.H G09G3/20.621.F G09G3/20.642.A G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD10 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AC04 5C380/BA12 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BB23 5C380/BC03 5C380/BC14 5C380/CA13 5C380/CA29 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC11 5C380/CC13 5C380/CC14 5C380/CC15 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC64 5C380/CC66 5C380/CC72 5C380/CD014 5C380/CD026 5C380/CD038 5C380/CE04 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA06 5C380/HA13		
其他公开文献	JP4747565B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一个像素电路，它可以充分写入黑电平较弱的信号电流。解决方案：像素电路2的第一采样装置由晶体管Tr1，Tr3，Tr4和像素电容Cs2构成，并对流到信号线SL的信号电流Isig进行采样。第二采样装置由晶体管Tr1，Tr3，Tr4，晶体管Tr2和像素电容Cs1构成，并对在信号电流Isig之前或之后流到信号线SL的预定参考电流Iref进行采样。差分装置由晶体管Tr1，Tr3，Tr4和一对像素电容Cs1，Cs2构成，并根据采样信号电流Isig和参考电流Iref之间的差值产生控制电压。驱动晶体管Trd在栅极G接收控制电压，并将源极S和漏极D之间流动的驱动电流Ids提供给发光元件EL。

