

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-538403

(P2005-538403A)

(43) 公表日 平成17年12月15日(2005.12.15)

(51) Int.Cl.⁷

G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J
G09F 9/30 338
G09F 9/30 365Z
G09G 3/20 611H
G09G 3/20 624B

テーマコード (参考)

3K007
5C080
5C094

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-533755 (P2004-533755)
(86) (22) 出願日 平成15年8月22日 (2003.8.22)
(85) 翻訳文提出日 平成17年1月31日 (2005.1.31)
(86) 国際出願番号 PCT/IB2003/003804
(87) 国際公開番号 W02004/023444
(87) 国際公開日 平成16年3月18日 (2004.3.18)
(31) 優先権主張番号 0220614.2
(32) 優先日 平成14年9月5日 (2002.9.5)
(33) 優先権主張国 英国 (GB)

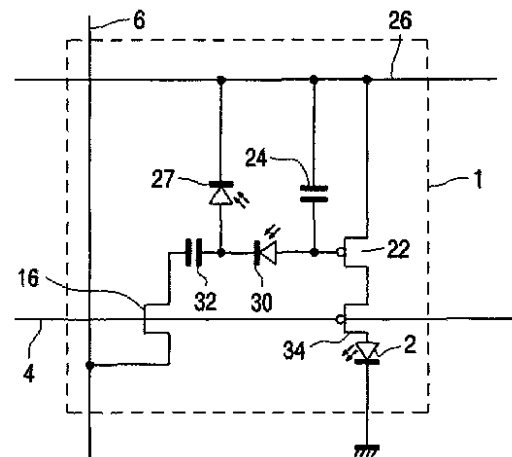
(71) 出願人 590000248
コーニンクレッカ フィリップス エレク
トロニクス エヌ ヴィ
Koninklijke Philips
Electronics N. V.
オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ
1
Groenewoudseweg 1, 5
621 BA Eindhoven, T
he Netherlands
(74) 代理人 100087789
弁理士 津軽 進
(74) 代理人 100114753
弁理士 宮崎 昭彦

最終頁に続く

(54) 【発明の名称】 エレクトロルミネセント表示装置

(57) 【要約】

アクティブマトリクスエレクトロルミネセント表示装置において、駆動トランジスタ22をアドレスするために用いられるべき電圧を蓄積する蓄積キャパシタ24が設けられている。表示素子の光出力に依存して蓄積キャパシタを放電する放電フォトダイオード27が設けられており、画素に印加される入力データ電圧が駆動トランジスタの閾値電圧に対応する量だけ変化する。変化したデータ電圧は、駆動トランジスタのゲートとソースとの間に印加される。この装置では、駆動トランジスタのゲートの初期電圧が、閾値電圧に対する光出力の依存性を除去するように変更され、その結果、閾値電圧のばらつきが許容される。



【特許請求の範囲】

【請求項 1】

表示画素のアレイを有し、各画素が、
エレクトロルミネセント表示素子と、
前記表示素子を通る電流を駆動する駆動トランジスタと、
前記駆動トランジスタをアドレスするために用いられるべき電圧を蓄積する蓄積キャパシタと、

前記表示素子の光出力に依存して前記蓄積キャパシタを放電する放電フォトダイオードと、

前記画素に印加される入力データ電圧を前記駆動トランジスタの閾値電圧に対応する量だけ変化させ、前記駆動トランジスタのゲートとソースとの間に变化した前記データ電圧を印加する回路素子と

を有するアクティブマトリクスエレクトロルミネセント表示装置。

【請求項 2】

各画素が、データ信号ラインと画素への入力部との間に接続されたアドレストランジスタを更に有する請求項 1 記載の装置。

【請求項 3】

前記駆動トランジスタが電力供給ラインと前記表示素子との間に接続された請求項 1 又は 2 記載の装置。

【請求項 4】

前記蓄積キャパシタが前記電力供給ラインと前記駆動トランジスタの前記ゲートとの間に接続された請求項 3 記載の装置。

【請求項 5】

前記回路素子が第 2 のフォトダイオード及び第 2 の蓄積キャパシタを有し、前記第 2 のフォトダイオードは前記駆動トランジスタの前記ゲートと前記第 2 の蓄積キャパシタの 1 つの端子との間に接続され、前記放電フォトダイオードが前記 1 つの端子と前記電力供給ラインとの間に接続された請求項 3 記載の装置。

【請求項 6】

前記画素へのデータ入力が前記第 2 の蓄積キャパシタの他の第 2 の端子に供給される請求項 5 記載の装置。

【請求項 7】

前記画素回路が前記駆動トランジスタと前記表示素子との間に接続された絶縁トランジスタを更に有する請求項 5 又は 6 記載の装置。

【請求項 8】

前記フォトダイオードが前記電力供給ラインと前記駆動トランジスタの前記ゲートとの間に接続され、前記回路素子が、前記画素への前記入力部と前記駆動トランジスタの前記ゲートとの間に接続された 2 つの並列な対向するダイオード接続トランジスタを有する請求項 4 記載の装置。

【請求項 9】

前記蓄積キャパシタ及び前記放電フォトダイオードが前記電力供給ラインと前記画素への入力部との間に並列に接続され、前記回路素子が前記入力部と前記駆動トランジスタの前記ゲートとの間に接続された閾値蓄積キャパシタを有する請求項 3 記載の装置。

【請求項 10】

前記回路素子が、前記駆動トランジスタの前記ソースとゲートとの間に接続され、前記駆動トランジスタの電流を用いて前記閾値蓄積キャパシタを前記閾値電圧に充電するバイパストランジスタを更に有する請求項 9 記載の装置。

【請求項 11】

表示画素のアレイを有し、各画素が、
エレクトロルミネセント表示素子と、

駆動電流をサンプリングする電流サンプリング回路であって、前記表示素子を通る電流

10

20

30

40

50

を駆動する駆動トランジスタを含む当該電流サンプリング回路と、

サンプリングされた前記駆動電流に対応する前記駆動トランジスタのためのゲート - ソース電圧を蓄積する蓄積キャパシタと、

前記表示素子の光出力に依存して前記蓄積キャパシタを放電するフォトダイオードとを有するアクティブマトリクスエレクトロルミネセント表示装置。

【請求項 1 2】

前記電流サンプリング回路が、前記駆動トランジスタを前記表示素子から選択的に絶縁する絶縁トランジスタと、前記駆動トランジスタを前記画素への前記入力部に選択的に接続するバイパストランジスタとを有する請求項 1 1 記載の装置。

【請求項 1 3】

それぞれが駆動トランジスタとエレクトロルミネセント表示素子とを有する表示画素のアレイを有するアクティブマトリクスエレクトロルミネセント表示装置を駆動する方法であって、前記画素の各アドレッシングに関して、

前記画素の入力部に駆動電圧を印加することと、

前記駆動電圧を前記駆動トランジスタの閾値電圧に対応する量だけ変更することと、

変更された前記駆動電圧をキャパシタ装置に蓄積し、前記変更された駆動電圧を前記駆動トランジスタのゲートに印加して、異なる画素の駆動トランジスタ間の閾値のばらつきを補償することと、

前記エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いて前記キャパシタ装置を放電し、画素間の老化のばらつきを補償することと

を含む方法。

【請求項 1 4】

前記変更された駆動電圧を蓄積することが、前記変更された駆動電圧をキャパシタに蓄積することを含む請求項 1 3 記載の方法。

【請求項 1 5】

前記変更された駆動電圧を蓄積することが、前記駆動電圧を第 1 のキャパシタに蓄積することと、前記駆動トランジスタの前記閾値電圧に対応する電圧を第 2 のキャパシタに蓄積することとを含む請求項 1 3 記載の方法。

【請求項 1 6】

前記変更された駆動電圧を蓄積することが、前記閾値電圧に対応する電圧が以前に与えられた蓄積キャパシタに前記駆動電圧をポンピングすることを含む請求項 1 3 記載の方法。

【請求項 1 7】

それぞれが駆動トランジスタとエレクトロルミネセント表示素子とを有する表示画素のアレイを有するアクティブマトリクスエレクトロルミネセント表示装置を駆動する方法であって、前記画素の各アドレッシングに関して、

前記画素の入力部に駆動電流を印加することと、

前記駆動電流に対応する前記駆動トランジスタのゲート - ソース電圧を得るために前記駆動電流をサンプリングすることと、

前記ゲート - ソース電圧を蓄積キャパシタに蓄積することと、

前記ゲート - ソース電圧を前記駆動トランジスタに印加することと、

前記エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いて前記蓄積キャパシタを放電することと

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネセント表示装置に係り、特に、各画素に関連する薄膜スイッチングトランジスタを備えたアクティブマトリクス表示装置に関する。

【背景技術】

10

20

30

40

50

【0002】

エレクトロルミネセント発光表示素子を用いたマトリクス表示装置はよく知られている。上記表示素子は、例えばポリマ材料を用いる有機薄膜エレクトロルミネセント素子、又はそうでなければ通常のⅡⅢ-Ⅴ族半導体化合物を用いる発光ダイオード(LED)を有し得る。最近の有機エレクトロルミネセント材料、特にポリマ材料の開発は、それらがビデオ表示装置に実際に用いられることができることを実証している。これらの材料は、典型的には、一方が透明であり、他方がポリマの層に正孔又は電子を注入するのに適した材料よりなる1組の電極の間にはさまれた半導電性の共役ポリマの1つ又はそれ以上の層を有する。上記ポリマ材料は、CVDプロセスを用いて、又は単に可溶性の共役ポリマの溶液を用いるスピンコーティング技術により製造され得る。インクジェット印刷も利用され得る。有機エレクトロルミネセント材料は、ダイオードのようなⅡ-Ⅴ特性を示し、表示機能及びスイッチング機能の両方を与えることができ、従ってパッシブタイプのディスプレイに用いられることが可能である。代替として、これらの材料は、各画素が表示素子及びこの表示素子を通る電流を制御するスイッチング装置を有する状態でアクティブマトリクス表示装置に用いられ得る。

10

【0003】

このタイプの表示装置は、電流アドレス方式の表示素子を備えており、従来のアナログ駆動方式は上記表示素子に制御可能な電流を供給することを含んでいる。電流ソーストランジスタに供給されるゲート電圧が表示素子を通る電流を決定する状態で、画素の構成の一部として電流ソーストランジスタを設けることが知られている。蓄積キャパシタが、アドレス期間後にゲート電圧を保持する。

20

【0004】

図1は、アクティブマトリクスアドレス方式のエレクトロルミネセント表示装置に関する既知の画素回路を示している。この表示装置は、ブロック1により示されている規則的に間隔をおいて配置された画素の行及び列のマトリクスアレイを備え、交差する行(選択)及び列(データ)アドレス導体4及び6のセットの間の交差部に位置し、関連するスイッチング手段と協働するエレクトロルミネセント表示素子2を有するパネルを有している。簡単にするために、図には幾つかの画素のみが示されている。実際には、数百個の画素の行及び列が存在し得る。画素1は、上記導体の対応するセットの端部に接続された行(走査)ドライバ回路8及び列(データ)ドライバ回路9を有する周辺の駆動回路により上記行及び列アドレス導体のセットを介してアドレスされる。

30

【0005】

エレクトロルミネセント表示素子2は、ここではダイオード素子として表現される有機発光ダイオード(LED)と電極のペアとを有しており、上記電極のペアの間には、1つ又はそれ以上の有機エレクトロルミネセント材料のアクティブ層がはさまれている。上記アレイの表示素子は、絶縁性の支持体の1つのサイドに関連するアクティブマトリクス回路とともに保持されている。表示素子のカソード又はアノードのいずれか一方は、透明の導電性材料により形成されている。上記支持体はガラスのような透明の材料よりなり、基板に最も近い表示素子2の電極はITOのような透明の導電性材料よりなり、エレクトロルミネセント層により生成される光は、支持体の他のサイドにおいて見る人に見えるようにこれらの電極及び支持体を透過する。典型的には、有機エレクトロルミネセント材料の層の厚さは100nm~200nmである。素子2に用いられ得る好適な有機エレクトロルミネセント材料の典型例は知られており、EP-A-0717446公報に記載されている。WO96/36959公報に記載されているような共役ポリマ材料も用いられ得る。

40

【0006】

図2は、電圧アドレス方式の動作を与える既知の画素及び駆動回路の構成を模式的な形態で示している。各画素1は、EL表示素子2及び関連するドライバ回路を有している。上記ドライバ回路は、行導体4の行アドレスパルスによりオンにされるアドレストランジスタ16を有している。アドレストランジスタ16がオンにされると、列導体6の電圧が

50

画素の残りの部分に伝わる。特に、アドレstransistors 16 は、駆動transistors 22 と蓄積キャパシタ 24 とを有する電流ソース部 20 に列導体電圧を供給する。この列電圧は駆動transistors 22 のゲートに供給され、ゲートは、行アドレスパルスが終了した後であっても蓄積キャパシタ 24 によりこの電圧に保持される。

【0007】

この回路の駆動transistors 22 は PMOSFTT として実現され、蓄積キャパシタ 24 は一定のゲート - ソース電圧を保持する。これは、transistors を通る一定のソース - ドレイン電流をもたらす、従って、画素の電流ソース部の所望の動作を与える。

【0008】

上述した基本的な画素回路では、基板全体にわたる異なるtransistors 特性（特に閾値電圧）が、ゲート電圧とソース - ドレイン電流との間の異なる関係を生じさせ、表示される画像の結果にアーチファクトを引き起こす。これらの閾値電圧のばらつき（variation）に加えて、LED の材料の他と異なる老化（aging）がディスプレイ全体にわたる画質のばらつきを引き起こす。

【0009】

（電圧アドレス方式の画素ではなく）電流アドレス方式の画素は基板全体にわたるtransistors のばらつきの影響を低減又は除去することが認識されている。例えば、電流アドレス方式の画素は、所望の画素駆動電流が駆動されるサンプリングtransistors のゲート - ソース電圧をサンプリングによって確認するために電流ミラーを用いることが可能である。サンプリングされたゲート - ソース電圧は、駆動transistors をアドレスするために用いられる。これは、サンプリングtransistors と駆動transistors とが基板上において互いに隣接し、互いにより正確にマッチングされ得るので、装置の均一性の問題を部分的に軽減する。他の電流サンプリング回路はサンプリング及び駆動のために同じtransistors を用いるので、追加のtransistors 及びアドレスラインは必要とされるが、transistors のマッチングは必要とされない。

【0010】

LED 材料の老化を補償する電圧アドレス方式の画素回路に関する提案もなされている。例えば、画素が光センシングを含む種々の画素回路が提案されている。この素子は、表示素子の光出力にตอบสนองし、アドレス期間中ディスプレイのまとめられた光出力を制御するように上記光出力に応じて蓄積キャパシタに蓄積された電荷をリークする役割を果たす。図 3 は、この目的のための画素のレイアウトの一例を示している。このタイプの画素の構成の例は、WO 01 / 20591 公報及び EP 1096466 公報に詳細に説明されている。

【0011】

図 3 の画素回路では、フォトダイオード 27 がキャパシタ 24 に蓄積されたゲート電圧を放電する。駆動transistors 22 のゲート電圧が閾値電圧に達すると、EL 表示素子 2 はもはや発光せず、蓄積キャパシタ 24 は放電を中止する。フォトダイオード 27 から電荷がリークされるレートは上記表示素子の出力の関数であり、フォトダイオード 27 は感光性のフィードバックデバイスとして機能する。フォトダイオード 27 の効果を考慮して、上記まとめられた光出力は

$$L_T = C_s (V(0) - V_T) / P_D \quad \dots [1]$$

により与えられることが示され得る。

【0012】

この式において、 P_D はディスプレイ全体にわたって非常に均一なフォトダイオードの効率であり、 C_s は蓄積容量であり、 $V(0)$ は駆動transistors の初期ゲート - ソース電圧であり、 V_T は駆動transistors の閾値電圧である。従って、光出力は、EL 表示素子の効率とは無関係であり、老化の補償を与える。しかしながら、 V_T はディスプレイ全体にわたって変化し、非均一性を示す。D.A. Fish 等によるレポート「A comparison of pixel circuits for Active Matrix Polymer/Organic LED Displays」(32.1, SID 02 Digest, May 2002) を参照されたい。

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0013】

この基本的な回路に対する改良点は存在するが、実際の電圧アドレス方式の回路は依然として閾値電圧のばらつきの影響を受けやすいという問題が残されている。

【課題を解決するための手段】

【0014】

本発明の第1の観点によれば、表示画素のアレイを有し、各画素が、エレクトロルミネセント表示素子と、上記表示素子を通る電流を駆動する駆動トランジスタと、上記駆動トランジスタをアドレスするために用いられるべき電圧を蓄積する蓄積キャパシタと、上記表示素子の光出力に依存して上記蓄積キャパシタを放電する放電フォトダイオードと、上記画素に印加される入力データ電圧を上記駆動トランジスタの閾値電圧に対応する量だけ変化させ、上記駆動トランジスタのゲートとソースとの間に变化した上記データ電圧を印加する回路素子とを有するアクティブマトリクスエレクトロルミネセント表示装置が提供される。

10

【0015】

この画素の構成では、駆動トランジスタのゲートの初期電圧を変更する回路が設けられている。上記式[1]を参照すると、これは閾値電圧に対する光出力の依存性を除去する効果を有し、その結果、閾値電圧のばらつきが許容され得る。

【0016】

20

従来の回路においてと同様、各画素はデータ信号ラインと画素への入力部との間に接続されたアドレストラジスタを有しており、駆動トランジスタは電力供給ラインと表示素子との間に接続されている。

【0017】

第1の形態では、蓄積キャパシタが電力供給ラインと駆動トランジスタのゲートとの間に接続される。従って、蓄積キャパシタは駆動トランジスタのゲート・ソース電圧を蓄積する。画素駆動電圧を変更するために、この形態の回路素子は、第2のフォトダイオードと第2の蓄積キャパシタとを有し、第2のフォトダイオードは駆動トランジスタのゲートと第2の蓄積キャパシタの1つの端子との間に接続され、この1つの端子と電力供給ラインとの間に放電フォトダイオードが接続される。

30

【0018】

この構成では、第2の蓄積キャパシタは電荷のポンピングのために用いられる。フレームの終わりにおいて、駆動トランジスタのゲートの電圧は、トランジスタがオフになる電圧であるために閾値電圧である。この形態の回路は、容量結合、すなわち電荷のポンピングを介して第1の蓄積キャパシタに既に蓄積されている閾値電圧に駆動電圧を加えるように作用する。上記蓄積キャパシタの電圧が、駆動電圧まで充電されるのではなく、駆動電圧だけ大きくされることを確実にすることにより、閾値電圧に対する依存性が除去される。

【0019】

この構成では、画素へのデータ入力第2の蓄積キャパシタの第2の端子に供給される。

40

【0020】

アドレス期間中、LEDはオフにされるべきであり、それによりフォトダイオードは電荷のポンピング作用に対して最小限の影響しか及ぼさない。この目的のために、駆動トランジスタと表示素子との間に絶縁トランジスタが接続されていることが好ましい。

【0021】

第2の形態において、この場合も、蓄積キャパシタは電力供給ラインと駆動トランジスタのゲートとの間に接続され、フォトダイオードは電力供給ラインと駆動トランジスタとの間に接続される。この回路素子は、画素への入力部と駆動トランジスタとの間に接続された2つの並列な対向するダイオード接続トランジスタを有する。この構成では、(ダイ

50

オード接続トランジスタが駆動トランジスタにマッチングしている場合、)ダイオード接続トランジスタが、画素への入力部と蓄積キャパシタの閾値電圧との間に閾値電圧に等しい電圧降下を与える。上記ダイオード接続トランジスタの両端の電圧降下は、(電力供給ラインに接続されている)蓄積キャパシタの両端の増大した電圧になり、それにより閾値電圧に対する光出力の依存性が除去される。

【0022】

第3の形態では、蓄積キャパシタとフォトダイオードとが、電力供給ラインと画素への入力部との間に並列に接続され、回路素子は、上記入力部と駆動トランジスタのゲートとの間に接続された閾値蓄積キャパシタを有する。

【0023】

この構成では、蓄積キャパシタは駆動トランジスタの所望のソース-ゲート電圧を蓄積しない。代わりに、蓄積キャパシタは入力駆動電圧を蓄積し、直列接続された閾値蓄積キャパシタが蓄積キャパシタと駆動トランジスタのゲートとの間に電圧のシフトを与える。閾値電圧が閾値蓄積キャパシタに蓄積されることを可能にするために、追加の回路が必要とされる。例えば、回路素子は、駆動トランジスタのソースとゲートとの間に接続され、駆動トランジスタの電流を用いて閾値蓄積キャパシタを閾値電圧に充電するバイパストラ

10

【0024】

本発明の第2の観点によれば、表示画素のアレイを有し、各画素が、エレクトロルミネセント表示素子と、駆動電流をサンプリングする電流サンプリング回路であって、上記表示素子を通る電流を駆動する駆動トランジスタを含む当該電流サンプリング回路と、サンプリングされた上記駆動電流に対応する上記駆動トランジスタのためのゲート-ソース電圧を蓄積する蓄積キャパシタと、上記表示素子の光出力に依存して上記蓄積キャパシタを放電するフォトダイオードとを有するアクティブマトリクスエレクトロルミネセント表示装置が提供される。

20

【0025】

この構成では、駆動電流をサンプリングするために電流サンプリング回路が用いられる。これは、閾値電圧のばらつきが回避されることを可能にする。また、フォトダイオードは、老化の補償が実現されることを可能にする。

【0026】

本発明の上記第2の観点の一形態では、電流サンプリング回路が、駆動トランジスタを表示素子から選択的に絶縁する絶縁トランジスタと、駆動トランジスタを画素への入力部に選択的に接続するバイパストラジスタとを有する。この電流サンプリング回路は、電流のサンプリングのために駆動トランジスタを用いる。分離した電流サンプリング部と電流駆動トランジスタとを備え、電流ミラーとして作用する他の回路も可能である。

30

【0027】

本発明の第1の観点は、それぞれが駆動トランジスタとエレクトロルミネセント表示素子とを有する表示画素のアレイを有するアクティブマトリクスエレクトロルミネセント表示装置を駆動する方法であって、上記画素の各アドレッシングに関して、上記画素の入力部に駆動電圧を印加することと、上記駆動電圧を上記駆動トランジスタの閾値電圧に対応する量だけ変更することと、変更された上記駆動電圧をキャパシタ装置に蓄積し、上記変更された駆動電圧を上記駆動トランジスタのゲートに印加して、異なる画素の駆動トランジスタ間の閾値のばらつきを補償することと、上記エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いて上記キャパシタ装置を放電し、画素間の老化のばらつきを補償することを含む方法も提供する。

40

【0028】

この方法は、閾値電圧の補償と組み合わせて老化を補償するための蓄積キャパシタの光フィードバック放電を提供する。

【0029】

上記変更された駆動電圧を蓄積することは、変更された駆動電圧をキャパシタに蓄積す

50

ること、駆動電圧を第１のキャパシタに蓄積すること及び駆動トランジスタの閾値電圧に対応する電圧を第２のキャパシタに蓄積すること、又は、閾値電圧に対応する電圧が以前に与えられた蓄積キャパシタに駆動電圧をポンピングすることを含み得る。

【００３０】

本発明の第２の観点は、それぞれが駆動トランジスタとエレクトロルミネセント表示素子とを有する表示画素のアレイを有するアクティブマトリクスエレクトロルミネセント表示装置を駆動する方法であって、上記画素の各アドレッシングに関して、上記画素の入力部に駆動電流を印加することと、上記駆動電流に対応する上記駆動トランジスタのゲート・ソース電圧を得るために上記駆動電流をサンプリングすることと、上記ゲート・ソース電圧を蓄積キャパシタに蓄積することと、上記ゲート・ソース電圧を上記駆動トランジスタに印加することと、上記エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いて上記蓄積キャパシタを放電することとを含む方法も提供する。

10

【００３１】

この方法は、閾値の補償を与えるために電流アドレス方式を用いるが、更に老化の補償のために第２の蓄積キャパシタの光フィードバック放電を用いる。

【発明を実施するための最良の形態】

【００３２】

本発明が添付の図面を参照して例として説明される。

【００３３】

これらの図面は模式的であり、縮尺が正確ではないことに注意されたい。これらの図面の部品の相対的な寸法及び比率は、各図の明瞭化及び簡便化のために拡大又は縮小して示されている。

20

【００３４】

本発明によれば、上記画素回路は、画素に印加される入力データ電圧が駆動トランジスタの閾値電圧に対応する量だけ変化し得るように変更されている。これは、老化の変動を取り除くためにフォトダイオードの使用を補うものである。これは、駆動トランジスタのゲートの初期電圧が変更されることを可能にし、上記式[１]において、これは閾値電圧に対する光出力の依存性を除去する効果を有し、その結果、閾値電圧のばらつきが許容され得る。

【００３５】

30

図４は、本発明の画素のレイアウトの第１の例を示している。図２及び図３における構成要素と同一の構成要素を表すためには同一の参照符号が用いられており、画素回路は図１に示されているようなディスプレイにおいて用いられるためのものである。

【００３６】

蓄積キャパシタ２４は、ここでも電力供給ライン２６と駆動トランジスタ２２のゲートとの間に接続されている。従って、この蓄積キャパシタは、駆動トランジスタ２２のゲート・ソース電圧を蓄積する。画素駆動電圧を変更するために、第２のフォトダイオード３０と第２の蓄積キャパシタ３２とが設けられている。第２のフォトダイオード３０は、駆動トランジスタ２２のゲートと第２の蓄積キャパシタ３２の１つの端子との間に接続され、放電フォトダイオード２７は上記１つの端子と電力供給ライン２６との間に接続されている。画素への入力は、アドレストランジスタ１６により第２の蓄積キャパシタ３２の他の端子に与えられる。

40

【００３７】

以下の説明から明らかであるように、第２の蓄積キャパシタ３２は電荷のポンピングのために用いられる。特に、フレーム期間の終わりに、駆動トランジスタ２２のゲートの電圧は、駆動トランジスタ２２がオフになる電圧であるために閾値電圧である。また、アドレス期間の終わりに第２の蓄積キャパシタ３２から電荷が除去されるので、第２の蓄積キャパシタ３２は帯電していない。電荷のポンピングにより、第１の蓄積キャパシタ２４に既に蓄積されている閾値電圧に駆動電圧が加えられる。

【００３８】

50

アドレス期間の初めに、N M O S アドレ스트ランジスタ 1 6 が行導体 4 のハイパルスによりオンにされる。駆動トランジスタ 2 2 と表示素子 2 との間に（絶縁デバイスとして機能する）第 2 のトランジスタ 3 4 が設けられており、これは P M O S デバイスである。従って、行導体 4 のハイアドレッシングパルスは、アドレ스트ランジスタ 1 6 をオンにし、同時に、アドレス期間中 E L 表示素子 2 がオフにスイッチングされるようにトランジスタ 3 4 をオフにする。

【 0 0 3 9 】

列導体 6 の画素駆動電圧は、電力供給ライン 2 6 の電圧に対して低く、駆動電圧が印加されると、第 2 のフォトダイオード 3 0 は順方向バイアスがかけられ、専ら駆動トランジスタの閾値電圧の電圧降下を有するキャパシタ 2 4 から調達される電流が上記第 2 のフォトダイオードを通して流れる。この電流は、平衡に達するまで第 2 のキャパシタ 3 2 を充電し、この平衡点において、蓄積キャパシタ 2 4 の両端の電圧は、初期の閾値電圧及び列 6 に印加される画素駆動電圧に依存するとともに、更に 2 4 及び 3 2 の容量の比に依存する値を有する。

10

【 0 0 4 0 】

蓄積キャパシタ 2 4 の容量が第 2 のキャパシタ 3 2 の容量よりも非常に大きい（ $C_{24} \gg C_{32}$ ）場合、蓄積キャパシタンスの両端の最終的な電圧は閾値電圧 V_T と駆動電圧の係数（ C_{32} / C_{24} ）との和にほぼ等しい。これは、駆動電圧が上記 C_{32} / C_{24} の係数だけ小さいので、駆動電圧に関して大きな電圧の振幅を必要とする。

【 0 0 4 1 】

アドレス期間中、第 2 のトランジスタ 3 4 はオフにされ、フォトダイオード 2 7, 3 0 は発光せず、重要ではない追加の少数のキャリアがこれらのフォトダイオード中を流れる。上記フォトダイオードは、外部の照明から遮蔽されている。

20

【 0 0 4 2 】

アドレス期間の終わりににおいて、フォトダイオード 2 7 が順方向バイアスをかけられ、第 2 のキャパシタ 3 2 の電荷が除去されるが、第 1 の蓄積キャパシタ 2 4 の電荷は変化しないままであるように、列 6 がハイ電圧に駆動される。アドレス期間の終わりににおいて、アドレッシングトランジスタ 1 6 がオフにされ、第 2 のトランジスタ 3 4 がオンにされて、フォトダイオードのペア 2 7, 3 0 は、閾値電圧に達し、駆動トランジスタ 2 2 がオフにされるまで蓄積キャパシタ 2 4 の電荷を減衰するように作用する。

30

【 0 0 4 3 】

アドレス期間の終わりににおける上記蓄積キャパシタの初期電圧は、ここでは $V(0) = f_1(V_{data}) + f_2(V_T)$ である。

【 0 0 4 4 】

上記式中、 f_1 及び f_2 は関連するキャパシタ 2 4 及び 3 2 の容量に依存する関数であり、 V_{data} は列導体 6 に印加される電圧である。上述したように、 f_2 は容量の適切な選択により 1 に近づけるようにすることが可能である。蓄積キャパシタの電圧が駆動電圧に充電されるのではなく、駆動電圧に依存して増大することを確実にすることにより、閾値電圧に対する依存性が除去され得る。特に、式 [1] のまとめられた光出力は、 $L_T = C_s f(V_{data}) / P_D \dots [2]$ になる。

40

【 0 0 4 5 】

上述したように、この実施の形態は V_{data} における大きな電圧の振幅を必要とし、以下の他の実施の形態はこの要求を回避する。

【 0 0 4 6 】

図 5 は第 2 の実施の形態を示しており、この実施の形態では、蓄積キャパシタ 2 4 及び放電フォトダイオード 2 7 が電力供給ライン 2 6 と画素への入力部（すなわち、アドレ스트ランジスタ 1 6 の出力部）との間に並列に接続されている。

【 0 0 4 7 】

50

回路は、上記入力部と駆動トランジスタ 22 のゲートとの間に接続された閾値蓄積キャパシタ 40 を有している。この構成では、蓄積キャパシタ 24 は駆動トランジスタ 22 の所望のソース - ゲート電圧を蓄積しない。代わりに、蓄積キャパシタ 24 は入力駆動電圧を蓄積し、直列接続された閾値蓄積キャパシタ 40 が上記蓄積キャパシタと駆動トランジスタ 22 のゲートとの間に電圧のシフトを与える。

【0048】

閾値蓄積キャパシタ 40 の両端に閾値電圧を与えるために、駆動トランジスタのソースとゲートとの間に、駆動トランジスタの電流を用いて閾値蓄積キャパシタ 40 を閾値電圧に充電するバイパストラジスタ 42 が接続されている。図 4 の例のように、駆動トランジスタ 22 と表示素子 2 との間には追加の絶縁トランジスタ 34 が設けられており、この絶縁トランジスタ 34 はそれ自体のアドレスライン 35 を備えている。

10

【0049】

この回路に関するアドレス期間中、アドレッシングトランジスタ 16 は、初めに、蓄積キャパシタ 24 に一定の初期電圧を蓄積するようにオンにされる。この一定の電圧は電力供給ラインの電圧であり、キャパシタ 24 が放電され、フォトダイオード 27 は短絡される。その後、アドレストランジスタ 16 はオフにされる。絶縁トランジスタ 34 がオンにされ（又は、アドレス期間の初めからオンにされている。）、電流が EL 表示素子を通して駆動される。オン電流は駆動トランジスタ 22 を通過する。その後、バイパストラジスタ 42 がオンにされ、絶縁トランジスタはオフにされる。ゲート - ソース電圧は変化しないが、駆動トランジスタ 22 の駆動電流がバイパストラジスタ 42 を通って閾値蓄積キャパシタ 40 に伝わるので、駆動トランジスタはオンのままである。

20

【0050】

十分な電荷が閾値蓄積キャパシタ 40 に伝わると、上記駆動トランジスタのゲートに接続された端子の電圧は、PMOS 駆動トランジスタがオフになるレベルに達する。この時点において、駆動トランジスタ 22 の閾値電圧は閾値蓄積キャパシタ 40 に蓄積される。

【0051】

その後、バイパストラジスタ 42 がオフにされ、データ電圧を列 6 に印加してアドレストランジスタ 16 をオンにスイッチングすることにより、蓄積キャパシタ 24 が所望のデータ電圧に充電される。

【0052】

上記フォトダイオードの動作は、アドレスシーケンスの終わりににおいて第 2 のトランジスタ 34 がオンにされる場合にのみ起こり、閾値蓄積キャパシタ 40 は、蓄積キャパシタ 24 の電圧と駆動トランジスタ 22 のゲートに印加される電圧との間のステップ電圧の変化を発生させる。ここでも、ゲートに印加される電圧がソースに対して大きくされる（すなわち、その絶対値が小さくされる）ことを確実にすることにより、閾値電圧に対する依存性が除去される。

30

【0053】

図 6 は第 3 の実施の形態を示しており、この実施の形態においても、蓄積キャパシタ 24 及びフォトダイオード 27 は、電力供給ライン 26 と駆動トランジスタ 22 のゲートとの間に接続されている。2 つの並列な対向するダイオード接続トランジスタ 50, 52 が、画素への入力部（アドレストランジスタ 16 の出力部）と駆動トランジスタ 22 のゲートとの間に接続されている。上記ダイオード接続トランジスタの 1 つは、閾値電圧の電圧降下を与え、これを与えるために、当該ダイオード接続トランジスタは駆動トランジスタ 22 にマッチングされている。画素への電圧入力と蓄積キャパシタ 24 に蓄積される電圧との間のこの電圧降下は、同じ量だけ駆動トランジスタ 22 のゲート - ソース電圧の増大をもたらす。これもまた、閾値電圧に対する光出力の依存性を除去する。

40

【0054】

画素のリセットのために第 2 のダイオード接続トランジスタが必要とされる。

【0055】

上記画素の設計は、フォトダイオードの光フィードバック回路を用いて実現される老化

50

の補償共に、種々のやり方で実現される閾値の補償を行う電圧アドレス方式の画素の幾つかの可能な実現を示している。

【 0 0 5 6 】

本発明は、また、電流アドレス方式の実現も提供する。図 7 は、駆動電流をサンプリングするために電流サンプリング回路が用いられる構成を示している。これは、閾値電圧のばらつきが回避されることを可能にする。加えて、フォトダイオードは、老化の補償が実現されることを可能にする。

【 0 0 5 7 】

図 7 では、電流サンプリング回路が、駆動トランジスタ 22 を表示素子 2 から選択的に絶縁する追加のトランジスタ 34 と、駆動トランジスタ 22 を画素の入力部（ここでも、この入力部はアドレスタランジスタ 16 の出力部であると解釈される。）に選択的に接続するバイパストランジスタ 60 とを有している。

【 0 0 5 8 】

入力電流をサンプリングするために、バイパストランジスタ 60 がオンにされ、追加のトランジスタ 34 がオフにされる。従って、入力電流は駆動トランジスタ 22 を通って駆動される。蓄積キャパシタは、駆動トランジスタ 22 の対応するゲート - ソース電圧に充電され、その後、駆動トランジスタ 22 を駆動する。この電流サンプリング回路は電流のサンプリングのために駆動トランジスタを用い、サンプリング動作はトランジスタ特性と考慮され、その結果、閾値のばらつきは回避される。

【 0 0 5 9 】

分離した電流サンプリング部と電流駆動トランジスタとを備え、これらが電流ミラーとして作用するが、マッチングされたトランジスタ特性を必要とする他の回路も可能である。

【 0 0 6 0 】

上述した電圧アドレス方式の回路は全て、駆動トランジスタの閾値電圧に対応する量だけ駆動電圧を変更することにより動作する。この変更された駆動電圧は、1 つ又はそれ以上のキャパシタに蓄積されて駆動トランジスタのゲートに印加され、それにより、異なる画素の駆動トランジスタ間の閾値のばらつきを補償する。また、エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いるキャパシタの放電が、画素間の老化のばらつきを補償する。上述した各回路は、この目的のための可能な回路の単なる例であり、当業者には他の実現が明らかであろう。

【 0 0 6 1 】

上述した電流アドレス方式の回路は、駆動電流に対応する駆動トランジスタのゲート - ソース電圧を得るために入力駆動電流をサンプリングする。このゲート - ソース電圧は、蓄積され、駆動トランジスタに印加される。この場合もまた、エレクトロルミネセント表示素子の光出力により照射されるフォトダイオードを用いるキャパシタの放電が、画素間の老化のばらつきを補償する。上述した回路は、可能な電流アドレス方式の実現の単なる一例であり、当業者には他の実現が明らかであろう。

【 0 0 6 2 】

上述した具体的な例は、N M O S 及び P M O S トランジスタの異なる組み合わせも使用し、他の具体的な実現が明らかであることは理解されるであろう。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 既知の E L 表示装置を示している。

【 図 2 】 E L 表示画素を電流アドレスする既知の画素回路の簡略化した模式図である。

【 図 3 】 他と異なる老化を補償する既知の画素の設計を示している。

【 図 4 】 本発明による画素回路の第 1 の例を示している。

【 図 5 】 本発明による画素回路の第 2 の例を示している。

【 図 6 】 本発明による画素回路の第 3 の例を示している。

【 図 7 】 本発明による画素回路の第 4 の例を示している。

10

20

30

40

50

【 図 1 】

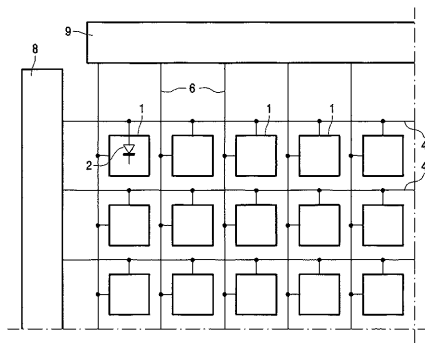


FIG.1 PRIOR ART

【 図 3 】

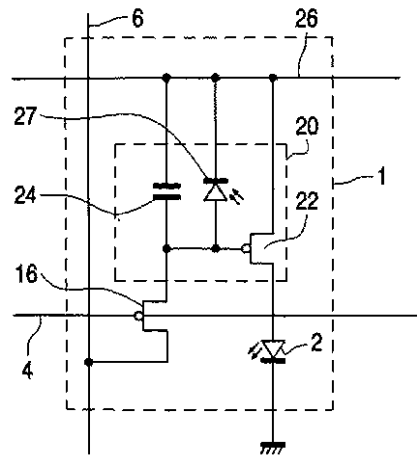


FIG.3

【 図 2 】

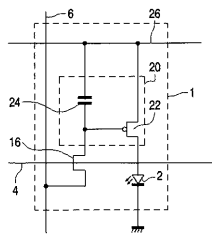


FIG.2 PRIOR ART

【 図 4 】

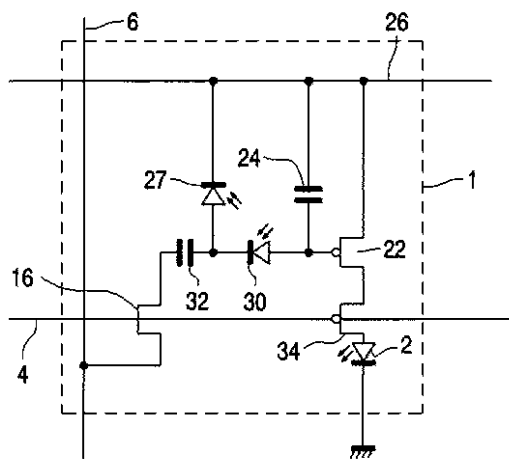


FIG.4

【 図 5 】

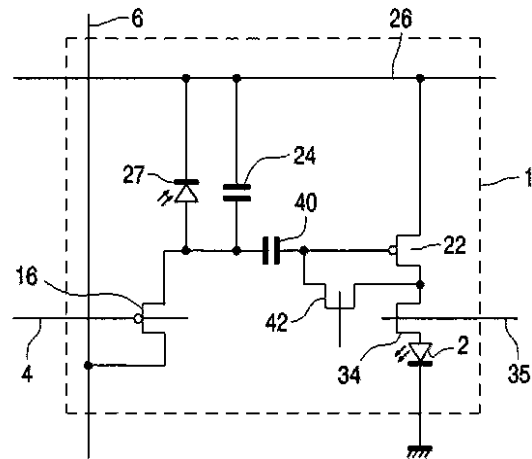


FIG.5

【図 6】

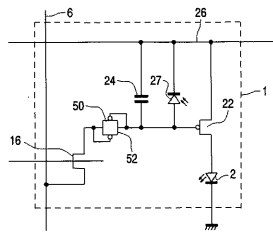


FIG.6

【図 7】

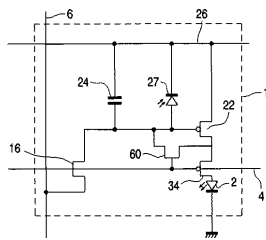


FIG.7

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 03/03804
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) PAJ, EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 20591 A (KONINKL PHILIPS ELECTRONICS NV) 22 March 2001 (2001-03-22)	1-4, 11, 17
Y	abstract; figures 3, 5, 8	9, 10, 12-14
	page 12, line 16 -page 14, line 16 page 21, line 23 -page 22, line 10 ---	
X	PATENT ABSTRACTS OF JAPAN vol. 017, no. 323 (P-1559), 18 June 1993 (1993-06-18)	1-4, 11, 17
	-& JP 05 035207 A (FUJI XEROX CO LTD), 12 February 1993 (1993-02-12)	
Y	abstract; figures 1, 3	9, 10, 12-14
	paragraphs '0006!-'0011!, '0014!, '0018!-'0022! --- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
3 December 2003		12/12/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer Fulcheri, A

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/IB 03/03804

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) abstract; figure 2 paragraphs '0004!-'0006! ----	9,10, 12-14 1-11, 13-17
Y	WO 98 48403 A (SARNOFF CORP) 29 October 1998 (1998-10-29) page 3, line 19 -page 6, line 14 figures 2,6 ----	9-14
Y	US 6 373 454 B1 (BIRD NEIL C ET AL) 16 April 2002 (2002-04-16) abstract; figures 2-5 column 6, line 21 -column 7, line 26 ----	11
A	FISH D ET AL: "INVITED PAPER: A COMPARISON OF PIXEL CIRCUITS FOR ACTIVE MATRIX POLYMER/ORGANIC LED DISPLAYS" 2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS. BOSTON, MA, MAY 21 - 23, 2002, SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, SAN JOSE, CA: SID, US, vol. 33 / 2, May 2002 (2002-05), pages 968-971, XP001134329 the whole document ----	1-17
A	EP 0 923 067 A (SEIKO EPSON CORP) 16 June 1999 (1999-06-16) the whole document -----	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat

Application No

PCT/IB 03/03804

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0120591	A	22-03-2001	WO 0120591 A1	22-03-2001
			EP 1129446 A1	05-09-2001
			JP 2003509728 T	11-03-2003
			TW 477158 B	21-02-2002
			US 2003122747 A1	03-07-2003
			US 6542138 B1	01-04-2003
JP 05035207	A	12-02-1993	NONE	
EP 1170718	A	09-01-2002	CN 1388951 T	01-01-2003
			EP 1170718 A1	09-01-2002
			WO 0205254 A1	17-01-2002
			US 2002033718 A1	21-03-2002
WO 9848403	A	29-10-1998	US 6229506 B1	08-05-2001
			EP 0978114 A1	09-02-2000
			JP 2002514320 T	14-05-2002
			WO 9848403 A1	29-10-1998
US 6373454	B1	16-04-2002	EP 1034530 A2	13-09-2000
			WO 9965011 A2	16-12-1999
			JP 2002517806 T	18-06-2002
EP 0923067	A	16-06-1999	EP 0923067 A1	16-06-1999
			US 2002180721 A1	05-12-2002
			WO 9840871 A1	17-09-1998
			KR 2000010923 A	25-02-2000
			TW 397965 B	11-07-2000
			US 2003063081 A1	03-04-2003

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100122769

弁理士 笛田 秀仙

(72) 発明者 フィッシュ デイヴィド エイ

イギリス国 シュレイ アールエイチ 1 5 エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

(72) 発明者 チャイルズ マーク ジェイ

イギリス国 シュレイ アールエイチ 1 5 エイチエイ レッドヒル クロス オーク レーン
フィリップス インテレクチュアル プロパティ アンド スタンダーズ

F ターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 DD29 EE29 FF11 HH09 JJ02 JJ03

5C094 AA03 AA04 AA21 AA37 BA03 BA27 DB04

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2005538403A	公开(公告)日	2005-12-15
申请号	JP2004533755	申请日	2003-08-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィドエイ チャイルズマークジェイ		
发明人	フィッシュ デイヴィド エイ チャイルズ マーク ジェイ		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/088 G09G2320/043 G09G2320/045 G09G2360/148		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.624.B G09G3/20.641.C G09G3/20.670.J H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/ DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C094/AA03 5C094/AA04 5C094/AA21 5C094/AA37 5C094/BA03 5C094/BA27 5C094/DB04		
代理人(译)	宫崎明彦		
优先权	2002020614 2002-09-05 GB		
外部链接	Espacenet		

摘要(译)

在有源矩阵电致发光显示装置中，提供存储电容器24，用于存储用于寻址驱动晶体管22的电压。提供用于根据显示元件的光输出对存储电容器放电的放电光电二极管27，并且施加到像素的输入数据电压改变与驱动晶体管的阈值电压对应的量。改变的数据电压施加在驱动晶体管的栅极和源极之间。在该器件中，改变驱动晶体管的栅极处的初始电压以消除光输出对阈值电压的依赖性，导致阈值电压的变化。

