

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-157266

(P2005-157266A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int.Cl.<sup>7</sup>

G09G 3/30

G09F 9/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/30

K

G09F 9/30

338

G09G 3/20

611H

G09G 3/20

624B

テーマコード (参考)

3K007

5C080

5C094

審査請求 未請求 請求項の数 13 O L (全 45 頁) 最終頁に続く

(21) 出願番号 特願2004-154092 (P2004-154092)

(22) 出願日 平成16年5月25日 (2004.5.25)

(31) 優先権主張番号 特願2003-378581 (P2003-378581)

(32) 優先日 平成15年11月7日 (2003.11.7)

(33) 優先権主張国 日本国 (JP)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100075258

弁理士 吉田 研二

(74) 代理人 100096976

弁理士 石田 純

(72) 発明者 古河 雅行

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 丸毛 浩二

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA00  
GA04

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

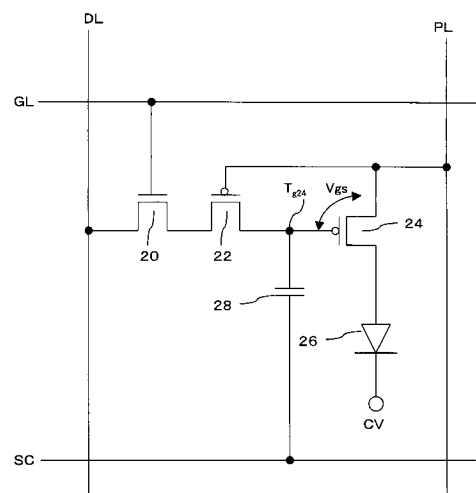
(57) 【要約】

【課題】 駆動TFTのしきい値変動の悪影響を減少する

。

【解決手段】 選択TFT20、補正TFT22がオンすることでデータラインのデータ電圧が駆動TFT24のゲート電圧として保持容量28に保持される。選択TFT20をオフした後、容量ラインSCの電圧を立ち下げ、これによって駆動TFT24をオンして駆動電流を有機EL素子26に流す。ここで、補正TFT22は、容量ラインSCの立ち下がり前はオンで、立ち下がり途中でオフとなる。従って、ゲート電圧の立ち下がり中に補正TFT22の容量値が変化し、駆動TFT24のゲート電圧の立ち下がり勾配が変化し、これによって駆動TFT24のしきい値変化に対応して、容量ラインSC立ち下がり後のゲート電圧の設定が行える。特に、駆動TFT24と補正TFT22を隣接して配置することで、両者の特性を同一として補正を効果的に行うことができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第 1 電源に接続される補正トランジスタと、

この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第 2 電源に接続される駆動トランジスタと、

この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、

前記駆動トランジスタに流れる電流によって発光する発光素子と、

を有し、

前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、

前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されていることを特徴とする画素回路。

**【請求項 2】**

請求項 1 に記載の画素回路において、

前記データラインおよび電源ラインは垂直方向に延在し、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることを特徴とする画素回路。

**【請求項 3】**

請求項 2 に記載の画素回路において、

前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることを特徴とする画素回路。

**【請求項 4】**

請求項 1 ~ 3 のいずれか 1 項に記載の回路において、

前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことを特徴とする画素回路。

**【請求項 5】**

請求項 1 ~ 4 のいずれか 1 項に記載の画素回路において、

前記第 1 電源と、第 2 電源は同一の電源であることを特徴とする画素回路。

**【請求項 6】**

請求項 1 ~ 5 のいずれか 1 項に記載の回路において、

前記補正トランジスタおよび駆動トランジスタは、p チャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することを特徴とする画素回路。

**【請求項 7】**

請求項 1 ~ 6 のいずれか一項に記載の画素回路において、

前記補正トランジスタ及び前記駆動トランジスタの能動層は、共に多結晶化レーザアニールによって得られた多結晶半導体から構成され、

前記補正トランジスタのチャネル長方向と前記駆動トランジスタのチャネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置され、かつ、前記補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域は、共にその少なくとも一部が、前記パルスレーザの走査方向に交差する方向に引いた同一の直線上に位置することを特徴とする画素回路。

**【請求項 8】**

10

20

30

40

50

複数の画素がマトリクス状に配列された表示装置であって、  
各画素は、

供給電力に応じた動作をする表示素子と、

データラインに第 1 導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

第 1 導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、

制御端が所定電圧の第 1 電源に接続され、第 1 導電領域が前記選択トランジスタの第 2 導電領域に接続され、第 2 導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、

10

第 1 電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第 2 導電領域に接続され、第 2 電極がパルス電圧ラインに接続された保持容量と、

を有し、

前記補正トランジスタは、その動作しきい値に応じて、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を制御し、

前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、

かつ、前記補正トランジスタと前記駆動トランジスタの少なくともチャンネル領域は、共にレーザアニールによって多結晶化された半導体層によって構成され、該チャンネル領域が互いに近接配置されていることを特徴とする表示装置。

20

#### 【請求項 9】

請求項 8 に記載の表示装置において、

前記補正トランジスタのチャンネル長方向と前記駆動トランジスタのチャンネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置され、かつ、前記補正トランジスタのチャンネル領域と前記駆動トランジスタのチャンネル領域は、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が位置していることを特徴とする表示装置。

#### 【請求項 10】

複数の画素がマトリクス状に配列された表示装置であって、

30

各画素は、

供給電力に応じた動作をする表示素子と、

データラインに第 1 導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

第 1 導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、

制御端が所定電圧の第 1 電源に接続され、第 1 導電領域が前記選択トランジスタの第 2 導電領域に接続され、第 2 導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、

前記駆動トランジスタの制御端及び前記補正トランジスタの第 2 導電領域に第 1 電極が接続され、第 2 電極がパルス電圧ラインに接続された保持容量と、

40

を有し、

前記補正トランジスタは、その動作しきい値に応じて、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を制御し、

前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、

かつ、前記補正トランジスタの能動層の少なくとも一部は、間に絶縁層を挟んで前記電源ラインの下層位置に形成されていることを特徴とする表示装置。

#### 【請求項 11】

50

請求項 10 に記載の表示装置において、

前記第 1 電源は電源ラインが兼用し、

前記補正トランジスタの能動層と前記電源ラインとの層間には、前記電源ラインに接続された前記補正トランジスタの制御電極が形成されていることを特徴とする表示装置。

【請求項 12】

請求項 8 ～ 請求項 11 のいずれか一項に記載の表示装置において、

前記補正トランジスタのチャネル領域は、そのチャネル長方向において互いにチャネル幅の異なる部分を備えることを特徴とする表示装置。

【請求項 13】

請求項 8 ～ 請求項 12 のいずれか一項に記載の表示装置において、

前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL 素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

【背景技術】

【0002】

従来より、発光素子として有機 EL 素子を用いた有機 EL パネルが知られており、その開発が進んでいる。この有機 EL パネルにおいては、有機 EL 素子をマトリクス状に配置し、この有機 EL 素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機 EL パネルでは、画素毎に表示制御用の TFT を有し、この TFT の動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【0003】

図 13 に、アクティブマトリクスタイプの有機 EL パネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続された n チャンネルの選択 TFT 10 を介し、駆動 TFT 12 のゲートに接続されている。また、駆動 TFT 12 のゲートには、他端が保持容量ライン SC に接続された保持容量 14 の一端が接続され、駆動 TFT 12 のゲート電圧を保持する。

【0004】

駆動 TFT 12 のソースは、EL 電源ラインに接続され、ドレインは有機 EL 素子 16 のアノードに接続され、有機 EL 素子 16 のカソードがカソード電源に接続されている。

【0005】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインが H レベルとなり、その行の選択 TFT 10 がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量 14 に供給保持され、ゲートラインが L レベルとなってもその時の電圧を保持する。

【0006】

そして、この保持容量 14 に保持された電圧に応じて、駆動 TFT 12 が動作して対応する駆動電流が EL 電源からの有機 EL 素子 16 を介し、カソード電源に流れ、有機 EL 素子 16 がデータ電圧に応じて発光する。

【0007】

そして、ゲートラインを順次 H レベルとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機 EL 素子 16 がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【0008】

10

20

30

40

50

【特許文献１】特表２００２－５１４３２０号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動ＴＦＴのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するＴＦＴについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【００１０】

そこで、駆動ＴＦＴにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【００１１】

ここで、ＴＦＴのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献１）。

【００１２】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【００１３】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【００１４】

本発明は、画素回路であって、データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第１電源に接続される補正トランジスタと、この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第２電源に接続される駆動トランジスタと、この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって発光する発光素子と、を有し、前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されている。

【００１５】

また、前記データラインおよび電源ラインが垂直方向に伸び、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることが好適である。

【００１６】

また、前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることが好適である。

【００１７】

また、前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことが好適である。

【００１８】

また、前記第１電源と、第２電源は同一の電源であることが好適である。

10

20

30

40

50

## 【 0 0 1 9 】

また、前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することが好適である。

## 【 0 0 2 0 】

本発明の他の態様では、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電力に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有する。さらに、前記補正トランジスタは、その動作しきい値に応じて、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を制御する。また、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタと前記駆動トランジスタの少なくともチャンネル領域は、共にレーザアニールによって多結晶化された半導体層によって構成され、該チャンネル領域が互いに近接配置されている。

10

## 【 0 0 2 1 】

本発明の他の態様では、上記画素回路や表示装置において、前記補正トランジスタのチャンネル長方向と前記駆動トランジスタのチャンネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に平行に配置され、かつ、前記補正トランジスタのチャンネル領域と前記駆動トランジスタのチャンネル領域は、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が位置している。

20

## 【 0 0 2 2 】

本発明の他の態様に係る表示装置では、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタの能動層の少なくとも一部が、間に絶縁層を挟んで前記電源ラインの下層位置に形成されている構成を採用することもできる。

30

## 【 0 0 2 3 】

また本発明では、上記表示装置において、前記第1電源は電源ラインが兼用し、前記補正トランジスタの能動層と前記電源ラインとの層間に、前記電源ラインに接続された前記補正トランジスタの制御電極を形成しても良い。また、前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えてもよい。

## 【 0 0 2 4 】

本発明の他の態様では、上記表示装置において、前記補正トランジスタのチャンネル領域は、そのチャンネル長方向において互いにチャンネル幅の異なる部分を備える。

## 【 発明の効果 】

40

## 【 0 0 2 5 】

以上説明したように、本発明によれば、パルス電圧ラインの電圧値を変更することで駆動トランジスタをオンする過程で、補正トランジスタのオンオフ状態を変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて異なる電圧を対応する駆動トランジスタの制御端に設定することができる。そして、駆動トランジスタと、補正トランジスタとを隣接して形成されているため、駆動トランジスタと、補正トランジスタのしきい値電圧を同様の電圧に設定することが容易であり、補正トランジスタにより駆動トランジスタのしきい値電圧を補償でき、発光素子に流す電流量を均一にすることができる。

## 【 0 0 2 6 】

50

また、データラインおよび電源ラインが垂直方向に延び、補正トランジスタをデータラインおよび電源ラインのライン間に形成したり、駆動トランジスタを電源ラインを挟んで、補正トランジスタの反対側に形成するなどにより、効率的な配置が可能となり、発光素子などの表示素子をできるだけ大きくして開口率の高い表示装置を実現することができる。

【0027】

例えば、電源ラインの下層領域に間に絶縁層を挟んで補正トランジスタの能動層を重ねて配置することで、1画素内の配置の自由度をより向上することができる。また、補正トランジスタの制御電極（ゲート電極）を電源ラインに接続する場合には、補正トランジスタの能動層が電源ラインの下方に位置してもそのチャンネル領域には制御電極によって電源ラインと同一の電圧が印加されるのでトランジスタの動作に及ぼす影響を小さくできる。

10

【0028】

また、補正トランジスタのチャンネル長方向においてチャンネル幅の異なる部分を設けることによっても、1画素内での各トランジスタ等の配置の自由度を向上させることが可能となる。

【0029】

また、パルス電圧ラインの電圧変動により、駆動トランジスタがオフからオンになると共に、補正トランジスタのオンオフ状態が切り替わり、その容量値が変化する。そして、補正トランジスタのしきい値変化に応じて駆動トランジスタのゲート電圧がどの電圧で補正トランジスタのオンオフが切り替わるかが変化する。また、パルス電圧ラインの変化に応じた駆動トランジスタのゲート電圧の変化は、補正トランジスタの容量値によるため、補正トランジスタのしきい値変動に応じて、ゲート電圧が変動することになる。よって、駆動トランジスタのしきい値変動を相殺するように駆動トランジスタのゲート電圧を変化させるために、補正トランジスタの特性と駆動トランジスタの特性にできるだけ揃えることで制御が容易となる。

20

【0030】

そこで補正トランジスタと駆動トランジスタのチャンネル領域が共にレーザアニールによって多結晶化された半導体層によって構成される場合、少なくともこのチャンネル領域を互いに近接配置することで特性を揃えることが容易となる。

【0031】

例えば、レーザアニールによって多結晶化した能動層を用いる場合に、補正トランジスタのチャンネル長方向と駆動トランジスタのチャンネル長方向を多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置することで、トランジスタの電気移動度に及ぼす影響の大きいチャンネル長方向に対して複数回のレーザパルスを照射することができ、画素毎に各トランジスタの特性ばらつき量を低減することができる。また、補正トランジスタのチャンネル領域と前記駆動トランジスタのチャンネル領域の位置を、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が並ぶようにすることで、同一のレーザビームがこの2つのトランジスタのチャンネル領域に照射されるため、その特性をより近づけることが可能となる。

30

【0032】

また、前記第1電源と、第2電源は同一の電源とすれば、別々の電源ラインを設ける必要がなくなる。

40

【0033】

また、補正トランジスタおよび駆動トランジスタを同一のpチャンネルトランジスタとした場合、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することで、pチャンネルトランジスタのゲート容量を有効に利用することができる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施形態について、図面に基づいて説明する。

50

## 【 0 0 3 5 】

図 1 は、実施形態に係る 1 画素の画素回路の構成を示す図である。垂直（走査）方向に伸びるデータライン D L には、n チャンネルの選択 T F T 2 0 の第 1 導電領域（ドレイン）が接続されている。この選択 T F T 2 0 のゲート（制御端）は水平（走査）方向に伸びるゲートライン G L に接続され、第 2 導電領域（ソース）は、p チャンネルの補正 T F T 2 2 の第 1 導電領域（ソース）に接続されている。なお、この選択 T F T 2 0 は、p チャンネルでもよく、p チャンネルの場合には、ゲートライン G L に出力する選択信号（ゲート信号）の極性（H レベルまたは L レベル）を逆に駆動すればよい。

## 【 0 0 3 6 】

補正 T F T 2 2 の制御端（ゲート）は、電源ライン P L（電圧 P v d d）に接続され、第 2 導電領域（ドレイン）は、p チャンネルの駆動 T F T 2 4 の制御端（ゲート）に接続されている。さらに、駆動 T F T 2 4 のゲートには、保持容量 2 8 の一端（第 1 電極）が接続され、この保持容量 2 8 の他端（第 2 電極）は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン（以下容量ライン）S C に接続されている。この容量ライン S C はゲートライン G L と同様に水平方向に伸びるラインである。なお、別の電源ラインを設け、補正 T F T 2 2 のゲートをその別の電源ラインに接続すれば、補正 T F T 2 2 のオンからオフに切り替わるタイミングを任意に調整することができる。

## 【 0 0 3 7 】

駆動 T F T 2 4 の第 1 導電領域（ソース）は、垂直方向に伸びる電源ライン P L に接続され、第 2 導電領域（ドレイン）は有機 E L 素子 2 6 のアノードに接続されている。また、有機 E L 素子 2 6 のカソードは、所定の低電圧のカソード電源 C V に接続されている。ここで、通常の場合、有機 E L 素子 2 6 のカソードは全画素共通になっており、このカソードがカソード電源 C V に接続されている。

## 【 0 0 3 8 】

有機 E L パネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートラインが H レベルとなり、その行の選択 T F T 2 0 がオン状態になる。これによって、補正 T F T 2 2 のソースは、データライン D L の電位になる。

## 【 0 0 3 9 】

ここで、データライン D L には、データ電圧が供給される。このデータ電圧 V d a t a は、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを 3 ~ 5 V 程度で表現している。一方、電源ライン P L の電圧 P v d d は、0 V 程度に設定される。従って、選択 T F T 2 0 がオンして、補正 T F T 2 2（ここではソース）に、データライン D L のデータ電圧 V d a t a が印加されると、補正 T F T 2 2 はオン状態になり、データ電圧 V d a t a が駆動 T F T 2 4 のゲート（ノード T g 2 4）にセットされる。すなわち、各画素へのデータ電圧 V d a t a の書き込み期間には、3 ~ 5 V 程度の電圧が駆動 T F T 2 4 のゲートにセットされる。なお、このときに保持容量 2 8 の他端の容量ライン S C は、+ 8 V 程度に設定されている。

## 【 0 0 4 0 】

このようなデータ電圧 V d a t a の書き込みが終了後、容量ライン S C の電圧を例えば - 4 V に下げる。これに応じて、駆動 T F T 2 4 のゲートは 1 2 V 程度低下し、駆動 T F T 2 4 がオンし、データ電圧に応じた電流が、駆動 T F T 2 4 を介し電源ライン P L から有機 E L 素子 2 6 に供給され発光する。

## 【 0 0 4 1 】

ここで、補正 T F T 2 2 は、容量ライン S C が + 8 V から - 4 V 程度にまで低下することで、そのドレイン（ノード T g 2 4）の電圧が、3 ~ 5 V から、基本的に - 9 V ~ - 7 V 程度の負電圧（後述するように、この電圧は少し異なる）になり、オン状態からオフ状態に変化する。補正 T F T 2 2 のこのオンからオフへの変化に応じて補正 T F T 2 2 のゲート容量が変化するため、その容量の変化タイミング、すなわち補正 T F T 2 2 のしきい値 V t h 2 2 が、最終的な駆動 T F T 2 4 のゲート電位を左右する。よって、補正 T F T 2 2 に



よって駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  のばらつきを補償することができる。

【 0 0 4 2 】

ここで、駆動 T F T 2 4 は、電源電圧  $P_{vdd}$  とゲート電圧  $V_{g24}$  の差、すなわち  $V_{gs24}$  に応じてオンして対応する駆動電流を流す。この  $V_{gs24}$  が、その T F T の特性で定まるしきい値電圧  $V_{th24}$  より大きくなったときに、駆動 T F T 2 4 は電流を流し始め、駆動電流量は、ゲート電圧  $V_{g24}$  と、しきい値電圧  $V_{th24}$  との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  を完全に同一にすることは難しく、しきい値電圧  $V_{th24}$  が、画素位置によって多少ばらつくことは免れることができない。そして、有機 E L 素子 2 6 は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  のバラツキに応じて変動することになる。本実施形態に係る構成では、補正 T F T 2 2 の容量変化によって、発光輝度のばらつきを補償する。

10

【 0 0 4 3 】

以下、発光輝度のばらつき補償の原理について、図 2 および図 3 を参照して説明する。図 3 は、図 2 における長丸で示した容量ライン S C の立ち下がり時の状態を拡大して示した図である。まず、図 2 に示すように、ゲートライン G L は、その行（水平ライン）が選択されているときに、アクティブ（H）レベルになる。この例では、選択 T F T 2 0 が n チャネルであり、ゲートライン G L は、L レベル = - 4 V 程度、H レベル = 8 V 程度に設定され、選択（アクティブ）の際には、8 V に設定される。

【 0 0 4 4 】

一方、容量ライン S C の電圧  $V_{sc}$  は、ゲートライン G L が選択される（H レベルの）期間より、若干長めの期間、H レベルとなる。すなわち、ゲートライン G L が H レベルとなる前に H レベルとなり、ゲートライン G L が L レベルとなった後に L レベルになる。

20

【 0 0 4 5 】

ゲートライン G L が H レベルの期間には、このゲートライン G L に対応する選択 T F T 2 0 および補正 T F T 2 2 がオンし、その際データライン D L に出力されているデータ電圧  $V_{data}$  が、選択 T F T 2 0 および補正 T F T 2 2 を介してノード T g24 に印加される。即ち、駆動 T F T 2 4 のゲート電圧  $V_{g24}$  が、データ電圧  $V_{data}$  にセットされる。

【 0 0 4 6 】

ゲートライン G L が L レベルとなり、データ電圧  $V_{data}$  の書き込み後、容量ライン S C の電圧が立ち下がり、これに応じてノード T g24 の電位が低下していくことでやがて補正 T F T 2 2 がオフする。駆動 T F T 2 4 のゲート電圧  $V_{g24}$  は、容量ライン S C の低下分（この例では 8 V から - 4 V への 12 V）に応じて、データ電圧  $V_{data}$  から所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。

30

【 0 0 4 7 】

補正 T F T 2 2 は、各画素毎に設けられており、かつその画素の駆動 T F T 2 4 に隣接して形成されており、また駆動 T F T 2 4 と同一の工程を経て作成される。特に、後述するように選択 T F T 2 0 を含め例えば駆動 T F T 2 4 及び補正トランジスタ 2 2 の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動 T F T 2 4 と補正 T F T 2 2 の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、T F T 特性を揃えることができる。また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動 T F T 2 4 と、補正 T F T 2 2 は、しきい値電圧もほぼ同一のものになる。また、補正 T F T 2 2 のゲートは、電源ライン P L（ここでは、 $P_{vdd} = 0$  V）に接続されているため、ノード T g24 の電圧  $V_{g24}$  の低下に従って、オンからオフに変化する。

40

【 0 0 4 8 】

このように、容量ライン S C の立ち下がり時において、p チャネル T F T である補正 T F T 2 2 は、オンからオフに状態が変化し、一方駆動 T F T 2 4 はオフからオンに状態が変化する。T F T は、そのゲート容量値  $C_g$  が、オンまたはオフの状態によって変化する。したがって、駆動 T F T 2 4 のゲート電圧  $V_{g24}$  の変化は、2 つの T F T 2 2 , 2 4 の

50

オンオフ状態の変化の影響を受ける。すなわち、T F T は、具体的には、T F T オン状態では、 $C_g$  は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいいため、電圧変化状態が容量変化の影響を受ける。

#### 【0049】

すなわち、補正 T F T 2 2 がオンからオフになってそのゲート容量値  $C_{g22}$  が小さくなると、電圧  $V_{g24}$  の低下の傾き  $\alpha_1$  が大きくなる。

#### 【0050】

従って、ある画素の補正 T F T 2 2 のオン状態からオフ状態に切り替わる切り替わり電圧が、図 3 における「切り替わり電圧 A」であった場合には、ノード T g24 の電圧（ゲート電圧  $V_{g24}$ ）は、図において実線で示したように変化する。即ち、切り替わり電圧 A に至るまでは、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から第 1 の傾き  $\alpha_1$  で変化（低下）し、切り替わり電圧 A に到達後、第 2 の傾き  $\alpha_2$  で変化（低下）する。そして、駆動 T F T 2 4 がオンになると、第 3 の傾き  $\alpha_3$  で変化（低下）し、容量ライン S C の電圧が L レベルになって所定期間経過後に、電圧  $V_{g24}$  は、補正電圧  $V_{cA}$  に設定される。

#### 【0051】

ここで、補正 T F T 2 2 がオンからオフに変化する切り替わり電圧は、上述のように補正 T F T 2 2 のゲート電圧である電源電圧  $P_{vdd} = 0$  と、そのソース電圧の差  $V_{gs22}$  で決まる。このため、切り替わり電圧 A、B は、電源電圧  $P_{vdd}$  に補正 T F T 2 2 のしきい値電圧  $V_{th22}$  の絶対値を加算した電圧（ $P_{vdd} + |V_{th22}|$ ）に等しい。

#### 【0052】

一方、補正 T F T 2 2 のしきい値電圧  $V_{th22}$  が、「切り替わり電圧 A」より低い「切り替わり電圧 B」である場合、ゲート電圧  $V_{g24}$  は、図 3 に破線で示したように変化する。即ち、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から、切り替わり電圧 B に到達するまでは第 1 の傾き  $\alpha_1$  で変化（低下）し、到達後からは第 2 の傾き  $\alpha_2$  で変化（低下）し、駆動 T F T 2 4 がオンすると第 3 の傾き  $\alpha_3$  で変化（低下）し、容量ライン S C の電圧が L レベルになってから所定期間経過後に、電圧  $V_{g24}$  は、補正電圧  $V_{cB}$  に設定される。

#### 【0053】

このように、ノード T g24 に、最初は、同一のデータ電圧  $V_{data}$  が供給されても、最終的な駆動 T F T 2 4 のゲート電圧  $V_{g24}$  は、しきい値電圧が低いほど高い補正電圧  $V_c$  に設定されることになる。

#### 【0054】

上述のように、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  は、補正 T F T 2 2 のしきい値電圧  $V_{th22}$  に対応している。従って、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  が、「 $V_{th24} A$ 」であれば、ゲート電圧  $V_{g24}$  は、しきい値電圧  $V_{th24} A$  に対応する補正電圧  $V_{cA}$  になり、「 $V_{th24} B$ 」であれば、ゲート電圧  $V_{g24}$  は、このしきい値電圧  $V_{th24} B$  に対応する補正電圧  $V_{cB}$  に設定される。この例では、しきい値電圧  $V_{th24}$  と補正後のゲート電圧  $V_{g24}$  との差は、しきい値電圧が  $V_{th24} A$  の場合でも  $V_{th24} B$  の場合でも、同一である。すなわち、補正 T F T 2 2 のサイズ、電源電圧値  $P_{vdd}$ 、駆動 T F T 2 4 のサイズ、保持容量 2 8 の容量値  $C_s$  などの設定によって、データ電圧  $V_{data}$  が同一であれば、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  が画素毎に異なっても、しきい値電圧  $V_{th24}$  とゲート電圧  $V_{g24}$  との差を一定にすることが可能であり、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  のバラツキの影響を排除することができる。

#### 【0055】

ここで、以上のような補償を行うためには、第 2 の傾き  $\alpha_2$  が、第 1 の傾き  $\alpha_1$  の 2 倍になるように、条件を設定することが好適である。この条件設定について図 3 に基づいて説明する。図 3 に示すように、補正 T F T 2 2 がオン状態であるとした場合は、その容量値  $C_{g22}$  がオフ時に比べて大きいいため、ゲート電圧  $V_{g24}$  の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き  $\alpha_1$  は小さくなる。一方、補正 T F T 2 2 がオフ状態である

場合は容量値  $C_{g22}$  が小さく、パルス駆動電圧の変化による影響が大きいため傾き  $\alpha_2$  が大きい。さらに、傾き  $\alpha_2$  は傾き  $\alpha_1$  の 2 倍の大きさになるよう条件に設定しているため、パルス駆動電圧が L レベルになったときのゲート電圧  $V_{g24}$  の減少分は、補正 T F T 2 2 がオフ状態の時にオン状態のときの 2 倍になる。

【0056】

すなわち、2つの駆動 T F T 2 4 のしきい値電圧の差  $V_{th24}$  と、2つの補正 T F T 2 2 のしきい値電圧の差  $V_{th22}$  が等しくなるように T F T を構成し、補正 T F T 2 2 のオンからオフに変わったときの傾きを 2 倍にすることによって、 $V_{th22} = V_{th24}$  となり、2つの補正電圧 ( $V_{cA}$ 、 $V_{cB}$ ) の差  $V_c$  は、 $V_c = V_{th24}$  を満たす。

【0057】

10

すなわち、図 3 において、

(i) 2つの補正 T F T 2 2 の切り替わり電圧 A と B との差 ( $V_{th22}$ )、

(ii) 切り替わり電圧 B (切り替わりタイミングの遅い方：ここでは低い方の電圧) と、その画素のノード T g24 B が切り替わり電圧 B に到達したときに、切り替わり電圧 A の補正 T F T 2 2 を備える画素におけるノード T g24 B の電圧  $V_{g24A}$  との差 ( $V_{th22}'$ )

(iii) 2つの駆動 T F T 2 4 の切り替わり電圧の差 ( $V_{th24}$ )、

(iv) 補正電圧  $V_{cA}$ 、 $V_{cB}$  との差 ( $V_c$ )

は全て等しくなる。

【0058】

20

なお、データ電圧  $V_{data}$  として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差  $V_{th22}$  と、補正電圧差  $V_c$  が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

【0059】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2 倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動 T F T 2 4 のゲート電圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。

【0060】

なお、上述のように、容量ライン S C の電圧を立ち下げる際の駆動 T F T 2 4 のゲート電圧変化は、特に補正 T F T 2 2 のゲート容量値  $C_{g22}$  と、駆動 T F T 2 4 のゲート容量値  $C_{g24}$ 、保持容量 2 8 の容量値  $C_s$ 、および配線の寄生容量  $C_w$  の影響を受ける。

30

【0061】

上述した  $V_{g24}$  の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量 2 8 の容量値を  $C_s$ 、補正 T F T 2 2 のゲート容量を  $C_{g22}$ 、駆動 T F T 2 4 のゲート容量を  $C_{g24}$ 、補正 T F T 2 2 のしきい値電圧を  $V_{th22}$ 、駆動 T F T 2 4 のしきい値電圧を  $V_{th24}$  とするとともに、保持容量 2 8 の容量値  $C_s =$  補正 T F T 2 2 のゲート容量  $C_{g22}$  に設定する。

(i) まず、駆動 T F T 2 4 のゲート電圧  $V_{g24} = V_{data}$  の状態から、容量ライン S C を 1 2 V 下げると、ノード T g24 の電圧  $V_{g24}$  も 1 2 V 下がるはずである。この変化のみを考慮した  $V_{g24}$  を  $V_{g24}'$  と表せば、

40

$$V_{g24}' = V_{data} - 12$$

となる。

(ii) 補正 T F T 2 2 のゲート容量を  $C_{g22}$  とすると、この補正 T F T 2 2 から流れ出し、保持容量 2 8 に流れ込む電荷量  $Q_{f22}$  は、

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

である。

【0062】

ここで、本実施形態では、上述のように  $C_{g22} = C_s$  であり、ノード T g24 の電圧  $V_{g24}$  は、 $(V_{data} - |V_{th22}|)$  だけ上昇する。よって、この上昇分を考慮した電圧  $V_{g24}''$

50

は、

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

となる。

(iii) さらに、保持容量 28 には、駆動 TFT 24 のゲートからも電荷が流れ込む。この電荷量  $Q_{f24}$  は、駆動 TFT 24 の最終的なゲート電圧を  $V_{g24}$  として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 $C_{g24}'$  は、駆動 TFT 24 におけるオフ時とオン時の容量差であり、SPICE (スパイスシミュレータ) の MEYER の式を用いて計算した  $C_{g24}' = C_{g24} \times 2/3$  の値を用いた。

(iv) 駆動 TFT 24 のゲート電圧  $V_{g24}$  は、電荷  $Q_{f24}$  が保持容量 28 に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

これを書き直すと、最終  $V_{g24}$  は、

$$\begin{aligned} &(1 + C_{g24}' / C_{g22}) V_{g24} \\ &= 2V_{data} - 12 - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}| \end{aligned}$$

となる。

#### 【0063】

$V_{th22} = V_{th24} = V_{th}$  であれば、

$$V_{g24} = -|V_{th}| + (2V_{data} - 12) / (1 + C_{g24}' / C_{g22})$$

となる。

#### 【0064】

この式における右辺第二項は、レイアウト寸法による固定値なので、 $V_{g24}$  は  $V_{th}$  分ずれることになり、駆動 TFT 24 のしきい値電圧  $V_{th}$  にずれがあってもこれを補償することができることになる。

#### 【0065】

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧  $P_{vdd}$  が 0 V でない場合には、その値を考慮すればよい。

#### 【0066】

また、補正 TFT 22 のしきい値電圧  $V_{th22}$  と、駆動 TFT 24 のしきい値  $V_{th24}$  が異なる場合にも、駆動 TFT 24 のしきい値  $V_{th24}$  だけ、そのゲート電圧  $V_{g24}$  がずれるのが望ましい。このためには、上述の式における  $C_{g24}' / C_{g22}$  を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$  となるように TFT を形成することが好ましい。

#### 【0067】

次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図 4 を参照して説明する。本実施形態に係る画素回路には、保持容量  $C_s$  の他、上述の補正 TFT 22 のゲート容量  $C_{g22}$ 、駆動 TFT 24 のゲート容量  $C_{g24}$  や各種の寄生容量が接続されている。例えば、図 4 のように、補正 TFT 22 のドレインと駆動トランジスタ 24 のゲートとの接続点 (ノード) Tg24 と電源ライン PL との間の寄生容量  $C_{w1}$ 、補正 TFT 22 のソースと選択 TFT 20 のソースとの接続部と電源ライン PL との間の寄生容量  $C_{w2}$  が存在する。これらの寄生容量と図 3 のノード Tg24 の電圧  $V_{g24}$  の低下の傾きとの関係を示すと、図 3 において、データ電圧  $V_{data}$  から切り替わり電圧 (A 又は B) に到達する迄の傾き  $\gamma_1$  は、

$$\gamma_1 = C_s / (C_{w1} + C_{w2} + C_s + C_{g22})$$

で示すことができる。これらの寄生容量 ( $C_{w1}$ 、 $C_{w2}$ 、 $C_{g22}$ ) の全てにそれぞれ一定の電荷が充電された状態から、保持容量  $C_s$  に電荷が流れ込むため、ゲート電圧  $V_{g24}$  の低下する傾き  $\gamma_1$  は、このような式で表される。

#### 【0068】

10

20

30

40

50

次に、図 3 において、切り替わり電圧到達後、駆動 T F T 2 4 がオンするまでの期間のノード T g24 の電圧  $V_{g24}$  の低下の傾き  $\alpha_2$  は、

$$\alpha_2 = C_s / (C_s + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正 T F T 2 2 がオフとなり、そのゲート容量  $C_{g22}$  と、そのソースと電源ライン P L との間の寄生容量  $C_{w2}$  が、電氣的に保持容量 2 8 (容量値  $C_s$ ) から切り離されるからである。

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$  に設定されている。

従って、 $C_s = C_{g22} - C_{w1} + C_{w2}$  を満たすように保持容量 2 8 の容量  $C_s$  を設定することで、容量ライン S C の電圧を立ち下げた際、補正 T F T 2 2 のオンからオフへの切り替わりによって、駆動 T F T 2 4 のゲート電圧  $V_{g24}$  の降下の傾き  $\alpha_2$  を  $\alpha_1$  の 2 倍に設定することができ、駆動 T F T 2 4 のしきい値電圧変動の適切な補償を行うことができる。

10

【0069】

また、図 3 に示すように、駆動 T F T 2 4 がオンした後の傾き  $\alpha_3$  は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

で表される。

【0070】

$C_{g24}$  は、上述のように駆動 T F T 2 4 のゲート容量であり、駆動 T F T 2 4 がオンすることで、この容量  $C_{g24}$  は保持容量 2 8 に接続され、電圧降下の傾き  $\alpha_3$  は、この容量  $C_{g24}$  の影響も受けることになる。この駆動 T F T 2 4 がオンするタイミング  $t_{on24}$  は、上述のように駆動 T F T 2 4 の切り替わり電圧、即ちそのしきい値電圧  $V_{th24}$  によらず、各画素で同時である。具体的には、各補正 T F T 2 2 がそのしきい値  $V_{th22}$  のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧  $V_{g24}$  が、電源電圧 P vdd からそれぞれの  $V_{th24}$  に応じた分だけ低い電圧に同時に到達したタイミングである。

20

【0071】

次に、このような画素回路を備える画素のレイアウトについて、図 5 及び図 6 を参照して説明する。図 5 は、1 画素における概略平面構造、図 6 (a) 及び (b) は、図 5 の A - A 線、B - B 線に沿った概略断面構造をそれぞれ示す。

【0072】

ガラスなどの透明な絶縁基板 1 0 0 の上にはバッファ層 1 0 2 が形成されており、その上に形成され、かつ多結晶シリコンからなる各 T F T の能動層、及び容量電極を構成する半導体層 (1 2 0、1 2 4、2 8 e) は、図 5 において、破線で示している。また、図 5 において、上記半導体層よりも上方に形成され、C r などの高融点金属材料が用いられたゲートライン G L、容量ライン S C 及び補正 T F T 2 2 のゲート電極 2 2 g、駆動 T F T 2 4 のゲート電極 2 4 g は、一点鎖線で示す。また、半導体層や上記 G L、S C よりも上方に形成され、A l などの低抵抗金属材料が用いられたデータライン D L、電源ライン P L、これらと同層の金属配線 2 4 w は、実線で示している。

30

【0073】

図 5 に示すレイアウトでは、各画素は、表示装置の水平 (H) 方向に沿って形成されるゲートライン G L の行間と、概ね表示装置の垂直 (V) 方向に沿って形成されるデータライン D L の行間との位置に構成されている。また、電源ライン P L は、データライン D L とほぼ並んで垂直方向 (マトリクスの列方向) に形成されており、各画素領域内では、データライン D L とこのデータライン D L に接続される画素の有機 E L 素子 2 6 との間を通っている。そして、後述するように選択 T F T 2 0、補正 T F T 2 2 及び保持容量 2 8 はデータライン D L と電源ライン P L との間、駆動 T F T と有機 E L 素子 2 6 は、電源ライン P L と隣の列のデータライン D L との間に配置されている。

40

【0074】

選択 T F T 2 0 は、ゲートライン G L とデータライン D L との交点付近に形成されている。ゲートライン G L からは、画素領域に向かって突出部が形成され、間にゲート絶縁膜 1 0 4 を挟んで、ゲートライン G L に沿って延びる半導体層 1 2 0 の一部分を横切るよう

50

に覆っている。このゲートライン G L からの突出部が T F T 2 0 のゲート電極 2 0 g となり、半導体層 1 2 0 のこのゲート電極 2 0 g に覆われた領域がチャネル領域になっている。

#### 【 0 0 7 5 】

選択 T F T 2 0 に接続されている補正 T F T 2 2 は、データライン D L と電源ライン P L とに挟まれた領域にそのチャネル長方向がデータライン D L の延在方向（垂直方向）に沿うように配置されている。また、この補正 T F T 2 2 の能動層は、データライン D L と一部が重なるようにデータライン D L の下層に形成されている。この補正 T F T 2 2 と次行のゲートライン G L に近接して配置された容量ライン S C との間には、より具体的には該容量ライン S C に沿って、保持容量 2 8 が配置されている。また駆動 T F T 2 4 が、電

10

#### 【 0 0 7 6 】

ここで、本実施形態において、選択 T F T 2 0 の能動層と、補正 T F T 2 2 の能動層及び保持容量 2 8 の容量電極 2 8 e は、単一の半導体層 1 2 0 によって一体的に形成されている（もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い）。

#### 【 0 0 7 7 】

選択 T F T 2 0 の形成領域では、データライン D L と半導体層 1 2 0 とは、ゲート絶縁膜 1 0 4 及び層間絶縁膜 1 0 6 を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層 1 2 0 は、データライン D L の下層領域（データライン D L とのコンタクト領域）からゲートライン G L に沿って電源ライン P L と重なる位置まで延び、重なった位置から電源ライン P L の下層を電源ライン P L の延在方向に沿って垂直方向に延びる。さらに、この半導体層 1 2 0 は、補正 T F T 2 2 のゲート電極 2 2 g と電源ライン P L とのコンタクト付近の手前で、電源ライン P L の下層位置からゲートライン G L の延在方向に平行な方向に曲がり、データライン D L に向かって延びる。

20

#### 【 0 0 7 8 】

なお、選択 T F T 2 0 の形成領域では、半導体層 1 2 0 は、データライン D L と接続された不純物注入領域が第 1 導電領域（例えばドレイン領域 2 0 d ）となり、ゲート電極 2 0 g と重なり不純物の注入されない真性領域がチャネル領域 2 0 c を構成し、このチャネル領域 2 0 c を挟んだ反対側に、第 1 導電領域と同じ導電型の不純物が注入された第 2 導電領域（例えばソース領域 2 0 s ）が構成されている。

30

#### 【 0 0 7 9 】

電源ライン P L の下層からデータライン D L に向かって延びた半導体層 1 2 0 は、データライン D L と再び交差する付近（選択 T F T 2 0 の第 1 導電領域 2 0 d 付近）でデータライン D L の延在方向に曲がり、少なくとも一部が電源ライン P L の形成領域に重なりながら（この例ではデータライン D L と一部重なっている）、データライン D L と電源ライン P L との間の領域を容量ライン S C の形成領域まで垂直方向に延在している。

40

#### 【 0 0 8 0 】

また、半導体層 1 2 0 がデータライン D L に沿って配置された領域は、補正 T F T 2 2 の能動層を構成しており、この能動層のゲート絶縁膜 1 0 4 を挟んだ上方には、補正 T F T 2 2 のゲート電極 2 2 g が配置され、このゲート電極 2 2 g は、層間絶縁膜 1 0 6 に形成されたコンタクトホールを介して電源ライン P L に接続されている。このゲート電極 2 2 g は、電源ライン P L とのコンタクト位置からデータライン D L に向かって延び、半導体層 1 2 0 （補正 T F T 2 2 の能動層）と重なる位置で曲がり、データライン D L の延在方向に延び、半導体層 1 2 0 の上層を覆い、かつデータライン D L 及び電源ライン P L と一部重なるようにこれらの下層に形成されている。

#### 【 0 0 8 1 】

50

半導体層 120 のゲート電極 22g に覆われた領域は、補正 TFT 22 の不純物のドーピングされていないチャネル領域 22c となり、チャネル領域 22c を挟んで選択 TFT 20 側には該選択 TFT 20 とは異なる導電型の不純物が注入された第 1 導電領域（ここでは例えばソース領域 22s）が形成され、容量ライン SC 側には第 1 導電領域 22s と同一の不純物の注入された第 2 導電領域（ここではドレイン領域 22d）が形成されている。なお、データライン DL 及び電源ライン PL とこの補正 TFT 22 の少なくともチャネル領域 22c をこれらのラインと一部重ねてそれらの下層に形成することで、補正 TFT 22 をデータライン DL と電源ライン PL の間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極 22g がそのチャネル領域 22c とデータライン DL 及び電源ライン PL との層間に配置することでチャネル領域 22c がデータライン DL から電氣的にシールドされており、補正 TFT 22 の動作がデータライン DL に印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正 TFT 22 のゲート電極 22g は電源ライン PL に接続されているので、この補正 TFT 22 の能動層、特にチャネル領域 22c が電源ライン PL と重なるように配置されても、チャネル領域 22c に対して印加される電圧はゲート電極 22g に覆われるのと実質的に変わらない。よって、補正 TFT 22 の能動層の大半の領域を電源ライン PL の下層に形成することも可能であり、このような配置とすれば、1 画素内での開口率、つまり発光に寄与する有機 EL 素子 26 の形成面積を最大限大きくすることが可能となる。

10

#### 【0082】

半導体層 120 は、補正 TFT 22 の第 2 導電性領域の形成領域から容量ライン SC に向かって延び、容量ライン SC と交差する位置で曲がり、容量ライン SC の延在方向である水平方向に、この容量ライン SC と、間にゲート絶縁膜 104 を挟んで重なるようにパターンニングされ、半導体層 120 の容量ライン SC と重なる領域が容量電極（第 1 電極）28e として機能し、容量ライン SC（第 2 電極）と、この容量電極 28e とが、間にゲート絶縁膜 104 を挟んで対向配置される領域が保持容量 28 となっている。

20

#### 【0083】

補正 TFT 22 の第 2 導電領域 22d と保持容量 28 の容量電極 28e との間には、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールを介して金属配線 24w が接続されている。この金属配線 24w は、容量ライン SC の延在方向に沿って形成され、層間絶縁膜 106 に形成されたコンタクトホールにおいて、駆動 TFT 24 のゲート電極 24g と接続されている。

30

#### 【0084】

駆動 TFT 24 のゲート電極 24g は、金属配線 24w とのコンタクト領域から自行のゲートライン GL の形成方向（図では上方向）に向かって延び、途中で電源ライン PL の下層を横切り、電源ライン PL の有機 EL 素子 26 側にこの電源ライン PL の延在方向に沿って形成されている。

#### 【0085】

ここで、電源ライン PL は、補正 TFT 22 のゲート電極 22g とのコンタクト領域付近からデータライン DL に近づくように曲がり、上記金属配線 24w の近くでは、その形成領域を迂回するよう有機 EL 素子 26 側に曲がり、駆動 TFT 24 の能動層を構成する半導体層 124 とのコンタクト付近からは次行の画素に向かって垂直方向に延びている。そして、駆動 TFT 24 は、電源ライン PL がデータライン DL 側に近づくことで有機 EL 素子 26 との間に形成されたスペースに形成されている。

40

#### 【0086】

駆動 TFT 24 の能動層を構成する半導体層 124 には、上方がゲート電極 24g に覆われた領域にチャネル領域 24c が形成され、電源ライン PL との接続側には第 1 導電領域（ここではソース領域 24s）が形成され、さらに、有機 EL 素子 26 との接続側に第 2 導電領域（ここではドレイン領域 24d）が形成されている。チャネル領域 24c は、不純物のドーピングされない真性領域で、その両側に形成される第 1 及び第 2 導電領域（24s 及び 24d）には、上記補正 TFT 22 と同一の導電型の不純物がドーピングされている。

50

なお、駆動TF T 2 4の第1導電領域2 4 sは、層間絶縁膜1 0 6及びゲート絶縁膜1 0 4に形成されたコンタクトホールにおいて、電源ラインP Lと接続されている。また駆動TF T 2 4の第2導電領域2 4 dは、層間絶縁膜1 0 6及びゲート絶縁膜1 0 4に形成されたコンタクトホールにおいて、例えば上記電源ラインP Lなど同一材料からなる接続電極2 4 eと接続されている。

#### 【0087】

また、図6 ( a ) , ( b ) に示すように、データラインD L、電源ラインP L上記金属配線2 4 w、接続電極2 4 eを覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層1 0 8が形成されている。そして、この平坦化絶縁層1 0 8には、上記駆動TF T 2 4に接続された接続電極2 4 eの形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層1 0 8の上に形成された有機E L素子2 6の第1電極2 6 2 (ここでは陽極) と、接続電極2 4 eとが接続されている。なお、接続電極2 4 eを設けない場合には、駆動TF T 2 4の第2導電領域2 4 dの形成領域において平坦化絶縁層1 0 8及び層間絶縁膜1 0 6及びゲート絶縁膜1 0 4を貫通するコンタクトホールを形成し、有機E L素子2 6の第1電極2 6 2と第2導電領域2 4 dとを直接接続する。

10

#### 【0088】

図6 ( b ) に示すように、有機E L素子2 6は、基板側に形成され、駆動TF T 2 4に接続される画素毎に個別パターンの第1電極2 6 2と、第2電極2 6 4との間に、発光素子層2 7 0を備える。第1電極2 6 2は例えばITO ( Indium Tin Oxide ) 等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極 ( 正孔注入電極 ) として機能する。第2電極2 6 4は、例えばAlやAg等の仕事関数の小さい金属材料や、そのような金属材料と上記ITOなどとの積層構造によって構成でき、ここでは陰極 ( 電子注入電極 ) として機能する。なお、画素毎に個別パターンに形成された第1電極2 6 2のエッジ部分を、平坦化絶縁層1 0 8のさらに上層に形成された第2平坦化絶縁層1 1 0によって覆い、非常に薄く形成される発光素子層2 7 0の上に形成される第2電極2 6 4とこの第1電極2 6 2とが短絡することを防止している。

20

#### 【0089】

発光素子層2 7 0は、この例では正孔輸送層2 7 2、発光層2 7 4、電子輸送層2 7 6の3層構造である。3層構造には限らず、用いる有機材料などにより、発光機能を備えた単独層でも、2層でも、また4層以上の積層構造あっても良い。発光素子層2 7 0として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図6 ( b ) に示すように、発光層2 7 4のみを第1電極2 6 2と同様の画素毎に個別パターンとしても良い。

30

#### 【0090】

このような構成の有機E L素子2 6は、本実施形態においては、電源ラインP Lから駆動TF T 2 4を介して第1電極2 6 2に供給される電流が、第2電極2 6 4との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第1電極2 6 2から注入される正孔と第2電極2 6 4から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、ここでは、透明な第1電極2 6 2及び基板1 0 0を透過して基板から外部に射出され、視認される。

40

#### 【0091】

本実施形態においては、上述のように電源ラインP Lを挟んで上記補正TF T 2 2と駆動TF T 2 4が、できるだけ近接して配置されるようにレイアウトされている。特に、補正TF T 2 2のチャネル領域2 2 cと、駆動TF T 2 4のチャネル領域2 4 cは、そのチャネル領域の少なくとも一部が垂直方向において互いに並ぶように形成されている。

#### 【0092】

本実施形態において画素内に形成される各TF Tの能動層は、プラズマCVDなどによって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ ( 図5参照 ) を、その長手方向が水平方向に一致するように設定し、その幅方向に所定ピッチずつ

50



らしながら順次照することで多結晶化アニールして得た低温多結晶シリコン（LTPS）層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータラインDL等の延在方向である垂直方向に一致させる。図5に示すように、補正TF T 2 2と駆動TF T 2 4の各チャンネル領域2 2 c、2 4 cは、そのチャンネル長方向がデータラインDL等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正TF T 2 2及び駆動TF T 2 4のチャンネル長よりも小さくすることにより、いずれのチャンネル領域2 2 c、2 4 cに対してもそのチャンネル長方向において、チャンネルを横切るように（チャンネル幅方向に）必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャンネル領域2 2 c、2 4 cについても複数のレーザビームが照射されるので、全チャンネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

10

また、いわゆるレーザアニールによって形成された多結晶シリコン層をTF Tの能動層に用いる場合に、同一のパルスレーザビームを補正TF T 2 2及び駆動TF T 2 4のチャンネル領域2 2 c、2 4 cとなる領域に同時に照射するように、チャンネル領域2 2 c、2 4 cとを近接配置することで、TF T特性（特にしきい値）に大きな影響を与える多結晶化状態を両TF Tで等しくすることが容易となる。

#### 【0093】

ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、長手方向が10 cm～30 cmの長さで、そのパルス幅は300 μm程度である。そして、このような大きさのパルスレーザの走査ピッチは、例えば25 μm程度、つまり、25 μmずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TF T 2 2のチャンネル領域2 2 cと駆動TF T 2 4のチャンネル領域2 4 cを、単に近接配置されるだけでなく、垂直方向に交差する方向に引いた同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを各チャンネル領域2 2 c、2 4 cに照射することが可能となる。さらに、補正TF T 2 2及び駆動TF T 2 4のいずれも、そのチャンネル長が少なくとも30 μm以上、より好ましくは40 μm以上に設定することで、チャンネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直方向に沿って走査することで、確実に少なくとも1つ以上の同一のパルスレーザを2つのTF Tのチャンネル領域2 2 c、2 4 cに照射することができる。

20

30

#### 【0094】

さらに、同一導電型の不純物は、各ゲート電極2 2 g、2 4 gをマスクとして半導体層1 2 0及び1 2 4に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正TF T 2 2と駆動TF T 2 4の特性を等しくすることを可能としている。

#### 【0095】

画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平方向の片側領域（図5の画素では左側にデータラインDL及び電源ラインとTF T 2 0, 2 2, 2 4等の回路素子が配置され、残りの片側（図5の画素では右側）に有機EL素子2 6が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機EL素子2 6をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TF T 2 0, 2 2, 2 4、保持容量2 8等の面積やレイアウトを変更することなく、有機EL素子2 6の面積のみの変更が容易であり、設計効率の向上が図れている。

40

#### 【0096】

なお、図5に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平方向にずれたいわゆるデルタ配列が採用されており、一本のデータラインDLが、同色画素にデータ信号V dataを供給する場合には、図5に示すようにデータラインDLは、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配

50

置される同色画素の選択 T F T 2 0 に接続されることとなる。このようなレイアウトが採用されていることにより、図 5 に示す画素の次の行の画素では、上記有機 E L 素子 2 6 は、図 5 とは逆に画素の左側、T F T 2 0 , 2 2 , 2 4 等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機 E L 素子と、これを制御するための T F T 等の位置関係は左右反転しない。

#### 【 0 0 9 7 】

ここで、本実施形態の補正 T F T 2 2 は、図 5 に示すように半導体層で構成されるチャネル領域 2 2 c の幅（チャネル幅）がそのチャネル長方向で変化している。具体的には、図 5 においては、選択 T F T 2 0 に近い方（図の上側）で幅が広く、保持容量 2 8 及び駆動 T F T 2 4 との接続側（図の下側）で幅が狭くなっている。このように補正 T F T 2 2 のチャネル幅がそのチャネル長方向において少なくとも他と異なる部分を設けることで、補正 T F T 2 2 の配置の自由度を大きくできる。なお、補正 T F T 2 2 の特性としては、最も狭いチャネル幅を基準に考えることができる。このように補正 T F T 2 2 の配置自由度が高まることで、他の回路素子である駆動 T F T 2 4 のゲート電極 2 4 g のレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体層の幅（チャネル幅方向）を変更することが好適であり、他の選択 T F T 2 0 , 駆動 T F T 2 4 等のチャネル幅を変更してより配置の自由度を高めることも可能である。

10

#### 【 0 0 9 8 】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機 E L 素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機 E L 素子以外の回路素子と、周辺ドライバ回路とを形成し、その後、それらの回路素子の上方に有機 E L 素子を形成し、さらに素子側から封止基板をガラス基板 1 0 0 に被せて接着することで有機 E L パネルが得られる。なお、実施形態の画素回路は、このような有機 E L パネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路（T F T）が形成される場合に適用することで同様の効果を得ることができる。

20

#### 【 0 0 9 9 】

次に、本実施形態では、選択 T F T 2 0、補正 T F T 2 2 は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いた T F T に多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正 T F T 2 2、選択 T F T 2 0 がオフの時にこれら T F T を介し、データライン D L に向けて流れる電流であり、これら T F T をマルチゲート化することで、リーク電流を抑制することができる。図 7 に示すように補正 T F T 2 2 のみをマルチゲート化してもよいし、選択 T F T 2 0 のみをマルチゲート化してもよい。もちろん図 9 に示すように両方をマルチゲート化してもよい。

30

#### 【 0 1 0 0 】

図 7 は、補正 T F T 2 2 をマルチゲート化した場合の等価回路を示し、図 8 はこの等価回路を実現するレイアウトの一例を示す平面図である。図 7 の例では、補正 T F T 2 2 としては、いわゆるダブルゲート構造が採用されている。具体的には、ノード T g 24 と選択 T F T 2 0 との間に、ノード T g 24 にドレインが接続された第 1 補正 T F T 2 2 - 1 と、この第 1 補正 T F T 2 2 - 1 と選択 T F T 2 0 との間に設けられた第 2 補正 T F T 2 2 - 2 の 2 つが設けられている。第 1 及び第 2 補正 T F T 2 2 - 1 , 2 2 - 2 のゲートは、共に電源ライン P L に接続され、第 1 及び第 2 補正 T F T 2 2 - 1 , 2 2 - 2 のソースドレインは、選択 T F T 2 0 とノード T g 24 との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動 T F T 2 4 と選択 T F T 2 0 との間のオフリーク耐性が高まり、保持容量 2 8 に保持される駆動 T F T 2 4 のゲート電圧  $V_{g24}$  がデータライン D L にリークして適正な値から変動してしまうことを効果的に防止することができる。

40

50

## 【0101】

具体的に説明すると、補正TF T 2 2を分割することで、第1及び第2補正TF T 2 2 - 1と、2 2 - 2の接続点に、選択TF T 2 0のソース側の電圧 $V_{s20}$ （補正TF T 2 2 - 2のソース電圧 $V_{d22-2}$ ）と、ノードTg24の電圧 $V_{g24}$ とが分圧されて、その間の値の電圧 $V_m$ が第1補正TF T 2 2 - 1のソース電圧となる。TF Tのオフリーク電流は、TF Tのドレインソース間電圧 $V_{ds}$ が1 V低くなると約1桁低減する。従って、補正TF T 2 2を分割することで、ノードTg24にドレインの接続される第1補正TF T 2 2 - 1のドレインソース間電圧 $V_{ds}$ を小さくできオフリーク電流が低減される。

## 【0102】

なお、図7のように、補正TF T 2 2をマルチゲート化した場合において、駆動TF T 2 4のゲートにその導電領域（ここではドレイン）が接続される第1補正TF T 2 2 - 1のチャネル領域のサイズは、他方の例えば第2補正TF T 2 2 - 2のチャネル領域のサイズと同一とする必要はない。

## 【0103】

例えば、第1補正TF T 2 2 - 1のチャネル領域のサイズを第2補正TF T 2 2 - 2のチャネル領域のサイズよりも小さくすることにより、第1補正TF T 2 2 - 1のゲート容量 $C_{g22-1}$ を小さくできる。補正TF T 2 2のオフ時に、そのゲート容量 $C_{g22}$ から保持容量2 8に流れ込む電荷量が多いと、ノードTg24の電位が長時間にわたって高く維持され、容量ラインSCの立ち下げに追従した電圧低下速度が遅くなる。よって、第1補正TF T 2 2のチャネルサイズを小さくすることで、オフ時において、保持容量2 8に流れ込む第1補正TF T 2 2 - 1のゲート容量 $C_{g22-1}$ からの電荷量を少なくし、ノードTg24の電圧を速く低下させることができる。この場合、第1補正TF T 2 2 - 1のチャネル領域のチャネル長を $L_1$ 、チャネル幅を $W_1$ 、第2補正TF T 2 2 - 2のチャネル領域のチャネル長を $L_2$ 、チャネル幅を $W_2$ とすると、 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好ましい。

## 【0104】

第1補正TF T 2 2 - 1のチャネル長 $L_1$ は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャネル幅 $W_1$ は、レイアウトの制約から許される範囲でできるだけ大きくする。第2補正TF T 2 2 - 2のチャネル長 $L_2$ は、長い方が、この第2補正TF T 2 2 - 2のゲート容量 $C_{g22-2}$ からノードTg24への電荷の流出を遅くすることができるが、そうするとTF Tのオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、 $L_2 / W_2$ の値が小さくなるように、つまり、 $L_2$ を長くした分、幅 $W_2$ を大きくすることが好適である。従って、この観点からも上記 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好適である。

## 【0105】

図8は、上記のように補正TF T 2 2をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図8の例においても、選択TF T 2 0の能動層と補正TF T 2 2の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第1補正TF T 2 2 - 1、2 2 - 2の能動層を構成する半導体層には図中1 2 2の符号を付している。この半導体層1 2 2は、上述の図5のレイアウトと同様に、データラインDLに沿って隣接方向に向かって（図では下方）延びている。

## 【0106】

補正TF T 2 2 - 1、2 2 - 2のゲート電極2 2 g（2 2 g 1、2 2 g 2）は、共通で、電源ラインPLの下層領域で該電源ラインPLと接続されている。そして、このゲート電極2 2 gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって水平方向に延び、能動層1 2 2の上方を横切る領域が第2補正TF T 2 2 - 2のゲート電極2 2 g 2となり、ここから更にデータラインDLの形成領域まで延び、データラインDLを横切った直後に折り返してデータラインPLの下をくぐる。データラインDLをくぐった付近でゲート電極2 2 gは再び能動層1 2 2の上方を覆うようにデータラインDLの延在方向に沿って次行の画素方向に向かって延び、ここで能動層1 2 2と重なる領域が第1補

10

20

30

40

50

正TF T 2 2 - 1のゲート電極2 2 g 1となる。なお、この第1補正TF T 2 2 - 1のゲート電極2 2 g 1は電源ラインP Lと、能動層1 2 2との層間に形成され、能動層1 2 2をその上方に形成されている電源ラインP L及びデータラインD Lから電氣的に遮蔽している。

#### 【0107】

このようにゲート電極2 2 gをU字型に折り返すパターンとすることでデータラインD Lに沿って垂直方向に延びる半導体層1 2 2の上方を例えば2カ所で覆うことで、ゲート電極2 2 gにそれぞれ覆われた位置にそれぞれチャンネル領域2 2 c 2, 2 2 c 1を形成することができる。半導体層1 2 2は、第2補正TF T 2 2 - 2の選択TF T 2 0のソース領域2 0 sとの接続側から順にソース領域2 2 s 2、チャンネル領域2 2 c 2（ゲート電極2 2 g 2の下層領域）、第2補正TF T 2 2 - 2のドレイン領域2 2 d 2及び第1補正TF T 2 2 - 1のソース領域2 2 s 1、チャンネル領域2 2 c 1（ゲート電極2 2 g 1の下層）、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1が形成されている。そして、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1は、保持容量2 8の容量電極2 8 eと接続され（同一半導体層）、また金属配線2 4 eを介して駆動TF T 2 4のゲート電極2 4 gと接続されている。

10

#### 【0108】

図8に示すようなレイアウトを採用すれば、補正TF T 2 2をマルチゲート化（ここではダブルゲート化）しても、その設置面積の増大を極力抑えることができる。

#### 【0109】

図9は、補正TF T 2 2だけでなく上述の選択TF T 2 0についてもマルチゲート化した場合の回路構成例を示す。また、図10は、図9のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図9の例では、選択TF TをデータラインD Lに対して直列接続された2つの選択TF T 2 0 - 1, 2 0 - 2より構成している。なお、2つの選択TF T 2 0 - 1, 2 0 - 2のゲートは、共にゲートラインG Lに接続されている。

20

#### 【0110】

選択TF T 2 0をマルチゲート化するためには、図5等にも示すような選択TF T 2 0をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図10にも示すように、選択TF T 2 0の能動層を構成する半導体層1 2 0は、選択TF T 2 0の形成領域付近において、データラインD Lから電源ラインP Lで折り返すようなU字型（コ字型）の形状となっている。従って、ゲートラインG Lから突出形成されるゲート電極2 0 gのパターンを、図10に点線で示すようにさらに延長し、電源ラインP Lから折り返した半導体層1 2 0の上層に重なるようにすればよい。このようにゲート電極2 0 gを延ばし、U字型に折り返す半導体層1 2 0のゲートラインG Lとの近接側と、折り返し側の2カ所にゲート電極2 0 g 1, 2 0 g 2を形成し、それぞれの下層にチャンネル領域2 0 c 1, 2 0 c 2を形成することで、電氣的にはデータラインD Lにその能動層が直列接続したダブルゲート型の選択TF T 2 0を容易に形成することができる。また、図10にさらに示すように、ゲート電極2 0 gの途中から更に水平方向に突出部を設け、能動層のU字底辺部分の上層をこの突出部が覆うようにすることでさらに3つの能動層がデータラインD Lに直列接続されたトリプルゲート型の選択TF T 2 0を得ることもできる。

30

40

#### 【0111】

図11は、選択TF T 2 2のマルチゲート（ダブルゲート）化の別のレイアウト例を示す。図11のレイアウトでは、水平方向に延びるゲートラインG Lから、データラインD Lとのコンタクト領域からこのゲートラインG Lに沿って水平方向に配置された半導体層1 2 0に向かって、2つのゲート電極2 0 g 1, 2 0 g 2が並んで突出形成されている。この例では、マルチゲートの選択TF T 2 0のチャンネル領域2 0 c 1, 2 0 c 2は、ゲートラインG Lの延在方向である水平方向に並んで配置されている。

#### 【0112】

50

以上図 9 及び図 10 又は図 11 に示すように、補正 T F T 22 だけでなく、選択 T F T 20 もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

#### 【0113】

図 12 には、更に別の回路構成例が示されている。図 12 に示す 1 画素あたりの等価回路構成では、データライン D L に一端（第 1 導電領域：例えばドレイン）が接続された選択 T F T 20 の他端（第 2 導電領域：例えばソース）と、前記補正 T F T 22 の第 1 導電領域（例えばソース）との間に、ゲートが容量ライン S C に接続されたリーク電流抑止 T F T 30 をさらに備えている。このリーク電流抑止 T F T 30 は、n チャネル型であり、補正 T F T 22 とは、逆極性となっている。

10

#### 【0114】

このリーク電流抑止 T F T 30 は、容量ライン S C が H レベルの時にオンし、L レベルの時にオフする。従って、ゲートライン G L が H レベルの期間はオンしており、データライン D L のデータ電圧 V data を駆動 T F T 24 のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ライン S C が L レベルに下がるためオフする。即ち、容量ライン S C が立ち下がり、駆動 T F T 24 のゲート電位が低電圧となった場合において、このリーク電流抑止 T F T 30 はオフ状態を維持し、このときのデータライン D L から駆動 T F T 24 のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝度の均一をさらに向上することが可能となる。なお、図 12 に示す構成において、さらに補正 T F T 22 をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正 T F T をマルチゲート化するかどうかを決定することが好適である。

20

#### 【図面の簡単な説明】

#### 【0115】

【図 1】本発明の実施形態に係る画素回路の構成を示す図である。

【図 2】本発明の実施形態に係るゲートライン G L、容量ライン S C に印加される信号のタイミングを示す図である。

【図 3】本発明の実施形態に係るゲート電圧 V<sub>g24</sub> の変化状態を示す図である。

30

【図 4】本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

【図 5】本発明の実施形態に係る画素の平面構成の一例を示す図である。

【図 6】図 5 の A - A 線及び B - B 線に沿った概略断面構成図である。

【図 7】本発明の実施形態に係る補正 T F T をマルチゲート化した場合の 1 画素あたりの等価回路を示す図である。

【図 8】図 7 に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

【図 9】本発明の実施形態に係る選択 T F T 及び補正 T F T の両方をマルチゲート化した場合の等価回路を示す図である。

【図 10】図 9 に示す等価回路を実現するレイアウトの一例を示す図である。

【図 11】図 10 に示すレイアウトの他の例を示す図である。

40

【図 12】本発明の実施形態に係る更に別の回路構成例を示す図である。

【図 13】従来の画素回路の構成を示す図である。

#### 【符号の説明】

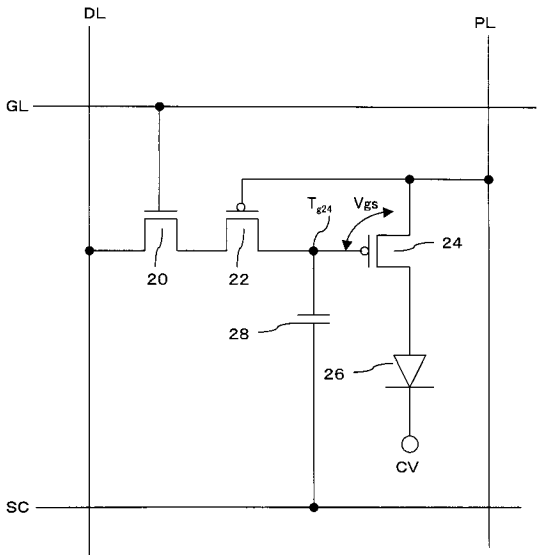
#### 【0116】

20 選択 T F T、20 g (20 g 1, 20 g 2) ゲート電極、22 補正 T F T、  
22 - 1 第 1 補正 T F T、22 - 2 第 2 補正 T F T、22 g (22 g 1, 22 g 2)  
ゲート電極、24 駆動 T F T、20 c、22 c、24 c チャネル領域、20 d、2  
2 d、24 d ドレイン領域、20 s、22 s、24 s ソース領域、24 w 金属配線  
、26 有機 E L 素子、28 保持容量、28 e 容量電極（第 1 電極）、30 リーク  
電流抑止 T F T、100 透明基板、102 バッファ層、104 ゲート絶縁層、10

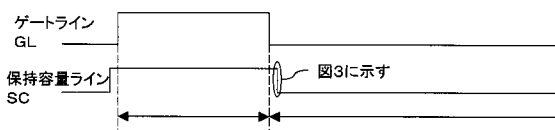
50

6 層間絶縁層、108 平坦化絶縁層、110 第2平坦化絶縁層、262 第1電極(陽極)、264 第2電極(陰極)、270 発光素子層。

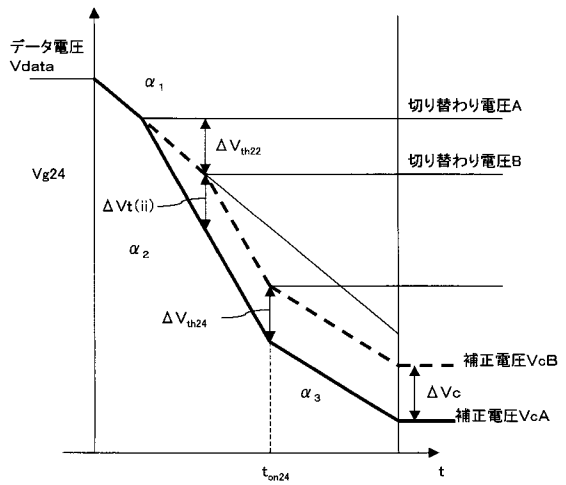
【 図 1 】



【 図 2 】

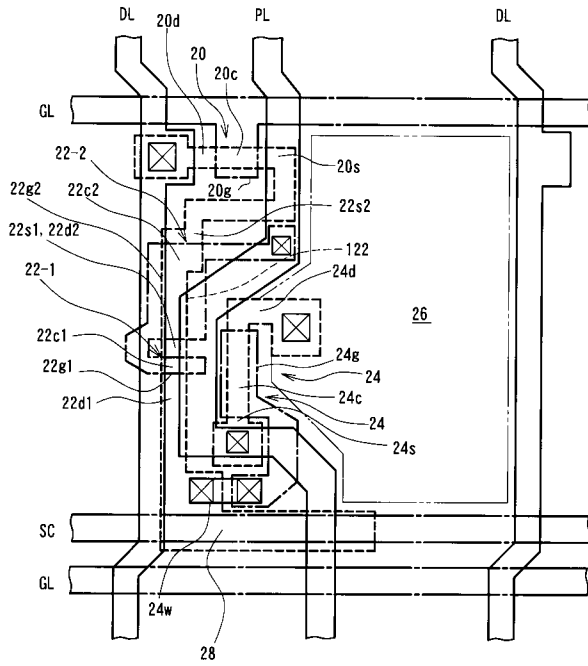


【 図 3 】

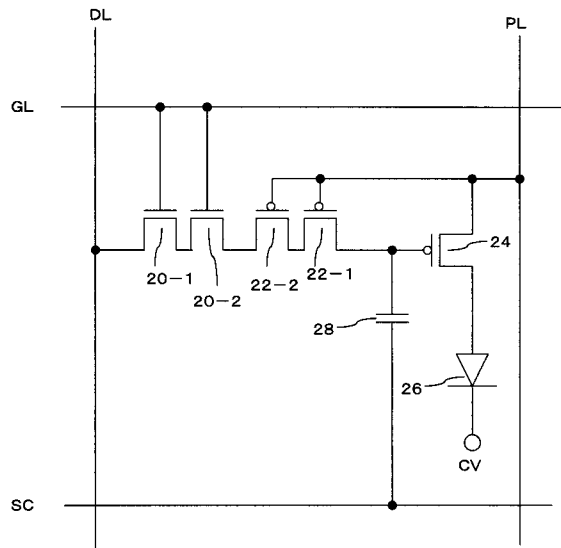




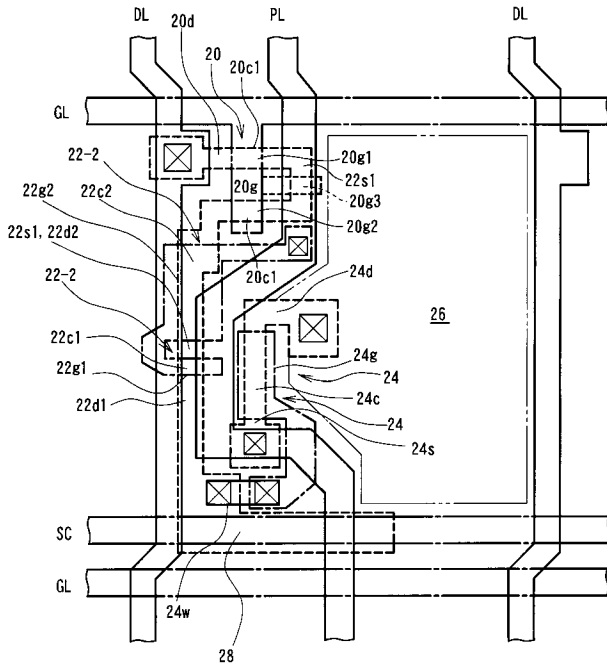
【図 8】



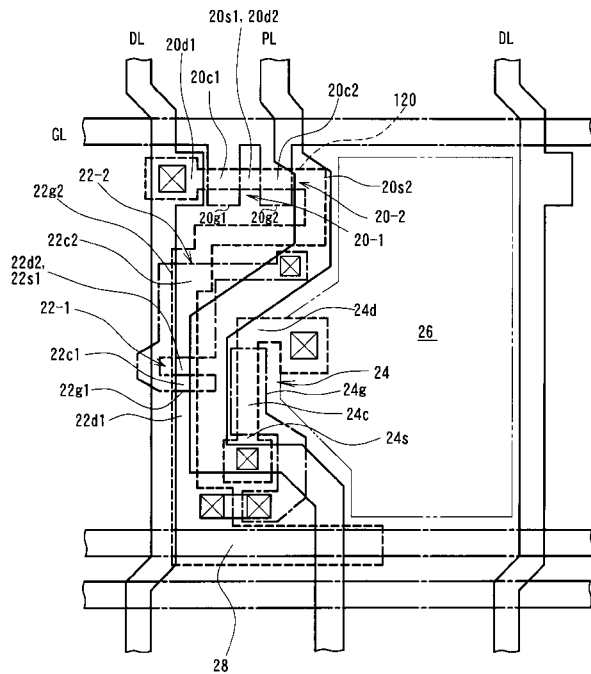
【図 9】



【図 10】

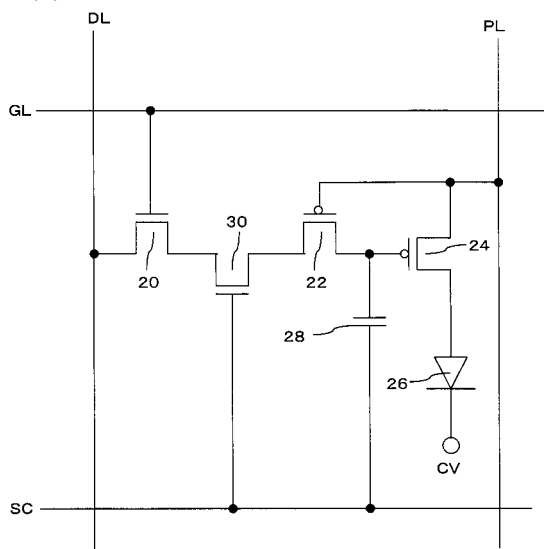


【図 11】

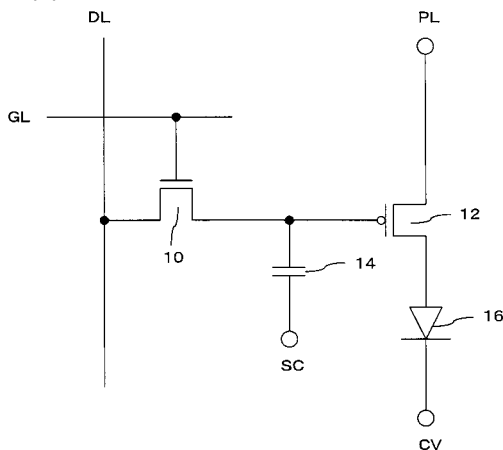




【図 1 2】



【図 1 3】



## 【手続補正書】

【提出日】平成17年3月8日(2005.3.8)

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

【背景技術】

【0002】

従来より、発光素子として有機EL素子を用いた有機ELパネルが知られており、その開発が進んでいる。この有機ELパネルにおいては、有機EL素子をマトリクス状に配置し、この有機EL素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ELパネルでは、画素毎に表示制御用のTFTを有し、このTFTの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

【0003】

図13に、アクティブマトリクスタイプの有機ELパネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたnチャンネルの選択TFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端が保持容量ラインSCに接続された保持

容量 14 の一端が接続され、その保持容量により駆動 T F T 12 のゲート電圧を保持する。

【 0 0 0 4 】

駆動 T F T 12 のソースは、E L 電源ライン P L に接続され、ドレインは有機 E L 素子 16 のアノードに接続され、有機 E L 素子 16 のカソードがカソード電源 C V に接続されている。

【 0 0 0 5 】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインが H レベルとなり、その行の選択 T F T 10 がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量 14 に供給保持され、ゲートラインが L レベルとなってもその時の電圧を保持する。

【 0 0 0 6 】

そして、この保持容量 14 に保持された電圧に応じて駆動 T F T 12 が動作して、対応する駆動電流が E L 電源から有機 E L 素子 16 を介してカソード電源 C V に流れ、有機 E L 素子 16 がデータ電圧に応じて発光する。

【 0 0 0 7 】

そして、ゲートラインを順次 H レベルとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機 E L 素子 16 がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【 0 0 0 8 】

【特許文献 1】特表 2 0 0 2 - 5 1 4 3 2 0 公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動 T F T のしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成する T F T について、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【 0 0 1 0 】

そこで、駆動 T F T におけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【 0 0 1 1 】

ここで、T F T のしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献 1）。

【 0 0 1 2 】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【 0 0 1 3 】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【 0 0 1 4 】

本発明は、画素回路であって、データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第 1 電源に接続される補正トランジスタと、この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第 2 電源に接続される駆動トランジスタと、

この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって発光する発光素子と、を有し、前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されている。

【0015】

また、前記データラインおよび電源ラインが垂直走査方向に伸び、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることが好適である。

【0016】

また、前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることが好適である。

【0017】

また、前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことが好適である。

【0018】

また、前記第1電源と、第2電源は同一の電源であることが好適である。

【0019】

また、前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することが好適である。

【0020】

本発明の他の態様では、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電力に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有する。さらに、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を前記補正トランジスタがその動作しきい値に応じて、制御する。また、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタと前記駆動トランジスタの少なくともチャンネル領域は、共にレーザアニールによって多結晶化された半導体層によって構成され、該チャンネル領域が互いに近接配置されている。

【0021】

本発明の他の態様では、上記画素回路や表示装置において、前記補正トランジスタのチャンネル長方向と前記駆動トランジスタのチャンネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に平行に配置され、かつ、前記補正トランジスタのチャンネル領域と前記駆動トランジスタのチャンネル領域は、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が位置している。

【0022】

本発明の他の態様に係る表示装置では、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタの能動層の少なくとも一部が、間に絶縁層を挟んで前記電源ラインの下層位置に形成されて

いる構成を採用することもできる。

【0023】

また本発明では、上記表示装置において、前記第1電源は電源ラインが兼用し、前記補正トランジスタの能動層と前記電源ラインとの層間に、前記電源ラインに接続された前記補正トランジスタの制御電極を形成しても良い。また、前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えてもよい。

【0024】

本発明の他の態様では、上記表示装置において、前記補正トランジスタのチャネル領域は、そのチャネル長方向において互いにチャネル幅の異なる部分を備える。

【発明の効果】

【0025】

以上説明したように、本発明によれば、パルス電圧ラインの電圧値を変更することで駆動トランジスタをオンする過程で、補正トランジスタのオンオフ状態を変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて異なる電圧を対応する駆動トランジスタの制御端に設定することができる。そして、駆動トランジスタと、補正トランジスタとを隣接して形成しているため、駆動トランジスタと、補正トランジスタのしきい値電圧を同様の電圧に設定することが容易であり、補正トランジスタにより駆動トランジスタのしきい値電圧を補償でき、発光素子に流す電流量を均一にすることができる。

【0026】

また、データラインおよび電源ラインが垂直走査方向に延び、補正トランジスタをデータラインおよび電源ラインのライン間に形成したり、駆動トランジスタを電源ラインを挟んで、補正トランジスタの反対側に形成するなどにより、効率的な配置が可能となり、発光素子などの表示素子をできるだけ大きくして開口率の高い表示装置を実現することができる。

【0027】

例えば、電源ラインの下層領域に、間に絶縁層を挟んで補正トランジスタの能動層を重ねて配置することで、1画素内の配置の自由度をより向上することができる。また、補正トランジスタの制御電極（ゲート電極）を電源ラインに接続する場合には、補正トランジスタの能動層が電源ラインの下方に位置してもそのチャネル領域には制御電極によって電源ラインと同一の電圧が印加されるのでトランジスタの動作に及ぼす影響を小さくできる。

【0028】

また、補正トランジスタのチャネル長方向においてチャネル幅の異なる部分を設けることによって、1画素内での各トランジスタ等の配置の自由度を向上させることが可能となる。

【0029】

また、パルス電圧ラインの電圧変動により、駆動トランジスタがオフからオンになると共に、補正トランジスタのオンオフ状態が切り替わり、その容量値が変化する。そして、補正トランジスタのしきい値変化に応じて駆動トランジスタのゲート電圧がどの電圧で補正トランジスタのオンオフが切り替わるかが変化する。また、パルス電圧ラインの変化に応じた駆動トランジスタのゲート電圧の変化は、補正トランジスタの容量値によるため、補正トランジスタのしきい値変動に応じて、ゲート電圧が変動することになる。よって、駆動トランジスタのしきい値変動を相殺するように駆動トランジスタのゲート電圧を変化させるために、補正トランジスタの特性と駆動トランジスタの特性とをできるだけ揃えることで制御が容易となる。

【0030】

そこで補正トランジスタと駆動トランジスタのチャネル領域が共にレーザアニールによって多結晶化された半導体層によって構成される場合、少なくともこのチャネル領域を互

いに近接配置することで特性を揃えることが容易となる。

【 0 0 3 1 】

例えば、レーザアニールによって多結晶化した能動層を用いる場合に、補正トランジスタのチャネル長方向と駆動トランジスタのチャネル長方向を多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置することで、トランジスタの電気移動度に及ぼす影響の大きいチャネル長方向に対して複数回のレーザパルスを照射することができ、画素毎に各トランジスタの特性ばらつき量を低減することができる。また、補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域の位置を、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が並ぶようにすることで、同一のレーザビームがこの2つのトランジスタのチャネル領域に照射されるため、その特性をより近づけることが可能となる。

【 0 0 3 2 】

また、前記第1電源と、第2電源は同一の電源とすれば、別々の電源ラインを設ける必要がなくなる。

【 0 0 3 3 】

また、補正トランジスタおよび駆動トランジスタを同一のpチャネルトランジスタとした場合、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することで、pチャネルトランジスタのゲート容量を有効に利用することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 4 】

以下、本発明の実施形態について、図面に基づいて説明する。

【 0 0 3 5 】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直（走査）方向に伸びるデータラインDLには、nチャネルの選択TFT20の第1導電領域（ドレイン）が接続されている。この選択TFT20のゲート（制御端）は水平（走査）方向に伸びるゲートラインGLに接続され、第2導電領域（ソース）は、pチャネルの補正TFT22の第1導電領域（ソース）に接続されている。なお、この選択TFT20は、pチャネルでもよく、pチャネルの場合には、ゲートラインGLに出力する選択信号（ゲート信号）の極性（HレベルまたはLレベル）を逆として駆動すればよい。

【 0 0 3 6 】

補正TFT22の制御端（ゲート）は、電源ラインPL（電圧Pvdd）に接続され、第2導電領域（ドレイン）は、pチャネルの駆動TFT24の制御端（ゲート）に接続されている。さらに、駆動TFT24のゲートには、保持容量28の一端（第1電極）が接続され、この保持容量28の他端（第2電極）は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン（以下容量ライン）SCに接続されている。この容量ラインSCはゲートラインGLと同様に水平走査方向に伸びるラインである。なお、別の電源ラインを設け、補正TFT22のゲートをその別の電源ラインに接続すれば、補正TFT22のオンからオフに切り替わるタイミングを任意に調整することができる。

【 0 0 3 7 】

駆動TFT24の第1導電領域（ソース）は、垂直走査方向に伸びる電源ラインPLに接続され、第2導電領域（ドレイン）は有機EL素子26のアノードに接続されている。また、有機EL素子26のカソードは、所定の低電圧のカソード電源CVに接続されている。ここで、通常の場合、有機EL素子26のカソードは全画素共通になっており、このカソードがカソード電源CVに接続されている。

【 0 0 3 8 】

有機ELパネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートラインがHレベルとなり、その行の選択TFT20がオン状態になる。これによって、補正TFT22のソースは、データラインDLの電位になる。

## 【0039】

ここで、データラインDLには、データ電圧が供給される。このデータ電圧Vdataは、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを3～5V程度で表現している。一方、電源ラインPLの電圧Pvddは、0V程度に設定される。従って、選択TF T 20がオンして、補正TF T 22（ここではソース）に、データラインDLのデータ電圧Vdataが印加されると、補正TF T 22はオン状態になり、データ電圧Vdataが駆動TF T 24のゲート（ノードTg24）にセットされる。すなわち、各画素へのデータ電圧Vdataの書き込み期間には、3～5V程度の電圧が駆動TF T 24のゲートにセットされる。なお、このときに保持容量28の他端の容量ラインSCは、+8V程度に設定されている。

## 【0040】

このようなデータ電圧Vdataの駆動TF T 24のゲートへの書き込みが終了した後、容量ラインSCの電圧を例えば-4Vに下げる。これに応じて、駆動TF T 24のゲートは12V程度低下し、駆動TF T 24がオンし、データ電圧に応じた電流が、駆動TF T 24を介し電源ラインPLから有機EL素子26に供給され発光する。

## 【0041】

ここで、補正TF T 22は、容量ラインSCが+8Vから-4V程度にまで低下することで、そのドレイン（ノードTg24）の電圧が、3～5Vから、基本的に-9V～-7V程度の負電圧（後述するように、この電圧は少し異なる）になり、オン状態からオフ状態に変化する。補正TF T 22のこのオンからオフへの変化に応じて補正TF T 22のゲート容量が変化するため、その容量の変化タイミング、すなわち補正TF T 22のしきい値 $V_{th22}$ が、最終的な駆動TF T 24のゲート電位を左右する。よって、補正TF T 22によって駆動TF T 24のしきい値電圧 $V_{th24}$ のばらつきを補償することができる。

## 【0042】

駆動TF T 24は、電源電圧Pvddとゲート電圧 $V_{g24}$ の差、すなわち $V_{gs24}$ に応じてオンして対応する駆動電流を流す。この $V_{gs24}$ が、そのTF Tの特性で定まるしきい値電圧 $V_{th24}$ より大きくなったときに、駆動TF T 24は電流を流し始め、駆動電流量は、ゲート電圧 $V_{g24}$ と、しきい値電圧 $V_{th24}$ との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動TF T 24のしきい値電圧 $V_{th24}$ を完全に同一にすることは難しく、しきい値電圧 $V_{th24}$ が、画素位置によって多少ばらつくことは免れることができない。そして、有機EL素子26は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動TF T 24のしきい値電圧 $V_{th24}$ のバラツキに応じて変動することになる。本実施形態に係る構成では、補正TF T 22の容量変化によって、発光輝度のばらつきを補償する。

## 【0043】

以下、発光輝度のばらつき補償の原理について、図2および図3を参照して説明する。図3は、図2における長丸で示した容量ラインSCの立ち下がり時の状態を拡大して示した図である。まず、図2に示すように、ゲートラインGLは、その行（水平ライン）が選択されているときに、アクティブ（H）レベルになる。この例では、選択TF T 20がnチャネルであり、ゲートラインGLは、Lレベル=-4V程度、Hレベル=8V程度に設定され、選択（アクティブ）の際には、8Vに設定される。

## 【0044】

一方、容量ラインSCの電圧Vscは、ゲートラインGLが選択される（Hレベルの）期間より、若干長めの期間、Hレベルとなる。すなわち、ゲートラインGLがHレベルとなる前にHレベルとなり、ゲートラインGLがLレベルとなった後にLレベルになる。

## 【0045】

ゲートラインGLがHレベルの期間には、このゲートラインGLに対応する選択TF T 20および補正TF T 22がオンし、その際データラインDLに出力されているデータ電圧Vdataが、選択TF T 20および補正TF T 22を介してノードTg24に印加される。即ち、駆動TF T 24のゲート電圧 $V_{g24}$ が、データ電圧Vdataにセットされる。

## 【 0 0 4 6 】

ゲートライン  $G_L$  が  $L$  レベルとなり、データ電圧  $V_{data}$  の書き込み後、容量ライン  $S_C$  の電圧が立ち下がり、これに応じてノード  $T_{g24}$  の電位が低下していくことでやがて補正  $TFT_{22}$  がオフする。駆動  $TFT_{24}$  のゲート電圧  $V_{g24}$  は、容量ライン  $S_C$  の低下分（この例では  $8V$  から  $-4V$  への  $12V$ ）に応じて、データ電圧  $V_{data}$  から所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。

## 【 0 0 4 7 】

補正  $TFT_{22}$  は、各画素毎に設けられており、かつその画素の駆動  $TFT_{24}$  に隣接して形成されており、また駆動  $TFT_{24}$  と同一の工程を経て作成される。特に、後述するように選択  $TFT_{20}$  を含め例えば駆動  $TFT_{24}$  及び補正トランジスタ  $22$  の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動  $TFT_{24}$  と補正  $TFT_{22}$  の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、 $TFT$  特性を揃えることができる。また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動  $TFT_{24}$  と、補正  $TFT_{22}$  は、しきい値電圧もほぼ同一のものになる。また、補正  $TFT_{22}$  のゲートは、電源ライン  $PL$ （ここでは、 $P_{vdd} = 0V$ ）に接続されているため、ノード  $T_{g24}$  の電圧  $V_{g24}$  の低下に従って、オンからオフに変化する。

## 【 0 0 4 8 】

このように、容量ライン  $S_C$  の立ち下がり時において、 $p$  チャネル  $TFT$  である補正  $TFT_{22}$  は、オンからオフに状態が変化し、一方駆動  $TFT_{24}$  はオフからオンに状態が変化する。 $TFT$  は、そのゲート容量値  $C_g$  が、オンまたはオフの状態によって変化する。したがって、駆動  $TFT_{24}$  のゲート電圧  $V_{g24}$  の変化は、2つの  $TFT_{22}$ 、 $24$  のオンオフ状態の変化の影響を受ける。すなわち、 $TFT$  は、具体的には、 $TFT$  オン状態では、 $C_g$  は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいいため、電圧変化状態が容量変化の影響を受ける。

## 【 0 0 4 9 】

すなわち、補正  $TFT_{22}$  がオンからオフになってそのゲート容量値  $C_{g22}$  が小さくなると、電圧  $V_{g24}$  の低下の傾き が大きくなる。

## 【 0 0 5 0 】

従って、ある画素の補正  $TFT_{22}$  のオン状態からオフ状態に切り替わる切り替わり電圧が、図3における「切り替わり電圧  $A$ 」であった場合には、ノード  $T_{g24}$  の電圧（ゲート電圧  $V_{g24}$ ）は、図において実線で示したように変化する。即ち、切り替わり電圧  $A$  に至るまでは、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から第1の傾き  $_1$  で変化（低下）し、切り替わり電圧  $A$  に到達後、第2の傾き  $_2$  で変化（低下）する。そして、駆動  $TFT_{24}$  がオンになると、第3の傾き  $_3$  で変化（低下）し、容量ライン  $S_C$  の電圧が  $L$  レベルになって所定期間経過後に、電圧  $V_{g24}$  は、補正電圧  $V_{cA}$  に設定される。

## 【 0 0 5 1 】

ここで、補正  $TFT_{22}$  がオンからオフに変化する切り替わり電圧は、上述のように補正  $TFT_{22}$  のゲート電圧である電源電圧  $P_{vdd} = 0$  と、そのソース電圧の差  $V_{gs22}$  で決まる。このため、切り替わり電圧  $A$ 、 $B$  は、電源電圧  $P_{vdd}$  に補正  $TFT_{22}$  のしきい値電圧  $V_{th22}$  の絶対値を加算した電圧（ $P_{vdd} + |V_{th22}|$ ）に等しい。

## 【 0 0 5 2 】

一方、補正  $TFT_{22}$  のしきい値電圧  $V_{th22}$  が、「切り替わり電圧  $A$ 」より低い「切り替わり電圧  $B$ 」である場合、ゲート電圧  $V_{g24}$  は、図3に破線で示したように変化する。即ち、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から、切り替わり電圧  $B$  に到達するまでは第1の傾き  $_1$  で変化（低下）し、到達後からは第2の傾き  $_2$  で変化（低下）し、駆動  $TFT_{24}$  がオンすると第3の傾き  $_3$  で変化（低下）し、容量ライン  $S_C$  の電圧が  $L$  レベルになってから所定期間経過後に、電圧  $V_{g24}$  は、補正電圧  $V_{cB}$  に設定される。

## 【 0 0 5 3 】

このように、ノード Tg24 に、最初は、同一のデータ電圧  $V_{data}$  が供給されても、最終的な駆動 T F T 2 4 のゲート電圧  $V_{g24}$  は、しきい値電圧が低いほど高い補正電圧  $V_c$  に設定されることになる。

## 【 0 0 5 4 】

上述のように、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  は、補正 T F T 2 2 のしきい値電圧  $V_{th22}$  に対応している。従って、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  が、「 $V_{th24} A$ 」であれば、ゲート電圧  $V_{g24}$  は、しきい値電圧  $V_{th24} A$  に対応する補正電圧  $V_{cA}$  になり、「 $V_{th24} B$ 」であれば、ゲート電圧  $V_{g24}$  は、このしきい値電圧  $V_{th24} B$  に対応する補正電圧  $V_{cB}$  に設定される。この例では、しきい値電圧  $V_{th24}$  と補正後のゲート電圧  $V_{g24}$  との差は、しきい値電圧が  $V_{th24} A$  の場合でも  $V_{th24} B$  の場合でも、同一である。すなわち、補正 T F T 2 2 のサイズ、電源電圧値  $P_{vdd}$ 、駆動 T F T 2 4 のサイズ、保持容量 2 8 の容量値  $C_s$  などの設定によって、データ電圧  $V_{data}$  が同一であれば、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  が画素毎に異なっても、しきい値電圧  $V_{th24}$  とゲート電圧  $V_{g24}$  との差を一定にすることが可能であり、駆動 T F T 2 4 のしきい値電圧  $V_{th24}$  のバラツキの影響を排除することができる。

## 【 0 0 5 5 】

ここで、以上のような補償を行うためには、第 2 の傾き  $\alpha_2$  が、第 1 の傾き  $\alpha_1$  の 2 倍になるように、条件を設定することが好適である。この条件設定について図 3 に基づいて説明する。図 3 に示すように、補正 T F T 2 2 がオン状態であるとした場合は、その容量値  $C_{g22}$  がオフ時に比べて大きいため、ゲート電圧  $V_{g24}$  の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き  $\alpha_1$  は小さくなる。一方、補正 T F T 2 2 がオフ状態である場合は容量値  $C_{g22}$  が小さく、パルス駆動電圧の変化による影響が大きいため傾き  $\alpha_2$  が大きい。さらに、傾き  $\alpha_2$  は傾き  $\alpha_1$  の 2 倍の大きさになるように条件設定しているため、パルス駆動電圧が L レベルになったときのゲート電圧  $V_{g24}$  の減少分は、補正 T F T 2 2 がオフ状態の時にオン状態のときの 2 倍になる。

## 【 0 0 5 6 】

すなわち、2 つの駆動 T F T 2 4 のしきい値電圧の差  $V_{th24}$  と、2 つの補正 T F T 2 2 のしきい値電圧の差  $V_{th22}$  が等しくなるように T F T を構成し、補正 T F T 2 2 のオンからオフに変わったときの傾きを 2 倍にすることによって、 $V_{th22} = V_{th24}$  となり、2 つの補正電圧 ( $V_{cA}$ 、 $V_{cB}$ ) の差  $V_c$  は、 $V_c = V_{th24}$  を満たす。

## 【 0 0 5 7 】

すなわち、図 3 において、

( i ) 2 つの補正 T F T 2 2 の切り替わり電圧 A と B との差 (  $V_{th22}$  )、

( i i ) 切り替わり電圧 B ( 切り替わりタイミングの遅い方：ここでは低い方の電圧 ) と、その画素のノード Tg24 B が切り替わり電圧 B に到達したときに、切り替わり電圧 A の補正 T F T 2 2 を備える画素におけるノード Tg24 B の電圧  $V_{g24} A$  との差 (  $V_{th22}'$  )、

( i i i ) 2 つの駆動 T F T 2 4 の切り替わり電圧の差 (  $V_{th24}$  )、

( i v ) 補正電圧  $V_{cA}$ 、 $V_{cB}$  との差 (  $V_c$  )

は全て等しくなる。

## 【 0 0 5 8 】

なお、データ電圧  $V_{data}$  として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差  $V_{th22}$  と、補正電圧差  $V_c$  が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

## 【 0 0 5 9 】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2 倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動 T F T 2 4 のゲート電圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。



## 【 0 0 6 0 】

なお、上述のように、容量ライン S C の電圧を立ち下げる際の駆動 T F T 2 4 のゲート電圧変化は、特に補正 T F T 2 2 のゲート容量値  $C_{g22}$  と、駆動 T F T 2 4 のゲート容量値  $C_{g24}$ 、保持容量 2 8 の容量値  $C_s$ 、および配線の寄生容量  $C_w$  の影響を受ける。

## 【 0 0 6 1 】

上述した  $V_{g24}$  の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量 2 8 の容量値を  $C_s$ 、補正 T F T 2 2 のゲート容量を  $C_{g22}$ 、駆動 T F T 2 4 のゲート容量を  $C_{g24}$ 、補正 T F T 2 2 のしきい値電圧を  $V_{th22}$ 、駆動 T F T 2 4 のしきい値電圧を  $V_{th24}$  とするとともに、保持容量 2 8 の容量値  $C_s =$  補正 T F T 2 2 のゲート容量  $C_{g22}$  に設定する。

( i ) まず、駆動 T F T 2 4 のゲート電圧  $V_{g24} = V_{data}$  の状態から、容量ライン S C を 1 2 V 下げると、ノード T g24 の電圧  $V_{g24}$  も 1 2 V 下がるはずである。この変化のみを考慮した  $V_{g24}$  を  $V_{g24}'$  と表せば、

$$V_{g24}' = V_{data} - 12$$

となる。

( i i ) 補正 T F T 2 2 のゲート容量を  $C_{g22}$  とすると、この補正 T F T 2 2 から流れ出し、保持容量 2 8 に流れ込む電荷量  $Q_{f22}$  は、

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

である。

## 【 0 0 6 2 】

ここで、本実施形態では、上述のように  $C_{g22} = C_s$  であり、ノード T g24 の電圧  $V_{g24}$  は、 $(V_{data} - |V_{th22}|)$  だけ上昇する。よって、この上昇分を考慮した電圧  $V_{g24}''$  は、

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

となる。

( i i i ) さらに、保持容量 2 8 には、駆動 T F T 2 4 のゲートからも電荷が流れ込む。この電荷量  $Q_{f24}$  は、駆動 T F T 2 4 の最終的なゲート電圧を  $V_{g24}$  として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 $C_{g24}'$  は、駆動 T F T 2 4 におけるオフ時とオン時の容量差であり、S P I C E ( スパイスシミュレータ ) の M E Y E R の式を用いて計算した  $C_{g24}' = C_{g24} \times 2 / 3$  の値を用いた。

( i v ) 駆動 T F T 2 4 のゲート電圧  $V_{g24}$  は、電荷  $Q_{f24}$  が保持容量 2 8 に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

これを書き直すと、最終  $V_{g24}$  は、

$$\begin{aligned} (1 + C_{g24}' / C_{g22}) V_{g24} \\ = 2V_{data} - 12 - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}| \end{aligned}$$

となる。

## 【 0 0 6 3 】

$V_{th22} = V_{th24} = V_{th}$  であれば、

$$V_{g24} = -|V_{th}| + (2V_{data} - 12) / (1 + C_{g24}' / C_{g22})$$

となる。

## 【 0 0 6 4 】

この式における右辺第二項は、レイアウト寸法による固定値なので、 $V_{g24}$  は  $V_{th}$  分ずれることになり、駆動 T F T 2 4 のしきい値電圧  $V_{th}$  にずれがあってもこれを補償することができることになる。

## 【 0 0 6 5 】

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧  $P_{vdd}$  が 0 V でない場合には、その値を考慮すれ

ばよい。

【0066】

また、補正TFT22のしきい値電圧 $V_{th22}$ と、駆動TFT24のしきい値 $V_{th24}$ が異なる場合にも、駆動TFT24のしきい値 $V_{th24}$ だけ、そのゲート電圧 $V_{g24}$ がずれるのが望ましい。このためには、上述の式における $C_{g24}' / C_{g22}$ を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$ となるようにTFTを形成することが好ましい。

【0067】

次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図4を参照して説明する。本実施形態に係る画素回路には、保持容量 $C_s$ の他、上述の補正TFT22のゲート容量 $C_{g22}$ 、駆動TFT24のゲート容量 $C_{g24}$ や各種の寄生容量が接続されている。例えば、図4のように、補正TFT22のドレインと駆動トランジスタ24のゲートとの接続点（ノード）Tg24と電源ラインPLとの間の寄生容量 $C_{w1}$ 、補正TFT22のソースと選択TFT20のソースとの接続部と電源ラインPLとの間の寄生容量 $C_{w2}$ が存在する。これらの寄生容量と図3のノードTg24の電圧 $V_{g24}$ の低下の傾きとの関係を示すと、図3において、データ電圧 $V_{data}$ から切り替わり電圧（A又はB）に到達する迄の傾き $\alpha_1$ は、

$$\alpha_1 = C_s / (C_{w1} + C_{w2} + C_s + C_{g22})$$

で示すことができる。これらの寄生容量（ $C_{w1}$ 、 $C_{w2}$ 、 $C_{g22}$ ）の全てにそれぞれ一定の電荷が充電された状態から、保持容量 $C_s$ に電荷が流れ込むため、ゲート電圧 $V_{g24}$ の低下する傾き $\alpha_1$ は、このような式で表される。

【0068】

次に、図3において、切り替わり電圧到達後、駆動TFT24がオンするまでの期間のノードTg24の電圧 $V_{g24}$ の低下の傾き $\alpha_2$ は、

$$\alpha_2 = C_s / (C_s + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正TFT22がオフとなり、そのゲート容量 $C_{g22}$ と、そのソースと電源ラインPLとの間の寄生容量 $C_{w2}$ が、電氣的に保持容量 $C_s$ （容量値 $C_s$ ）から切り離されるからである。

【0069】

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$ に設定されている。従って、 $C_s = C_{g22} - C_{w1} + C_{w2}$ を満たすように保持容量 $C_s$ の容量 $C_s$ を設定することで、容量ラインSCの電圧を立ち下げた際、補正TFT22のオンからオフへの切り替わりによって、駆動TFT24のゲート電圧 $V_{g24}$ の降下の傾き $\alpha_2$ を $\alpha_1$ の2倍に設定することができ、駆動TFT24のしきい値電圧変動の適切な補償を行うことができる。

【0070】

また、図3に示す駆動TFT24がオンした後の傾き $\alpha_3$ は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

で表される。

【0071】

$C_{g24}$ は、上述のように駆動TFT24のゲート容量であり、駆動TFT24がオンすることで、この容量 $C_{g24}$ は保持容量 $C_s$ に接続され、電圧降下の傾き $\alpha_3$ は、この容量 $C_{g24}$ の影響も受けることになる。この駆動TFT24がオンするタイミング $t_{on24}$ は、上述のように駆動TFT24の切り替わり電圧、即ちそのしきい値電圧 $V_{th24}$ によらず、各画素で同時である。具体的には、各補正TFT22がそのしきい値 $V_{th22}$ のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧 $V_{g24}$ が、電源電圧 $P_{vdd}$ からそれぞれの $V_{th24}$ に応じた分だけ低い電圧に同時に到達したタイミングである。

【0072】

次に、このような画素回路を備える画素のレイアウトについて、図5及び図6を参照して説明する。図5は、1画素における概略平面構造、図6(a)及び(b)は、図5のA

- A線、B-B線に沿った概略断面構造をそれぞれ示す。

【0073】

ガラスなどの透明な絶縁基板100の上にはバッファ層102が形成されており、その上に形成され、かつ多結晶シリコンからなる各TF Tの能動層、及び容量電極を構成する半導体層(120、124、28e)は、図5において、破線で示している。また、図5において、上記半導体層よりも上方に形成され、Crなどの高融点金属材料が用いられたゲートラインGL、容量ラインSC及び補正TF T22のゲート電極22g、駆動TF T24のゲート電極24gは、一点鎖線で示す。また、半導体層や上記GL、SCよりも上方に形成され、Alなどの低抵抗金属材料が用いられたデータラインDL、電源ラインPL、これらと同層の金属配線24wは、実線で示している。

【0074】

図5に示すレイアウトでは、各画素は、表示装置の水平走査(H)方向に沿って形成されるゲートラインGLの行間と、概ね表示装置の垂直走査(V)方向に沿って形成されるデータラインDLの行間との位置に構成されている。また、電源ラインPLは、データラインDLとほぼ並んで垂直走査方向(マトリクスの列方向)に形成されており、各画素領域内では、データラインDLとこのデータラインDLに接続される画素の有機EL素子26との間を通っている。そして、後述するように選択TF T20、補正TF T22及び保持容量28はデータラインDLと電源ラインPLとの間、駆動TF Tと有機EL素子26は、電源ラインPLと隣の列のデータラインDLとの間に配置されている。

【0075】

選択TF T20は、ゲートラインGLとデータラインDLとの交点付近に形成されている。ゲートラインGLからは、画素領域に向かって突出部が形成され、層間にゲート絶縁膜104を挟んで、ゲートラインGLに沿って延びる半導体層120の一部分を横切るように覆っている。このゲートラインGLからの突出部がTF T20のゲート電極20gとなり、半導体層120のこのゲート電極20gに覆われた領域がチャネル領域になっている。

【0076】

選択TF T20に接続されている補正TF T22は、データラインDLと電源ラインPLとに挟まれた領域にそのチャネル長方向がデータラインDLの延在方向(垂直走査方向)に沿うように配置されている。また、この補正TF T22の能動層は、データラインDLと一部が重なるようにデータラインDLの下層に形成されている。この補正TF T22と次行のゲートラインGLに近接して配置された容量ラインSCとの間には、より具体的には該容量ラインSCに沿って、保持容量28が配置されている。また駆動TF T24が、電源ラインPLを挟んで補正TF T22の形成領域と反対側の領域(有機EL素子領域26側)に配置されており、その能動層を構成する半導体層124の少なくともチャネル領域24cは、補正TF T22のチャネル領域22cとできるだけ近接して配置されるようにレイアウトされている。

【0077】

ここで、本実施形態において、選択TF T20の能動層と、補正TF T22の能動層及び保持容量28の容量電極28eは、単一の半導体層120によって一体的に形成されている(もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い)。

【0078】

選択TF T20の形成領域では、データラインDLと半導体層120とは、ゲート絶縁膜104及び層間絶縁膜106を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層120は、データラインDLの下層領域(データラインDLとのコンタクト領域)からゲートラインGLに沿って電源ラインPLと重なる位置まで延び、重なった位置から電源ラインPLの下層を電源ラインPLの延在方向に沿って垂直走査方向に延びる。さらに、この半導体層120は、補正TF T22のゲート電極22gと電源ラインPLとのコンタクト付近の手前で、電源ラインPLの下層位置からゲートラ

イン G L の延在方向に平行な方向に曲がり、データライン D L に向かって延びる。

【0079】

なお、選択 T F T 2 0 の形成領域では、半導体層 1 2 0 は、データライン D L と接続された不純物注入領域が第 1 導電領域（例えばドレイン領域 2 0 d）となり、ゲート電極 2 0 g と重なり不純物の注入されない真性領域がチャンネル領域 2 0 c を構成し、このチャンネル領域 2 0 c を挟んだ反対側に、第 1 導電領域と同じ導電型の不純物が注入された第 2 導電領域（例えばソース領域 2 0 s）が構成されている。

【0080】

電源ライン P L の下層からデータライン D L に向かって延びた半導体層 1 2 0 は、データライン D L と再び交差する付近（選択 T F T 2 0 の第 1 導電領域 2 0 d 付近）でデータライン D L の延在方向に曲がり、少なくとも一部が電源ライン P L の形成領域に重なりながら（この例ではデータライン D L と一部重なっている）、データライン D L と電源ライン P L との間の領域を容量ライン S C の形成領域まで垂直走査方向に延在している。

【0081】

また、半導体層 1 2 0 がデータライン D L に沿って配置された領域は、補正 T F T 2 2 の能動層を構成しており、この能動層のゲート絶縁膜 1 0 4 を挟んだ上方には、補正 T F T 2 2 のゲート電極 2 2 g が配置され、このゲート電極 2 2 g は、層間絶縁膜 1 0 6 に形成されたコンタクトホールを介して電源ライン P L に接続されている。このゲート電極 2 2 g は、電源ライン P L とのコンタクト位置からデータライン D L に向かって延び、半導体層 1 2 0（補正 T F T 2 2 の能動層）と重なる位置で曲がり、データライン D L の延在方向に延び、半導体層 1 2 0 の上層を覆い、かつデータライン D L 及び電源ライン P L と一部重なるようにこれらの下層に形成されている。

【0082】

半導体層 1 2 0 のゲート電極 2 2 g に覆われた領域は、補正 T F T 2 2 の不純物のドーピングされていないチャンネル領域 2 2 c となり、チャンネル領域 2 2 c を挟んで選択 T F T 2 0 側には該選択 T F T 2 0 とは異なる導電型の不純物が注入された第 1 導電領域（ここでは例えばソース領域 2 2 s）が形成され、容量ライン S C 側には第 1 導電領域 2 2 s と同一の不純物の注入された第 2 導電領域（ここではドレイン領域 2 2 d）が形成されている。なお、データライン D L 及び電源ライン P L とこの補正 T F T 2 2 の少なくともチャンネル領域 2 2 c をこれらのラインと一部重ねてそれらの下層に形成することで、補正 T F T 2 2 をデータライン D L と電源ライン P L の間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極 2 2 g をそのチャンネル領域 2 2 c とデータライン D L 及び電源ライン P L との層間に配置することでチャンネル領域 2 2 c がデータライン D L から電氣的にシールドされており、補正 T F T 2 2 の動作がデータライン D L に印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正 T F T 2 2 のゲート電極 2 2 g は電源ライン P L に接続されているので、この補正 T F T 2 2 の能動層、特にチャンネル領域 2 2 c が電源ライン P L と重なるように配置されても、チャンネル領域 2 2 c に対して印加される電圧はゲート電極 2 2 g に覆われるのと実質的に変わらない。よって、補正 T F T 2 2 の能動層の大半の領域を電源ライン P L の下層に形成することも可能であり、このような配置とすれば、1 画素内での開口率、つまり発光に寄与する有機 E L 素子 2 6 の形成面積を最大限大きくすることが可能となる。

【0083】

半導体層 1 2 0 は、補正 T F T 2 2 の第 2 導電性領域の形成領域から容量ライン S C に向かって延び、容量ライン S C と交差する位置で曲がり、容量ライン S C の延在方向である水平走査方向に、この容量ライン S C と、間にゲート絶縁膜 1 0 4 を挟んで重なるようにパターンニングされ、半導体層 1 2 0 の容量ライン S C と重なる領域が容量電極（第 1 電極）2 8 e として機能し、容量ライン S C（第 2 電極）と、この容量電極 2 8 e とが、間にゲート絶縁膜 1 0 4 を挟んで対向配置される領域が保持容量 2 8 となっている。

【0084】

補正 T F T 2 2 の第 2 導電領域 2 2 d と保持容量 2 8 の容量電極 2 8 e との間には、層

間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールを介して金属配線 24w が接続されている。この金属配線 24w は、容量ライン SC の延在方向に沿って形成され、層間絶縁膜 106 に形成されたコンタクトホールにおいて、駆動 TFT 24 のゲート電極 24g と接続されている。

【0085】

駆動 TFT 24 のゲート電極 24g は、金属配線 24w とのコンタクト領域から自行のゲートライン GL の形成方向（図では上方向）に向かって延び、途中で電源ライン PL の下層を横切り、電源ライン PL の有機 EL 素子 26 側にこの電源ライン PL の延在方向に沿って形成されている。

【0086】

ここで、電源ライン PL は、補正 TFT 22 のゲート電極 22g とのコンタクト領域付近からデータライン DL に近づくように曲がり、上記金属配線 24w の近くでは、その形成領域を迂回するよう有機 EL 素子 26 側に曲がり、駆動 TFT 24 の能動層を構成する半導体層 124 とのコンタクト付近からは次行の画素に向かって垂直走査方向に延びている。そして、駆動 TFT 24 は、電源ライン PL がデータライン DL 側に近づくことで有機 EL 素子 26 との間に形成されたスペースに形成されている。

【0087】

駆動 TFT 24 の能動層を構成する半導体層 124 には、上方がゲート電極 24g に覆われた領域にチャネル領域 24c が形成され、電源ライン PL との接続側には第 1 導電領域（ここではソース領域 24s）が形成され、さらに、有機 EL 素子 26 との接続側に第 2 導電領域（ここではドレイン領域 24d）が形成されている。チャネル領域 24c は、不純物のドーパされない真性領域で、その両側に形成される第 1 及び第 2 導電領域（24s 及び 24d）には、上記補正 TFT 22 と同一の導電型の不純物がドーパされている。なお、駆動 TFT 24 の第 1 導電領域 24s は、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールにおいて、電源ライン PL と接続されている。また駆動 TFT 24 の第 2 導電領域 24d は、層間絶縁膜 106 及びゲート絶縁膜 104 に形成されたコンタクトホールにおいて、例えば上記電源ライン PL などと同一材料からなる接続電極 24e と接続されている。

【0088】

また、図 6（a）、（b）に示すように、データライン DL、電源ライン PL 上記金属配線 24w、接続電極 24e を覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層 108 が形成されている。そして、この平坦化絶縁層 108 には、上記駆動 TFT 24 に接続された接続電極 24e の形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層 108 の上に形成された有機 EL 素子 26 の第 1 電極 262（ここでは陽極）と、接続電極 24e とが接続されている。なお、接続電極 24e を設けない場合には、駆動 TFT 24 の第 2 導電領域 24d の形成領域において平坦化絶縁層 108 及び層間絶縁膜 106 及びゲート絶縁膜 104 を貫通するコンタクトホールを形成し、有機 EL 素子 26 の第 1 電極 262 と第 2 導電領域 24d とを直接接続する。

【0089】

図 6（b）に示すように、有機 EL 素子 26 は、基板側に形成され、駆動 TFT 24 に接続される画素毎に個別パターンの第 1 電極 262 と、第 2 電極 264 との間に、発光素子層 270 を備える。第 1 電極 262 は例えば ITO（Indium Tin Oxide）等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極（正孔注入電極）として機能する。第 2 電極 264 は、例えば Al や Ag 等の仕事関数の小さい金属材料や、そのような金属材料と上記 ITO などとの積層構造によって構成でき、ここでは陰極（電子注入電極）として機能する。なお、画素毎に個別パターンに形成された第 1 電極 262 のエッジ部分を、平坦化絶縁層 108 のさらに上層に形成された第 2 平坦化絶縁層 110 によって覆い、非常に薄く形成される発光素子層 270 の上に形成される第 2 電極 264 とこの第 1 電極 262 とが短絡することを防止している。

## 【0090】

発光素子層270は、この例では正孔輸送層272、発光層274、電子輸送層276の3層構造である。3層構造には限らず、用いる有機材料などにより、発光機能を備えた単独層でも、2層でも、また4層以上の積層構造あっても良い。発光素子層270として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図6(b)に示すように、発光層274のみを第1電極262と同様の画素毎に個別パターンとしても良い。

## 【0091】

このような構成の有機EL素子26は、本実施形態においては、電源ラインPLから駆動TF T 24を介して第1電極262に供給される電流が、第2電極264との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第1電極262から注入される正孔と第2電極264から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、この例では、光は透明な第1電極262及び基板100を透過して基板から外部に射出され、視認される。

## 【0092】

本実施形態においては、上述のように電源ラインPLを挟んで上記補正TF T 22と駆動TF T 24が、できるだけ近接して配置されるようにレイアウトされている。特に、補正TF T 22のチャンネル領域22cと、駆動TF T 24のチャンネル領域24cは、そのチャンネル領域の少なくとも一部が垂直走査方向において互いに並ぶように形成されている。

## 【0093】

本実施形態において画素内に形成される各TF Tの能動層は、プラズマCVDなどによって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ(図5参照)を、その長手方向が水平走査方向に一致するように設定し、その幅方向に所定ピッチずつずらしながら順次照することで多結晶化アニールして得た低温多結晶シリコン(LTPS)層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータラインDL等の延在方向である垂直走査方向に一致させる。図5に示すように、補正TF T 22と駆動TF T 24の各チャンネル領域22c、24cは、そのチャンネル長方向がデータラインDL等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正TF T 22及び駆動TF T 24のチャンネル長よりも小さくすることにより、いずれのチャンネル領域22c、24cに対してもそのチャンネル長方向において、チャンネルを横切るように(チャンネル幅方向に)必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャンネル領域22c、24cについても複数のレーザビームが照射されるので、全チャンネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

## 【0094】

また、いわゆるレーザアニールによって形成された多結晶シリコン層をTF Tの能動層に用いる場合に、同一のパルスレーザビームを補正TF T 22及び駆動TF T 24のチャンネル領域22c、24cとなる領域に同時に照射するように、チャンネル領域22c、24cとを近接配置することで、TF T特性(特にしきい値)に大きな影響を与える多結晶化状態を両TF Tで等しくすることが容易となる。

## 【0095】

ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、パルスの長手方向が10cm~30cmの長さで、そのパルス幅方向では300μm程度の長さである。そして、このような大きさのパルスレーザの走査ピッチは、例えば25μm程度として、つまり、25μmずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TF T 22のチャンネル領域22cと駆動TF T 24のチャンネル領域24cを、単に近接配置されるだけでなく、垂直走査方向に交差する方向に引くことのできる同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを

各チャネル領域 22c、24c に照射することが可能となる。さらに、補正 TFT 22 及び駆動 TFT 24 のいずれも、そのチャネル長が少なくとも 30  $\mu\text{m}$  以上、より好ましくは 40  $\mu\text{m}$  以上に設定することで、チャネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直走査方向に沿って走査することで、確実に少なくとも 1 つ以上の同一のパルスレーザを 2 つの TFT のチャネル領域 22c、24c に照射することができる。

#### 【0096】

さらに、同一導電型の不純物は、各ゲート電極 22g、24g をマスクとして半導体層 120 及び 124 に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正 TFT 22 と駆動 TFT 24 の特性を等しくすることを可能としている。

#### 【0097】

画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平走査方向の片側領域（図 5 の画素では左側にデータライン DL 及び電源ラインと TFT 20、22、24 等の回路素子が配置され、残りの片側（図 5 の画素では右側）に有機 EL 素子 26 が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機 EL 素子 26 をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TFT 20、22、24、保持容量 28 等の面積やレイアウトを変更することなく、有機 EL 素子 26 の面積のみの変更が容易であり、設計効率の向上が図れている。

#### 【0098】

なお、図 5 に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平走査方向にずれたいわゆるデルタ配列が採用されており、一本のデータライン DL が、同色画素にデータ信号 Vdata を供給する場合には、図 5 に示すようにデータライン DL は、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配置される同色画素の選択 TFT 20 に接続されることとなる。このようなレイアウトが採用されていることにより、図 5 に示す画素の次の行の画素では、上記有機 EL 素子 26 は、図 5 とは逆に画素の左側、TFT 20、22、24 等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機 EL 素子と、これを制御するための TFT 等の位置関係は左右反転しない。

#### 【0099】

ここで、本実施形態の補正 TFT 22 は、図 5 に示すように半導体層で構成されるチャネル領域 22c の幅（チャネル幅）がそのチャネル長方向で変化している。具体的には、図 5 においては、選択 TFT 20 に近い方（図の上側）で幅が広く、保持容量 28 及び駆動 TFT 24 との接続側（図の下側）で幅が狭くなっている。このように補正 TFT 22 のチャネル幅がそのチャネル長方向において少なくとも他と異なる部分を設けることで、補正 TFT 22 の配置の自由度を大きくできる。なお、補正 TFT 22 の特性としては、最も狭いチャネル幅を基準に考えることができる。このように補正 TFT 22 の配置自由度が高まることで、他の回路素子である駆動 TFT 24 のゲート電極 24g のレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体層の幅（チャネル幅方向）を変更することが好適であり、他の選択 TFT 20、駆動 TFT 24 等のチャネル幅を変更してより配置の自由度を高めることも可能である。

#### 【0100】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機 EL 素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機 EL 素子以外の回路素子と、周辺ドライバ回路とを形成し、

その後、それらの回路素子の上方に有機 EL 素子を形成し、さらに素子側から封止基板をガラス基板 100 に被せて接着することで有機 EL パネルが得られる。なお、実施形態の画素回路は、このような有機 EL パネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路 (TF T) が形成される場合に適用することで同様の効果を得ることができる。

#### 【0101】

次に、本実施形態では、選択 TF T 20、補正 TF T 22 は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いた TF T に多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正 TF T 22、選択 TF T 20 がオフの時にこれら TF T を介し、データライン DL に向けて流れる電流であり、これら TF T をマルチゲート化することで、リーク電流を抑制することができる。図 7 に示すように補正 TF T 22 のみをマルチゲート化してもよいし、選択 TF T 20 のみをマルチゲート化してもよい。もちろん図 9 に示すように両方をマルチゲート化してもよい。

#### 【0102】

図 7 は、補正 TF T 22 をマルチゲート化した場合の等価回路を示し、図 8 はこの等価回路を実現するレイアウトの一例を示す平面図である。図 7 の例では、補正 TF T 22 としては、いわゆるダブルゲート構造が採用されている。具体的には、ノード Tg24 と選択 TF T 20 との間に、ノード Tg24 にドレインが接続された第 1 補正 TF T 22 - 1 と、この第 1 補正 TF T 22 - 1 と選択 TF T 20 との間に設けられた第 2 補正 TF T 22 - 2 の 2 つが設けられている。第 1 及び第 2 補正 TF T 22 - 1, 22 - 2 のゲートは、共に電源ライン PL に接続され、第 1 及び第 2 補正 TF T 22 - 1, 22 - 2 のソースドレインは、選択 TF T 20 とノード Tg24 との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動 TF T 24 と選択 TF T 20 との間のオフリーク耐性が高まり、保持容量 28 に保持される駆動 TF T 24 のゲート電圧  $V_{g24}$  がデータライン DL にリークして適正な値から変動してしまうことを効果的に防止することができる。

#### 【0103】

具体的に説明すると、補正 TF T 22 を分割することで、第 1 及び第 2 補正 TF T 22 - 1 と、22 - 2 の接続点に、選択 TF T 20 のソース側の電圧  $V_{s20}$  (補正 TF T 22 - 2 のソース電圧  $V_{d22-2}$ ) と、ノード Tg24 の電圧  $V_{g24}$  とが分圧されて、その間の値の電圧  $V_m$  が第 1 補正 TF T 22 - 1 のソース電圧となる。TF T のオフリーク電流は、TF T のドレインソース間電圧  $V_{ds}$  が 1 V 低くなると約 1 桁低減する。従って、補正 TF T 22 を分割することで、ノード Tg24 にドレインの接続される第 1 補正 TF T 22 - 1 のドレインソース間電圧  $V_{ds}$  を小さくできオフリーク電流が低減される。

#### 【0104】

なお、図 7 のように、補正 TF T 22 をマルチゲート化した場合において、駆動 TF T 24 のゲートにその導電領域 (ここではドレイン) が接続される第 1 補正 TF T 22 - 1 のチャネル領域のサイズは、他方の例えば第 2 補正 TF T 22 - 2 のチャネル領域のサイズと同一とする必要はない。

#### 【0105】

例えば、第 1 補正 TF T 22 - 1 のチャネル領域のサイズを第 2 補正 TF T 22 - 2 のチャネル領域のサイズよりも小さくすることにより、第 1 補正 TF T 22 - 1 のゲート容量  $C_{g22-1}$  を小さくできる。補正 TF T 22 のオフ時に、そのゲート容量  $C_{g22}$  から保持容量 28 に流れ込む電荷量が多いと、ノード Tg24 の電位が長時間にわたって高く維持され、容量ライン SC の立ち下げに追従した電圧低下速度が遅くなる。よって、第 1 補正 TF T 22 のチャネルサイズを小さくすることで、オフ時において、保持容量 28 に流れ込む第 1 補正 TF T 22 - 1 のゲート容量  $C_{g22-1}$  からの電荷量を少なくし、ノード Tg24 の電圧を速く低下させることができる。この場合、第 1 補正 TF T 22 - 1 のチャネル領域のチャネル長を  $L_1$ 、チャネル幅を  $W_1$ 、第 2 補正 TF T 22 - 2 のチャネル領域のチャネル長を  $L_2$ 、チャネル幅を  $W_2$  とすると、 $W_1 \times L_1 < W_2 \times L_2$  を満たすことが好まし



い。

#### 【0106】

第1補正TFT22-1のチャンネル長 $L_1$ は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャンネル幅 $W_1$ は、レイアウトの制約から許される範囲でできるだけ大きくする。第2補正TFT22-2のチャンネル長 $L_2$ は、長い方が、この第2補正TFT22-2のゲート容量 $C_{g22}$ からノード $T_{g24}$ への電荷の流出を遅くすることができるが、そうするとTFTのオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、 $L_2/W_2$ の値が小さくなるように、つまり、 $L_2$ を長くした分、幅 $W_2$ を大きくすることが好適である。従って、この観点からも上記 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好適である。

#### 【0107】

図8は、上記のように補正TFT22をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図8の例においても、選択TFT20の能動層と補正TFT22の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第1補正TFT22-1, 22-2の能動層を構成する半導体層には図中122の符号を付している。この半導体層122は、上述の図5のレイアウトと同様に、データラインDLに沿って隣接行方向に向かって（図では下方）延びている。

#### 【0108】

補正TFT22-1, 22-2のゲート電極22g(22g1, 22g2)は、共通で、電源ラインPLの下層領域で該電源ラインPLと接続されている。そして、このゲート電極22gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって水平走査方向に延び、能動層122の上方を横切る領域が第2補正TFT22-2のゲート電極22g2となり、ここから更にデータラインDLの形成領域まで延び、データラインDLを横切った直後に折り返してデータラインPLの下をくぐる。データラインDLをくぐった付近でゲート電極22gは再び能動層122の上方を覆うようにデータラインDLの延在方向に沿って次行の画素方向に向かって延び、ここで能動層122と重なる領域が第1補正TFT22-1のゲート電極22g1となる。なお、この第1補正TFT22-1のゲート電極22g1は電源ラインPLと、能動層122との層間に形成され、能動層122をその上方に形成されている電源ラインPL及びデータラインDLから電氣的に遮蔽している。

#### 【0109】

このようにゲート電極22gをU字型に折り返すパターンとすることでデータラインDLに沿って垂直走査方向に延びる半導体層122の上方を例えば2カ所で覆うことで、ゲート電極22gにそれぞれ覆われた位置にそれぞれチャンネル領域22c2, 22c1を形成することができる。半導体層122は、第2補正TFT22-2の選択TFT20のソース領域20sとの接続側から順にソース領域22s2、チャンネル領域22c2(ゲート電極22g2の下層領域)、第2補正TFT22-2のドレイン領域22d2及び第1補正TFT22-1のソース領域22s1、チャンネル領域22c1(ゲート電極22g1の下層)、第1補正TFT22-1のドレイン領域22d1が形成されている。そして、第1補正TFT22-1のドレイン領域22d1は、保持容量28の容量電極28eと接続され(同一半導体層)、また金属配線24eを介して駆動TFT24のゲート電極24gと接続されている。

#### 【0110】

図8に示すようなレイアウトを採用すれば、補正TFT22をマルチゲート化(ここではダブルゲート化)しても、その設置面積の増大を極力抑えることができる。

#### 【0111】

図9は、補正TFT22だけでなく上述の選択TFT20についてもマルチゲート化した場合の回路構成例を示す。また、図10は、図9のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図9の例では、選択TFTをデータラインDLに対して直列接続された2つの選択TFT20-1, 20-2より構成している。なお

、2つの選択TFT20-1, 20-2のゲートは、共にゲートラインGLに接続されている。

#### 【0112】

選択TFT20をマルチゲート化するためには、図5等に応示するような選択TFT20をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図10にも示すように、選択TFT20の能動層を構成する半導体層120は、選択TFT20の形成領域付近において、データラインDLから電源ラインPLで折り返すようなU字型（コ字型）の形状となっている。従って、ゲートラインGLから突出形成されるゲート電極20gのパターンを、図10に点線で示すようにさらに延長し、電源ラインPLから折り返した半導体層120の上層に重なるようにすればよい。このようにゲート電極20gを延ばし、U字型に折り返す半導体層120のゲートラインGLとの近接側と、折り返し側の2カ所にゲート電極20g1, 20g2を形成し、それぞれの下層にチャンネル領域20c1, 20c2を形成することで、電気的にはデータラインDLにその能動層が直列接続したダブルゲート型の選択TFT20を容易に形成することができる。また、図10にさらに示すように、ゲート電極20gの途中から更に水平走査方向に突出部を設け、能動層のU字底辺部分の上層をこの突出部が覆うようにすることでさらに3つの能動層がデータラインDLに直列接続されたトリプルゲート型の選択TFT20を得ることもできる。

#### 【0113】

図11は、選択TFT22のマルチゲート（ダブルゲート）化の別のレイアウト例を示す。図11のレイアウトでは、水平走査方向に延びるゲートラインGLから、データラインDLとのコンタクト領域からこのゲートラインGLに沿って水平走査方向に配置された半導体層120に向かって、2つのゲート電極20g1, 20g2が並んで突出形成されている。この例では、マルチゲートの選択TFT20のチャンネル領域20c1, 20c2は、ゲートラインGLの延在方向である水平走査方向に並んで配置されている。

#### 【0114】

以上図9及び図10又は図11に示すように、補正TFT22だけでなく、選択TFT20もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

#### 【0115】

図12には、更に別の回路構成例が示されている。図12に示す1画素あたりの等価回路構成では、データラインDLに一端（第1導電領域：例えばドレイン）が接続された選択TFT20の他端（第2導電領域：例えばソース）と、前記補正TFT22の第1導電領域（例えばソース）との間に、ゲートが容量ラインSCに接続されたリーク電流抑止TFT30をさらに備えている。このリーク電流抑止TFT30は、nチャンネル型であり、補正TFT22とは、逆極性となっている。

#### 【0116】

このリーク電流抑止TFT30は、容量ラインSCがHレベルの時にオンし、Lレベルの時にオフする。従って、ゲートラインGLがHレベルの期間はオンしており、データラインDLのデータ電圧Vdataを駆動TFT24のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ラインSCがLレベルに下がるためオフする。即ち、容量ラインSCが立ち下がり、駆動TFT24のゲート電位が低電圧となった場合において、このリーク電流抑止TFT30はオフ状態を維持し、このときのデータラインDLから駆動TFT24のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝度の均一をさらに向上することが可能となる。なお、図12に示す構成において、さらに補正TFT22をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正TFTをマルチゲート化するかどうかを決定することが好適である。

## 【図面の簡単な説明】

## 【0117】

【図1】本発明の実施形態に係る画素回路の構成を示す図である。

【図2】本発明の実施形態に係るゲートラインGL、容量ラインSCに印加される信号のタイミングを示す図である。

【図3】本発明の実施形態に係るゲート電圧 $V_{g24}$ の変化状態を示す図である。

【図4】本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

【図5】本発明の実施形態に係る画素の平面構成の一例を示す図である。

【図6】図5のA-A線及びB-B線に沿った概略断面構成図である。

【図7】本発明の実施形態に係る補正TFTをマルチゲート化した場合の1画素あたりの等価回路を示す図である。

【図8】図7に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

【図9】本発明の実施形態に係る選択TFT及び補正TFTの両方をマルチゲート化した場合の等価回路を示す図である。

【図10】図9に示す等価回路を実現するレイアウトの一例を示す図である。

【図11】図10に示すレイアウトの他の例を示す図である。

【図12】本発明の実施形態に係る更に別の回路構成例を示す図である。

【図13】従来の画素回路の構成を示す図である。

## 【符号の説明】

## 【0118】

20 選択TFT、20g(20g1, 20g2) ゲート電極、22 補正TFT、  
22-1 第1補正TFT、22-2 第2補正TFT、22g(22g1, 22g2)  
ゲート電極、24 駆動TFT、20c、22c、24c チャンネル領域、20d、2  
2d、24d ドレイン領域、20s、22s、24s ソース領域、24w 金属配線  
、26 有機EL素子、28 保持容量、28e 容量電極(第1電極)、30 リーク  
電流抑止TFT、100 透明基板、102 バッファ層、104 ゲート絶縁層、10  
6 層間絶縁層、108 平坦化絶縁層、110 第2平坦化絶縁層、262 第1電極  
(陽極)、264 第2電極(陰極)、270 発光素子層。

## 【手続補正2】

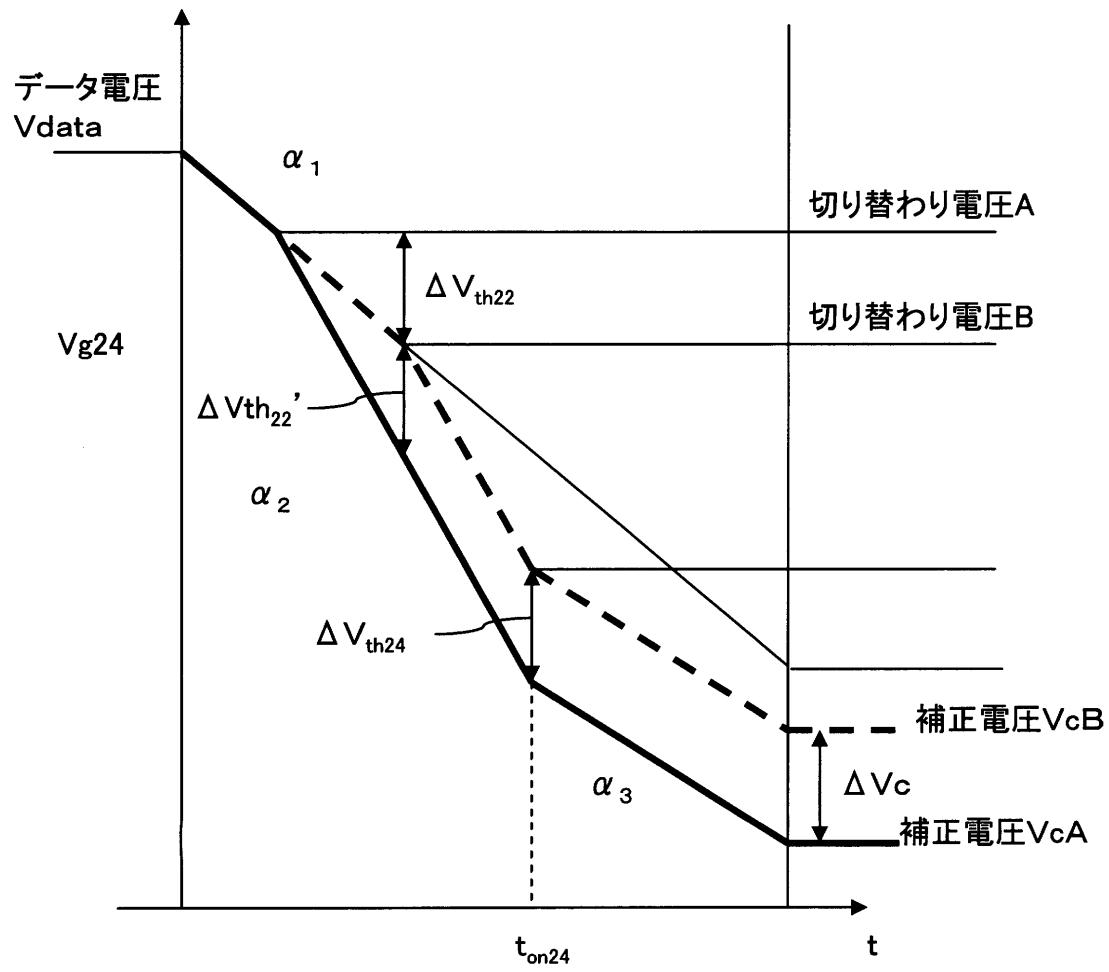
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図 3】



---

フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

F ターム(参考) 5C080 AA06 BB05 DD05 DD22 EE29 FF11 HH09 JJ02 JJ03 JJ04  
JJ05 JJ06  
5C094 AA53 BA03 BA27 CA19 DA09 DB01 GA10

【要約の続き】

专利名称(译)	像素电路和显示设备		
公开(公告)号	<a href="#">JP2005157266A</a>	公开(公告)日	2005-06-16
申请号	JP2004154092	申请日	2004-05-25
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	古河雅行 丸毛浩二		
发明人	古河 雅行 丸毛 浩二		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0876 G09G2320/0233 G09G2320/043 H01L27/3244		
FI分类号	G09G3/30.J G09G3/30.K G09F9/30.338 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/GA10 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE04 3K107/EE59 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB41 5C380/AB46 5C380/BA10 5C380/BA12 5C380/BA14 5C380/BA38 5C380/BA39 5C380/BB22 5C380/CA08 5C380/CA12 5C380/CA57 5C380/CB01 5C380/CB16 5C380/CB19 5C380/CB37 5C380/CC03 5C380/CC30 5C380/CC33 5C380/CC42 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC72 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD043 5C380/CE04 5C380/DA02 5C380/DA06 5C380/HA13		
代理人(译)	吉田健治 石田 纯		
优先权	2003378581 2003-11-07 JP		
其他公开文献	JP4180018B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：减少驱动TFT的阈值变化的不利影响。解决方案：选择TFT 20和校正TFT 22导通，从而通过保持电容器28保持数据线的数据电压作为驱动TFT 24的栅极电压。在选择TFT 20之后当电压关闭时，使保持电容线SC的电压下降，从而导通驱动TFT 24，使驱动电流流过有机EL元件26。这里，校正TFT 22在下降之前导通。保持电容线SC，同时在保持电容线SC下降期间在中点处截止。因此，校正TFT 22的电容值在栅极电压下降期间变化，并且驱动TFT 24的栅极电压的下降的斜率变化，从而保持电容线SC下降之后的栅极电压可以根据驱动TFT24的阈值的变化来设定驱动TFT24和校正TFT22，使得它们彼此相邻，从而可以将两者的特性视为相同。因此可以有效地进行校正。 Z

