

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/030370

発行日 平成25年2月4日(2013.2.4)

(43) 国際公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
HO1L 51/50 (2006.01)	G09G 3/20 642A	5C380
	G09G 3/20 624B	
	G09G 3/20 670J	

審査請求 有 予備審査請求 未請求 (全 74 頁) 最終頁に続く

出願番号 特願2010-513532(P2010-513532)	(71) 出願人 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(21) 国際出願番号 PCT/JP2009/004431	(74) 代理人 100109210 弁理士 新居 広守
(22) 国際出願日 平成21年9月8日(2009.9.8)	(72) 発明者 小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW	Fターム(参考) 3K107 AA01 BB01 CC33 CC35 EE03 HH04 HH05 5C080 AA06 BB05 DD05 DD15 EE29 FF11 HH10 JJ02 JJ03 JJ04 JJ06 JJ07 KK43

最終頁に続く

(54) 【発明の名称】 表示パネル装置及びその制御方法

(57) 【要約】

有機EL素子(15)と、保持容量素子(13)と、ゲートが電極(131)に接続されソースが有機EL素子(15)のアノード及び電極(132)に接続され保持容量素子(13)の電圧に応じたドレイン電流を有機EL素子(15)に流す駆動トランジスタ(14)と、駆動トランジスタ(14)のドレイン電位を決定するための第1電源線(21)と、有機EL素子(15)のカソードに接続された第2電源線(22)と、電極(131)に基準電圧を設定するためのスイッチングトランジスタ(12)と、電極(132)にデータ電圧を供給するためのデータ線(20)と、データ線(20)と電極(132)との間に接続された選択トランジスタ(11)と、電極(131)と第1電源線(21)との間であって、駆動トランジスタ(14)と直列接続され、駆動トランジスタ(14)のドレイン電流のON/OFFを決定するスイッチングトランジスタ(16)とを備える。

【図2】

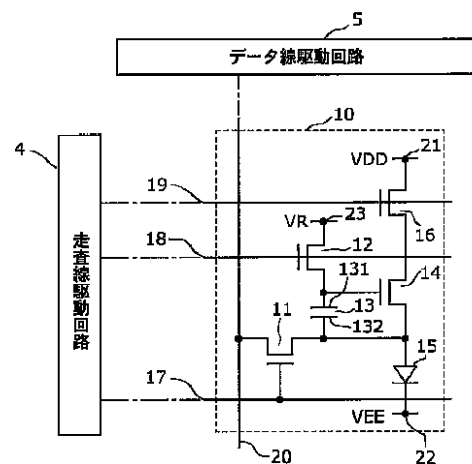


FIG. 2
4 SCANNING LINE DRIVE CIRCUIT
5 DATA LINE DRIVE CIRCUIT

【特許請求の範囲】

【請求項 1】

発光素子と、
 電圧を保持するコンデンサと、
 ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、
 前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、
 前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、
 前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、
 前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、
 一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチ素子と、
 前記発光素子の第 1 電極と前記コンデンサの第 2 電極とを電氣的に接続し、前記第 1 電源線、前記発光素子の第 1 電極、前記コンデンサの第 2 電極、前記第 2 スイッチ素子及び前記データ線を接続するパスを形成するための配線と、
 前記発光素子の第 1 電極と前記第 1 電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流の ON / OFF を決定する第 3 スイッチ素子とを備える
 表示パネル装置。

10

20

【請求項 2】

さらに、
 前記第 1 スイッチ素子、前記第 2 スイッチ素子及び前記第 3 スイッチ素子を制御する制御部とを備え、
 前記制御部は、
 前記第 3 スイッチ素子を OFF して前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の前記ドレイン電流の流れを遮断している間に、
 前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサに所望の電位差の電圧を保持させ、
 前記第 1 スイッチ素子及び前記第 2 スイッチ素子を OFF した状態で前記第 3 スイッチ素子を ON し、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流させる
 請求項 1 記載の表示パネル装置。

30

【請求項 3】

前記制御部は、
 前記第 3 スイッチ素子を OFF することにより、前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の電流の流れを遮断すると共に、前記第 1 電源線と前記第 2 電源線との間の電流の流れを遮断する
 請求項 2 記載の表示パネル装置。

40

【請求項 4】

前記第 3 スイッチ素子は、前記第 1 電源線と前記駆動素子のドレインとの間に直列に接続され、
 前記配線は、前記駆動素子のソースに接続された前記発光素子の第 1 電極と、前記コンデンサの第 2 電極とを接続する
 請求項 1 記載の表示パネル装置。

【請求項 5】

前記第 3 スイッチ素子は、前記発光素子の第 1 電極と前記駆動素子のソースとの間に直列に接続され、

50

前記配線は、前記第 3 スイッチ素子に接続された前記発光素子の第 1 電極と、前記コンデンサの第 2 電極とを接続する

請求項 1 記載の表示パネル装置。

【請求項 6】

前記発光素子の第 1 電極はアノード電極であり、前記発光素子の第 2 電極はカソード電極であり、

前記第 1 電源線の電圧は、前記第 2 電源線の電圧より高く、前記第 1 電源線から前記第 2 電源線に向かって電流が流れる

請求項 2 又は請求項 3 に記載の表示パネル装置。

【請求項 7】

前記制御部は、

前記第 3 スイッチ素子を OFF して前記第 1 電源線から前記発光素子への電流の供給を遮断し、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記第 1 スイッチ素子を OFF して前記第 2 スイッチ素子及び前記第 3 スイッチ素子を ON し、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第 2 スイッチ素子を介して前記データ線に流す

請求項 4 記載の表示パネル装置。

【請求項 8】

前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧から前記発光素子の発光開始電圧を減じた電圧よりも大きい第 1 電圧または前記第 1 電圧より低い第 2 電圧を設定する設定部を備え、

前記データ電圧は前記第 1 電圧より低い電圧であり、

前記制御部は、

前記発光素子を発光させる場合には、前記第 2 電源線に前記第 2 電圧を設定し、前記第 2 スイッチ素子を OFF して前記第 1 電源線から前記発光素子に前記ドレイン電流を流し

、

前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 1 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記第 1 電源線から前記データ線に流す

請求項 5 記載の表示パネル装置。

【請求項 9】

前記発光素子の第 1 電極はカソード電極であり、前記発光素子の第 2 電極はアノード電極であり、

前記第 2 電源線の電圧は、前記第 1 電源線の電圧より高く、前記第 2 電源線から前記第 1 電源線に向かって電流が流れる

請求項 2 又は請求項 3 に記載の表示パネル装置。

【請求項 10】

前記制御部は、

前記第 3 スイッチ素子を OFF して前記第 1 電源線から前記発光素子への電流の供給を遮断し、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記第 1 スイッチ素子を OFF して前記第 2 スイッチ素子及び前記第 3 スイッチ素子を ON し、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第 2 スイッチ素子を介して前記データ線から流す

請求項 9 記載の表示パネル装置。

10

20

30

40

50

【請求項 11】

前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい第 3 電圧または前記第 3 電圧より高い第 4 電圧を設定する設定部を備え、

前記データ電圧は前記第 1 電圧より高い電圧であり、

前記制御部は、

前記発光素子を発光させる場合には、前記第 2 電源線に前記第 4 電圧を設定し、前記第 2 スイッチ素子を OFF して前記発光素子から前記第 1 電源線へ電流を流し、

前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 3 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記データ線から前記第 1 電源線に流す

10

請求項 10 記載の表示パネル装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれかに記載の表示パネル装置と、

前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、

前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、

前記発光素子は、少なくとも複数個マトリクス状に配置されている

表示装置。

20

【請求項 13】

請求項 1 乃至請求項 11 のいずれかに記載の表示パネル装置と、

前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、

前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、

少なくとも前記発光素子及び前記第 3 スイッチ素子は、単位画素の画素回路を構成し、

前記画素回路は、複数個マトリクス状に配置されている

表示装置。

【請求項 14】

請求項 1 乃至請求項 11 のいずれかに記載の表示パネル装置と、

前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、

前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、

30

前記発光素子、前記コンデンサ、前記駆動素子、前記第 1 スイッチ素子、前記第 2 スイッチ素子及び前記第 3 スイッチ素子は、単位画素の画素回路を構成し、

前記画素回路は、複数個マトリクス状に配置されている

表示装置。

【請求項 15】

前記発光素子は、有機エレクトロルミネッセンス発光素子である

請求項 12 から請求項 14 のうちいずれかに 1 項に記載の表示装置。

【請求項 16】

40

発光素子と、

電圧を保持するコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、

前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、

前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、

前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、

前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、

一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電

50

極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチ素子と、

前記発光素子の第1電極と前記コンデンサの第2電極とを電氣的に接続し、前記第1電源線、前記発光素子の第1電極、前記コンデンサの第2電極、前記第2スイッチ素子及び前記データ線を接続するパスを形成するための配線と、

前記発光素子の第1電極と前記第1電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流のON/OFFを決定する第3スイッチ素子とを具備する表示装置の制御方法であって、

前記第3スイッチ素子をOFFして前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の前記ドレイン電流の流れを遮断し、

前記ドレイン電流の流れを遮断している間に、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記所望の電位差の電圧を保持させた後、前記第1スイッチ素子及び前記第2スイッチ素子をOFFして前記第3スイッチ素子をONし、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流す

表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネル装置およびその制御方法に関し、特に電流駆動型の発光素子を用いた表示パネル装置およびその制御方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた画像表示装置として、有機エレクトロルミネッセンス(EL)素子を用いた画像表示装置が知られている。この自発光する有機EL素子を用いた有機EL表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL表示装置に用いられる有機EL素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

【0003】

有機EL表示装置では、通常、画素を構成する有機EL素子がマトリクス状に配置される。複数の行電極(走査線)と複数の列電極(データ線)との交点に有機EL素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機EL素子を駆動するものをパッシブマトリクス型の有機ELディスプレイと呼ぶ。

【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ(TFT:Thin Film Transistor)を設け、このスイッチングTFTに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングTFTをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

【0005】

アクティブマトリクス型の有機EL表示装置は、各行電極(走査線)を選択している期間のみ、それに接続された有機EL素子が発光するパッシブマトリクス型の有機EL表示装置とは異なり、次の走査(選択)まで有機EL素子を発光させることが可能であるため、表示装置の走査本数が上がってもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機EL表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

10

20

30

40

50

【0006】

特許文献1には、アクティブマトリクス型の有機EL表示装置における画素部の回路構成が開示されている。

【0007】

図17は、特許文献1に記載された従来の有機EL表示装置における画素部の回路構成図である。同図における画素部500は、カソードが負電源線（電圧値はVEE）に接続された有機EL素子505、ドレインが正電源線（電圧値はVDD）に接続されソースが有機EL素子505のアノードに接続されたn型薄膜トランジスタ（n型TFT）504、n型TFT504のゲート-ソース間に接続されn型TFT504のゲート電圧を保持する容量素子503、有機EL素子505の両端子間を略同電位とする第3スイッチング素子509、信号線506から映像信号を選択的にn型TFT504のゲートに印加する第1スイッチング素子501、及びn型TFT504のゲート電位を所定電位に初期化する第2スイッチング素子502という簡単な回路素子により構成される。以下、画素部500の発光動作を説明する。

10

【0008】

まず、第2スイッチング素子502を、第2走査線508から供給される走査信号によりオン状態とし、参照電源線から供給される所定の電圧VREFをn型TFT504のゲートに印加してn型TFT504のソース-ドレイン間電流が流れないようにn型TFT504を初期化する（S101）。

20

【0009】

次に、第2スイッチング素子502を、第2走査線508から供給される走査信号によりオフ状態とする（S102）。

【0010】

次に、第1スイッチング素子501を、第1走査線507から供給される走査信号によりオン状態とし、信号線506から供給される信号電圧をn型TFT504のゲートに印加する（S103）。このとき、第3スイッチング素子509のゲートには、第1走査線507が接続されており、第1スイッチング素子501の導通と同時に導通する。これによって有機EL素子505の端子間電圧に影響されずに、容量素子503には信号電圧に対応した電荷が蓄積される。また、第3スイッチング素子509が導通している間は有機EL素子505に電流が流れないので、有機EL素子505は発光しない。

30

【0011】

次に、第3スイッチング素子509を、第1走査線507から供給される走査信号によりオフ状態とし、容量素子503に蓄積された電荷に対応する信号電流をn型TFT504から有機EL素子505へ供給する（S104）。このとき、有機EL素子505が発光する。

【0012】

上述した一連の動作により、1フレーム期間において、信号線から供給される信号電圧に対応した輝度で有機EL素子505が発光することになる。

【先行技術文献】

【特許文献】

40

【0013】

【特許文献1】特開2005-4173号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかしながら、特許文献1に記載された従来の有機EL表示装置は、信号電圧をn型TFT504のゲートに記録した際（S103）に、n型TFT504がオン状態となり、第3スイッチング素子509を介して負電源線に電流が流れ込んでしまう。この電流が、第3スイッチング素子509及び負電源線の抵抗成分に流れることにより、n型TFT504のソース電位が変動してしまう。つまり、容量素子503に保持すべき電圧が変動し

50

てしまう。

【0015】

上述したように、アモルファスSiに代表されるn型TFTによってソース接地動作する画素回路を構成する場合、駆動n型TFTのゲート-ソース間の電圧を保持する機能を有する容量素子の両端電極に、正確な電位を記録することが困難となる。よって、信号電圧に対応した正確な信号電流が流れないため発光素子が正確に発光せず、結果的には映像信号を反映した高精度な画像表示がなされない。

【0016】

上記課題に鑑み、本発明は、簡単な画素回路で、駆動TFTのゲート-ソース間の電圧を保持する静電容量の両端電極に、信号電圧に対応した正確な電位を記録することができる発光画素を有する画像表示装置を提供することを目的とする。

10

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明の一態様に係る表示パネル装置は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第1電源線と、前記発光素子の第2電極に電氣的に接続された第2電源線と、前記コンデンサの第1電極に基準電圧を設定するための第1スイッチ素子と、前記コンデンサの第2電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第2電極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチ素子と、前記発光素子の第1電極と前記コンデンサの第2電極とを電氣的に接続し、前記第1電源線、前記発光素子の第1電極、前記コンデンサの第2電極、前記第2スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第1電極と前記第1電源線との間において、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流のON/OFFを決定する第3スイッチ素子とを備えることを特徴とする。

20

【発明の効果】

【0018】

本発明の表示パネル装置およびその制御方法によれば、駆動TFTに流れる電流経路を制御することで書き込み時に電源線及びデータ線に電流が流れないようにすることができる。よって、書き込み期間中にスイッチTFTおよび電源線の抵抗成分による、保持容量素子の両端に正確な電位を記録ことができ、映像信号を反映した高精度な画像表示をすることが可能となる。

30

【図面の簡単な説明】

【0019】

【図1】図1は、本発明の表示装置の電氣的な構成を示すブロック図である。

【図2】図2は、本発明の実施の形態1に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図3】図3は、本発明の実施の形態に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。

40

【図4】図4は、本発明の実施の形態1に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

【図5A】図5Aは、本発明の実施の形態1に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。

【図5B】図5Bは、本発明の実施の形態1に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。

【図6】図6は、本発明の実施の形態に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。

【図7】図7は、本発明の実施の形態1に係る表示装置の通常発光モードにおける制御方

50

法を説明する動作フローチャートである。

【図 8 A】図 8 A は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。

【図 8 B】図 8 B は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおける発光状態を表す回路図である。

【図 9】図 9 は、本発明の実施の形態 2 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 10】図 10 は、本発明の実施の形態 2 に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

【図 11 A】図 11 A は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。

【図 11 B】図 11 B は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。

【図 12】図 12 は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおける制御方法を説明する動作フローチャートである。

【図 13 A】図 13 A は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。

【図 13 B】図 13 B は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおける発光状態を表す回路図である。

【図 14】図 14 は、本発明の実施の形態 3 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 15】図 15 は、本発明の実施の形態 4 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 16】図 16 は、本発明の画像表示装置を内蔵した薄型フラット TV の外観図である。

【図 17】図 17 は、特許文献 1 に記載された従来の有機 EL 表示装置における画素部の回路構成図である。

【発明を実施するための形態】

【0020】

請求項 1 記載の態様の表示パネル装置は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチ素子と、前記発光素子の第 1 電極と前記コンデンサの第 2 電極とを電氣的に接続し、前記第 1 電源線、前記発光素子の第 1 電極、前記コンデンサの第 2 電極、前記第 2 スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第 1 電極と前記第 1 電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流の ON/OFF を決定する第 3 スイッチ素子とを備えるものである。

【0021】

本態様の回路構成によると、前記第 3 スイッチ素子によって、前記駆動素子のソース電極及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧を保持させることが可能となる。これにより、前記第 2 スイッチ素子の両側の端子の電位差が、前記駆動素子のソース電極及び前記第 2 スイッチ素子を介して前記第 1 電源線と前記データ線との間で流れる電流によって変動するのを防止できる。そのため、前記第 2 スイッチ素子の両端の電位差が安定

10

20

30

40

50

し、前記第2スイッチ素子を介して前記データ線から所望の電位差の電圧に対応する電圧を正確に前記コンデンサに保持できる。その結果、前記駆動素子のゲート-ソース間の電位差が安定し、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

【0022】

請求項2記載の態様の表示パネル装置は、請求項1記載の表示装置において、さらに、前記第1スイッチ素子、前記第2スイッチ素子及び前記第3スイッチ素子を制御する制御部とを備え、前記制御部は、前記第3スイッチ素子をOFFして前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の前記ドレイン電流の流れを遮断している間に、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサに所望の電位差の電圧を保持させ、前記第1スイッチ素子及び前記第2スイッチ素子をOFFした状態で前記第3スイッチ素子をONし、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流させるものである。

10

【0023】

本態様によれば、前記第1スイッチ素子から第3スイッチ素子の動作を、制御部が制御する。つまり、前記駆動素子のソース電極及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧を蓄積する。これにより、前記第2スイッチ素子の両側の端子の電位差が、前記駆動素子のソース電極及び前記第2スイッチ素子を介して前記第1電源線と前記データ線との間で流れる電流によって変動するのを防止できる。そのため、前記第2スイッチ素子の両端の電位差が安定し、前記第2スイッチ素子を介して前記データ線から所望の電位差の電圧に対応する電圧を正確に前記コンデンサに保持できる。その結果、前記駆動素子のゲート-ソース間の電位差が安定し、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

20

【0024】

請求項3記載の態様の表示パネル装置は、請求項2記載の表示装置において、前記制御部は、前記第3スイッチ素子をOFFすることにより、前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の電流の流れを遮断すると共に、前記第1電源線と前記第2電源線との間の電流の流れを遮断するものである。

30

【0025】

本態様によると、前記第1電源線と前記第2電源線との間のドレイン電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧が保持される。これにより、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサの第2電極が接続された素子（ここでは発光素子もしくはスイッチングトランジスタ）に電流が流れることはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記発光素子もしくはスイッチングトランジスタに流れるのを防止できる。即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確なドレイン電流を前記発光素子に流すことができる。

40

【0026】

さらに、前記発光素子と前記電源線との間に、前記駆動素子と直列に設けられ、前記第1電源線と前記第2電源線との間にドレイン電流を流す第3スイッチ素子を設けている。これにより、突入電流の発生を抑え、前記発光素子への供給電量を正確に制御できる。その結果、画像のコントラストを向上させることができる。

【0027】

即ち、前記第3スイッチ素子のOFFという一つの制御によって、前記第2スイッチ素子の両端の電位差を安定させて前記駆動素子のゲート-ソース間の電位差を安定させることができると共に、突入電流を抑えることができる。その結果、所望の電位差の電圧に対

50

応する電圧を正確に前記コンデンサに保持して、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

【0028】

請求項4記載の態様の表示パネル装置は、請求項1の表示装置において、例えば、前記第3スイッチ素子は、前記第1電源線と前記駆動素子のドレインとの間に直列に接続され、前記配線は、前記駆動素子のソースに接続された前記発光素子の第1電極と、前記コンデンサの第2電極とを接続するものである。

【0029】

請求項5記載の態様の表示パネル装置は、請求項1の表示装置において、例えば、前記第3スイッチ素子は、前記発光素子の第1電極と前記駆動素子のソースとの間に直列に接続され、前記配線は、前記第3スイッチ素子に接続された前記発光素子の第1電極と、前記コンデンサの第2電極とを接続するものである。

10

【0030】

請求項6記載の態様の表示パネル装置は、請求項2または3に記載の表示装置において、前記発光素子の第1電極はアノード電極であり、前記発光素子の第2電極はカソード電極であり、前記第1電源線の電圧は、前記第2電源線の電圧より高く、前記第1電源線から前記第2電源線に向かって電流が流れるものである。

【0031】

本態様によると、前記駆動素子をn型トランジスタで構成できる。

【0032】

請求項7記載の態様の表示パネル装置は、請求項6記載の表示装置において、前記制御部は、前記第3スイッチ素子をOFFして前記第1電源線から前記発光素子への電流の供給を遮断し、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記第1スイッチ素子をOFFして前記第2スイッチ素子及び前記第3スイッチ素子をONし、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第2スイッチ素子を介して前記データ線に流すものである。

20

【0033】

本態様によると、前記第1電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記第1電源線から前記発光素子へ至る経路と、前記第1電源線から前記データ線に至る経路とで、電流が流れる条件は同一であるため、前記第1電源線を介して前記発光素子に供給される電流量を正確に測定できる。

30

【0034】

また、前記第1電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記電源線から供給される電流を測定することはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記電源線を介して供給され、それを測定するのを防止できる。即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確な電流量を測定できる。

40

【0035】

請求項8記載の態様の表示パネル装置は、請求項7記載の表示装置において、前記第2電源線に、前記第1電源線に接続される電源部の設定電圧から前記発光素子の発光開始電圧を減じた電圧よりも大きい第1電圧または前記第1電圧より低い第2電圧を設定する設定部を備え、前記データ電圧は前記第1電圧より低い電圧であり、前記制御部は、前記発光素子を発光させる場合には、前記第2電源線に前記第2電圧を設定し、前記第2スイッチ素子をOFFして前記第1電源線から前記発光素子に前記ドレイン電流を流し、前記ドレイン電流を測定する場合には、前記第2電源線に前記第1電圧を設定し、前記第2スイッチ素子をONして、前記ドレイン電流を前記第1電源線から前記データ線に流すもので

50

ある。

【 0 0 3 6 】

本態様によると、前記第 1 電源線から流れるドレイン電流を、前記データ線を介して測定する場合、前記発光素子の第 2 電極の電圧を、前記第 1 電源線に接続される電源部の設定電圧より前記発光素子の発光開始電圧を減じた電圧よりも大きい電圧として電位差を小さく設定する。このため、前記第 3 スイッチ素子を ON すれば、前記発光素子に電流は流れず、前記設定電圧と前記データ電圧の電位差により前記第 1 電源線から前記データ線に電流が流れる。

【 0 0 3 7 】

請求項 9 記載の態様の表示パネル装置は、請求項 2 または 3 に記載の表示装置において、前記発光素子の第 1 電極はカソード電極であり、前記発光素子の第 2 電極はアノード電極であり、前記第 2 電源線の電圧は、前記第 1 電源線の電圧より高く、前記第 2 電源線から前記第 1 電源線に向かって電流が流れるものである。

10

【 0 0 3 8 】

本態様によると、前記駆動素子を p 型トランジスタで構成できる。

【 0 0 3 9 】

請求項 10 記載の態様の表示パネル装置は、請求項 9 記載の表示装置において、前記制御部は、前記第 3 スイッチ素子を OFF して前記第 1 電源線から前記発光素子への電流の供給を遮断し、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記第 1 スイッチ素子を OFF して前記第 2 スイッチ素子及び前記第 3 スイッチ素子を ON し、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第 2 スイッチ素子を介して前記データ線から流すものである。

20

【 0 0 4 0 】

本態様によると、前記第 2 電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記発光素子から前記第 1 電源線へ至る経路と、前記データ線から前記第 1 電源線に至る経路とで、ドレイン電流が流れる条件は同一であるため、前記発光素子を介して前記第 1 電源線に供給される電流量を正確に測定できる。

30

【 0 0 4 1 】

また、前記発光素子を介して前記第 1 電源線に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記第 2 電源線から供給される電流を測定することはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記第 2 電源線を介して供給され、それを測定するのを防止できる。即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確な電流量を測定できる。

【 0 0 4 2 】

請求項 11 記載の態様の表示パネル装置は、請求項 10 記載の表示装置において、前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい第 3 電圧または前記第 3 電圧より高い第 4 電圧を設定する設定部を備え、前記データ電圧は前記第 1 電圧より高い電圧であり、前記制御部は、前記発光素子を発光させる場合には、前記第 2 電源線に前記第 4 電圧を設定し、前記第 2 スイッチ素子を OFF して前記発光素子から前記第 1 電源線へ電流を流し、前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 3 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記データ線から前記第 1 電源線に流すものである。

40

【 0 0 4 3 】

本態様によると、前記第 1 電源線へ流れるドレイン電流を、前記データ線を介して測定する場合、前記発光素子の第 2 電極の電圧を、前記第 1 電源線に接続される電源部の設定

50

電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい電圧として電位差を小さく設定する。このため、前記第3スイッチ素子をONすれば、前記発光素子に電流は流れず、前記設定電圧と前記データ電圧の電位差により前記データ線から前記第1電源線に電流が流れる。

【0044】

請求項12記載の態様の表示装置は、請求項1乃至請求項11のいずれかに記載の表示パネル装置と、前記第1及び前記第2電源線に電源を供給する電源とを備え、前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、前記発光素子は、少なくとも複数個マトリクス状に配置されているものである。

【0045】

請求項13記載の態様の表示装置は、請求項1乃至請求項11のいずれかに記載の表示パネル装置と、前記第1及び前記第2電源線に電源を供給する電源とを備え、前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、少なくとも前記発光素子及び前記第3スイッチ素子は、単位画素の画素回路を構成し、前記画素回路は、複数個マトリクス状に配置されているものである。

【0046】

請求項14記載の態様の表示装置は、請求項1乃至請求項11のいずれかに記載の表示パネル装置と、前記第1及び前記第2電源線に電源を供給する電源とを備え、前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、前記発光素子、前記コンデンサ、前記駆動素子、前記第1スイッチ素子、前記第2スイッチ素子及び前記第3スイッチ素子は、単位画素の画素回路を構成し、前記画素回路は、複数個マトリクス状に配置されているものである。

【0047】

請求項15記載の態様の表示装置は、前記発光素子は、有機エレクトロルミネッセンス発光素子である。

【0048】

請求項16記載の態様の表示装置の制御方法は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第1電源線と、前記発光素子の第2電極に電氣的に接続された第2電源線と、前記コンデンサの第1電極に基準電圧を設定するための第1スイッチ素子と、前記コンデンサの第2電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第2電極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチ素子と、前記発光素子の第1電極と前記コンデンサの第2電極とを電氣的に接続し、前記第1電源線、前記発光素子の第1電極、前記コンデンサの第2電極、前記第2スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第1電極と前記第1電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流のON/OFFを決定する第3スイッチ素子とを具備する表示装置の制御方法であって、前記第3スイッチ素子をOFFして前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の前記ドレイン電流の流れを遮断し、前記ドレイン電流の流れを遮断している間に、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記所望の電位差の電圧を保持させた後、前記第1スイッチ素子及び前記第2スイッチ素子をOFFして前記第3スイッチ素子をONし、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流すものである。

【0049】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図

10

20

30

40

50

を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

【0050】

(実施の形態1)

以下、本発明の実施の形態1について、図を用いて具体的に説明する。

【0051】

図1は、本発明の表示装置の電気的な構成を示すブロック図である。同図における表示装置1は、制御回路2と、メモリ3と、走査線駆動回路4と、データ線駆動回路5と、電源線駆動回路6と、表示部7とを備える。

【0052】

また、図2は、本発明の実施の形態1に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素10は、選択トランジスタ11と、スイッチングトランジスタ12及び16と、保持容量素子13と、駆動トランジスタ14と、有機EL素子15と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線21と、第2電源線22と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

10

【0053】

図1及び図2に記載された構成要素について、以下、その接続関係および機能を説明する。

【0054】

制御回路2は、走査線駆動回路4、データ線駆動回路5、電源線駆動回路6及びメモリ3の制御を行う機能を有する。メモリ3には、各発光画素の補正データなどが記憶されており、制御回路2は、メモリ3に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、データ線駆動回路5へと出力する。

20

【0055】

また制御回路2は、走査線駆動回路4を介して、選択トランジスタ11、スイッチングトランジスタ12及び16を制御する。

【0056】

走査線駆動回路4は、第1走査線17、第2走査線18及び第3走査線19に接続されており、第1走査線17、第2走査線18及び第3走査線19に走査信号を出力することにより、それぞれ、発光画素10の有する選択トランジスタ11、スイッチングトランジスタ12及び16の導通・非導通を制御回路2の指示により実行する機能を有する。

30

【0057】

データ線駆動回路5は、データ線20に接続されており、映像信号に基づいたデータ電圧を発光画素10へ出力する機能を有する。

【0058】

電源線駆動回路6は、第1電源線21、第2電源線22及び参照電源線23に接続されており、それぞれ、全発光画素に共通の第1電源電圧VDD、第2電源電圧VEE及び基準電圧VRを、制御回路2の指示により設定する機能を有する。

【0059】

表示部7は、複数の発光画素10を備え、外部から表示装置1へ入力された映像信号に基づいて画像を表示する。

40

【0060】

選択トランジスタ11は、ゲートが第1走査線17に接続され、ソース及びドレインの一方がデータ線20に接続され、ソース及びドレインの他方が保持容量素子13の第2電極である電極132に接続された第2スイッチ素子である。選択トランジスタ11は、データ線20のデータ電圧を保持容量素子13の電極132に印加するタイミングを決定する機能を有する。

【0061】

スイッチングトランジスタ12は、ゲートが第2走査線18に接続され、ソース及びドレインの一方が参照電源線23に接続され、ソース及びドレインの他方が保持容量素子1

50

3の第1電極である電極131に接続された第1スイッチ素子である。スイッチングトランジスタ12は、参照電源線23の基準電圧 V_R を保持容量素子13の電極131に印加するタイミングを決定する機能を有する。選択トランジスタ11及びスイッチングトランジスタ12は、例えば、 n 型の薄膜トランジスタ(n 型TFT)で構成される。

【0062】

保持容量素子13は、電極131が駆動トランジスタ14のゲートに接続され、電極132が選択トランジスタ11のソース及びドレインの他方及び駆動トランジスタ14のソースに接続されたコンデンサである。保持容量素子13には、選択トランジスタ11及びスイッチングトランジスタ12がオン状態のときに、電極131に基準電圧 V_R が、電極132にデータ電圧 V_{data} が印加され、両電極の電位差である($V_R - V_{data}$)
10

【0063】

駆動トランジスタ14は、ゲートが保持容量素子13の電極131に接続され、ドレインがスイッチングトランジスタ16のソース及びドレインの一方に接続され、ソースが有機EL素子15の第1電極であるアノードに接続された駆動素子である。駆動トランジスタ14は、ゲート-ソース間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子15に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ16がオン状態のときに、駆動トランジスタ14は、データ線20から供給されたデータ電圧 V_{data} に対応した電圧、つまり保持容量素子13の保持電圧($V_R - V_{data}$)に対応したドレイン電流を、有機EL素子15へ供給する機能を有する。駆動トランジスタ14は、例えば、 n 型の薄膜トランジスタ(n 型TFT)で構成される。
20

【0064】

有機EL素子15は、アノードが駆動トランジスタ14のソースに接続され、カソードが第2電源線22に接続された発光素子であり、駆動トランジスタ14から信号電流であるドレイン電流が流れることにより発光する。

【0065】

スイッチングトランジスタ16は、ゲートが第3走査線19に接続され、ソース及びドレインの一方が駆動トランジスタ14のドレインに接続され、ソース及びドレインの他方が第1電源線21に接続された第3スイッチ素子である。スイッチングトランジスタ16は、有機EL素子15のアノードと第1電源線21との間であって、駆動トランジスタ14と直列に接続され、駆動トランジスタ14のドレイン電流のON/OFFを決定する機能を有する。スイッチングトランジスタ16は、例えば、 n 型の薄膜トランジスタ(n 型TFT)で構成される。
30

【0066】

第1走査線17は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第1走査線17は、発光画素10を含む画素行に属する各発光画素へデータ電圧を書き込むタイミングを供給する機能を有する。

【0067】

第2走査線18は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第2走査線18は、発光画素10を含む画素行に属する各発光画素の有する保持容量素子13の電極131に基準電圧 V_R を印加するタイミングを供給する機能を有する。
40

【0068】

第3走査線19は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第3走査線19は、発光画素10を含む画素行に属する各発光画素の有する駆動トランジスタ14のドレインと第1電源電圧 V_{DD} とを電氣的に接続するタイミングを供給する機能を有する。

【0069】

10

20

30

40

50

また、表示装置 1 は、画素行数分の第 1 走査線 1 7、第 2 走査線 1 8 及び第 3 走査線 1 9 を備える。

【0070】

データ線 2 0 は、データ線駆動回路 5 に接続され、発光画素 1 0 を含む画素列に属する各発光画素へ接続され、発光強度を決定するデータ電圧を供給する機能を有する。

【0071】

また、表示装置 1 は、画素列数分のデータ線 2 0 を備える。

【0072】

なお、図 1、図 2 には記載されていないが、第 1 電源線 2 1、第 2 電源線 2 2 及び参照電源線 2 3 は、それぞれ、全発光画素に共通接続されており、電源線駆動回路 6 に接続されている。また、駆動トランジスタ 1 4 の閾値電圧に有機 EL 素子 1 5 の発光開始電圧を加えた電圧が 0 V よりも大きい場合は、参照電源線 2 3 は第 2 電源線 2 2 と同一電圧としてもよい。これにより電源線駆動回路 6 の出力電圧の種類が減り、回路がより簡易になる。

10

【0073】

上記回路構成によると、スイッチングトランジスタ 1 6 によって、駆動トランジスタ 1 4 のソース及び選択トランジスタ 1 1 を経由した第 1 電源線 2 1 とデータ線 2 0 との間の電流の流れを遮断した上で、保持容量素子 1 3 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 1 1 の両側の端子の電位差が、駆動トランジスタ 1 4 のソース及び選択トランジスタ 1 1 を介して第 1 電源線 2 1 とデータ線 2 0 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 1 1 の両端の電位差が安定し、選択トランジスタ 1 1 を介してデータ線 2 0 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 1 3 に保持できる。その結果、保持容量素子 1 3 の両電極の電位差、すなわち、駆動トランジスタ 1 4 のゲート - ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機 EL 素子 1 5 に流すことができる。

20

【0074】

次に、本実施の形態に係る表示装置 1 の制御方法について図 3 ~ 図 8 B を用いて説明する。

【0075】

図 3 ~ 図 5 B は、テストモードでの制御方法を、また、図 6 ~ 図 8 B は、通常発光モードでの制御方法を説明している。

30

【0076】

まず、テストモードでの制御方法を説明する。テストモードとは、データ電圧を保持容量素子 1 3 に書き込み、その後、書き込まれたデータ電圧に対応した電圧により発生する駆動トランジスタ 1 4 のドレイン電流を正確に測定するためのモードである。この測定されたドレイン電流から駆動トランジスタ 1 4 の状態を把握し、補正データを生成することが可能となる。

【0077】

図 3 は、本発明の実施の形態 1 に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、第 1 走査線 1 7、第 2 走査線 1 8、第 3 走査線 1 9、第 1 電源線 2 1、第 2 電源線 2 2、参照電源線 2 3 及びデータ線 2 0 に発生する電圧の波形図が示されている。また、図 4 は、本発明の実施の形態 1 に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

40

【0078】

まず、時刻 t_0 において、走査線駆動回路 4 は、第 3 走査線 1 9 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 1 6 をオフ状態とする。これにより、駆動トランジスタ 1 4 のドレインと第 1 電源線 2 1 とは非導通となる（図 4 の S 0 1）。

50

【0079】

次に、時刻 t_1 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 12 をオン状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とが導通し、保持容量素子 13 の電極 131 に基準電圧 V_R が印加される（図 4 の S02）。

【0080】

次に、時刻 t_2 において、走査線駆動回路 4 は、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通し、保持容量素子 13 の電極 132 にデータ電圧 V_{data} が印加される（図 4 の S03）。

10

【0081】

次に、時刻 t_2 ~ 時刻 t_3 の期間、第 1 走査線 17 の電圧レベルが HIGH であるので、発光画素 10 の電極 131 及び電極 132 には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素 10 を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0082】

図 5A は、本発明の実施の形態 1 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子 13 の電極 131 には参照電源線 23 の基準電圧 V_R が印加され、電極 132 にはデータ線 20 よりデータ電圧 V_{data} が印加される。つまり、ステップ S02 及び S03 では、発光画素 10 に印加すべきデータ電圧に対応した電圧 ($V_R - V_{data}$) を保持容量素子 13 に保持させている。

20

【0083】

また、このとき、スイッチングトランジスタ 16 が非導通となっていることにより、駆動トランジスタ 14 のドレイン電流は発生していない。また、データ電圧 V_{data} の最大値と第 2 電源電圧 V_{EE} との電位差は、有機 EL 素子 15 の閾値電圧（以下、 $V_{th}(EL)$ と記す）以下とする。よって、有機 EL 素子 15 は発光しない。

【0084】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子 13 には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動 T F T の閾値電圧 V_{th} を 1 V とし、 V_{EE} は 1.5 V に、 V_{DD} は 1.5 V に、 V_R は 1.0 V に、 V_{data} は 0 V ~ 1.0 V に設定されている。

30

【0085】

次に、時刻 t_3 において、走査線駆動回路 4 は、第 1 走査線 17 の電圧レベルを HIGH から LOW に変化させ、選択トランジスタ 11 をオフ状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とは非導通となる（図 4 の S04）。

【0086】

次に、時刻 t_4 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 12 をオフ状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とは非導通となる（図 4 の S05）。

40

【0087】

以上の動作により、保持容量素子 13 には正確な電圧が書き込まれる。以降の動作では、保持容量素子 13 に正確に書き込まれた電圧を利用して、駆動トランジスタ 14 のドレイン電流を正確に測定する。

【0088】

次に、時刻 t_5 において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 16 をオン状態とする。これにより、駆動トランジスタ 14 のドレインと第 1 電源線 21 とが導通する（図 4 の S06）。

【0089】

50

次に、時刻 t_6 において、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通する (図 4 の S07)。テストモードでは、第 1 電源電圧 VDD - 第 2 電源電圧 $V_{EE} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 14 のドレイン電流は、有機 EL 素子 15 に流れず、駆動トランジスタ 14 のソース及び保持容量素子 13 の電極 132 を経由してデータ線 20 に流れ込む。

【0090】

図 5 B は、本発明の実施の形態 1 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。同図に記載されているように、データ線駆動回路 5 は、スイッチ素子 51 と読み取り抵抗 52 とオペアンプ 53 とを備えている。

10

【0091】

オペアンプ 53 は正入力端子と負入力端子の電位を等しく保つように動作している。すなわち、発光画素 10 から流れてきた駆動トランジスタ 14 のドレイン電流である画素電流 I_{pix} は読み取り抵抗 52 (R) に流れるが、読み取り抵抗 52 とオペアンプ 53 の負入力側とが接続されたノードと、読み取り電圧 V_{read} が等しくなるように、オペアンプ 53 は動作する。よって、オペアンプ 53 の出力電位 V_{out} 、電流 I_{pix} 、読み取り抵抗 R 及び読み取り電圧 V_{read} との間には、

$$I_{pix} \times R = V_{read} - V_{out}$$

の関係が成立している。ここで V_{read} は、例えば、5V である。

20

【0092】

以上から V_{out} を読むことで、 I_{pix} を正確に算出することが可能となる。つまり、発光画素ごとの I_{pix} のばらつきを正確に把握することが可能となる。

【0093】

上記構成および動作によると、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量を、データ線 20 を介して読み込んで測定する場合、第 1 電源線 21 から有機 EL 素子 15 へ至る経路と、第 1 電源線 21 からデータ線 20 に至る経路とで、電流が流れる条件は同一であるため、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量を正確に測定できる。

【0094】

また、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量をデータ線 20 を介して読み込んで測定する場合、保持容量素子 13 に保持された電圧は、スイッチングトランジスタ 12 がオフとなっているので I_{pix} の経路によらず保持され、結果として I_{pix} の値も経路によらない。すなわち、有機 EL 素子 15 に供給される電流量を正確に測定できる。

30

【0095】

また、第 2 電源線 22 の電圧を、第 1 電源線 21 に接続される電源部の設定電圧から $V_{th}(EL)$ を減じた電圧よりも大きい電圧に設定している。このため、スイッチングトランジスタ 16 を ON すれば、有機 EL 素子 15 にドレイン電流は流れず、第 1 電源線 21 とデータ線 20 との電位差により第 1 電源線 21 からデータ線 20 にドレイン電流が流れる。

40

【0096】

最後に、時刻 t_7 において、第 1 走査線 17 の電圧レベルを HIGH から LOW に変化させ、選択トランジスタ 11 をオフ状態とする。これにより、駆動トランジスタ 14 のドレイン電流の測定を終了させる。

【0097】

次に、通常発光モードでの制御方法を説明する。通常発光モードとは、データ電圧を保持容量素子 13 に書き込み、その後、書き込まれたデータ電圧に対応した電圧により発生する駆動トランジスタ 14 のドレイン電流を、有機 EL 素子 15 に流して発光させるモードである。

50

【0098】

図6は、本発明の実施の形態1に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、第1走査線17、第2走査線18、第3走査線19、第1電源線21、第2電源線22、参照電源線23及びデータ線20に発生する電圧の波形図が示されている。また、図7は、本発明の実施の形態1に係る表示装置の通常発光モードにおける制御方法を説明する動作フローチャートである。

【0099】

まず、時刻t10において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ16をオフ状態とする。これにより、駆動トランジスタ14のドレインと第1電源線21とは非導通となり、有機EL素子15は消光する(図7のS11)。

10

【0100】

次に、時刻t11において、走査線駆動回路4は、第2走査線18の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ12をオン状態とする。これにより、保持容量素子13の電極131と参照電源線23とが導通し、保持容量素子13の電極131に基準電圧VRが印加される(図7のS12)。

【0101】

次に、時刻t12において、走査線駆動回路4は、第1走査線17の電圧レベルをLOWからHIGHに変化させ、選択トランジスタ11をオン状態とする。これにより、保持容量素子13の電極132とデータ線20とが導通し、保持容量素子13の電極132にデータ電圧Vdataが印加される(図7のS13)。

20

【0102】

次に、時刻t12~時刻t13の期間、第1走査線17の電圧レベルがHIGHであるので、発光画素10の電極131及び電極132には、それぞれ、データ電圧Vdata及び基準電圧VRが継続して印加されている。同様に、発光画素10を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0103】

図8Aは、本発明の実施の形態1に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子13の電極131には参照電源線23の基準電圧VRが印加され、電極132にはデータ線20よりデータ電圧Vdataが印加される。つまり、ステップS12及びS13では、発光画素10に印加すべきデータ電圧に対応した電圧(VR-Vdata)を保持容量素子13に保持させている。

30

【0104】

また、このとき、スイッチングトランジスタ16が非導通となっていることにより、駆動トランジスタ14のドレイン電流は発生していない。さらに、データ電圧Vdataの最大値(Vdata_max)と第2電源電圧VEEとの電位差は、有機EL素子15のVth(EL)以下とする。よって、有機EL素子15は発光しない。

【0105】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子13には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動TFTの閾値電圧Vthを1Vとして、VEEは0Vに、VDDは1.5Vに、VRは1.0Vに、Vdataは0V~1.0Vに設定されている。

40

【0106】

次に、時刻t13において、走査線駆動回路4は、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、保持容量素子13の電極132とデータ線20とは非導通となる(図7のS14)。

【0107】

50

次に、時刻 t_{14} において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 12 をオフ状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とは非導通となる（図 7 の S15）。

【0108】

以上の動作により、保持容量素子 13 には正確な電圧が書き込まれる。以降の動作では、保持容量素子 13 に正確に書き込まれた電圧に対応した駆動トランジスタ 14 のドレイン電流を発生させ、有機 EL 素子 15 を発光させる。

【0109】

次に、時刻 t_{15} において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 16 をオン状態とする。これにより、駆動トランジスタ 14 のドレインと第 1 電源線 21 とが導通し、有機 EL 素子 15 にドレイン電流が流れることにより、有機 EL 素子 15 が発光する（図 7 の S16）。

【0110】

図 8B は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおける発光状態を表す回路図である。通常発光モードでは、第 1 電源電圧 V_{DD} - 第 2 電源電圧 $V_{EE} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子 13 の両電極に保持された電圧に対応した駆動トランジスタ 14 のドレイン電流が、有機 EL 素子 15 を流れる。

【0111】

次に、時刻 t_{16} において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 16 をオフ状態とし、有機 EL 素子 15 を消光させる。

【0112】

上述した時刻 $t_{10} \sim t_{16}$ は、表示パネルの 1 フレーム期間に相当し、 $t_{16} \sim t_{21}$ においても $t_{10} \sim t_{15}$ と同様の動作が実行される。

【0113】

上記構成及び動作によると、スイッチングトランジスタ 16 によって、駆動トランジスタ 14 のソース及び選択トランジスタ 11 を介した第 1 電源線 21 とデータ線 20 との間の電流の流れを遮断した上で、保持容量素子 13 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 11 の両側の端子の電位差が、駆動トランジスタ 14 のソース及び選択トランジスタ 11 を介して第 1 電源線 21 とデータ線 20 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 11 の両端の電位差が安定し、選択トランジスタ 11 を介してデータ線 20 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 13 に保持できる。その結果、駆動トランジスタ 14 のゲート - ソース間の電位差は、第 2 電源線 22 の電圧変動および有機 EL 素子 15 の経時劣化に伴う高抵抗化による駆動トランジスタ 14 のソース電位の変動の影響を受けにくくなっている。つまり、本回路動作はソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機 EL 素子 15 に流すことができる。

【0114】

（実施の形態 2）

以下、本発明の実施の形態 2 について、図を用いて具体的に説明する。

【0115】

図 1 は、本発明の表示装置の電気的な構成を示すブロック図である。同図における表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、データ線駆動回路 5 と、電源線駆動回路 6 と、表示部 7 とを備える。

【0116】

また、図 9 は、本発明の実施の形態 2 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素 10 は、選択トランジスタ 1

10

20

30

40

50

1と、スイッチングトランジスタ12及び26と、保持容量素子13と、駆動トランジスタ14と、有機EL素子15と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線21と、第2電源線22と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

【0117】

本実施の形態に係る表示装置は、実施の形態1に係る表示装置と比較して、発光画素の回路構成のみが異なる。以下、実施の形態1に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0118】

制御回路2は、走査線駆動回路4、データ線駆動回路5、電源線駆動回路6及びメモリ3の制御を行う機能を有する。メモリ3には、各発光画素の補正データなどが記憶されており、制御回路2は、メモリ3に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、データ線駆動回路5へと出力する。

【0119】

また制御回路2は、走査線駆動回路4を介して、選択トランジスタ11、スイッチングトランジスタ12及び26を制御する。

【0120】

走査線駆動回路4は、第1走査線17、第2走査線18及び第3走査線19に接続されており、第1走査線17、第2走査線18及び第3走査線19に走査信号を出力することにより、それぞれ、発光画素10の有する選択トランジスタ11、スイッチングトランジスタ12及び26の導通・非導通を制御回路2の指示により実行する機能を有する。

【0121】

駆動トランジスタ14は、ゲートが保持容量素子13の電極131に接続され、ドレインが第1電源線21に接続され、ソースがスイッチングトランジスタ26のソース及びドレインの一方に接続された駆動素子である。駆動トランジスタ14は、ゲートとスイッチングトランジスタ26のソース及びドレインの他方との間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子15に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ26がオン状態のときに、駆動トランジスタ14は、データ線20から供給されたデータ電圧Vdataに対応した電圧、つまり保持容量素子13の保持電圧(VR - Vdata)に対応したドレイン電流を、有機EL素子15へ供給する機能を有する。駆動トランジスタ14は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0122】

有機EL素子15は、アノードがスイッチングトランジスタ26のソース及びドレインの他方に接続され、カソードが第2電源線22に接続された発光素子であり、駆動トランジスタ14から信号電流であるドレイン電流が流れることにより発光する。

【0123】

スイッチングトランジスタ26は、ゲートが第3走査線19に接続され、ソース及びドレインの一方が駆動トランジスタ14のソースに接続され、ソース及びドレインの他方が有機EL素子15のアノードに接続された第3スイッチ素子である。スイッチングトランジスタ26は、有機EL素子15のアノードと第1電源線21との間であって、駆動トランジスタ14と直列に接続され、駆動トランジスタ14のドレイン電流のON/OFFを決定する機能を有する。スイッチングトランジスタ26は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0124】

第3走査線19は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第3走査線19は、発光画素10を含む画素行に属する各発光画素の有する駆動トランジスタ14のソースと有機EL素子15のアノードとを電氣的に接続する機能を有する。

10

20

30

40

50

【 0 1 2 5 】

上記回路構成によると、スイッチングトランジスタ 2 6 によって、駆動トランジスタ 1 4 のソース及び選択トランジスタ 1 1 を経由した第 1 電源線 2 1 とデータ線 2 0 との間の電流の流れを遮断した上で、保持容量素子 1 3 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 1 1 の両側の端子の電位差が、駆動トランジスタ 1 4 のソース及び選択トランジスタ 1 1 を介して第 1 電源線 2 1 とデータ線 2 0 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 1 1 の両端の電位差が安定し、選択トランジスタ 1 1 を介してデータ線 2 0 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 1 3 に保持できる。その結果、駆動トランジスタ 1 4 のゲート - ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機 E L 素子 1 5 に流すことができる。

10

【 0 1 2 6 】

次に、本実施の形態に係る表示装置の制御方法について図 3、図 6、図 1 0 ~ 図 1 3 B を用いて説明する。

【 0 1 2 7 】

図 3、図 1 0 及び図 1 1 B は、テストモードでの制御方法を、また、図 6、図 1 2 及び図 1 3 B は、通常発光モードでの制御方法を説明している。

【 0 1 2 8 】

まず、テストモードでの制御方法を説明する。

【 0 1 2 9 】

図 3 は、本発明の実施の形態 1 に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。

20

【 0 1 3 0 】

まず、時刻 t_0 において、走査線駆動回路 4 は、第 3 走査線 1 9 の電圧レベルを H I G H から L O W に変化させ、スイッチングトランジスタ 2 6 をオフ状態とする。これにより、有機 E L 素子 1 5 のアノードと駆動トランジスタ 1 4 のソースとは非導通となる（図 1 0 の S 2 1）。

【 0 1 3 1 】

次に、時刻 t_1 において、走査線駆動回路 4 は、第 2 走査線 1 8 の電圧レベルを L O W から H I G H に変化させ、スイッチングトランジスタ 1 2 をオン状態とする。これにより、保持容量素子 1 3 の電極 1 3 1 と参照電源線 2 3 とが導通し、保持容量素子 1 3 の電極 1 3 1 に基準電圧 V_R が印加される（図 1 0 の S 2 2）。

30

【 0 1 3 2 】

次に、時刻 t_2 において、走査線駆動回路 4 は、第 1 走査線 1 7 の電圧レベルを L O W から H I G H に変化させ、選択トランジスタ 1 1 をオン状態とする。これにより、保持容量素子 1 3 の電極 1 3 2 とデータ線 2 0 とが導通し、保持容量素子 1 3 の電極 1 3 2 にデータ電圧 V_{data} が印加される（図 1 0 の S 2 3）。

【 0 1 3 3 】

次に、時刻 t_2 ~ 時刻 t_3 の期間、第 1 走査線 1 7 の電圧レベルが H I G H であるので、発光画素 1 0 の電極 1 3 1 及び電極 1 3 2 には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素 1 0 を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

40

【 0 1 3 4 】

図 1 1 A は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子 1 3 の電極 1 3 1 には参照電源線 2 3 の基準電圧 V_R が印加され、電極 1 3 2 にはデータ線 2 0 よりデータ電圧 V_{data} が印加される。つまり、ステップ S 2 2 及び S 2 3 では、発光画素 1 0 に印加すべきデータ電圧に対応した電圧 ($V_R - V_{data}$) を保持容量素子 1 3 に保持させている。

【 0 1 3 5 】

50

また、このとき、スイッチングトランジスタ 26 が非導通となっていることにより、駆動トランジスタ 14 のドレイン電流は発生していない。また、データ電圧 V_{data} の最大値と第 2 電源電圧 V_{EE} との電位差は、有機 EL 素子 15 の閾値電圧（以下、 $V_{th}(EL)$ ）と記す）以下とする。よって、有機 EL 素子 15 は発光しない。

【0136】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子 13 には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動 T F T の閾値電圧 V_{th} を 1 V とし、 V_{EE} は 1.5 V に、 V_{DD} は 1.5 V に、 V_R は 1.0 V に、 V_{data} は 0 V ~ 1.0 V に設定されている。

10

【0137】

次に、時刻 t_3 において、走査線駆動回路 4 は、第 1 走査線 17 の電圧レベルを HIGH から LOW に変化させ、選択トランジスタ 11 をオフ状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とは非導通となる（図 10 の S 24）。

【0138】

次に、時刻 t_4 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 12 をオフ状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とは非導通となる（図 10 の S 25）。

【0139】

以上の動作により、保持容量素子 13 には正確な電圧が書き込まれる。以降の動作では、保持容量素子 13 に正確に書き込まれた電圧を利用して、駆動トランジスタ 14 のドレイン電流を正確に測定する。

20

【0140】

次に、時刻 t_5 において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 26 をオン状態とする。これにより、有機 EL 素子 15 のアノードと駆動トランジスタ 14 のソースとが導通する（図 10 の S 26）。

【0141】

次に、時刻 t_6 において、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通する（図 10 の S 27）。テストモードでは、第 1 電源電圧 V_{DD} - 第 2 電源電圧 $V_{EE} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 14 のドレイン電流は、有機 EL 素子 15 に流れず、駆動トランジスタ 14 のソース及び保持容量素子 13 の電極 132 を経由してデータ線 20 に流れ込む。

30

【0142】

図 11 B は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。同図に記載されているように、データ線駆動回路 5 は、スイッチ素子 51 と読み取り抵抗 52 とオペアンプ 53 とを備えている。

40

【0143】

オペアンプ 53 は正入力端子と負入力端子の電位を等しく保つように動作している。すなわち、発光画素 10 から流れてきた駆動トランジスタ 14 のドレイン電流である画素電流 I_{pix} は読み取り抵抗 52 (R) に流れるが、読み取り抵抗 52 とオペアンプ 53 の負入力側とが接続されたノードと、読み取り電圧 V_{read} が等しくなるように、オペアンプ 53 は動作する。よって、オペアンプ 53 の出力電位 V_{out} 、電流 I_{pix} 、読み取り抵抗 R 及び読み取り電圧 V_{read} との間には、

$$I_{pix} \times R = V_{read} - V_{out}$$

の関係が成立している。ここで、 V_{read} は例えば 5 V である。

【0144】

50

以上から V_{out} を読むことで、 I_{pix} を正確に算出することが可能となる。つまり、発光画素ごとの I_{pix} のばらつきを正確に把握することが可能となる。

【0145】

上記構成および動作によると、第1電源線21を介して有機EL素子15に供給される電流量を、データ線20を介して読み込んで測定する場合、第1電源線21から有機EL素子15へ至る経路と、第1電源線21からデータ線20に至る経路とで、電流が流れる条件は同一であるため、第1電源線21を介して有機EL素子15に供給される電流量を正確に測定できる。

【0146】

また、第1電源線21を介して有機EL素子15に供給される電流量をデータ線20を介して読み込んで測定する場合、保持容量素子13に保持された電圧は、スイッチングトランジスタ12がオフとなっているので I_{pix} の経路によらず保持され、結果として I_{pix} の値も経路によらない。すなわち、有機EL素子15に供給される電流量を正確に測定できる。

10

【0147】

また、第2電源線22の電圧を、第1電源線21に接続される電源部の設定電圧から $V_{th}(EL)$ を減じた電圧よりも大きい電圧に設定している。このため、スイッチングトランジスタ26をONすれば、有機EL素子15にドレイン電流は流れず、第1電源線21とデータ線20との電位差により第1電源線21からデータ線20にドレイン電流が流れる。

20

【0148】

最後に、時刻 t_7 において、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、駆動トランジスタ14のドレイン電流の測定を終了させる。

【0149】

次に、通常発光モードでの制御方法を説明する。

【0150】

図6は、本発明の実施の形態2に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。

【0151】

まず、時刻 t_{10} において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ26をオフ状態とする。これにより、有機EL素子15のアノードと駆動トランジスタ14のソースとは非導通となり、有機EL素子15は消光する(図12のS31)。

30

【0152】

次に、時刻 t_{11} において、走査線駆動回路4は、第2走査線18の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ12をオン状態とする。これにより、保持容量素子13の電極131と参照電源線23とが導通し、保持容量素子13の電極131に基準電圧 V_R が印加される(図12のS32)。

【0153】

次に、時刻 t_{12} において、走査線駆動回路4は、第1走査線17の電圧レベルをLOWからHIGHに変化させ、選択トランジスタ11をオン状態とする。これにより、保持容量素子13の電極132とデータ線20とが導通し、保持容量素子13の電極132にデータ電圧 V_{data} が印加される(図12のS33)。

40

【0154】

次に、時刻 t_{12} ~ 時刻 t_{13} の期間、第1走査線17の電圧レベルがHIGHであるので、発光画素10の電極131及び電極132には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素10を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0155】

50

図13Aは、本発明の実施の形態2に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子13の電極131には参照電源線23の基準電圧 V_R が印加され、電極132にはデータ線20よりデータ電圧 V_{data} が印加される。つまり、ステップS32及びS33では、発光画素10に印加すべきデータ電圧に対応した電圧($V_R - V_{data}$)を保持容量素子13に保持させている。

【0156】

また、このとき、スイッチングトランジスタ26が非導通となっていることにより、駆動トランジスタ14のドレイン電流は発生していない。さらに、データ電圧 V_{data} の最大値(V_{data_max})と第2電源電圧 V_{EE} との電位差は、有機EL素子15の $V_{th}(EL)$ 以下とする。よって、有機EL素子15は発光しない。

10

【0157】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子13には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動TFTの閾値電圧 V_{th} を1Vとして、 V_{EE} は0Vに、 V_{DD} は1.5Vに、 V_R は1.0Vに、 V_{data} は0V~1.0Vに設定されている。

【0158】

次に、時刻 t_{13} において、走査線駆動回路4は、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、保持容量素子13の電極132とデータ線20とは非導通となる(図12のS34)。

20

【0159】

次に、時刻 t_{14} において、走査線駆動回路4は、第2走査線18の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12をオフ状態とする。これにより、保持容量素子13の電極131と参照電源線23とは非導通となる(図12のS35)。

【0160】

以上の動作により、保持容量素子13には正確な電圧が書き込まれる。以降の動作では、保持容量素子13に正確に書き込まれた電圧に対応した駆動トランジスタ14のドレイン電流を発生させ、有機EL素子15を発光させる。

30

【0161】

次に、時刻 t_{15} において、走査線駆動回路4は、第3走査線19の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ26をオン状態とする。これにより、有機EL素子15のアノードと駆動トランジスタ14のソースとが導通し、有機EL素子15にドレイン電流が流れることにより、有機EL素子15が発光する(図12のS36)。

【0162】

図13Bは、本発明の実施の形態2に係る表示装置の通常発光モードにおける発光状態を表す回路図である。通常発光モードでは、第1電源電圧 V_{DD} -第2電源電圧 $V_{EE} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子13の両電極に保持された電圧に対応した駆動トランジスタ14のドレイン電流が、有機EL素子15を流れる。

40

【0163】

次に、時刻 t_{16} において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ26をオフ状態とし、有機EL素子15を消光させる。

【0164】

上記構成及び動作によると、スイッチングトランジスタ26によって、駆動トランジスタ14のソース及び選択トランジスタ11を介した第1電源線21とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させること

50

が可能となる。これにより、選択トランジスタ 11 の両側の端子の電位差が、駆動トランジスタ 14 のソース及び選択トランジスタ 11 を介して第 1 電源線 21 とデータ線 20 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 11 の両端の電位差が安定し、選択トランジスタ 11 を介してデータ線 20 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 13 に保持できる。その結果、駆動トランジスタ 14 のゲート - ソース間の電位差は、第 2 電源線 22 の電圧変動および有機 EL 素子 15 の経時劣化に伴う高抵抗化による駆動トランジスタ 14 のソース電位の変動の影響を受けにくくなっている。つまり、本回路動作は、ソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機 EL 素子 15 に流すことができる。

10

【0165】

(実施の形態 3)

以下、本発明の実施の形態 3 について、図を用いて具体的に説明する。

【0166】

図 14 は、本発明の実施の形態 3 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素 10 は、選択トランジスタ 11 と、スイッチングトランジスタ 12 及び 16 と、保持容量素子 13 と、駆動トランジスタ 24 と、有機 EL 素子 25 と、第 1 走査線 17 と、第 2 走査線 18 と、第 3 走査線 19 と、データ線 20 と、第 1 電源線 31 と、第 2 電源線 32 と、参照電源線 23 とを備える。また、周辺回路は、走査線駆動回路 4 と、データ線駆動回路 5 とを備える。

20

【0167】

本実施の形態に係る表示装置は、実施の形態 1 に係る表示装置と比較して、発光画素の回路構成のみが異なる。つまり、駆動トランジスタは p 型であり、当該駆動トランジスタのソースと有機 EL 素子のカソードとが接続されている。以下、実施の形態 1 に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0168】

駆動トランジスタ 24 は、ゲートが保持容量素子 13 の電極 131 に接続され、ドレインがスイッチングトランジスタ 16 のソース及びドレインの一方に接続され、ソースが有機 EL 素子 25 の第 1 電極であるカソードに接続された駆動素子である。駆動トランジスタ 24 は、ゲート - ソース間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機 EL 素子 25 に供給する。例えば、選択トランジスタ 11 及びスイッチングトランジスタ 12 がオフ状態であって、スイッチングトランジスタ 16 がオン状態のときに、駆動トランジスタ 24 は、データ線 20 から供給されたデータ電圧 V_{data} に対応した電圧、つまり保持容量素子 13 の保持電圧 ($V_{data} - V_R$) に対応したドレイン電流を、有機 EL 素子 25 へ供給する機能を有する。駆動トランジスタ 24 は、p 型の薄膜トランジスタ (p 型 TFT) で構成される。

30

【0169】

有機 EL 素子 25 は、カソードが駆動トランジスタ 24 のソースに接続され、アノードが第 2 電源線 32 に接続された発光素子であり、駆動トランジスタ 24 のドレイン電流が流れることにより発光する。

40

【0170】

スイッチングトランジスタ 16 は、ゲートが第 3 走査線 19 に接続され、ソース及びドレインの一方が駆動トランジスタ 24 のドレインに接続され、ソース及びドレインの他方が第 1 電源線 31 に接続された第 3 スイッチ素子である。スイッチングトランジスタ 16 は、有機 EL 素子 25 のカソードと第 1 電源線 31 との間であって、駆動トランジスタ 24 と直列に接続され、駆動トランジスタ 24 のドレイン電流の ON/OFF を決定する機能を有する。スイッチングトランジスタ 16 は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0171】

50

上記回路構成によると、スイッチングトランジスタ16によって、駆動トランジスタ24のソース及び選択トランジスタ11を介した第1電源線31とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ24のソース及び選択トランジスタ11を介して第1電源線31とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、保持容量素子13の両電極の電位差、すなわち駆動トランジスタ24のゲート-ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

10

【0172】

本実施の形態に係る表示装置の制御方法については、実施の形態1に係る表示装置と同様であり、同様の効果を奏する。

【0173】

但し、テストモードにおいて、第2電源電圧V_{EE}とデータ電圧V_{data}の最大値との電位差は、有機EL素子15の閾値電圧(以下、V_{th}(EL)と記す)以下としている。

【0174】

また、テストモードでは、第2電源電圧V_{EE}-第1電源電圧V_{DD}<V_{th}(EL)となるように、各電源電圧が設定されている。これにより、駆動トランジスタ24のドレイン電流は、有機EL素子25に流れず、駆動トランジスタ24のソース及び保持容量素子13の電極132を介してデータ線20に流れ込む。

20

【0175】

また、テストモードにおけるドレイン電流読み取り時において、電流I_{pix}は、データ線20から、選択トランジスタ11及び駆動トランジスタ24のソースを介して第1電源線31へと流れる。

【0176】

また、通常発光モードにおいて、第2電源電圧V_{EE}とデータ電圧V_{data}の最小値(V_{data_min})との電位差は、有機EL素子15のV_{th}(EL)以下としている。

30

【0177】

また、通常発光モードでは、第2電源電圧V_{EE}-第1電源電圧V_{DD}>V_{th}(EL)となるように、各電源電圧が設定されている。これにより、保持容量素子13の両電極に保持された電圧に対応した駆動トランジスタ24のドレイン電流が、有機EL素子25を流れる。

【0178】

上記構成によると、スイッチングトランジスタ16によって、駆動トランジスタ24のソース及び選択トランジスタ11を介した第1電源線31とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ24のソース及び選択トランジスタ11を介して第1電源線31とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、駆動トランジスタ24のゲート-ソース間の電位差は第2電源線32の電圧変動および有機EL素子25の経時劣化に伴う高抵抗化による駆動トランジスタ24のソース電位の変動の影響を受けにくいソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

40

【0179】

50

(実施の形態4)

以下、本発明の実施の形態について、図を用いて具体的に説明する。

【0180】

図15は、本発明の実施の形態4に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素10は、選択トランジスタ11と、スイッチングトランジスタ12及び26と、保持容量素子13と、駆動トランジスタ24と、有機EL素子25と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線31と、第2電源線32と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

【0181】

本実施の形態に係る表示装置は、実施の形態2に係る表示装置と比較して、発光画素の回路構成のみが異なる。つまり、駆動トランジスタはp型であり、当該駆動トランジスタのソースと有機EL素子のカソードとが接続されている。以下、実施の形態2に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0182】

駆動トランジスタ24は、ゲートが保持容量素子13の電極131に接続され、ドレインが第1電源線31に接続され、ソースがスイッチングトランジスタ26のソース及びドレインの一方に接続された駆動素子である。駆動トランジスタ24は、ゲートとスイッチングトランジスタ26のソース及びドレインの他方との間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子25に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ26がオン状態のときに、駆動トランジスタ24は、データ線20から供給されたデータ電圧 V_{data} に対応した電圧、つまり保持容量素子13の保持電圧($V_{data} - V_R$)に対応したドレイン電流を、有機EL素子25へ供給する機能を有する。駆動トランジスタ24は、例えば、p型の薄膜トランジスタ(p型TFT)で構成される。

【0183】

有機EL素子25は、カソードがスイッチングトランジスタ26のソース及びドレインの他方に接続され、アノードが第2電源線32に接続された発光素子であり、駆動トランジスタ24のドレイン電流が流れることにより発光する。

【0184】

スイッチングトランジスタ26は、ゲートが第3走査線19に接続され、ソース及びドレインの一方が駆動トランジスタ24のソースに接続され、ソース及びドレインの他方が有機EL素子25のカソードに接続された第3スイッチ素子である。スイッチングトランジスタ26は、有機EL素子25のカソードと第1電源線31との間であって、駆動トランジスタ24と直列に接続され、駆動トランジスタ24のドレイン電流のON/OFFを決定する機能を有する。スイッチングトランジスタ26は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0185】

上記回路構成によると、スイッチングトランジスタ26によって、駆動トランジスタ24のソース及び選択トランジスタ11を経由した第1電源線31とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ24のソース及び選択トランジスタ11を介して第1電源線31とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、保持容量素子13の両電極の電位差、すなわち駆動トランジスタ24のゲート-ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

10

20

30

40

50

【0186】

本実施の形態に係る表示装置の制御方法については、実施の形態2に係る表示装置と同様であり、同様の効果を奏する。

【0187】

但し、テストモードにおいて、第2電源電圧 V_{EE} とデータ電圧 V_{data} の最大値との電位差は、有機EL素子15の閾値電圧（以下、 $V_{th}(EL)$ と記す）以下としている。

【0188】

また、テストモードでは、第2電源電圧 V_{EE} - 第1電源電圧 $V_{DD} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ24のドレイン電流は、有機EL素子25に流れず、駆動トランジスタ24のソース及び保持容量素子13の電極132を経由してデータ線20に流れ込む。

10

【0189】

また、テストモードにおけるドレイン電流読み取り時において、電流 I_{pix} は、データ線20から、選択トランジスタ11及び駆動トランジスタ24のソースを経由して第1電源線31へと流れる。

【0190】

また、通常発光モードにおいて、第2電源電圧 V_{EE} とデータ電圧 V_{data} の最小値（ V_{data_min} ）との電位差は、有機EL素子15の $V_{th}(EL)$ 以下としている。

20

【0191】

また、通常発光モードでは、第2電源電圧 V_{EE} - 第1電源電圧 $V_{DD} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子13の両電極に保持された電圧に対応した駆動トランジスタ24のドレイン電流が、有機EL素子25を流れる。

【0192】

上記構成によると、スイッチングトランジスタ26によって、駆動トランジスタ24のソース及び選択トランジスタ11を介した第1電源線31とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ24のソース及び選択トランジスタ11を介して第1電源線31とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、駆動トランジスタ24のゲート - ソース間の電位差は第2電源線32の電圧変動および有機EL素子25の経時劣化に伴う高抵抗化による駆動トランジスタ24のソース電位の変動の影響を受けにくいソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

30

【0193】

以上のように、実施の形態1～4で述べた簡単な画素回路を構成することにより、ソース接地動作する駆動トランジスタのゲート - ソース間に印加すべき電圧を保持する保持容量素子の両端電極に、データ電圧に対応した正確な電位を記録することが可能となる。よって、映像信号を反映した高精度な画像表示をすることが可能となる。さらに、電源線を介して有機EL素子に供給される電流量を、データ線を介して読み込んで測定する場合、電源線から有機EL素子に供給される電流量を正確に測定できる。

40

【0194】

なお、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施の形態1～4ならびにそれらの変形例における任意の構成要素を組み合わせる別の実施の形態や、実施の形態1～4ならびにそれらの変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示

50

装置を内蔵した各種機器も本発明に含まれる。

【 0 1 9 5 】

なお、以上述べた実施の形態では、選択トランジスタ及びスイッチングトランジスタのゲートの電圧レベルが HIGH の場合にオン状態になる n 型トランジスタとして記述しているが、これらを p 型トランジスタで形成し、走査線の極性を反転させた画像表示装置でも、上述した各実施の形態と同様の効果を奏する。

【 0 1 9 6 】

また、例えば、本発明に係る表示装置は、図 1 6 に記載されたような薄型フラット TV に内蔵される。本発明に係る画像表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット TV が実現される。

10

【 産業上の利用可能性 】

【 0 1 9 7 】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機 EL フラットパネルディスプレイに有用である。

【 符号の説明 】

【 0 1 9 8 】

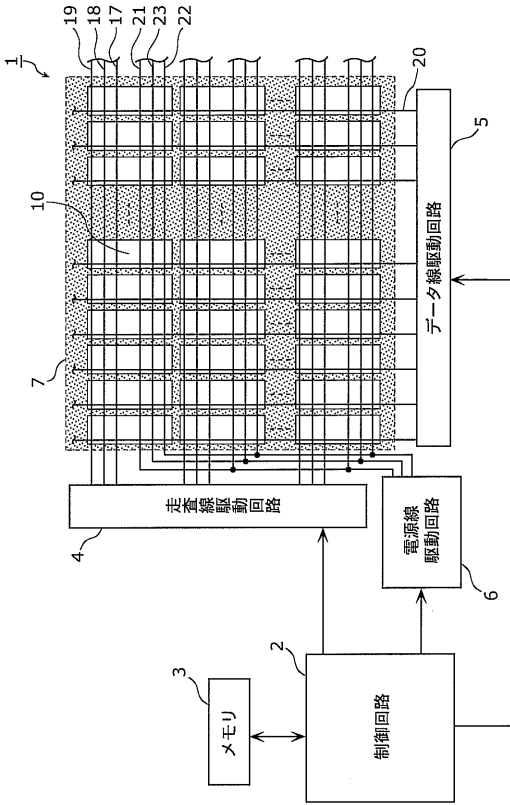
- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4 走査線駆動回路
- 5 データ線駆動回路
- 6 電源線駆動回路
- 7 表示部
- 1 0 発光画素
- 1 1 選択トランジスタ
- 1 2、1 6、2 6 スwitchングトランジスタ
- 1 3 保持容量素子
- 1 4、2 4 駆動トランジスタ
- 1 5、2 5、5 0 5 有機 EL 素子
- 1 7、5 0 7 第 1 走査線
- 1 8、5 0 8 第 2 走査線
- 1 9 第 3 走査線
- 2 0 データ線
- 2 1、3 1 第 1 電源線
- 2 2、3 2 第 2 電源線
- 2 3 参照電源線
- 5 1 スイッチ素子
- 5 2 読み取り抵抗
- 5 3 オペアンプ
- 1 3 1、1 3 2 電極
- 5 0 0 画素部
- 5 0 1 第 1 スイッチング素子
- 5 0 2 第 2 スイッチング素子
- 5 0 3 容量素子
- 5 0 4 n 型薄膜トランジスタ (n 型 T F T)
- 5 0 6 信号線
- 5 0 9 第 3 スイッチング素子

20

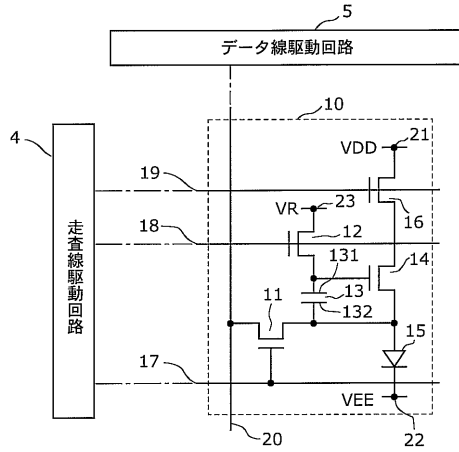
30

40

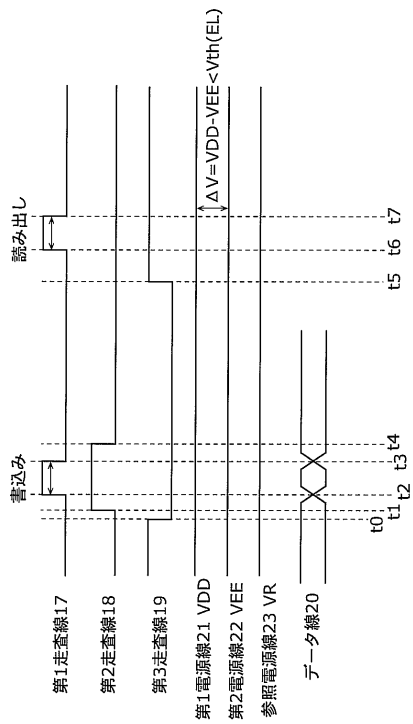
【図1】



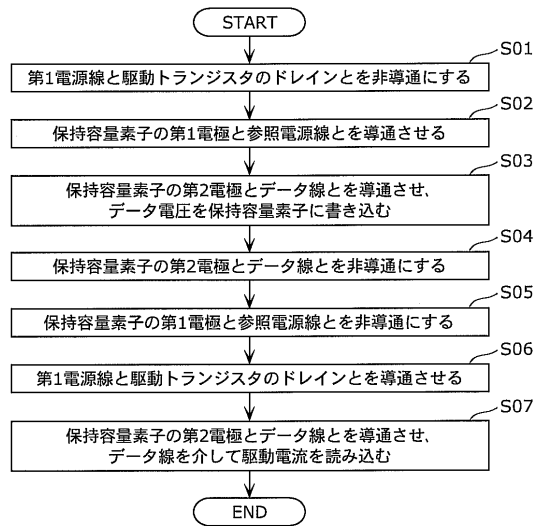
【図2】



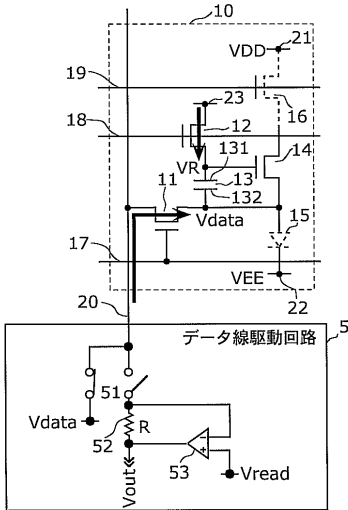
【図3】



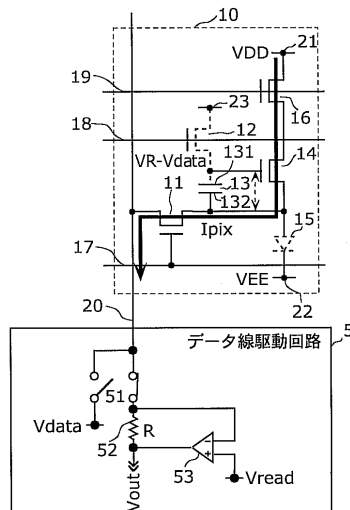
【図4】



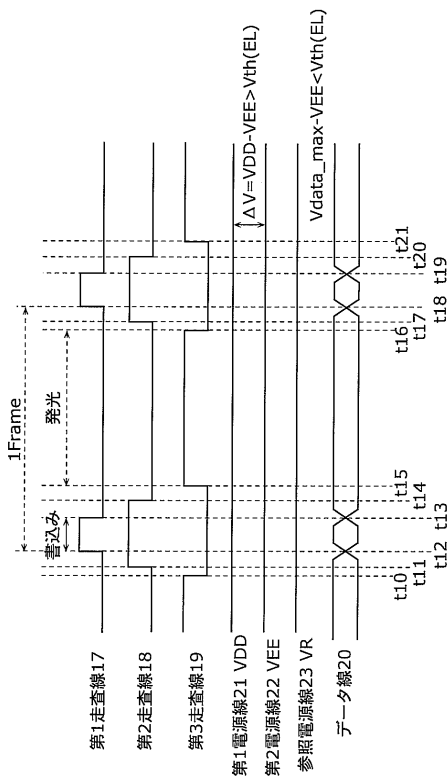
【図5A】



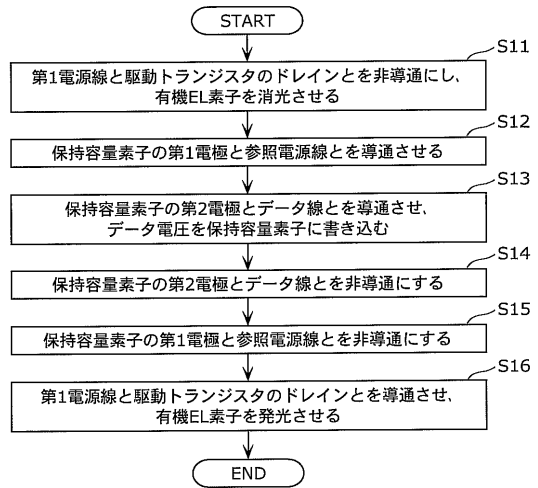
【図5B】



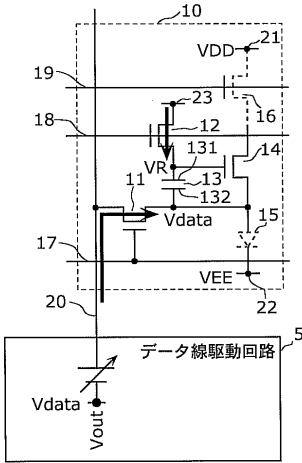
【図6】



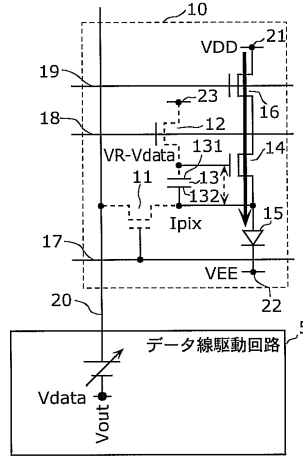
【図7】



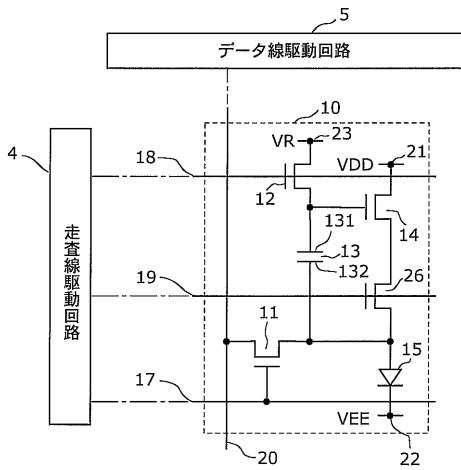
【図 8 A】



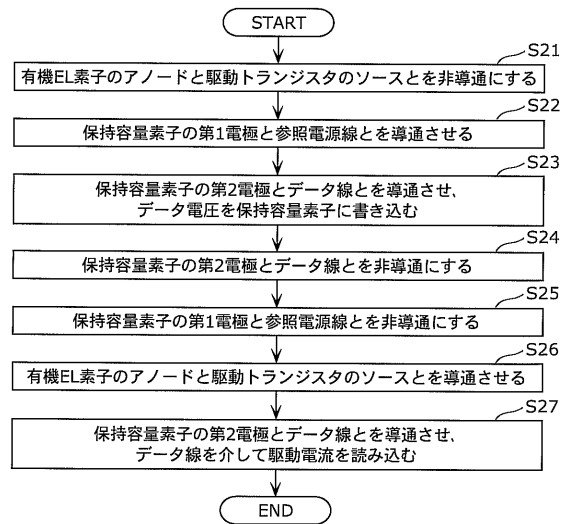
【図 8 B】



【図 9】



【図 10】



て有機EL素子を駆動するものをパッシブマトリクス型の有機ELディスプレイと呼ぶ。

【0004】

一方、複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ(TFT:Thin Film Transistor)を設け、このスイッチングTFTに駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチングTFTをオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

【0005】

アクティブマトリクス型の有機EL表示装置は、各行電極(走査線)を選択している期間のみ、それに接続された有機EL素子が発光するパッシブマトリクス型の有機EL表示装置とは異なり、次の走査(選択)まで有機EL素子を発光させることが可能であるため、表示装置の走査本数が上がってもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機EL表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

【0006】

特許文献1には、アクティブマトリクス型の有機EL表示装置における画素部の回路構成が開示されている。

【0007】

図17は、特許文献1に記載された従来の有機EL表示装置における画素部の回路構成図である。同図における画素部500は、カソードが負電源線(電圧値はVEE)に接続された有機EL素子505、ドレインが正電源線(電圧値はVDD)に接続されソースが有機EL素子505のアノードに接続されたn型薄膜トランジスタ(n型TFT)504、n型TFT504のゲート-ソース間に接続されn型TFT504のゲート電圧を保持する容量素子503、有機EL素子505の両端子間を略同電位とする第3スイッチング素子509、信号線506から映像信号を選択的にn型TFT504のゲートに印加する第1スイッチング素子501、及びn型TFT504のゲート電位を所定電位に初期化する第2スイッチング素子502という簡単な回路素子により構成される。以下、画素部500の発光動作を説明する。

【0008】

まず、第2スイッチング素子502を、第2走査線508から供給される走査信号によりオン状態とし、参照電源線から供給される所定の電圧VREFをn型TFT504のゲートに印加してn型TFT504のソース-ドレイン間電流が流れないようにn型TFT504を初期化する(S101)。

【0009】

次に、第2スイッチング素子502を、第2走査線508から供給される走査信号によりオフ状態とする(S102)。

【0010】

次に、第1スイッチング素子501を、第1走査線507から供給される走査信号によりオン状態とし、信号線506から供給される信号電圧をn型TFT504のゲートに印加する(S103)。このとき、第3スイッチング素子509のゲートには、第1走査線507が接続されており、第1スイッチング素子501の導通と同時に導通する。これによって有機EL素子505の端子間電圧に影響されずに、容量素子503には信号電圧に対応した電荷が蓄積される。また、第3スイッチング素子509が導通している間は有機EL素子505に電流が流れないので、有機EL素子505は発光しない。

【0011】

次に、第3スイッチング素子509を、第1走査線507から供給される走査信号によりオフ状態とし、容量素子503に蓄積された電荷に対応する信号電流をn型TFT504から有機EL素子505へ供給する(S104)。このとき、有機EL素子505が発光する。

【0012】

上述した一連の動作により、1フレーム期間において、信号線から供給される信号電圧に対応した輝度で有機EL素子505が発光することになる。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2005-4173号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかしながら、特許文献1に記載された従来の有機EL表示装置は、信号電圧をn型TFT504のゲートに記録した際(S103)に、n型TFT504がオン状態となり、第3スイッチング素子509を介して負電源線に電流が流れ込んでしまう。この電流が、第3スイッチング素子509及び負電源線の抵抗成分に流れることにより、n型TFT504のソース電位が変動してしまう。つまり、容量素子503に保持すべき電圧が変動してしまう。

【0015】

上述したように、アモルファスSiに代表されるn型TFTによってソース接地動作する画素回路を構成する場合、駆動n型TFTのゲート-ソース間の電圧を保持する機能を有する容量素子の両端電極に、正確な電位を記録することが困難となる。よって、信号電圧に対応した正確な信号電流が流れないため発光素子が正確に発光せず、結果的には映像信号を反映した高精度な画像表示がなされない。

【0016】

上記課題に鑑み、本発明は、簡単な画素回路で、駆動TFTのゲート-ソース間の電圧を保持する静電容量の両端電極に、信号電圧に対応した正確な電位を記録することができる発光画素を有する画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明の一態様に係る表示パネル装置は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子が発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第1電源線と、前記発光素子の第2電極に電氣的に接続された第2電源線と、前記コンデンサの第1電極に基準電圧を設定するための第1スイッチ素子と、前記コンデンサの第2電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第2電極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチ素子と、前記発光素子の第1電極と前記コンデンサの第2電極とを電氣的に接続し、前記第1電源線、前記発光素子の第1電極、前記コンデンサの第2電極、前記第2スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第1電極と前記第1電源線との間において、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流のON/OFFを決定する第3スイッチ素子とを備えることを特徴とする。

【発明の効果】

【0018】

本発明の表示パネル装置およびその制御方法によれば、駆動TFTに流れる電流経路を制御することで書き込み時に電源線及びデータ線に電流が流れないようにすることができる。よって、書き込み期間中にスイッチTFTおよび電源線の抵抗成分による、保持容量素子の両端に正確な電位を記録することができ、映像信号を反映した高精度な画像表示をすることが可能となる。

【図面の簡単な説明】

【0019】

【図 1】図 1 は、本発明の表示装置の電氣的な構成を示すブロック図である。

【図 2】図 2 は、本発明の実施の形態 1 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 3】図 3 は、本発明の実施の形態に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。

【図 4】図 4 は、本発明の実施の形態 1 に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

【図 5 A】図 5 A は、本発明の実施の形態 1 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。

【図 5 B】図 5 B は、本発明の実施の形態 1 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。

【図 6】図 6 は、本発明の実施の形態に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。

【図 7】図 7 は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおける制御方法を説明する動作フローチャートである。

【図 8 A】図 8 A は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。

【図 8 B】図 8 B は、本発明の実施の形態 1 に係る表示装置の通常発光モードにおける発光状態を表す回路図である。

【図 9】図 9 は、本発明の実施の形態 2 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 10】図 10 は、本発明の実施の形態 2 に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

【図 11 A】図 11 A は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。

【図 11 B】図 11 B は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。

【図 12】図 12 は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおける制御方法を説明する動作フローチャートである。

【図 13 A】図 13 A は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。

【図 13 B】図 13 B は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおける発光状態を表す回路図である。

【図 14】図 14 は、本発明の実施の形態 3 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 15】図 15 は、本発明の実施の形態 4 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。

【図 16】図 16 は、本発明の画像表示装置を内蔵した薄型フラット TV の外観図である。

【図 17】図 17 は、特許文献 1 に記載された従来有機 EL 表示装置における画素部の回路構成図である。

【発明を実施するための形態】

【0020】

請求項 1 記載の態様の表示パネル装置は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コン

デンサの第2電極に電氣的に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第2スイッチ素子と、前記発光素子の第1電極と前記コンデンサの第2電極とを電氣的に接続し、前記第1電源線、前記発光素子の第1電極、前記コンデンサの第2電極、前記第2スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第1電極と前記第1電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流のON/OFFを決定する第3スイッチ素子とを備えるものである。

【0021】

本態様の回路構成によると、前記第3スイッチ素子によって、前記駆動素子のソース電極及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧を保持させることが可能となる。これにより、前記第2スイッチ素子の両側の端子の電位差が、前記駆動素子のソース電極及び前記第2スイッチ素子を介して前記第1電源線と前記データ線との間で流れる電流によって変動するのを防止できる。そのため、前記第2スイッチ素子の両端の電位差が安定し、前記第2スイッチ素子を介して前記データ線から所望の電位差の電圧に対応する電圧を正確に前記コンデンサに保持できる。その結果、前記駆動素子のゲート-ソース間の電位差が安定し、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

【0022】

請求項2記載の態様の表示パネル装置は、請求項1記載の表示装置において、さらに、前記第1スイッチ素子、前記第2スイッチ素子及び前記第3スイッチ素子を制御する制御部とを備え、前記制御部は、前記第3スイッチ素子をOFFして前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の前記ドレイン電流の流れを遮断している間に、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサに所望の電位差の電圧を保持させ、前記第1スイッチ素子及び前記第2スイッチ素子をOFFした状態で前記第3スイッチ素子をONし、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流させるものである。

【0023】

本態様によれば、前記第1スイッチ素子から第3スイッチ素子の動作を、制御部が制御する。つまり、前記駆動素子のソース電極及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧を蓄積する。これにより、前記第2スイッチ素子の両側の端子の電位差が、前記駆動素子のソース電極及び前記第2スイッチ素子を介して前記第1電源線と前記データ線との間で流れる電流によって変動するのを防止できる。そのため、前記第2スイッチ素子の両端の電位差が安定し、前記第2スイッチ素子を介して前記データ線から所望の電位差の電圧に対応する電圧を正確に前記コンデンサに保持できる。その結果、前記駆動素子のゲート-ソース間の電位差が安定し、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

【0024】

請求項3記載の態様の表示パネル装置は、請求項2記載の表示装置において、前記制御部は、前記第3スイッチ素子をOFFすることにより、前記配線及び前記第2スイッチ素子を介した前記第1電源線と前記データ線との間の電流の流れを遮断すると共に、前記第1電源線と前記第2電源線との間の電流の流れを遮断するものである。

【0025】

本態様によると、前記第1電源線と前記第2電源線との間のドレイン電流の流れを遮断した上で、前記コンデンサに所望の電位差の電圧が保持される。これにより、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサの第2電極が接続された素子（ここでは発光素子もしくはスイッチングトランジスタ）に電流が流れるこ

とはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記発光素子もしくはスイッチングトランジスタに流れるのを防止できる。即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確なドレイン電流を前記発光素子に流すことができる。

【0026】

さらに、前記発光素子と前記電源線との間に、前記駆動素子と直列に設けられ、前記第1電源線と前記第2電源線との間にドレイン電流を流す第3スイッチ素子を設けている。これにより、突入電流の発生を抑え、前記発光素子への供給電量を正確に制御できる。その結果、画像のコントラストを向上させることができる。

【0027】

即ち、前記第3スイッチ素子のOFFという一つの制御によって、前記第2スイッチ素子の両端の電位差を安定させて前記駆動素子のゲート-ソース間の電位差を安定させることができると共に、突入電流を抑えることができる。その結果、所望の電位差の電圧に対応する電圧を正確に前記コンデンサに保持して、前記所望の電位差の電圧に対応するドレイン電流を正確に前記発光素子に流すことができる。

【0028】

請求項4記載の態様の表示パネル装置は、請求項1の表示装置において、例えば、前記第3スイッチ素子は、前記第1電源線と前記駆動素子のドレインとの間に直列に接続され、前記配線は、前記駆動素子のソースに接続された前記発光素子の第1電極と、前記コンデンサの第2電極とを接続するものである。

【0029】

請求項5記載の態様の表示パネル装置は、請求項1の表示装置において、例えば、前記第3スイッチ素子は、前記発光素子の第1電極と前記駆動素子のソースとの間に直列に接続され、前記配線は、前記第3スイッチ素子に接続された前記発光素子の第1電極と、前記コンデンサの第2電極とを接続するものである。

【0030】

請求項6記載の態様の表示パネル装置は、請求項2または3に記載の表示装置において、前記発光素子の第1電極はアノード電極であり、前記発光素子の第2電極はカソード電極であり、前記第1電源線の電圧は、前記第2電源線の電圧より高く、前記第1電源線から前記第2電源線に向かって電流が流れるものである。

【0031】

本態様によると、前記駆動素子をn型トランジスタで構成できる。

【0032】

請求項7記載の態様の表示パネル装置は、請求項6記載の表示装置において、前記制御部は、前記第3スイッチ素子をOFFして前記第1電源線から前記発光素子への電流の供給を遮断し、前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記第1スイッチ素子をOFFして前記第2スイッチ素子及び前記第3スイッチ素子をONし、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第2スイッチ素子を介して前記データ線に流すものである。

【0033】

本態様によると、前記第1電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記第1電源線から前記発光素子へ至る経路と、前記第1電源線から前記データ線に至る経路とで、電流が流れる条件は同一であるため、前記第1電源線を介して前記発光素子に供給される電流量を正確に測定できる。

【0034】

また、前記第1電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記コンデンサに保持された電圧が所望の電位差の電圧に

なる前に、前記電源線から供給される電流を測定することはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記電源線を介して供給され、それを測定するのを防止できる。即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確な電流量を測定できる。

【 0 0 3 5 】

請求項 8 記載の態様の表示パネル装置は、請求項 7 記載の表示装置において、前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧から前記発光素子の発光開始電圧を減じた電圧よりも大きい第 1 電圧または前記第 1 電圧より低い第 2 電圧を設定する設定部を備え、前記データ電圧は前記第 1 電圧より低い電圧であり、前記制御部は、前記発光素子を発光させる場合には、前記第 2 電源線に前記第 2 電圧を設定し、前記第 2 スイッチ素子を OFF して前記第 1 電源線から前記発光素子に前記ドレイン電流を流し、前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 1 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記第 1 電源線から前記データ線に流すものである。

【 0 0 3 6 】

本態様によると、前記第 1 電源線から流れるドレイン電流を、前記データ線を介して測定する場合、前記発光素子の第 2 電極の電圧を、前記第 1 電源線に接続される電源部の設定電圧より前記発光素子の発光開始電圧を減じた電圧よりも大きい電圧として電位差を小さく設定する。このため、前記第 3 スイッチ素子を ON すれば、前記発光素子に電流は流れず、前記設定電圧と前記データ電圧の電位差により前記第 1 電源線から前記データ線に電流が流れる。

【 0 0 3 7 】

請求項 9 記載の態様の表示パネル装置は、請求項 2 または 3 に記載の表示装置において、前記発光素子の第 1 電極はカソード電極であり、前記発光素子の第 2 電極はアノード電極であり、前記第 2 電源線の電圧は、前記第 1 電源線の電圧より高く、前記第 2 電源線から前記第 1 電源線に向かって電流が流れるものである。

【 0 0 3 8 】

本態様によると、前記駆動素子を p 型トランジスタで構成できる。

【 0 0 3 9 】

請求項 10 記載の態様の表示パネル装置は、請求項 9 記載の表示装置において、前記制御部は、前記第 3 スイッチ素子を OFF して前記第 1 電源線から前記発光素子への電流の供給を遮断し、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記第 1 スイッチ素子を OFF して前記第 2 スイッチ素子及び前記第 3 スイッチ素子を ON し、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第 2 スイッチ素子を介して前記データ線から流すものである。

【 0 0 4 0 】

本態様によると、前記第 2 電源線を介して前記発光素子に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記発光素子から前記第 1 電源線へ至る経路と、前記データ線から前記第 1 電源線に至る経路とで、ドレイン電流が流れる条件は同一であるため、前記発光素子を介して前記第 1 電源線に供給される電流量を正確に測定できる。

【 0 0 4 1 】

また、前記発光素子を介して前記第 1 電源線に供給される電流量を、前記データ線を介して読み込んで測定する場合、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記第 2 電源線から供給される電流を測定することはない。よって、前記コンデンサに保持された電圧が所望の電位差の電圧になる前に、前記コンデンサに保持された電圧に応じた電流が前記第 2 電源線を介して供給され、それを測定するのを防止できる。

即ち、前記コンデンサに所望の電位差の電圧に対応する正確な電圧を保持できるので、所望の電位差の電圧に対応する正確な電流量を測定できる。

【 0 0 4 2 】

請求項 1 1 記載の態様の表示パネル装置は、請求項 1 0 記載の表示装置において、前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい第 3 電圧または前記第 3 電圧より高い第 4 電圧を設定する設定部を備え、前記データ電圧は前記第 1 電圧より高い電圧であり、前記制御部は、前記発光素子を発光させる場合には、前記第 2 電源線に前記第 4 電圧を設定し、前記第 2 スイッチ素子を OFF して前記発光素子から前記第 1 電源線へ電流を流し、前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 3 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記データ線から前記第 1 電源線に流すものである。

【 0 0 4 3 】

本態様によると、前記第 1 電源線へ流れるドレイン電流を、前記データ線を介して測定する場合、前記発光素子の第 2 電極の電圧を、前記第 1 電源線に接続される電源部の設定電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい電圧として電位差を小さく設定する。このため、前記第 3 スイッチ素子を ON すれば、前記発光素子に電流は流れず、前記設定電圧と前記データ電圧の電位差により前記データ線から前記第 1 電源線に電流が流れる。

【 0 0 4 4 】

請求項 1 2 記載の態様の表示装置は、請求項 1 乃至請求項 1 1 のいずれかに記載の表示パネル装置と、前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、前記発光素子は、少なくとも複数個マトリクス状に配置されているものである。

【 0 0 4 5 】

請求項 1 3 記載の態様の表示装置は、請求項 1 乃至請求項 1 1 のいずれかに記載の表示パネル装置と、前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、少なくとも前記発光素子及び前記第 3 スイッチ素子は、単位画素の画素回路を構成し、前記画素回路は、複数個マトリクス状に配置されているものである。

【 0 0 4 6 】

請求項 1 4 記載の態様の表示装置は、請求項 1 乃至請求項 1 1 のいずれかに記載の表示パネル装置と、前記第 1 及び前記第 2 電源線に電源を供給する電源とを備え、前記発光素子は、第 1 電極と、第 2 電極と、前記第 1 電極及び前記第 2 電極に挟まれた発光層とを含み、前記発光素子、前記コンデンサ、前記駆動素子、前記第 1 スイッチ素子、前記第 2 スイッチ素子及び前記第 3 スイッチ素子は、単位画素の画素回路を構成し、前記画素回路は、複数個マトリクス状に配置されているものである。

【 0 0 4 7 】

請求項 1 5 記載の態様の表示装置は、前記発光素子は、有機エレクトロルミネッセンス発光素子である。

【 0 0 4 8 】

請求項 1 6 記載の態様の表示装置の制御方法は、発光素子と、電圧を保持するコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチ素子と、前記発光素子の第 1 電極と前記コンデンサの第 2 電極とを電氣的に接続し、前記第 1 電源線、前記発光素子の第 1 電極、前

記コンデンサの第 2 電極、前記第 2 スイッチ素子及び前記データ線を接続するパスを形成するための配線と、前記発光素子の第 1 電極と前記第 1 電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流の ON/OFF を決定する第 3 スイッチ素子とを具備する表示装置の制御方法であって、前記第 3 スイッチ素子を OFF して前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の前記ドレイン電流の流れを遮断し、前記ドレイン電流の流れを遮断している間に、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、前記所望の電位差の電圧を保持させた後、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を OFF して前記第 3 スイッチ素子を ON し、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流すものである。

【0049】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

【0050】

(実施の形態 1)

以下、本発明の実施の形態 1 について、図を用いて具体的に説明する。

【0051】

図 1 は、本発明の表示装置の電気的な構成を示すブロック図である。同図における表示装置 1 は、制御回路 2 と、メモリ 3 と、走査線駆動回路 4 と、データ線駆動回路 5 と、電源線駆動回路 6 と、表示部 7 とを備える。

【0052】

また、図 2 は、本発明の実施の形態 1 に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素 10 は、選択トランジスタ 11 と、スイッチングトランジスタ 12 及び 16 と、保持容量素子 13 と、駆動トランジスタ 14 と、有機 EL 素子 15 と、第 1 走査線 17 と、第 2 走査線 18 と、第 3 走査線 19 と、データ線 20 と、第 1 電源線 21 と、第 2 電源線 22 と、参照電源線 23 とを備える。また、周辺回路は、走査線駆動回路 4 と、データ線駆動回路 5 とを備える。

【0053】

図 1 及び図 2 に記載された構成要素について、以下、その接続関係および機能を説明する。

【0054】

制御回路 2 は、走査線駆動回路 4、データ線駆動回路 5、電源線駆動回路 6 及びメモリ 3 の制御を行う機能を有する。メモリ 3 には、各発光画素の補正データなどが記憶されており、制御回路 2 は、メモリ 3 に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、データ線駆動回路 5 へと出力する。

【0055】

また制御回路 2 は、走査線駆動回路 4 を介して、選択トランジスタ 11、スイッチングトランジスタ 12 及び 16 を制御する。

【0056】

走査線駆動回路 4 は、第 1 走査線 17、第 2 走査線 18 及び第 3 走査線 19 に接続されており、第 1 走査線 17、第 2 走査線 18 及び第 3 走査線 19 に走査信号を出力することにより、それぞれ、発光画素 10 の有する選択トランジスタ 11、スイッチングトランジスタ 12 及び 16 の導通・非導通を制御回路 2 の指示により実行する機能を有する。

【0057】

データ線駆動回路 5 は、データ線 20 に接続されており、映像信号に基づいたデータ電圧を発光画素 10 へ出力する機能を有する。

【0058】

電源線駆動回路 6 は、第 1 電源線 21、第 2 電源線 22 及び参照電源線 23 に接続され

ており、それぞれ、全発光画素に共通の第1電源電圧VDD、第2電源電圧VEE及び基準電圧VRを、制御回路2の指示により設定する機能を有する。

【0059】

表示部7は、複数の発光画素10を備え、外部から表示装置1へ入力された映像信号に基づいて画像を表示する。

【0060】

選択トランジスタ11は、ゲートが第1走査線17に接続され、ソース及びドレインの一方がデータ線20に接続され、ソース及びドレインの他方が保持容量素子13の第2電極である電極132に接続された第2スイッチ素子である。選択トランジスタ11は、データ線20のデータ電圧を保持容量素子13の電極132に印加するタイミングを決定する機能を有する。

【0061】

スイッチングトランジスタ12は、ゲートが第2走査線18に接続され、ソース及びドレインの一方が参照電源線23に接続され、ソース及びドレインの他方が保持容量素子13の第1電極である電極131に接続された第1スイッチ素子である。スイッチングトランジスタ12は、参照電源線23の基準電圧VRを保持容量素子13の電極131に印加するタイミングを決定する機能を有する。選択トランジスタ11及びスイッチングトランジスタ12は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0062】

保持容量素子13は、電極131が駆動トランジスタ14のゲートに接続され、電極132が選択トランジスタ11のソース及びドレインの他方及び駆動トランジスタ14のソースに接続されたコンデンサである。保持容量素子13には、選択トランジスタ11及びスイッチングトランジスタ12がオン状態のときに、電極131に基準電圧VRが、電極132にデータ電圧Vdataが印加され、両電極の電位差である(VR - Vdata)が保持される。

【0063】

駆動トランジスタ14は、ゲートが保持容量素子13の電極131に接続され、ドレインがスイッチングトランジスタ16のソース及びドレインの一方に接続され、ソースが有機EL素子15の第1電極であるアノードに接続された駆動素子である。駆動トランジスタ14は、ゲート-ソース間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子15に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ16がオン状態のときに、駆動トランジスタ14は、データ線20から供給されたデータ電圧Vdataに対応した電圧、つまり保持容量素子13の保持電圧(VR - Vdata)に対応したドレイン電流を、有機EL素子15へ供給する機能を有する。駆動トランジスタ14は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0064】

有機EL素子15は、アノードが駆動トランジスタ14のソースに接続され、カソードが第2電源線22に接続された発光素子であり、駆動トランジスタ14から信号電流であるドレイン電流が流れることにより発光する。

【0065】

スイッチングトランジスタ16は、ゲートが第3走査線19に接続され、ソース及びドレインの一方が駆動トランジスタ14のドレインに接続され、ソース及びドレインの他方が第1電源線21に接続された第3スイッチ素子である。スイッチングトランジスタ16は、有機EL素子15のアノードと第1電源線21との間であって、駆動トランジスタ14と直列に接続され、駆動トランジスタ14のドレイン電流のON/OFFを決定する機能を有する。スイッチングトランジスタ16は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0066】

第1走査線17は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第1走査線17は、発光画素10を含む画素行に属する各発光画素へデータ電圧を書き込むタイミングを供給する機能を有する。

【0067】

第2走査線18は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第2走査線18は、発光画素10を含む画素行に属する各発光画素の有する保持容量素子13の電極131に基準電圧VRを印加するタイミングを供給する機能を有する。

【0068】

第3走査線19は、走査線駆動回路4に接続され、発光画素10を含む画素行に属する各発光画素に接続されている。これにより、第3走査線19は、発光画素10を含む画素行に属する各発光画素の有する駆動トランジスタ14のドレインと第1電源電圧VDDとを電氣的に接続するタイミングを供給する機能を有する。

【0069】

また、表示装置1は、画素行数分の第1走査線17、第2走査線18及び第3走査線19を備える。

【0070】

データ線20は、データ線駆動回路5に接続され、発光画素10を含む画素列に属する各発光画素へ接続され、発光強度を決定するデータ電圧を供給する機能を有する。

【0071】

また、表示装置1は、画素列数分のデータ線20を備える。

【0072】

なお、図1、図2には記載されていないが、第1電源線21、第2電源線22及び参照電源線23は、それぞれ、全発光画素に共通接続されており、電源線駆動回路6に接続されている。また、駆動トランジスタ14の閾値電圧に有機EL素子15の発光開始電圧を加えた電圧が0Vよりも大きい場合は、参照電源線23は第2電源線22と同一電圧としてもよい。これにより電源線駆動回路6の出力電圧の種類が減り、回路がより簡易になる。

【0073】

上記回路構成によると、スイッチングトランジスタ16によって、駆動トランジスタ14のソース及び選択トランジスタ11を経由した第1電源線21とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ14のソース及び選択トランジスタ11を介して第1電源線21とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、保持容量素子13の両電極の電位差、すなわち、駆動トランジスタ14のゲート-ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子15に流すことができる。

【0074】

次に、本実施の形態に係る表示装置1の制御方法について図3～図8Bを用いて説明する。

【0075】

図3～図5Bは、テストモードでの制御方法を、また、図6～図8Bは、通常発光モードでの制御方法を説明している。

【0076】

まず、テストモードでの制御方法を説明する。テストモードとは、データ電圧を保持容量素子13に書き込み、その後、書き込まれたデータ電圧に対応した電圧により発生する駆動トランジスタ14のドレイン電流を正確に測定するためのモードである。この測定さ

れたドレイン電流から駆動トランジスタ14の状態を把握し、補正データを生成することが可能となる。

【0077】

図3は、本発明の実施の形態1に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、第1走査線17、第2走査線18、第3走査線19、第1電源線21、第2電源線22、参照電源線23及びデータ線20に発生する電圧の波形図が示されている。また、図4は、本発明の実施の形態1に係る表示装置のテストモードにおける制御方法を説明する動作フローチャートである。

【0078】

まず、時刻 t_0 において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ16をオフ状態とする。これにより、駆動トランジスタ14のドレインと第1電源線21とは非導通となる(図4のS01)。

【0079】

次に、時刻 t_1 において、走査線駆動回路4は、第2走査線18の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ12をオン状態とする。これにより、保持容量素子13の電極131と参照電源線23とが導通し、保持容量素子13の電極131に基準電圧 V_R が印加される(図4のS02)。

【0080】

次に、時刻 t_2 において、走査線駆動回路4は、第1走査線17の電圧レベルをLOWからHIGHに変化させ、選択トランジスタ11をオン状態とする。これにより、保持容量素子13の電極132とデータ線20とが導通し、保持容量素子13の電極132にデータ電圧 V_{data} が印加される(図4のS03)。

【0081】

次に、時刻 t_2 ~時刻 t_3 の期間、第1走査線17の電圧レベルがHIGHであるので、発光画素10の電極131及び電極132には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素10を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0082】

図5Aは、本発明の実施の形態1に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子13の電極131には参照電源線23の基準電圧 V_R が印加され、電極132にはデータ線20よりデータ電圧 V_{data} が印加される。つまり、ステップS02及びS03では、発光画素10に印加すべきデータ電圧に対応した電圧($V_R - V_{data}$)を保持容量素子13に保持させている。

【0083】

また、このとき、スイッチングトランジスタ16が非導通となっていることにより、駆動トランジスタ14のドレイン電流は発生していない。また、データ電圧 V_{data} の最大値と第2電源電圧 V_{EE} との電位差は、有機EL素子15の閾値電圧(以下、 $V_{th}(EL)$ と記す)以下とする。よって、有機EL素子15は発光しない。

【0084】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子13には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動TFTの閾値電圧 V_{th} を1Vとして、 V_{EE} は15Vに、 V_{DD} は15Vに、 V_R は10Vに、 V_{data} は0V~10Vに設定されている。

【0085】

次に、時刻 t_3 において、走査線駆動回路4は、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、保持容

量素子 13 の電極 132 とデータ線 20 とは非導通となる (図 4 の S04)。

【0086】

次に、時刻 t_4 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 12 をオフ状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とは非導通となる (図 4 の S05)。

【0087】

以上の動作により、保持容量素子 13 には正確な電圧が書き込まれる。以降の動作では、保持容量素子 13 に正確に書き込まれた電圧を利用して、駆動トランジスタ 14 のドレイン電流を正確に測定する。

【0088】

次に、時刻 t_5 において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 16 をオン状態とする。これにより、駆動トランジスタ 14 のドレインと第 1 電源線 21 とが導通する (図 4 の S06)。

【0089】

次に、時刻 t_6 において、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通する (図 4 の S07)。テストモードでは、第 1 電源電圧 VDD - 第 2 電源電圧 $V_{EE} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 14 のドレイン電流は、有機 EL 素子 15 に流れず、駆動トランジスタ 14 のソース及び保持容量素子 13 の電極 132 を経由してデータ線 20 に流れ込む。

【0090】

図 5B は、本発明の実施の形態 1 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。同図に記載されているように、データ線駆動回路 5 は、スイッチ素子 51 と読み取り抵抗 52 とオペアンプ 53 とを備えている。

【0091】

オペアンプ 53 は正入力端子と負入力端子の電位を等しく保つように動作している。すなわち、発光画素 10 から流れてきた駆動トランジスタ 14 のドレイン電流である画素電流 I_{pix} は読み取り抵抗 52 (R) に流れるが、読み取り抵抗 52 とオペアンプ 53 の負入力側とが接続されたノードと、読み取り電圧 V_{read} が等しくなるように、オペアンプ 53 は動作する。よって、オペアンプ 53 の出力電位 V_{out} 、電流 I_{pix} 、読み取り抵抗 R 及び読み取り電圧 V_{read} との間には、

$$I_{pix} \times R = V_{read} - V_{out}$$

の関係が成立している。ここで V_{read} は、例えば、5V である。

【0092】

以上から V_{out} を読むことで、 I_{pix} を正確に算出することが可能となる。つまり、発光画素ごとの I_{pix} のばらつきを正確に把握することが可能となる。

【0093】

上記構成および動作によると、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量を、データ線 20 を介して読み込んで測定する場合、第 1 電源線 21 から有機 EL 素子 15 へ至る経路と、第 1 電源線 21 からデータ線 20 に至る経路とで、電流が流れる条件は同一であるため、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量を正確に測定できる。

【0094】

また、第 1 電源線 21 を介して有機 EL 素子 15 に供給される電流量をデータ線 20 を介して読み込んで測定する場合、保持容量素子 13 に保持された電圧は、スイッチングトランジスタ 12 がオフとなっているので I_{pix} の経路によらず保持され、結果として I_{pix} の値も経路によらない。すなわち、有機 EL 素子 15 に供給される電流量を正確に測定できる。

【0095】

また、第2電源線22の電圧を、第1電源線21に接続される電源部の設定電圧から $V_{th}(EL)$ を減じた電圧よりも大きい電圧に設定している。このため、スイッチングトランジスタ16をONすれば、有機EL素子15にドレイン電流は流れず、第1電源線21とデータ線20との電位差により第1電源線21からデータ線20にドレイン電流が流れる。

【0096】

最後に、時刻 t_7 において、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、駆動トランジスタ14のドレイン電流の測定を終了させる。

【0097】

次に、通常発光モードでの制御方法を説明する。通常発光モードとは、データ電圧を保持容量素子13に書き込み、その後、書き込まれたデータ電圧に対応した電圧により発生する駆動トランジスタ14のドレイン電流を、有機EL素子15に流して発光させるモードである。

【0098】

図6は、本発明の実施の形態1に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、第1走査線17、第2走査線18、第3走査線19、第1電源線21、第2電源線22、参照電源線23及びデータ線20に発生する電圧の波形図が示されている。また、図7は、本発明の実施の形態1に係る表示装置の通常発光モードにおける制御方法を説明する動作フローチャートである。

【0099】

まず、時刻 t_{10} において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ16をオフ状態とする。これにより、駆動トランジスタ14のドレインと第1電源線21とは非導通となり、有機EL素子15は消光する(図7のS11)。

【0100】

次に、時刻 t_{11} において、走査線駆動回路4は、第2走査線18の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ12をオン状態とする。これにより、保持容量素子13の電極131と参照電源線23とが導通し、保持容量素子13の電極131に基準電圧 V_R が印加される(図7のS12)。

【0101】

次に、時刻 t_{12} において、走査線駆動回路4は、第1走査線17の電圧レベルをLOWからHIGHに変化させ、選択トランジスタ11をオン状態とする。これにより、保持容量素子13の電極132とデータ線20とが導通し、保持容量素子13の電極132にデータ電圧 V_{data} が印加される(図7のS13)。

【0102】

次に、時刻 t_{12} ~時刻 t_{13} の期間、第1走査線17の電圧レベルがHIGHであるので、発光画素10の電極131及び電極132には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素10を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0103】

図8Aは、本発明の実施の形態1に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子13の電極131には参照電源線23の基準電圧 V_R が印加され、電極132にはデータ線20よりデータ電圧 V_{data} が印加される。つまり、ステップS12及びS13では、発光画素10に印加すべきデータ電圧に対応した電圧($V_R - V_{data}$)を保持容量素子13に保持させている。

【0104】

また、このとき、スイッチングトランジスタ16が非導通となっていることにより、駆

動トランジスタ14のドレイン電流は発生していない。さらに、データ電圧 V_{data} の最大値(V_{data_max})と第2電源電圧 V_{EE} との電位差は、有機EL素子15の $V_{th}(EL)$ 以下とする。よって、有機EL素子15は発光しない。

【0105】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子13には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動TFTの閾値電圧 V_{th} を1Vとして、 V_{EE} は0Vに、 V_{DD} は15Vに、 V_R は10Vに、 V_{data} は0V~10Vに設定されている。

【0106】

次に、時刻 t_{13} において、走査線駆動回路4は、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、保持容量素子13の電極132とデータ線20とは非導通となる(図7のS14)。

【0107】

次に、時刻 t_{14} において、走査線駆動回路4は、第2走査線18の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12をオフ状態とする。これにより、保持容量素子13の電極131と参照電源線23とは非導通となる(図7のS15)。

【0108】

以上の動作により、保持容量素子13には正確な電圧が書き込まれる。以降の動作では、保持容量素子13に正確に書き込まれた電圧に対応した駆動トランジスタ14のドレイン電流を発生させ、有機EL素子15を発光させる。

【0109】

次に、時刻 t_{15} において、走査線駆動回路4は、第3走査線19の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ16をオン状態とする。これにより、駆動トランジスタ14のドレインと第1電源線21とが導通し、有機EL素子15にドレイン電流が流れることにより、有機EL素子15が発光する(図7のS16)。

【0110】

図8Bは、本発明の実施の形態1に係る表示装置の通常発光モードにおける発光状態を表す回路図である。通常発光モードでは、第1電源電圧 V_{DD} -第2電源電圧 $V_{EE} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子13の両電極に保持された電圧に対応した駆動トランジスタ14のドレイン電流が、有機EL素子15を流れる。

【0111】

次に、時刻 t_{16} において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ16をオフ状態とし、有機EL素子15を消光させる。

【0112】

上述した時刻 $t_{10} \sim t_{16}$ は、表示パネルの1フレーム期間に相当し、 $t_{16} \sim t_{21}$ においても $t_{10} \sim t_{15}$ と同様の動作が実行される。

【0113】

上記構成及び動作によると、スイッチングトランジスタ16によって、駆動トランジスタ14のソース及び選択トランジスタ11を介した第1電源線21とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ14のソース及び選択トランジスタ11を介して第1電源線21とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、駆動トランジスタ14のゲート-ソース間の電位差は、第2電源線22の電圧変動および有機EL素子1

5の経時劣化に伴う高抵抗化による駆動トランジスタ14のソース電位の変動の影響を受けにくくなっている。つまり、本回路動作はソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子15に流すことができる。

【0114】

(実施の形態2)

以下、本発明の実施の形態2について、図を用いて具体的に説明する。

【0115】

図1は、本発明の表示装置の電氣的な構成を示すブロック図である。同図における表示装置1は、制御回路2と、メモリ3と、走査線駆動回路4と、データ線駆動回路5と、電源線駆動回路6と、表示部7とを備える。

【0116】

また、図9は、本発明の実施の形態2に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素10は、選択トランジスタ11と、スイッチングトランジスタ12及び26と、保持容量素子13と、駆動トランジスタ14と、有機EL素子15と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線21と、第2電源線22と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

【0117】

本実施の形態に係る表示装置は、実施の形態1に係る表示装置と比較して、発光画素の回路構成のみが異なる。以下、実施の形態1に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0118】

制御回路2は、走査線駆動回路4、データ線駆動回路5、電源線駆動回路6及びメモリ3の制御を行う機能を有する。メモリ3には、各発光画素の補正データなどが記憶されており、制御回路2は、メモリ3に書き込まれた補正データを読み出し、外部から入力された映像信号を、その補正データに基づいて補正して、データ線駆動回路5へと出力する。

【0119】

また制御回路2は、走査線駆動回路4を介して、選択トランジスタ11、スイッチングトランジスタ12及び26を制御する。

【0120】

走査線駆動回路4は、第1走査線17、第2走査線18及び第3走査線19に接続されており、第1走査線17、第2走査線18及び第3走査線19に走査信号を出力することにより、それぞれ、発光画素10の有する選択トランジスタ11、スイッチングトランジスタ12及び26の導通・非導通を制御回路2の指示により実行する機能を有する。

【0121】

駆動トランジスタ14は、ゲートが保持容量素子13の電極131に接続され、ドレインが第1電源線21に接続され、ソースがスイッチングトランジスタ26のソース及びドレインの一方に接続された駆動素子である。駆動トランジスタ14は、ゲートとスイッチングトランジスタ26のソース及びドレインの他方との間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子15に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ26がオン状態のときに、駆動トランジスタ14は、データ線20から供給されたデータ電圧 V_{data} に対応した電圧、つまり保持容量素子13の保持電圧($V_R - V_{data}$)に対応したドレイン電流を、有機EL素子15へ供給する機能を有する。駆動トランジスタ14は、例えば、n型の薄膜トランジスタ(n型TFT)で構成される。

【0122】

有機EL素子15は、アノードがスイッチングトランジスタ26のソース及びドレインの他方に接続され、カソードが第2電源線22に接続された発光素子であり、駆動トラン

ジスタ 14 から信号電流であるドレイン電流が流れることにより発光する。

【0123】

スイッチングトランジスタ 26 は、ゲートが第 3 走査線 19 に接続され、ソース及びドレインの一方が駆動トランジスタ 14 のソースに接続され、ソース及びドレインの他方が有機 EL 素子 15 のアノードに接続された第 3 スイッチ素子である。スイッチングトランジスタ 26 は、有機 EL 素子 15 のアノードと第 1 電源線 21 との間であって、駆動トランジスタ 14 と直列に接続され、駆動トランジスタ 14 のドレイン電流の ON/OFF を決定する機能を有する。スイッチングトランジスタ 26 は、例えば、n 型の薄膜トランジスタ (n 型 TFT) で構成される。

【0124】

第 3 走査線 19 は、走査線駆動回路 4 に接続され、発光画素 10 を含む画素行に属する各発光画素に接続されている。これにより、第 3 走査線 19 は、発光画素 10 を含む画素行に属する各発光画素の有する駆動トランジスタ 14 のソースと有機 EL 素子 15 のアノードとを電氣的に接続する機能を有する。

【0125】

上記回路構成によると、スイッチングトランジスタ 26 によって、駆動トランジスタ 14 のソース及び選択トランジスタ 11 を経由した第 1 電源線 21 とデータ線 20 との間の電流の流れを遮断した上で、保持容量素子 13 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 11 の両側の端子の電位差が、駆動トランジスタ 14 のソース及び選択トランジスタ 11 を介して第 1 電源線 21 とデータ線 20 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 11 の両端の電位差が安定し、選択トランジスタ 11 を介してデータ線 20 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 13 に保持できる。その結果、駆動トランジスタ 14 のゲート - ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機 EL 素子 15 に流すことができる。

【0126】

次に、本実施の形態に係る表示装置の制御方法について図 3、図 6、図 10 ~ 図 13 B を用いて説明する。

【0127】

図 3、図 10 及び図 11 B は、テストモードでの制御方法を、また、図 6、図 12 及び図 13 B は、通常発光モードでの制御方法を説明している。

【0128】

まず、テストモードでの制御方法を説明する。

【0129】

図 3 は、本発明の実施の形態 1 に係る表示装置のテストモードにおける制御方法を説明する動作タイミングチャートである。

【0130】

まず、時刻 t_0 において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 26 をオフ状態とする。これにより、有機 EL 素子 15 のアノードと駆動トランジスタ 14 のソースとは非導通となる (図 10 の S21)。

【0131】

次に、時刻 t_1 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 12 をオン状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とが導通し、保持容量素子 13 の電極 131 に基準電圧 VR が印加される (図 10 の S22)。

【0132】

次に、時刻 t_2 において、走査線駆動回路 4 は、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通し、保持容量素子 13 の電極 132 にデ

ータ電圧 V_{data} が印加される (図 10 の S 2 3)。

【 0 1 3 3 】

次に、時刻 t_2 ~ 時刻 t_3 の期間、第 1 走査線 17 の電圧レベルが HIGH であるので、発光画素 10 の電極 131 及び電極 132 には、それぞれ、データ電圧 V_{data} 及び基準電圧 V_R が継続して印加されている。同様に、発光画素 10 を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【 0 1 3 4 】

図 11 A は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子 13 の電極 131 には参照電源線 23 の基準電圧 V_R が印加され、電極 132 にはデータ線 20 よりデータ電圧 V_{data} が印加される。つまり、ステップ S 2 2 及び S 2 3 では、発光画素 10 に印加すべきデータ電圧に対応した電圧 ($V_R - V_{data}$) を保持容量素子 13 に保持させている。

【 0 1 3 5 】

また、このとき、スイッチングトランジスタ 26 が非導通となっていることにより、駆動トランジスタ 14 のドレイン電流は発生していない。また、データ電圧 V_{data} の最大値と第 2 電源電圧 V_{EE} との電位差は、有機 EL 素子 15 の閾値電圧 (以下、 $V_{th}(EL)$) と記す) 以下とする。よって、有機 EL 素子 15 は発光しない。

【 0 1 3 6 】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子 13 には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動 T F T の閾値電圧 V_{th} を 1 V とし、 V_{EE} は 1.5 V に、 V_{DD} は 1.5 V に、 V_R は 1.0 V に、 V_{data} は 0 V ~ 1.0 V に設定されている。

【 0 1 3 7 】

次に、時刻 t_3 において、走査線駆動回路 4 は、第 1 走査線 17 の電圧レベルを HIGH から LOW に変化させ、選択トランジスタ 11 をオフ状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とは非導通となる (図 10 の S 2 4)。

【 0 1 3 8 】

次に、時刻 t_4 において、走査線駆動回路 4 は、第 2 走査線 18 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 12 をオフ状態とする。これにより、保持容量素子 13 の電極 131 と参照電源線 23 とは非導通となる (図 10 の S 2 5)。

【 0 1 3 9 】

以上の動作により、保持容量素子 13 には正確な電圧が書き込まれる。以降の動作では、保持容量素子 13 に正確に書き込まれた電圧を利用して、駆動トランジスタ 14 のドレイン電流を正確に測定する。

【 0 1 4 0 】

次に、時刻 t_5 において、走査線駆動回路 4 は、第 3 走査線 19 の電圧レベルを LOW から HIGH に変化させ、スイッチングトランジスタ 26 をオン状態とする。これにより、有機 EL 素子 15 のアノードと駆動トランジスタ 14 のソースとが導通する (図 10 の S 2 6)。

【 0 1 4 1 】

次に、時刻 t_6 において、第 1 走査線 17 の電圧レベルを LOW から HIGH に変化させ、選択トランジスタ 11 をオン状態とする。これにより、保持容量素子 13 の電極 132 とデータ線 20 とが導通する (図 10 の S 2 7)。テストモードでは、第 1 電源電圧 V_{DD} - 第 2 電源電圧 $V_{EE} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 14 のドレイン電流は、有機 EL 素子 15 に流れず、駆動トランジスタ 14 のソース及び保持容量素子 13 の電極 132 を経由してデータ線 20 に流れ込む。

【 0 1 4 2 】

図 1 1 B は、本発明の実施の形態 2 に係る表示装置のテストモードにおけるドレイン電流読み取り状態を表す回路図である。同図に記載されているように、データ線駆動回路 5 は、スイッチ素子 5 1 と読み取り抵抗 5 2 とオペアンプ 5 3 とを備えている。

【 0 1 4 3 】

オペアンプ 5 3 は正入力端子と負入力端子の電位を等しく保つように動作している。すなわち、発光画素 1 0 から流れてきた駆動トランジスタ 1 4 のドレイン電流である画素電流 I_{pix} は読み取り抵抗 5 2 (R) に流れるが、読み取り抵抗 5 2 とオペアンプ 5 3 の負入力側とが接続されたノードと、読み取り電圧 V_{read} が等しくなるように、オペアンプ 5 3 は動作する。よって、オペアンプ 5 3 の出力電位 V_{out} 、電流 I_{pix} 、読み取り抵抗 R 及び読み取り電圧 V_{read} との間には、

$$I_{pix} \times R = V_{read} - V_{out}$$

の関係が成立している。ここで、 V_{read} は例えば 5 V である。

【 0 1 4 4 】

以上から V_{out} を読むことで、 I_{pix} を正確に算出することが可能となる。つまり、発光画素ごとの I_{pix} のばらつきを正確に把握することが可能となる。

【 0 1 4 5 】

上記構成および動作によると、第 1 電源線 2 1 を介して有機 EL 素子 1 5 に供給される電流量を、データ線 2 0 を介して読み込んで測定する場合、第 1 電源線 2 1 から有機 EL 素子 1 5 へ至る経路と、第 1 電源線 2 1 からデータ線 2 0 に至る経路とで、電流が流れる条件は同一であるため、第 1 電源線 2 1 を介して有機 EL 素子 1 5 に供給される電流量を正確に測定できる。

【 0 1 4 6 】

また、第 1 電源線 2 1 を介して有機 EL 素子 1 5 に供給される電流量をデータ線 2 0 を介して読み込んで測定する場合、保持容量素子 1 3 に保持された電圧は、スイッチングトランジスタ 1 2 がオフとなっているので I_{pix} の経路によらず保持され、結果として I_{pix} の値も経路によらない。すなわち、有機 EL 素子 1 5 に供給される電流量を正確に測定できる。

【 0 1 4 7 】

また、第 2 電源線 2 2 の電圧を、第 1 電源線 2 1 に接続される電源部の設定電圧から $V_{th}(EL)$ を減じた電圧よりも大きい電圧に設定している。このため、スイッチングトランジスタ 2 6 を ON すれば、有機 EL 素子 1 5 にドレイン電流は流れず、第 1 電源線 2 1 とデータ線 2 0 との電位差により第 1 電源線 2 1 からデータ線 2 0 にドレイン電流が流れる。

【 0 1 4 8 】

最後に、時刻 t_7 において、第 1 走査線 1 7 の電圧レベルを HIGH から LOW に変化させ、選択トランジスタ 1 1 をオフ状態とする。これにより、駆動トランジスタ 1 4 のドレイン電流の測定を終了させる。

【 0 1 4 9 】

次に、通常発光モードでの制御方法を説明する。

【 0 1 5 0 】

図 6 は、本発明の実施の形態 2 に係る表示装置の通常発光モードにおける制御方法を説明する動作タイミングチャートである。

【 0 1 5 1 】

まず、時刻 t_{10} において、走査線駆動回路 4 は、第 3 走査線 1 9 の電圧レベルを HIGH から LOW に変化させ、スイッチングトランジスタ 2 6 をオフ状態とする。これにより、有機 EL 素子 1 5 のアノードと駆動トランジスタ 1 4 のソースとは非導通となり、有機 EL 素子 1 5 は消光する (図 1 2 の S 3 1) 。

【 0 1 5 2 】

次に、時刻 t_{11} において、走査線駆動回路 4 は、第 2 走査線 1 8 の電圧レベルを LO

WからHIGHに変化させ、スイッチングトランジスタ12をオン状態とする。これにより、保持容量素子13の電極131と参照電源線23とが導通し、保持容量素子13の電極131に基準電圧VRが印加される(図12のS32)。

【0153】

次に、時刻t12において、走査線駆動回路4は、第1走査線17の電圧レベルをLOWからHIGHに変化させ、選択トランジスタ11をオン状態とする。これにより、保持容量素子13の電極132とデータ線20とが導通し、保持容量素子13の電極132にデータ電圧Vdataが印加される(図12のS33)。

【0154】

次に、時刻t12~時刻t13の期間、第1走査線17の電圧レベルがHIGHであるので、発光画素10の電極131及び電極132には、それぞれ、データ電圧Vdata及び基準電圧VRが継続して印加されている。同様に、発光画素10を含む画素行に属する各発光画素に対しデータ電圧が供給されている。

【0155】

図13Aは、本発明の実施の形態2に係る表示装置の通常発光モードにおけるデータ電圧書き込み状態を表す回路図である。同図に記載されているように、保持容量素子13の電極131には参照電源線23の基準電圧VRが印加され、電極132にはデータ線20よりデータ電圧Vdataが印加される。つまり、ステップS32及びS33では、発光画素10に印加すべきデータ電圧に対応した電圧(VR-Vdata)を保持容量素子13に保持させている。

【0156】

また、このとき、スイッチングトランジスタ26が非導通となっていることにより、駆動トランジスタ14のドレイン電流は発生していない。さらに、データ電圧Vdataの最大値(Vdata_max)と第2電源電圧VEEとの電位差は、有機EL素子15のVth(EL)以下とする。よって、有機EL素子15は発光しない。

【0157】

これより、各電源線には容量性負荷のみが接続され、書き込み時の定常状態において、定常電流による電圧降下は発生しない。よって保持容量素子13には正確な電位が書き込まれる。なお、本実施の形態において、例えば、駆動TFTの閾値電圧Vthを1Vとして、VEEは0Vに、VDDは1.5Vに、VRは1.0Vに、Vdataは0V~1.0Vに設定されている。

【0158】

次に、時刻t13において、走査線駆動回路4は、第1走査線17の電圧レベルをHIGHからLOWに変化させ、選択トランジスタ11をオフ状態とする。これにより、保持容量素子13の電極132とデータ線20とは非導通となる(図12のS34)。

【0159】

次に、時刻t14において、走査線駆動回路4は、第2走査線18の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ12をオフ状態とする。これにより、保持容量素子13の電極131と参照電源線23とは非導通となる(図12のS35)。

【0160】

以上の動作により、保持容量素子13には正確な電圧が書き込まれる。以降の動作では、保持容量素子13に正確に書き込まれた電圧に対応した駆動トランジスタ14のドレイン電流を発生させ、有機EL素子15を発光させる。

【0161】

次に、時刻t15において、走査線駆動回路4は、第3走査線19の電圧レベルをLOWからHIGHに変化させ、スイッチングトランジスタ26をオン状態とする。これにより、有機EL素子15のアノードと駆動トランジスタ14のソースとが導通し、有機EL素子15にドレイン電流が流れることにより、有機EL素子15が発光する(図12のS36)。

【0162】

図13Bは、本発明の実施の形態2に係る表示装置の通常発光モードにおける発光状態を表す回路図である。通常発光モードでは、第1電源電圧VDD - 第2電源電圧VEE > Vth(EL)となるように、各電源電圧が設定されている。これにより、保持容量素子13の両電極に保持された電圧に対応した駆動トランジスタ14のドレイン電流が、有機EL素子15を流れる。

【0163】

次に、時刻t16において、走査線駆動回路4は、第3走査線19の電圧レベルをHIGHからLOWに変化させ、スイッチングトランジスタ26をオフ状態とし、有機EL素子15を消光させる。

【0164】

上記構成及び動作によると、スイッチングトランジスタ26によって、駆動トランジスタ14のソース及び選択トランジスタ11を介した第1電源線21とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ14のソース及び選択トランジスタ11を介して第1電源線21とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、駆動トランジスタ14のゲート - ソース間の電位差は、第2電源線22の電圧変動および有機EL素子15の経時劣化に伴う高抵抗化による駆動トランジスタ14のソース電位の変動の影響を受けにくくなっている。つまり、本回路動作は、ソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子15に流すことができる。

【0165】

(実施の形態3)

以下、本発明の実施の形態3について、図を用いて具体的に説明する。

【0166】

図14は、本発明の実施の形態3に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素10は、選択トランジスタ11と、スイッチングトランジスタ12及び16と、保持容量素子13と、駆動トランジスタ24と、有機EL素子25と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線31と、第2電源線32と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

【0167】

本実施の形態に係る表示装置は、実施の形態1に係る表示装置と比較して、発光画素の回路構成のみが異なる。つまり、駆動トランジスタはp型であり、当該駆動トランジスタのソースと有機EL素子のカソードとが接続されている。以下、実施の形態1に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0168】

駆動トランジスタ24は、ゲートが保持容量素子13の電極131に接続され、ドレインがスイッチングトランジスタ16のソース及びドレインの一方に接続され、ソースが有機EL素子15の第1電極であるカソードに接続された駆動素子である。駆動トランジスタ24は、ゲート - ソース間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子25に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ16がオン状態のときに、駆動トランジスタ24は、データ線20から供給されたデータ電圧Vdataに対応した電圧、つまり保持容量素子13の保持電圧(Vdata - VR)に対応したドレイン電流を、有機EL素子25へ供給する機能を有する。駆動トランジスタ24は、p型の薄膜トランジスタ

(p 型 T F T) で構成される。

【 0 1 6 9 】

有機 E L 素子 2 5 は、カソードが駆動トランジスタ 2 4 のソースに接続され、アノードが第 2 電源線 3 2 に接続された発光素子であり、駆動トランジスタ 2 4 のドレイン電流が流れることにより発光する。

【 0 1 7 0 】

スイッチングトランジスタ 1 6 は、ゲートが第 3 走査線 1 9 に接続され、ソース及びドレインの一方が駆動トランジスタ 2 4 のドレインに接続され、ソース及びドレインの他方が第 1 電源線 3 1 に接続された第 3 スイッチ素子である。スイッチングトランジスタ 1 6 は、有機 E L 素子 2 5 のカソードと第 1 電源線 3 1 との間であって、駆動トランジスタ 2 4 と直列に接続され、駆動トランジスタ 2 4 のドレイン電流の O N / O F F を決定する機能を有する。スイッチングトランジスタ 1 6 は、例えば、n 型の薄膜トランジスタ (n 型 T F T) で構成される。

【 0 1 7 1 】

上記回路構成によると、スイッチングトランジスタ 1 6 によって、駆動トランジスタ 2 4 のソース及び選択トランジスタ 1 1 を経由した第 1 電源線 3 1 とデータ線 2 0 との間の電流の流れを遮断した上で、保持容量素子 1 3 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 1 1 の両側の端子の電位差が、駆動トランジスタ 2 4 のソース及び選択トランジスタ 1 1 を介して第 1 電源線 3 1 とデータ線 2 0 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 1 1 の両端の電位差が安定し、選択トランジスタ 1 1 を介してデータ線 2 0 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 1 3 に保持できる。その結果、保持容量素子 1 3 の両電極の電位差、すなわち駆動トランジスタ 2 4 のゲート - ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機 E L 素子 2 5 に流すことができる。

【 0 1 7 2 】

本実施の形態に係る表示装置の制御方法については、実施の形態 1 に係る表示装置と同様であり、同様の効果を奏する。

【 0 1 7 3 】

但し、テストモードにおいて、第 2 電源電圧 V_{EE} とデータ電圧 V_{data} の最大値との電位差は、有機 E L 素子 1 5 の閾値電圧 (以下、 $V_{th}(EL)$ と記す) 以下としている。

【 0 1 7 4 】

また、テストモードでは、第 2 電源電圧 V_{EE} - 第 1 電源電圧 $V_{DD} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 2 4 のドレイン電流は、有機 E L 素子 2 5 に流れず、駆動トランジスタ 2 4 のソース及び保持容量素子 1 3 の電極 1 3 2 を経由してデータ線 2 0 に流れ込む。

【 0 1 7 5 】

また、テストモードにおけるドレイン電流読み取り時において、電流 I_{pix} は、データ線 2 0 から、選択トランジスタ 1 1 及び駆動トランジスタ 2 4 のソースを經由して第 1 電源線 3 1 へと流れる。

【 0 1 7 6 】

また、通常発光モードにおいて、第 2 電源電圧 V_{EE} とデータ電圧 V_{data} の最小値 (V_{data_min}) との電位差は、有機 E L 素子 1 5 の $V_{th}(EL)$ 以下としている。

【 0 1 7 7 】

また、通常発光モードでは、第 2 電源電圧 V_{EE} - 第 1 電源電圧 $V_{DD} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子 1 3 の両電極に保持された電圧に対応した駆動トランジスタ 2 4 のドレイン電流が、有機 E L 素子 2 5 を流れる。

【0178】

上記構成によると、スイッチングトランジスタ16によって、駆動トランジスタ24のソース及び選択トランジスタ11を介した第1電源線31とデータ線20との間の電流の流れを遮断した上で、保持容量素子13に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ11の両側の端子の電位差が、駆動トランジスタ24のソース及び選択トランジスタ11を介して第1電源線31とデータ線20との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ11の両端の電位差が安定し、選択トランジスタ11を介してデータ線20から所望の電位差の電圧に対応する電圧を正確に保持容量素子13に保持できる。その結果、駆動トランジスタ24のゲート-ソース間の電位差は第2電源線32の電圧変動および有機EL素子25の経時劣化に伴う高抵抗化による駆動トランジスタ24のソース電位の変動の影響を受けにくいソース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

【0179】

(実施の形態4)

以下、本発明の実施の形態について、図を用いて具体的に説明する。

【0180】

図15は、本発明の実施の形態4に係る表示部の有する発光画素の回路構成及びその周辺回路との接続を示す図である。同図における発光画素10は、選択トランジスタ11と、スイッチングトランジスタ12及び26と、保持容量素子13と、駆動トランジスタ24と、有機EL素子25と、第1走査線17と、第2走査線18と、第3走査線19と、データ線20と、第1電源線31と、第2電源線32と、参照電源線23とを備える。また、周辺回路は、走査線駆動回路4と、データ線駆動回路5とを備える。

【0181】

本実施の形態に係る表示装置は、実施の形態2に係る表示装置と比較して、発光画素の回路構成のみが異なる。つまり、駆動トランジスタはp型であり、当該駆動トランジスタのソースと有機EL素子のカソードとが接続されている。以下、実施の形態2に係る表示装置と同じ点は説明を省略し、異なる点のみ説明する。

【0182】

駆動トランジスタ24は、ゲートが保持容量素子13の電極131に接続され、ドレインが第1電源線31に接続され、ソースがスイッチングトランジスタ26のソース及びドレインの一方に接続された駆動素子である。駆動トランジスタ24は、ゲートとスイッチングトランジスタ26のソース及びドレインの他方との間に印加されたデータ電圧に対応した電圧を、当該データ電圧に対応したドレイン電流に変換する。そして、このドレイン電流を信号電流として有機EL素子25に供給する。例えば、選択トランジスタ11及びスイッチングトランジスタ12がオフ状態であって、スイッチングトランジスタ26がオン状態のときに、駆動トランジスタ24は、データ線20から供給されたデータ電圧 V_{data} に対応した電圧、つまり保持容量素子13の保持電圧($V_{data} - V_R$)に対応したドレイン電流を、有機EL素子25へ供給する機能を有する。駆動トランジスタ24は、例えば、p型の薄膜トランジスタ(p型TFT)で構成される。

【0183】

有機EL素子25は、カソードがスイッチングトランジスタ26のソース及びドレインの他方に接続され、アノードが第2電源線32に接続された発光素子であり、駆動トランジスタ24のドレイン電流が流れることにより発光する。

【0184】

スイッチングトランジスタ26は、ゲートが第3走査線19に接続され、ソース及びドレインの一方が駆動トランジスタ24のソースに接続され、ソース及びドレインの他方が有機EL素子25のカソードに接続された第3スイッチ素子である。スイッチングトランジスタ26は、有機EL素子25のカソードと第1電源線31との間であって、駆動トランジスタ24と直列に接続され、駆動トランジスタ24のドレイン電流のON/OFFを

決定する機能を有する。スイッチングトランジスタ 26 は、例えば、n 型の薄膜トランジスタ (n 型 T F T) で構成される。

【0185】

上記回路構成によると、スイッチングトランジスタ 26 によって、駆動トランジスタ 24 のソース及び選択トランジスタ 11 を経由した第 1 電源線 31 とデータ線 20 との間の電流の流れを遮断した上で、保持容量素子 13 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 11 の両側の端子の電位差が、駆動トランジスタ 24 のソース及び選択トランジスタ 11 を介して第 1 電源線 31 とデータ線 20 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 11 の両端の電位差が安定し、選択トランジスタ 11 を介してデータ線 20 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 13 に保持できる。その結果、保持容量素子 13 の両電極の電位差、すなわち駆動トランジスタ 24 のゲート - ソース間の電位差が安定し、所望の電位差の電圧に対応するドレイン電流を正確に有機 E L 素子 25 に流すことができる。

【0186】

本実施の形態に係る表示装置の制御方法については、実施の形態 2 に係る表示装置と同様であり、同様の効果を奏する。

【0187】

但し、テストモードにおいて、第 2 電源電圧 V_{EE} とデータ電圧 V_{data} の最大値との電位差は、有機 E L 素子 15 の閾値電圧 (以下、 $V_{th}(EL)$ と記す) 以下としている。

【0188】

また、テストモードでは、第 2 電源電圧 V_{EE} - 第 1 電源電圧 $V_{DD} < V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、駆動トランジスタ 24 のドレイン電流は、有機 E L 素子 25 に流れず、駆動トランジスタ 24 のソース及び保持容量素子 13 の電極 132 を経由してデータ線 20 に流れ込む。

【0189】

また、テストモードにおけるドレイン電流読み取り時において、電流 I_{pix} は、データ線 20 から、選択トランジスタ 11 及び駆動トランジスタ 24 のソースを經由して第 1 電源線 31 へと流れる。

【0190】

また、通常発光モードにおいて、第 2 電源電圧 V_{EE} とデータ電圧 V_{data} の最小値 (V_{data_min}) との電位差は、有機 E L 素子 15 の $V_{th}(EL)$ 以下としている。

【0191】

また、通常発光モードでは、第 2 電源電圧 V_{EE} - 第 1 電源電圧 $V_{DD} > V_{th}(EL)$ となるように、各電源電圧が設定されている。これにより、保持容量素子 13 の両電極に保持された電圧に対応した駆動トランジスタ 24 のドレイン電流が、有機 E L 素子 25 を流れる。

【0192】

上記構成によると、スイッチングトランジスタ 26 によって、駆動トランジスタ 24 のソース及び選択トランジスタ 11 を介した第 1 電源線 31 とデータ線 20 との間の電流の流れを遮断した上で、保持容量素子 13 に所望の電位差の電圧を保持させることが可能となる。これにより、選択トランジスタ 11 の両側の端子の電位差が、駆動トランジスタ 24 のソース及び選択トランジスタ 11 を介して第 1 電源線 31 とデータ線 20 との間で流れる電流によって変動するのを防止できる。そのため、選択トランジスタ 11 の両端の電位差が安定し、選択トランジスタ 11 を介してデータ線 20 から所望の電位差の電圧に対応する電圧を正確に保持容量素子 13 に保持できる。その結果、駆動トランジスタ 24 のゲート - ソース間の電位差は第 2 電源線 32 の電圧変動および有機 E L 素子 25 の経時劣化に伴う高抵抗化による駆動トランジスタ 24 のソース電位の変動の影響を受けにくいソ

ース接地の回路動作と同等の動作となり、所望の電位差の電圧に対応するドレイン電流を正確に有機EL素子25に流すことができる。

【0193】

以上のように、実施の形態1～4で述べた簡単な画素回路を構成することにより、ソース接地動作する駆動トランジスタのゲート-ソース間に印加すべき電圧を保持する保持容量素子の両端電極に、データ電圧に対応した正確な電位を記録することが可能となる。よって、映像信号を反映した高精度な画像表示をすることが可能となる。さらに、電源線を介して有機EL素子に供給される電流量を、データ線を介して読み込んで測定する場合、電源線から有機EL素子に供給される電流量を正確に測定できる。

【0194】

なお、本発明に係る表示装置は、上述した実施の形態に限定されるものではない。実施の形態1～4ならびにそれらの変形例における任意の構成要素を組み合わせる別の実施の形態や、実施の形態1～4ならびにそれらの変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0195】

なお、以上述べた実施の形態では、選択トランジスタ及びスイッチングトランジスタのゲートの電圧レベルがHIGHの場合にオン状態になるn型トランジスタとして記述しているが、これらをp型トランジスタで形成し、走査線の極性を反転させた画像表示装置でも、上述した各実施の形態と同様の効果を奏する。

【0196】

また、例えば、本発明に係る表示装置は、図16に記載されたような薄型フラットTVに内蔵される。本発明に係る画像表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラットTVが実現される。

【産業上の利用可能性】

【0197】

本発明は、特に、画素信号電流により画素の発光強度を制御することで輝度を変動させるアクティブ型の有機ELフラットパネルディスプレイに有用である。

【符号の説明】

【0198】

- 1 表示装置
- 2 制御回路
- 3 メモリ
- 4 走査線駆動回路
- 5 データ線駆動回路
- 6 電源線駆動回路
- 7 表示部
- 10 発光画素
- 11 選択トランジスタ
- 12、16、26 スwitchングトランジスタ
- 13 保持容量素子
- 14、24 駆動トランジスタ
- 15、25、505 有機EL素子
- 17、507 第1走査線
- 18、508 第2走査線
- 19 第3走査線
- 20 データ線
- 21、31 第1電源線
- 22、32 第2電源線
- 23 参照電源線

- 5 1 スイッチ素子
- 5 2 読み取り抵抗
- 5 3 オペアンプ
- 1 3 1、1 3 2 電極
- 5 0 0 画素部
- 5 0 1 第 1 スイッチング素子
- 5 0 2 第 2 スイッチング素子
- 5 0 3 容量素子
- 5 0 4 n 型薄膜トランジスタ (n 型 T F T)
- 5 0 6 信号線
- 5 0 9 第 3 スイッチング素子

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

発光素子と、

電圧を保持するコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、

前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、

前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、

前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、

前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、

一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチ素子と、

前記発光素子の第 1 電極と前記コンデンサの第 2 電極とを電氣的に接続し、前記第 1 電源線、前記発光素子の第 1 電極、前記コンデンサの第 2 電極、前記第 2 スイッチ素子及び前記データ線を接続するパスを形成するための配線と、

前記発光素子の第 1 電極と前記第 1 電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流の ON / OFF を決定する第 3 スイッチ素子とを備える

表示パネル装置。

【請求項 2】

さらに、

前記第 1 スイッチ素子、前記第 2 スイッチ素子及び前記第 3 スイッチ素子を制御する制御部とを備え、

前記制御部は、

前記第 3 スイッチ素子を OFF して前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の前記ドレイン電流の流れを遮断している間に、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサに所望の電位差の電圧を保持させ、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を OFF した状態で前記第 3 スイッチ素子を ON し、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流させる

請求項 1 記載の表示パネル装置。

【請求項 3】

前記制御部は、

前記第 3 スイッチ素子を OFF することにより、前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の電流の流れを遮断すると共に、前記第 1 電源線と前記第 2 電源線との間の電流の流れを遮断する

請求項 2 記載の表示パネル装置。

【請求項 4】

前記第 3 スイッチ素子は、前記第 1 電源線と前記駆動素子のドレインとの間に直列に接続され、

前記配線は、前記駆動素子のソースに接続された前記発光素子の第 1 電極と、前記コンデンサの第 2 電極とを接続する

請求項 1 記載の表示パネル装置。

【請求項 5】

前記第 3 スイッチ素子は、前記発光素子の第 1 電極と前記駆動素子のソースとの間に直列に接続され、

前記配線は、前記第 3 スイッチ素子に接続された前記発光素子の第 1 電極と、前記コンデンサの第 2 電極とを接続する

請求項 1 記載の表示パネル装置。

【請求項 6】

前記発光素子の第 1 電極はアノード電極であり、前記発光素子の第 2 電極はカソード電極であり、

前記第 1 電源線の電圧は、前記第 2 電源線の電圧より高く、前記第 1 電源線から前記第 2 電源線に向かって電流が流れる

請求項 2 又は請求項 3 に記載の表示パネル装置。

【請求項 7】

前記制御部は、

前記第 3 スイッチ素子を OFF して前記第 1 電源線から前記発光素子への電流の供給を遮断し、

前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記第 1 スイッチ素子を OFF して前記第 2 スイッチ素子及び前記第 3 スイッチ素子を ON し、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第 2 スイッチ素子を介して前記データ線に流す

請求項 4 記載の表示パネル装置。

【請求項 8】

前記第 2 電源線に、前記第 1 電源線に接続される電源部の設定電圧から前記発光素子の発光開始電圧を減じた電圧よりも大きい第 1 電圧または前記第 1 電圧より低い第 2 電圧を設定する設定部を備え、

前記データ電圧は前記第 1 電圧より低い電圧であり、

前記制御部は、

前記発光素子を発光させる場合には、前記第 2 電源線に前記第 2 電圧を設定し、前記第 2 スイッチ素子を OFF して前記第 1 電源線から前記発光素子に前記ドレイン電流を流し

、前記ドレイン電流を測定する場合には、前記第 2 電源線に前記第 1 電圧を設定し、前記第 2 スイッチ素子を ON して、前記ドレイン電流を前記第 1 電源線から前記データ線に流す

請求項 5 記載の表示パネル装置。

【請求項 9】

前記発光素子の第1電極はカソード電極であり、前記発光素子の第2電極はアノード電極であり、

前記第2電源線の電圧は、前記第1電源線の電圧より高く、前記第2電源線から前記第1電源線に向かって電流が流れる

請求項2又は請求項3に記載の表示パネル装置。

【請求項10】

前記制御部は、

前記第3スイッチ素子をOFFして前記第1電源線から前記発光素子への電流の供給を遮断し、

前記第1スイッチ素子及び前記第2スイッチ素子をONして前記コンデンサの第1電極に前記基準電圧を設定すると共に前記コンデンサの第2電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記第1スイッチ素子をOFFして前記第2スイッチ素子及び前記第3スイッチ素子をONし、前記所望の電位差の電圧に応じた前記ドレイン電流を、前記配線及び前記第2スイッチ素子を介して前記データ線から流す

請求項9に記載の表示パネル装置。

【請求項11】

前記第2電源線に、前記第1電源線に接続される電源部の設定電圧に前記発光素子の発光開始電圧を加えた電圧よりも小さい第3電圧または前記第3電圧より高い第4電圧を設定する設定部を備え、

前記データ電圧は前記第1電圧より高い電圧であり、

前記制御部は、

前記発光素子を発光させる場合には、前記第2電源線に前記第4電圧を設定し、前記第2スイッチ素子をOFFして前記発光素子から前記第1電源線へ電流を流し、

前記ドレイン電流を測定する場合には、前記第2電源線に前記第3電圧を設定し、前記第2スイッチ素子をONして、前記ドレイン電流を前記データ線から前記第1電源線に流す

請求項10に記載の表示パネル装置。

【請求項12】

請求項1乃至請求項11のいずれかに記載の表示パネル装置と、

前記第1及び前記第2電源線に電源を供給する電源とを備え、

前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、

前記発光素子は、少なくとも複数個マトリクス状に配置されている

表示装置。

【請求項13】

請求項1乃至請求項11のいずれかに記載の表示パネル装置と、

前記第1及び前記第2電源線に電源を供給する電源とを備え、

前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、

少なくとも前記発光素子及び前記第3スイッチ素子は、単位画素の画素回路を構成し、

前記画素回路は、複数個マトリクス状に配置されている

表示装置。

【請求項14】

請求項1乃至請求項11のいずれかに記載の表示パネル装置と、

前記第1及び前記第2電源線に電源を供給する電源とを備え、

前記発光素子は、第1電極と、第2電極と、前記第1電極及び前記第2電極に挟まれた発光層とを含み、

前記発光素子、前記コンデンサ、前記駆動素子、前記第1スイッチ素子、前記第2スイッチ素子及び前記第3スイッチ素子は、単位画素の画素回路を構成し、

前記画素回路は、複数個マトリクス状に配置されている表示装置。

【請求項 15】

前記発光素子は、有機エレクトロルミネッセンス発光素子である請求項 12 から請求項 14 のうちいずれかに1項に記載の表示装置。

【請求項 16】

発光素子と、
電圧を保持するコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、前記コンデンサに保持された電圧に応じたドレイン電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子と、

前記駆動素子のドレイン電極の電位を決定するための第 1 電源線と、

前記発光素子の第 2 電極に電氣的に接続された第 2 電源線と、

前記コンデンサの第 1 電極に基準電圧を設定するための第 1 スイッチ素子と、

前記コンデンサの第 2 電極にデータ電圧を供給するためのデータ線と、

一方の端子が前記データ線に電氣的に接続され、他方の端子が前記コンデンサの第 2 電極に電氣的に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 2 スイッチ素子と、

前記発光素子の第 1 電極と前記コンデンサの第 2 電極とを電氣的に接続し、前記第 1 電源線、前記発光素子の第 1 電極、前記コンデンサの第 2 電極、前記第 2 スイッチ素子及び前記データ線を接続するパスを形成するための配線と、

前記発光素子の第 1 電極と前記第 1 電源線との間にあって、前記駆動素子と直列に接続され、前記駆動素子のドレイン電流の ON / OFF を決定する第 3 スイッチ素子とを具備する表示装置の制御方法であって、

前記第 3 スイッチ素子を OFF して前記配線及び前記第 2 スイッチ素子を介した前記第 1 電源線と前記データ線との間の前記ドレイン電流の流れを遮断し、

前記ドレイン電流の流れを遮断している間に、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を ON して前記コンデンサの第 1 電極に前記基準電圧を設定すると共に前記コンデンサの第 2 電極に前記データ電圧を設定して前記コンデンサを所望の電位差の電圧を保持させ、

前記所望の電位差の電圧を保持させた後、前記第 1 スイッチ素子及び前記第 2 スイッチ素子を OFF して前記第 3 スイッチ素子を ON し、前記コンデンサに保持された前記所望の電位差の電圧に応じた前記ドレイン電流を前記発光素子に流す

表示装置の制御方法。

【手続補正 3】

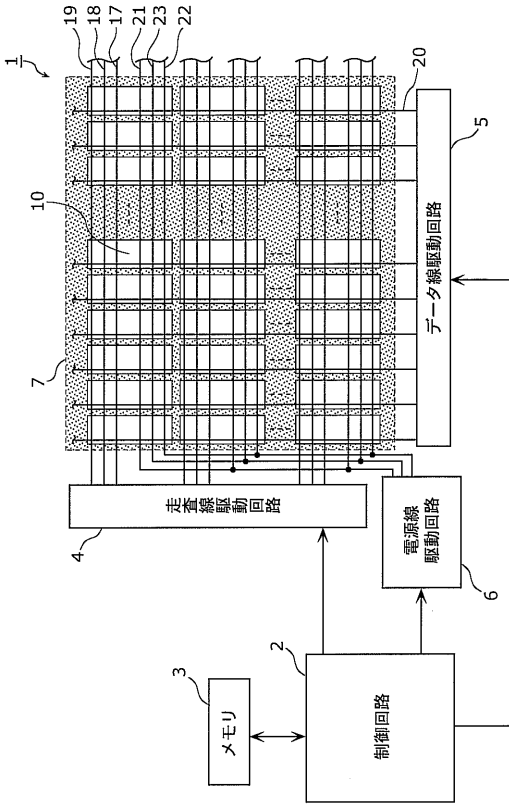
【補正対象書類名】図面

【補正対象項目名】全図

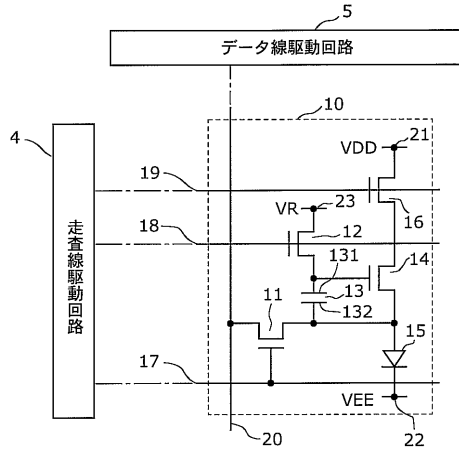
【補正方法】変更

【補正の内容】

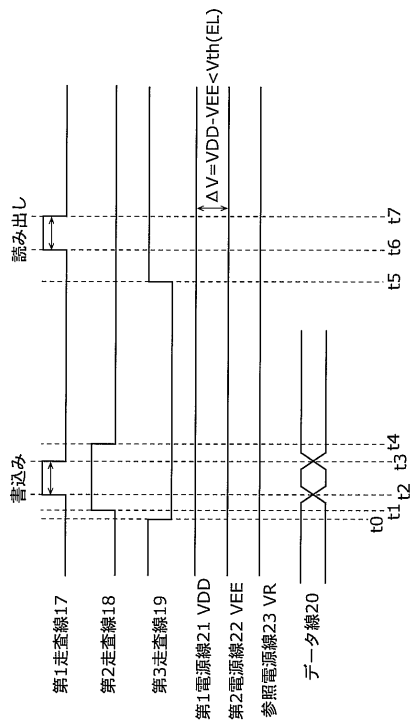
【図1】



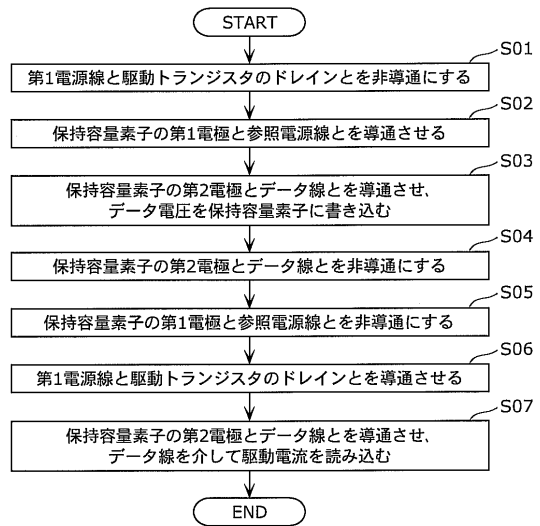
【図2】



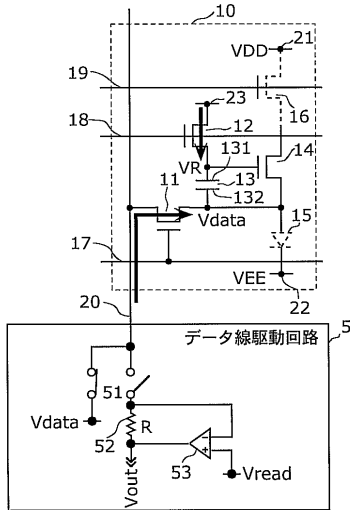
【図3】



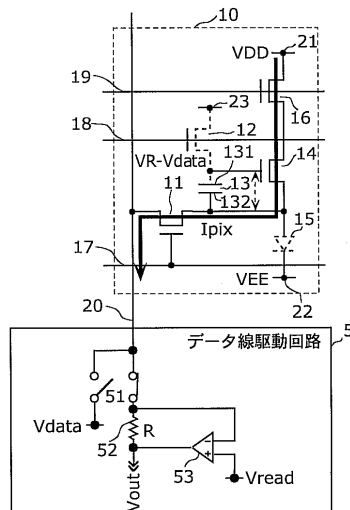
【図4】



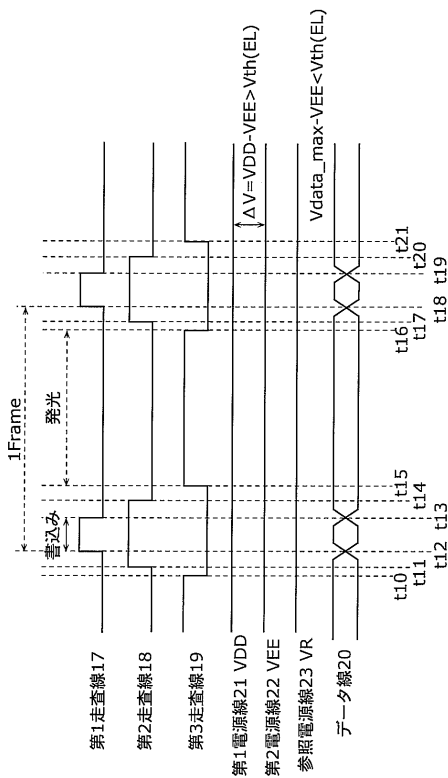
【図5A】



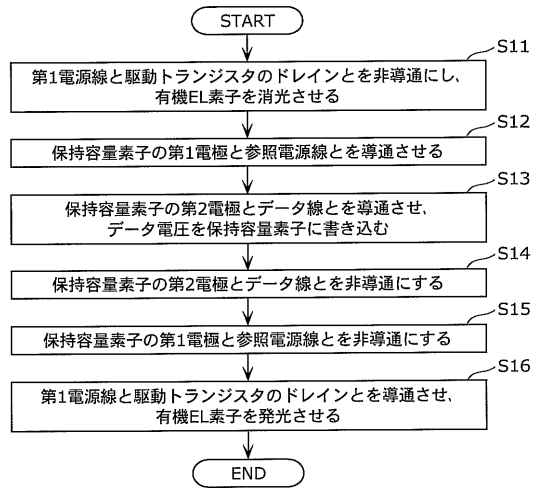
【図5B】



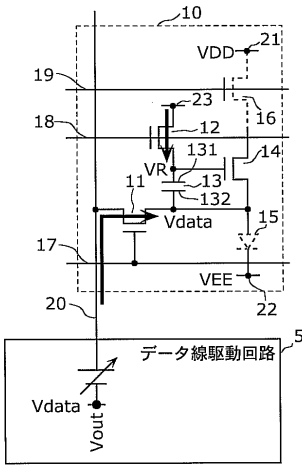
【図6】



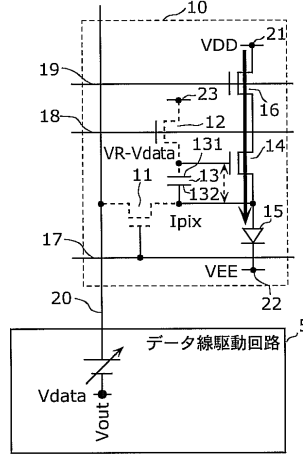
【図7】



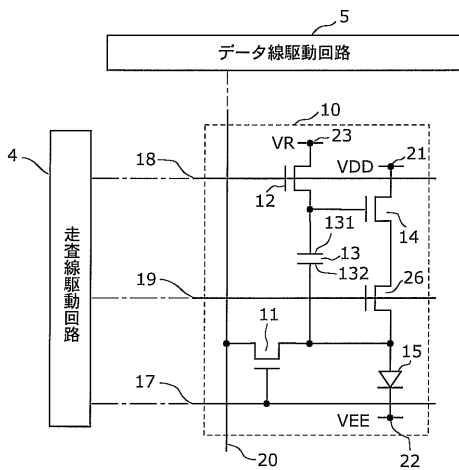
【図 8 A】



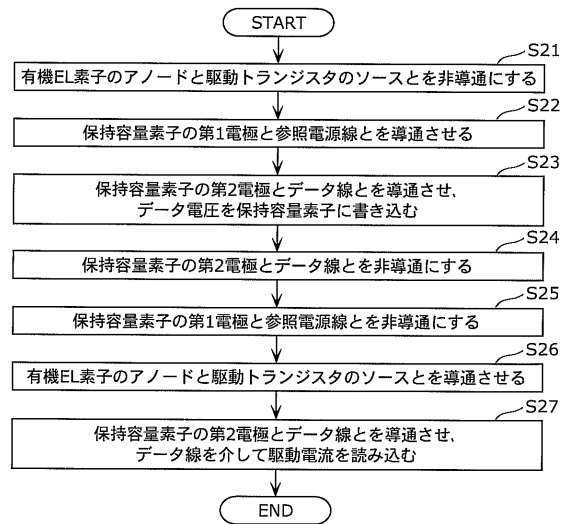
【図 8 B】



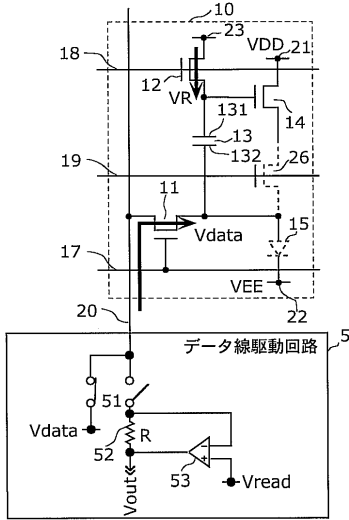
【図 9】



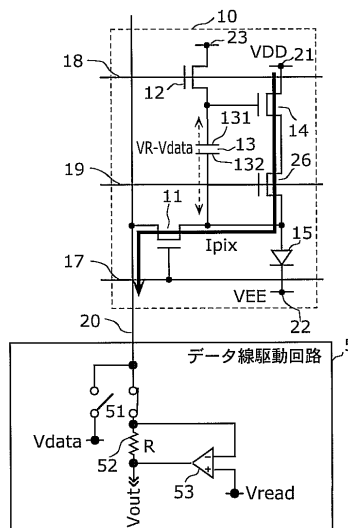
【図 10】



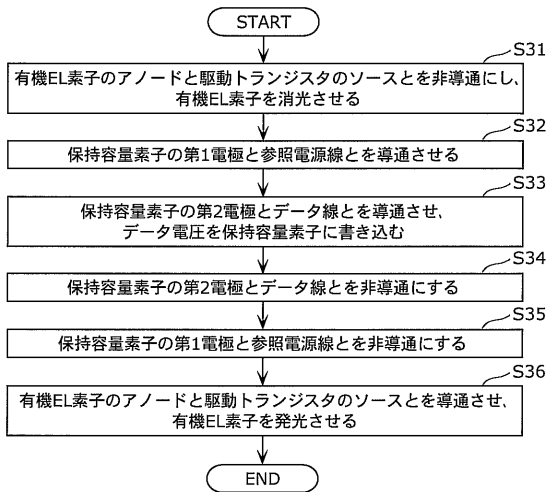
【図 1 1 A】



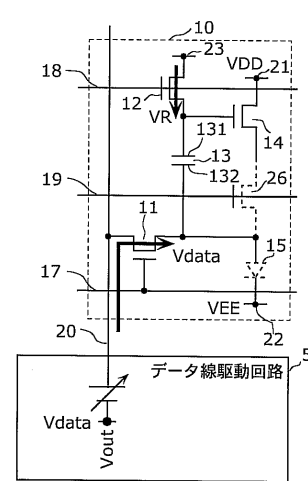
【図 1 1 B】



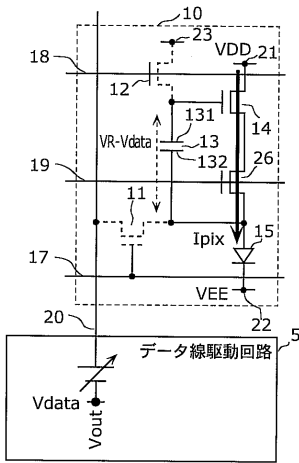
【図 1 2】



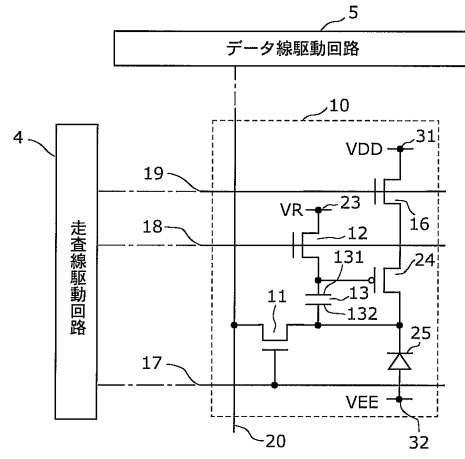
【図 1 3 A】



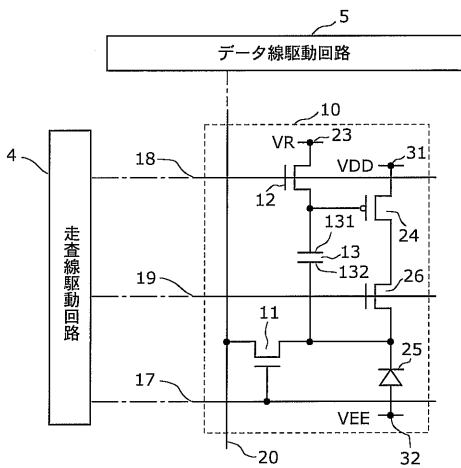
【図 1 3 B】



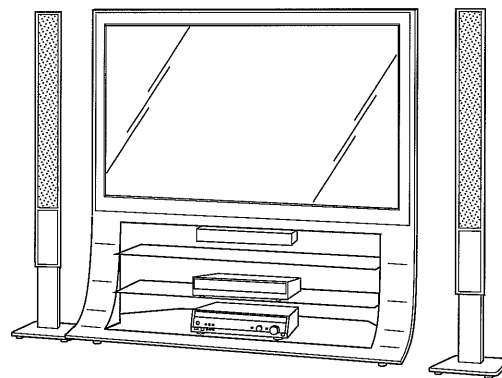
【図 1 4】



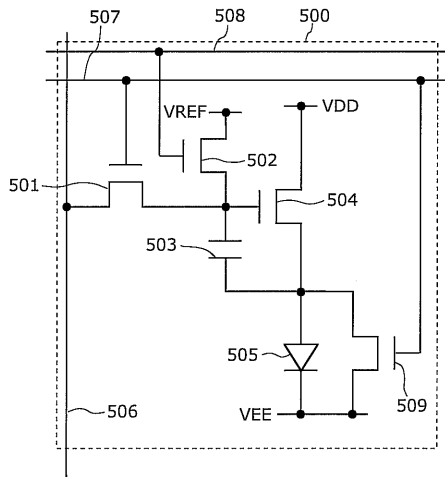
【図 1 5】



【図 1 6】



【 図 17 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2009/004431
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50, H05B33/08 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-186438 A (Hitachi, Ltd.), 04 July 2003 (04.07.2003), entire text; all drawings & US 2003/0111966 A1 & US 7205965 B2 & TW 565814 B & KR 10-2003-0051167 A & CN 1427388 A	1-16
A	JP 2005-346073 A (Yutatsu Kodan Kofun Yugen Koshi), 15 December 2005 (15.12.2005), entire text; all drawings & US 2006/0007070 A1 & TW 250486 B & CN 1598915 A	1-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 October, 2009 (19.10.09)		Date of mailing of the international search report 27 October, 2009 (27.10.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004431

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-072303 A (Eiyu Oputoronikusu Koporeshon), 16 March 2006 (16.03.2006), entire text; all drawings & US 2006/0044235 A1 & TW 288377 B	1-16
A	JP 2006-113586 A (Samsung SDI Co., Ltd.), 27 April 2006 (27.04.2006), entire text; all drawings & US 2006/0077194 A1 & EP 1646032 A1 & DE 602005003422 D & KR 10-2006-0031545 A & CN 1758308 A	1-16

国際調査報告		国際出願番号 PCT/JP2009/004431									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/30, G09G3/20, H01L51/50, H05B33/08											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2003-186438 A (株式会社日立製作所) 2003.07.04, 全文全図 & US 2003/0111966 A1 & US 7205965 B2 & TW 565814 B & KR 10-2003-0051167 A & CN 1427388 A	1-16									
A	JP 2005-346073 A (友達光電股▲ふん▼有限公司) 2005.12.15, 全文全図 & US 2006/0007070 A1 & TW 250486 B & CN 1598915 A	1-16									
A	JP 2006-072303 A (エイユー オプトロニクス コーポレーション) 2006.03.16, 全文全図 & US 2006/0044235 A1 & TW 288377 B	1-16									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 19.10.2009		国際調査報告の発送日 27.10.2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 長井 真一	2G 3805								
		電話番号 03-3581-1101	内線 3226								

国際調査報告

国際出願番号 PCT/J P 2 0 0 9 / 0 0 4 4 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-113586 A (三星エスディアイ株式会社) 2006.04.27, 全文 全図 & US 2006/0077194 A1 & EP 1646032 A1 & DE 602005003422 D & KR 10-2006-0031545 A & CN 1758308 A	1-16

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

Fターム(参考) 5C380 AA01 AB06 AC07 BA10 BA36 BA37 BB04 BB21 BB23 BD04
CA12 CB17 CC09 CC26 CC27 CC33 CC39 CC41 CC63 CC64
CD014 CE01 CE04 CE19 CF01 CF27 CF41 CF51 DA02 DA06
DA47 DA58 FA03 FA21 FA28 GA04 GA09 HA05

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示面板装置及其控制方法		
公开(公告)号	JPWO2011030370A1	公开(公告)日	2013-02-04
申请号	JP2010513532	申请日	2009-09-08
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0861 G09G2320/0223 G09G2320/0233 G09G2320/0295 G09G2320/043 G09G2330/025		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.670.J H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD15 5C080/EE29 5C080/FF11 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA10 5C380/BA36 5C380/BA37 5C380/BB04 5C380/BB21 5C380/BB23 5C380/BD04 5C380/CA12 5C380/CB17 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CE01 5C380/CE04 5C380/CE19 5C380/CF01 5C380/CF27 5C380/CF41 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA58 5C380/FA03 5C380/FA21 5C380/FA28 5C380/GA04 5C380/GA09 5C380/HA05		
代理人(译)	新居 広守		
其他公开文献	JP5184625B2		
外部链接	Espacenet		

摘要(译)

有机EL元件 (15) , 辅助电容元件 (13) , 栅极与电极 (131) 连接 , 源极端子与有机EL元件 (15) 的阳极以及辅助电容元件 (13) 的电极 (132) 连接。 使对应于电压的漏极电流流过有机EL元件 (15) 的驱动晶体管 (14) , 用于确定驱动晶体管 (14) 的漏极电势的第一电源线 (21) 和有机EL元件 (15) 第二电源线 (22) 连接到其阴极, 用于将基准电压设置到电极 (131) 的开关晶体管 (12) 和用于将数据电压提供到电极 (132) 的数据线 (20) 。) , 驱动晶体管 (14) 连接在数据线 (20) 和电极 (132) 之间, 以及电极 (131) 和第一电源线 (21) 之间的选择晶体管 (11) 。) 和确定驱动晶体管 (14) 的漏极电流的导通/截止的开关晶体管 (16) 。

[图2]

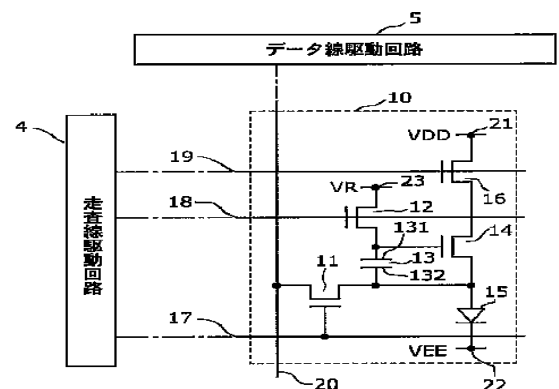


FIG. 2
4 SCANNING LINE DRIVE CIRCUIT
5 DATA LINE DRIVE CIRCUIT