

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6330208号
(P6330208)

(45) 発行日 平成30年5月30日(2018.5.30)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/3233

G09G 3/20 (2006.01)

G09G 3/20 611H

H01L 51/50 (2006.01)

G09G 3/20 611J

H05B 33/28 (2006.01)

G09G 3/20 612T

H01L 27/32 (2006.01)

G09G 3/20 621A

請求項の数 19 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2016-551523 (P2016-551523)

(86) (22) 出願日 平成27年9月24日(2015.9.24)

(86) 国際出願番号 PCT/JP2015/004845

(87) 国際公開番号 W02016/051735

(87) 国際公開日 平成28年4月7日(2016.4.7)

審査請求日 平成29年3月3日(2017.3.3)

(31) 優先権主張番号 特願2014-199258 (P2014-199258)

(32) 優先日 平成26年9月29日(2014.9.29)

(33) 優先権主張国 日本国(JP)

(31) 優先権主張番号 特願2014-199322 (P2014-199322)

(32) 優先日 平成26年9月29日(2014.9.29)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 514188173

株式会社 J O L E D

東京都千代田区神田錦町三丁目23番地

(74) 代理人 100189430

弁理士 吉川 修一

(74) 代理人 100190805

弁理士 傍島 正朗

(72) 発明者 小野 晋也

日本国大阪府門真市大字門真1006番地

パナソニック株式会社内

(72) 発明者 法邑 茂夫

日本国東京都千代田区神田錦町三丁目23

番地 株式会社 J O L E D 内

審査官 武田 悟

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

回路素子が形成された駆動回路基板上に形成された第1電極と、前記第1電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第2電極とを有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、

発光素子及び前記回路素子を初期化する初期化ステップと、

前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、

前記書込みステップの後、前記第2電極の抵抗値に基づいて決定した第1期間において

、前記発光素子を発光させずに黒表示をさせる黒挿入ステップと、

前記黒挿入ステップの後、前記発光素子を発光させる発光ステップとを含む

表示装置の駆動方法。

【請求項2】

前記黒挿入ステップでは、

前記第2電極の抵抗値が大きいほど前記第1期間を短く設定して、前記発光素子を発光させずに黒表示をさせる

請求項1に記載の表示装置の駆動方法。

【請求項3】

前記黒挿入ステップでは、

前記第2電極のシート抵抗を $R(\Omega/sq.)$ とし、行順次走査における単位水平走査

10

20

期間を 1 H とし、前記第 1 期間を T_1 (H) とした場合、

$$T_1 = 0.150R + 148.69$$

なる関係を有するよう前記第 1 期間を決定する

請求項 1 または 2 に記載の表示装置の駆動方法。

【請求項 4】

前記発光ステップでは、

前記表示部の最上行における発光開始タイミングにおいて、前記最上行の画素の前記第 2 電極が電位変動し、

前記初期化ステップでは、

前記表示部の最上行から所定の画素行だけ下方に位置する画素行の初期化終了タイミングが、前記表示部の最上行における前記発光開始タイミングと一致する

請求項 1 ~ 3 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 5】

前記初期化ステップでは、

前記第 2 電極の抵抗値に基づいて決定された第 2 期間、初期化を実行する

請求項 1 ~ 4 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 6】

前記初期化ステップでは、

前記第 2 電極の抵抗値が大きいほど前記第 2 期間を短く設定して、前記初期化を実行する

請求項 5 に記載の表示装置の駆動方法。

【請求項 7】

前記初期化ステップでは、

前記第 2 電極のシート抵抗を R ($\Omega / sq.$) とし、行順次走査における単位水平走査期間を 1 H とし、前記第 2 期間を T_2 (H) とした場合、

$$T_2 = 0.0552R + 139.05$$

なる関係を有するよう前記第 2 期間を決定する

請求項 5 または 6 に記載の表示装置の駆動方法。

【請求項 8】

回路素子が形成された駆動回路基板上に形成された第 1 電極と、前記第 1 電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第 2 電極とを有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、

前記第 2 電極の抵抗値に基づいて決定した第 2 期間において、発光素子及び前記回路素子を初期化する初期化ステップと、

前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、

前記書込みステップの後、前記発光素子を発光させる発光ステップとを含む

表示装置の駆動方法。

【請求項 9】

前記初期化ステップでは、

前記第 2 電極の抵抗値が大きいほど前記第 2 期間を短く設定して、前記発光素子及び前記回路素子を初期化する

請求項 8 に記載の表示装置の駆動方法。

【請求項 10】

前記初期化ステップでは、

前記第 2 電極のシート抵抗を R ($\Omega / sq.$) とし、行順次走査における単位水平走査期間を 1 H とし、前記第 2 期間を T_2 (H) とした場合、

$$T_2 = 0.0552R + 139.05$$

なる関係を有するよう前記第 2 期間を決定する

請求項 8 または 9 に記載の表示装置の駆動方法。

【請求項 1 1】

前記初期化ステップでは、
 前記表示部の最下行における初期化タイミングにおいて、前記最下行の画素の前記第 2 電極が電位変動し、
 前記書込みステップでは、
 前記表示部の最下行から所定の画素行だけ上方に位置する画素行の書込み終了タイミングが、前記表示部の最下行における前記初期化タイミングと一致する
 請求項 8 ~ 1 0 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 1 2】

発光素子及び当該発光素子を発光駆動するための回路素子を有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置であって、
 前記画素は、
 前記回路素子が形成された駆動回路基板上に形成された第 1 電極と、
 前記第 1 電極の上方に形成された発光物質を含む発光層と、
 前記発光層の上方に形成された第 2 電極とを備え、
 前記表示装置は、さらに、
 前記第 1 電極に初期化電圧を印加する初期化ステップと、
 前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、
 前記書込みステップの後、前記第 2 電極の抵抗値に基づいて決定された第 1 期間において、前記発光素子を発光させずに黒表示をさせる黒挿入ステップと、
 前記黒挿入ステップの後、前記発光素子を発光させる発光ステップとを実行する制御部を備える
 表示装置。

【請求項 1 3】

前記画素は、さらに、
 前記駆動回路基板上に前記第 1 電極と離間して形成された補助配線と、
 前記第 1 電極と前記第 2 電極との間に介在した中間層とを備え、
 前記中間層及び前記第 2 電極は、前記第 1 電極の上方から前記補助配線の上方に延設されている
 請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記制御部は、
 前記黒挿入ステップにおいて、前記第 2 電極のシート抵抗を $R (\Omega / sq.)$ とし、行順次走査における単位水平走査期間を $1 H$ とし、前記第 1 期間を $T 1 (H)$ とした場合、

$$T 1 = 0.150 R + 148.69$$

 なる関係を有するよう前記第 1 期間を決定する
 請求項 1 2 または 1 3 に記載の表示装置。

【請求項 1 5】

前記制御部は、
 前記初期化ステップにおいて、前記第 2 電極の抵抗値に基づいて決定された第 2 期間において、初期化を実行する
 請求項 1 2 ~ 1 4 のいずれか 1 項に記載の表示装置。

【請求項 1 6】

前記制御部は、
 前記初期化ステップにおいて、前記第 2 電極のシート抵抗を $R (\Omega / sq.)$ とし、行順次走査における単位水平走査期間を $1 H$ とし、前記第 2 期間を $T 2 (H)$ とした場合、

$$T 2 = 0.0552 R + 139.05$$

 なる関係を有するよう前記第 2 期間を決定する
 請求項 1 5 に記載の表示装置。

【請求項 17】

発光素子及び当該発光素子を発光駆動するための回路素子を有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置であって、

前記画素は、

前記回路素子が形成された駆動回路基板上に形成された第1電極と、

前記第1電極の上方に形成された発光物質を含む発光層と、

前記発光層の上方に形成された第2電極とを備え、

前記表示装置は、さらに、

前記第2電極の抵抗値に基づいて決定された第2期間において、前記第1電極に初期化電圧を印加する初期化ステップと、

前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、

前記書込みステップの後、前記発光素子を発光させる発光ステップとを実行する制御部を備える

表示装置。

【請求項 18】

前記画素は、さらに、

前記駆動回路基板上に前記第1電極と離間して形成された補助配線と、

前記第1電極と前記第2電極との間に介在した中間層とを備え、

前記中間層及び前記第2電極は、前記第1電極の上方から前記補助配線の上方に延設されている

請求項 17 に記載の表示装置。

【請求項 19】

前記制御部は、

前記初期化ステップにおいて、前記第2電極のシート抵抗を $R(\Omega/\text{sq.})$ とし、行順次走査における単位水平走査期間を $1H$ とし、前記第2期間を $T2(H)$ とした場合、 $T2 = 0.0552R + 139.05$

なる関係を有するよう前記第2期間を決定する

請求項 17 または 18 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置及び表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、自発光、高視野角、高速応答性を有する有機エレクトロルミネッセンス素子（以下、「有機EL素子」と記す）を用いたアクティブマトリクス方式などの表示装置が注目されている。

【0003】

上記表示装置は、有機EL素子が配置された表示パネルと、当該有機EL素子を駆動する駆動回路から構成されている。そして、表示パネルは、ガラスなどの基板上に、Alなどの第1電極及びそれに対向するITO (Indium Tin Oxide) などの第2電極の間に発光層を設けた有機EL素子を、マトリクス状に配置して構成されている。また、駆動回路は、基板と上記第1電極との間に設けられ、有機EL素子を個別に駆動する薄膜トランジスタ(TFT)などで構成されている。

【0004】

表示装置の発光方式として、有機EL素子の発光した光を、基板を介して外部に取り出す下面発光方式と、基板と対向する第2電極側から取り出す上面発光方式とがある。下面発光方式の表示装置では、駆動回路の薄膜トランジスタが基板に形成されるため、十分な開口率を確保することが困難となっている。一方、上面発光方式は、薄膜トランジスタな

10

20

30

40

50

どにより開口率が制限されないため、下面発光方式に比べて発光した光の利用効率を高めることができる。

【 0 0 0 5 】

上面発光方式は、発光層の上面に形成した第 2 電極を介して光が外部に取り出されるため、第 2 電極に高い導電性ととも高い光透過性が要求される。しかし、一般に第 2 電極に用いられる透明導電性材料は、ITO などの金属酸化物、マグネシウムやアルミニウムや銀等の金属の薄膜が用いられるが、金属酸化物及び薄膜金属は、配線等を使用される金属層に比べて抵抗率が高い。そのため、表示パネルが大面積化されるほど、発光画素間で第 2 電極の配線長に差異が生じ、電源供給部の端とパネルの中央の間で大きな電圧降下が発生し、それに応じて輝度に差が出るため、中央が暗くなる。つまり、表示パネル面の有機 EL 素子の配置位置によって輝度がばらつき、表示ムラを生じるという問題がある。

10

【 0 0 0 6 】

これを避けるためには、透明電極である上部の第 2 電極を、下部の低抵抗配線に接続する構造が有効である。特許文献 1 に開示された表示装置では、基板上に、抵抗率の低い導電材料からなる第 1 電極と補助配線とが分離して設けられ、第 1 電極上に発光層である光変調層が設けられ、その上に透明導電性材料からなる第 2 電極が設けられている。さらに、隔壁に部分的に設けられた開口部を介して、補助配線と第 2 電極とが接続されている。

【先行技術文献】

【特許文献】

【 0 0 0 7 】

20

【特許文献 1】特開 2 0 0 2 - 3 1 8 5 5 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかしながら、特許文献 1 に記載された表示装置では、補助電極と第 2 電極とを直接接続させるため、発光層及び当該発光層と第 2 電極との間に形成される機能層を、第 1 電極上には形成し補助電極上には形成しないという配置をとる必要がある。大画面化及び高精細化が進行するにつれ、発光層及び機能層を均一に成膜する技術は高度化され、特に上記機能層を高精細な画素ごとに区画して形成するには、高精度の成膜マスクの形成及び、高精度にマスクと TFT 基板との位置を合わせるアライメント工程などを要し、製造工程の煩雑化を伴う。

30

【 0 0 0 9 】

本発明は上記課題を解決するためになされたものであり、複雑な製造工程を要することなく、表示ムラを低減する表示装置及び表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

上記目的を達成するために、本発明の一態様に係る表示装置の駆動方法は、回路素子が形成された駆動回路基板上に形成された第 1 電極と、前記第 1 電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第 2 電極とを有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、前記発光素子及び前記回路素子を初期化する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記第 2 電極の抵抗値に基づいて決定した第 1 期間において、前記発光素子を発光させずに黒表示をさせる黒挿入ステップと、前記黒挿入ステップの後、前記発光素子を発光させる発光ステップとを含むことを特徴とする。

40

【 0 0 1 1 】

また、本発明の一態様に係る表示装置の駆動方法は、回路素子が形成された駆動回路基板上に形成された第 1 電極と、前記第 1 電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第 2 電極とを有する画素が行列状に配置された表示部を

50

有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、前記第2電極の抵抗値に基づいて決定した第2期間において、前記発光素子及び前記回路素子を初期化する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記発光素子を発光させる発光ステップとを含むことを特徴とする。

【発明の効果】

【0012】

本発明に係る表示装置または表示装置の駆動方法によれば、最上行の発光タイミングまたは最下行の初期化タイミングと、カソード電位の変動が減衰したパネル内部の画素行の書き込みタイミングとを一致させるので、パネル上端部または下端部における明暗の表示ムラを抑制できる。

10

【図面の簡単な説明】

【0013】

【図1】図1は、補助電極が配置された表示装置の部分平面図である。

【図2】図2は、図1のA-A'線に沿って切断した要部断面図である。

【図3】図3は、図1のB-B'線に沿って切断した要部断面図である。

【図4】図4は、従来の表示装置のプログレッシブ駆動方式を説明する動作遷移図である。

。

【図5A】図5Aは、表示装置の画素回路構成の一例を示す図である。

【図5B】図5Bは、表示装置の画素回路の動作タイミングチャートの一例である。

20

【図6】図6は、一様画像を表示させた表示パネルの輝度ムラを示すグラフである。

【図7】図7は、表示パネル上下端部におけるカソード電位と V_{gs} との関係を説明する図である。

【図8】図8は、実施の形態に係る表示装置の全体構成を示す機能ブロック図である。

【図9】図9は、実施の形態に係る表示装置のプログレッシブ駆動方式を説明する動作遷移図である。

【図10】図10は、実施の形態に係る表示装置の駆動方法と従来の表示装置の駆動方法とを比較した動作タイミングチャートの一例である。

【図11A】図11Aは、実施の形態に係る表示装置により表示された画像図である。

【図11B】図11Bは、従来の表示装置により表示された画像図である。

30

【図12】図12は、発光デューティ比と表示ムラとの関係を示すグラフである。

【図13A】図13Aは、実施の形態に係る表示装置の駆動方法における透明陰極のシート抵抗と黒挿入期間との関係を表すグラフである。

【図13B】図13Bは、実施の形態に係る表示装置の駆動方法における透明陰極のシート抵抗と初期化期間との関係を表すグラフである。

【図14】図14は、実施の形態に係る表示装置を内蔵した薄型フラットTVの外観図である。

【発明を実施するための形態】

【0014】

(本発明の基礎となった知見)

40

本発明者は、「背景技術」の欄において記載した表示装置に関し、以下の問題が生じることを見出した。

【0015】

特許文献1に記載された表示装置では、補助電極と第2電極とを直接接続させるため、発光層及び当該発光層と第2電極との間に形成される機能層を、第1電極上には形成し補助電極上には形成しないという配置をとる必要がある。大画面化及び高精細化が進行するにつれ、発光層及び機能層を均一に成膜する技術は高度化され、特に上記機能層を高精細な画素ごとに区画して形成するには、高精度の成膜マスクの形成及び、高精度にマスクとTFT基板との位置を合わせるアライメント工程などを要し、製造工程の煩雑化を伴う。そこで、製造工程を簡素化しつつ補助電極と第2電極と接続させる構成として以下のよう

50

な構成が挙げられる。

【 0 0 1 6 】

[1 - 1 . 電圧降下を低減する構成]

図 1 は、補助電極が配置された表示装置の部分平面図である。また、図 2 は、図 1 の A - A ' 線に沿って切断した要部断面図であり、図 3 は、図 1 の B - B ' 線に沿って切断した要部断面図である。図 1 には、1つの画素 2 0 を含む表示部の一部が表されている。画素 2 0 は、図 1 に示すように、例えば、赤色表示用のサブ画素 2 0 R と、緑色表示用のサブ画素 2 0 G と、青色表示用のサブ画素 2 0 B と、接続部 2 0 C とを有している。また、図 1 には、サブ画素ごとに離間して配置された陽極 1 2 1 と、サブ画素列ごとに配置して設けられ、サブ画素を区画するバンク 1 2 2 と、画素 2 0 ごとに配置された補助配線 1 3 1 と、駆動回路層と陽極 1 2 1 とを電気接続するビア 1 2 0 とが表されている。

10

【 0 0 1 7 】

以下、図 2 及び図 3 を用いて、画素 2 0 の積層構造を説明する。図 2 に示されたように、サブ画素 2 0 G は、基板 1 0 と、基板 1 0 上に設けられた駆動回路層 1 1 と、駆動回路層 1 1 上に設けられた有機 E L 層 1 2 とで構成されている。

【 0 0 1 8 】

基板 1 0 は、例えば、ガラス基板、石英基板などが用いられる。また、上面発光方式の場合、不透明プラスチック基板やセラミック基板を用いることができる。

【 0 0 1 9 】

駆動回路層 1 1 は、有機 E L 素子を発光駆動するための回路素子が形成された層であり、当該回路素子としては、例えば、薄膜トランジスタ（以下、T F T と記す）が挙げられる。駆動回路層 1 1 は、例えば、ゲート電極 1 1 1 と、ゲート絶縁層 1 1 2 と、半導体層 1 1 3 と、ソース電極 1 1 4 と、ドレイン電極 1 1 5 と、層間絶縁層 1 1 6 と、ビア 1 2 0 とを備える。

20

【 0 0 2 0 】

有機 E L 層 1 2 は、陽極 1 2 1 と、バンク 1 2 2 と、正孔注入層 1 2 3 と、正孔輸送層 1 2 4 と、有機発光層 1 2 5 と、電子輸送層 1 2 6 と、透明陰極 1 2 7 とを備える。

【 0 0 2 1 】

陽極 1 2 1 は、層間絶縁層 1 1 6 の上であって、サブ画素ごとに離間して形成された第 1 電極である。また、陽極 1 2 1 は、駆動トランジスタのソース電極 1 1 4 と接続するためのビア 1 2 0 と一体形成されている。

30

【 0 0 2 2 】

バンク 1 2 2 は、サブ画素列ごとに配置して設けられ、サブ画素を区画する隔壁である。

【 0 0 2 3 】

正孔注入層 1 2 3 は、陽極 1 2 1 の上であって、バンク 1 2 2 によりサブ画素ごとに離間されて形成されている。

【 0 0 2 4 】

正孔輸送層 1 2 4 は、正孔注入層 1 2 3 上であって、バンク 1 2 2 によりサブ画素ごとに離間されて形成されている。正孔輸送層 1 2 4 は、正孔注入層 1 2 3 から注入された正孔を有機発光層 1 2 5 内へ輸送する機能を有する。

40

【 0 0 2 5 】

有機発光層 1 2 5 は、正孔輸送層 1 2 4 上であって、バンク 1 2 2 によりサブ画素ごとに離間されて形成されている。有機発光層 1 2 5 は、陽極 1 2 1 及び透明陰極 1 2 7 の間に電圧が印加されることにより発光する層である。

【 0 0 2 6 】

電子輸送層 1 2 6 は、有機発光層 1 2 5 の上であってバンク 1 2 2 を跨り、図 2 にて後述する補助配線 1 3 1 の上方に延設までされた、電子輸送性の材料を主成分とする中間層である。

【 0 0 2 7 】

50

透明陰極 1 2 7 は、電子輸送層 1 2 6 の上であってバンク 1 2 2 を跨り、図 2 にて後述する補助配線 1 3 1 の上方に延設され、全ての画素 2 0 にわたり全面形成された第 2 電極であり、各画素 2 0 に連続して設けられた透明電極である。透明陰極 1 2 7 は、特に限定されないが、上面発光方式の場合、インジウムスズ酸化物やインジウム亜鉛酸化物、マグネシウムやアルミニウムや銀等の金属の薄膜を用いることが好ましい。

【 0 0 2 8 】

なお、電子輸送層 1 2 6 と透明陰極 1 2 7 との間に、電子注入層が形成されている場合がある。

【 0 0 2 9 】

また、画素 2 0 は、図 3 に示すように、サブ画素 2 0 R に隣接した領域であって、当該サブ画素 2 0 R と他の画素 2 0 が備えるサブ画素との間に、補助配線 1 3 1 が配置された接続部 2 0 C を備える。補助配線 1 3 1 は、駆動回路層 1 1 の上に、陽極 1 2 1 と離間して形成されている。補助配線 1 3 1 の上には、陽極 1 2 1 の上方から延設された電子輸送層 1 2 6 及び透明陰極 1 2 7 が形成されている。

【 0 0 3 0 】

つまり、表示部 1 0 0 では、陽極 1 2 1 及び有機発光層 1 2 5 は、サブ画素ごとに離間して設けられ、補助配線 1 3 1 は、画素列ごとに配置されている。これにより、給電線 3 0 からの距離に依存する配線抵抗を低減して、画素駆動電圧の変動を抑制し、表示品質の高いカラー表示装置を実現できる。

【 0 0 3 1 】

図 3 に示された補助配線 1 3 1、電子輸送層 1 2 6 及び透明陰極 1 2 7 の積層構造により、駆動回路層 1 1 の駆動トランジスタから、陽極 1 2 1、正孔注入層 1 2 3、正孔輸送層 1 2 4、有機発光層 1 2 5、及び電子輸送層 1 2 6 を経由して透明陰極 1 2 7 へ流れる画素電流 I_{pix} は、さらに、補助配線 1 3 1 上の電子輸送層 1 2 6 及び補助配線 1 3 1 へと流れこむ。

【 0 0 3 2 】

上記構成によれば、接続部 2 0 C に電子輸送層 1 2 6 を残しつつ補助配線 1 3 1 を形成している。つまり、高精細の成膜マスク及びアライメント工程などを要することなく、簡素化された製造プロセスにて、電圧降下量を低減する構成をとっている。

【 0 0 3 3 】

[1 - 2 . プログレッシブ駆動方式]

図 4 は、従来の表示装置のプログレッシブ駆動方式を説明する動作遷移図である。同図において、横軸は時間を表し、縦軸は画素行（表示行）を表す。同図では、複数の画素が行列状に配置された表示パネルにおいて、初期化動作、 V_{th} （閾値電圧）検出動作、書込み動作、及び発光動作が行順次に行なわれていることが示されている。ここでは、表示パネルの行数を、例えば、2160 行としている。

【 0 0 3 4 】

また、図 4 には、さらに、ブランキング行なる仮想行（2161 行～）が示されている。これは、ゲートドライバが走査最終行（第 2160 行）から走査開始行（第 1 行）へ走査を戻す時間を確保する垂直ブランキング期間に相当するものであり、当該垂直ブランキング期間を、当該期間に相当する走査行数で表したものである。

【 0 0 3 5 】

図 4 に示された表示パネルの走査行は、初期化期間、 V_{th} 検出期間、書込み期間、及び発光期間として割り当てられ、また、上記 4 期間の割り当てとは独立に、ブランキング期間が割り当てられる。

【 0 0 3 6 】

[1 - 3 . 画素回路構成及び駆動方法]

以下、上記 4 期間とブランキング期間との関係により、カソード電位が変動した場合の問題について説明するため、有機 EL 発光素子を有する画素回路について例示する。

【 0 0 3 7 】

図 5 A は、表示装置の画素回路構成の一例を示す図である。また、図 5 B は、表示装置の画素回路の動作タイミングチャートの一例である。図 5 A には、有機 E L 発光パネル上に行列状に配置された複数の画素のうちの一画素における回路が示されている。画素 2 0 0 は、有機 E L 素子 2 0 1 と、駆動トランジスタ 2 0 2 と、スイッチ 2 0 3 ~ 2 0 6 と、容量素子 2 1 0 とを備える。また、画素 2 0 0 には、参照電源線 7 1 と、E L アノード電源線 8 1 (V_{tft}) と、E L カソード電源線 8 2 (V_{el}) と、初期化電源線 9 3 (V_{ini}) と、走査線 9 1 と、参照電圧制御線 9 2 と、初期化制御線 9 4 と、発光制御線 9 6 と、データ線 9 5 とが配線されている。

【 0 0 3 8 】

次に、図 5 B に示す画素回路の駆動方法について説明を行う。図 5 B において、横軸は時間を表している。また、縦軸方向には、各動作に割り当てられた水平走査期間数 (H)、表示パネルを構成する画素のうち対応する行の画素 2 0 0 に対する発光制御線 9 6、初期化制御線 9 4、走査線 9 1、及び参照電圧制御線 9 2 に発生する電圧の波形図が示されている。

【 0 0 3 9 】

上記駆動方法は、画素 2 0 0 の上記構成により期間 a から期間 j を実施することで実現される。

【 0 0 4 0 】

[期間 a]

期間 a では、スイッチ 2 0 4 のみを導通状態として、駆動トランジスタ 2 0 2 のゲート電位に参照電圧 V_{ref} に設定することにより、有機 E L 素子 2 0 1 の発光を停止する。

【 0 0 4 1 】

[期間 b]

期間 b では、スイッチ 2 0 6 を導通状態として、駆動トランジスタ 2 0 2 のソース電位を安定させる (駆動トランジスタ 2 0 2 のソース電位を初期化電圧 V_{ini} に設定する)。期間 b は、駆動トランジスタ 2 0 2 の V_{th} 検出期間の初期状態 (時刻 t_a) において駆動トランジスタ 2 0 2 をオン状態とするために必要な電圧を容量素子 2 1 0 に充電する初期化期間である。なお初期化電圧 V_{ini} は、電位差 ($V_{ini} - V_{el}$) が有機 E L 素子 2 0 1 の閾値電圧よりも小さくなるように設定されている。より望ましくは ($V_{ini} - V_{el}$) < 0 である。

【 0 0 4 2 】

[期間 c]

期間 c では、駆動トランジスタ 2 0 2 の閾値電圧が容量素子 2 1 0 にて検出される。具体的には、走査線 9 1 及び初期化制御線 9 4 の電圧レベルを LOW、ならびに、参照電圧制御線 9 2 及び発光制御線 9 6 の電圧レベルを HIGH に維持する。すなわち、スイッチ 2 0 3 及び 2 0 6 をオフ状態とし、スイッチ 2 0 4 及び 2 0 5 をオン状態とする。

【 0 0 4 3 】

このとき、初期化期間での電圧設定により有機 E L 素子 2 0 1 には電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 2 0 2 のソース電位が変化する。言い換えると、E L アノード電源線 8 1 の電圧 V_{tft} により供給されるドレイン電流が 0 となるまで駆動トランジスタ 2 0 2 のソース電位は変化する。このように、駆動トランジスタ 2 0 2 の閾値電圧検出動作が開始される。

【 0 0 4 4 】

そして、期間 c の終了時には、容量素子 2 1 0 の第 1 電極と第 2 電極との電位差 (駆動トランジスタ 2 0 2 のゲート - ソース間電圧) は、駆動トランジスタ 2 0 2 の閾値電圧 V_{th} に相当する電位差となっている。期間 c は、駆動トランジスタ 2 0 2 の閾値電圧を検出する V_{th} 検出期間である。

【 0 0 4 5 】

[期間 d]

期間 d では、参照電圧制御線 9 2 の電圧レベルを HIGH から LOW に変化させて、ス

10

20

30

40

50

イッチ 204 を非導通状態とし、閾値電圧検出動作が終了する。

【0046】

[期間 e]

期間 e では、発光制御線 96 の電圧レベルを HIGH から LOW に変化させる。すなわち、スイッチ 203、204、205 及び 206 をオフ状態とする。これにより、信号電圧を書き込むための準備が完了する。

【0047】

[期間 f]

期間 f は、データ線 95 から表示階調に応じた映像信号電圧（データ信号電圧）を画素 200 に取り込み、容量素子 210 に書き込む書込み期間である。具体的には、スイッチ 203 をオン状態にすることで、データ線 95 及びスイッチ 203 を介してデータ信号電圧が容量素子 210 の第 1 電極に印加される。これにより、容量素子 210 には、 V_{th} 検出期間で保持された駆動トランジスタ 202 の閾値電圧 V_{th} に加えて、データ信号電圧と参照電圧 V_{ref} との電圧差が、（容量 211 の静電容量）/（容量 211 の静電容量 + 容量素子 210 の静電容量）倍されて、記憶（保持）される。なお、容量 211 は、有機 EL 素子 201 が有する寄生容量であってもよいし、容量素子 210 のように TFT 工程で形成してもよい。ここで、スイッチ 205 が非導通状態にあるため、駆動トランジスタ 202 はドレイン電流を流さない。

【0048】

[期間 g 及び h]

期間 g では、書込み終了時に、走査線 91 の電位を通常の LOW レベルよりも低く設定することにより走査線 91 の立ち下がり迅速に完了させている。これにより、走査線 91 の負荷（配線時定数）が大きく、立ち上がり及び立ち下がりに時間がかかるような大画面、高画素数の表示パネルであっても確実に書き込むことができる。

【0049】

[期間 j]

期間 j は、発光期間である。具体的には、走査線 91、参照電圧制御線 92 及び初期化制御線 94 の電圧レベルを LOW に維持しつつ、発光制御線 96 の電圧レベルを LOW から HIGH に変化させる。すなわち、スイッチ 203、204 及び 206 をオフ状態に維持しつつ、スイッチ 205 をオン状態とする。

【0050】

このように、スイッチ 205 をオン状態とすることで、容量素子 210 に蓄えられた電圧に応じて有機 EL 素子 201 に電流を供給し発光させることができる。

【0051】

上述したように、期間 a ~ j は、初期化期間、 V_{th} 検出期間、書込み期間、及び発光期間で構成される。

【0052】

[1 - 4 . カソード電位 V_{cat} の変動]

上述した表示パネルのプロGRESSIVE 駆動方式、画素回路及びその駆動方法によれば、図 4 に示すように、表示パネルの上下端部でカソード電圧 V_{cat} に大きな変動が発生する。この表示パネルの上下端部におけるカソード電圧 V_{cat} の変動は、透明陰極 127 を通じて表示領域内部へと伝搬する。この原因としては、（1）接続部 20C における補助配線 131 及び透明陰極 127 間の接続抵抗 R_{BC} が高いこと、（2）透明陰極 127 を通じて全画素が接続されていること、及び（3）表示パネル上下端部において、初期化期間及び発光期間が、ブランキング行から表示領域へ突入する、または、表示領域からブランキング行へ抜けること、が挙げられる。

【0053】

図 6 は、一様画像を表示させた表示パネルの輝度ムラを示すグラフである。同図において、横軸は画素行を表し、縦軸は行平均輝度（上段）及び隣接輝度差率（下段）を表す。図 6 の上段には画素行ごとの平均輝度が示されており、下段には隣接行間での輝度差分率

10

20

30

40

50

が示されている。図6の下段に示すように、表示パネルの上端部（上帯）及び下端部（下帯）では、それぞれ、隣接輝度差率が極大値を有する画素行が、2つずつ存在している。これらの隣接輝度差率が極大値を有する画素行は、図4において、明るい画素行（明帯）及び暗い画素行（暗帯）に相当し、図4の左側に示すように、表示パネルの上端部及び下端部において表示ムラを発生させている。

【0054】

以下、表示パネルの上端部及び下端部における上記表示ムラが、表示パネルの上下端で発生するカソード電圧 V_{cat} の変動に起因していることを説明する。

【0055】

図7は、表示パネル上下端部におけるカソード電位と V_{gs} との関係を説明する図である。同図には、カソード電圧 V_{cat} の変動が、駆動トランジスタ202のゲート・ソース電圧 V_{gs} を変動させることを示している。駆動トランジスタ202のソース電極は、容量211を介して有機EL素子201のカソード電極と接続されているため、カソード電位 V_{cat} の変動に追従して変動する。

【0056】

[1-5. パネル上端部での V_{gs} 変動]

図7の1段目に示すように、表示パネル上端部における最上行の画素行では、初期化期間bにおいて、カソード電位 V_{cat} は、駆動トランジスタ202のソース電極に印加される初期化電圧 V_{ini} により、初期化電圧 V_{ini} に対応した電位へと急峻に変化する。

【0057】

次に、初期化完了時刻 t_a から V_{th} 検出期間cへと遷移し、有機EL素子201に電流が流れない状態で駆動トランジスタ202のドレイン電流が流れ、駆動トランジスタ202のソース電位が変化することに伴い、カソード電位 V_{cat} が上昇する。その後、 V_{th} 検出期間の終了とともにドレイン電流は停止し、期間d→期間e→書込み期間f→期間g→期間hへと遷移しながらカソード電位 V_{cat} は緩やかに下降する。

【0058】

その後、書込み完了時刻 t_b から発光期間jへと遷移するが、最上行の画素行では、発光期間がブランキング行から表示領域へと突入する。この発光期間の仮想領域から表示領域への突入により、駆動トランジスタ202のドレイン電流は有機EL素子201に急激に電流を流す。これにより、カソード電位 V_{cat} は急激に電圧上昇を開始する。

【0059】

ここで、最上行の画素において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は下降し、これに伴い V_{gs} は増加することとなる。

【0060】

一方、図7の2段目に示すように、表示パネル上端部から所定の画素行だけ内側（下方）に位置する画素行では、カソード電位 V_{cat} の変動は、近傍に位置する最上行の画素行におけるカソード電位 V_{cat} の変動を反映したものとなっている。このとき、最上行からの行順次走査により、所定の画素行だけ内側（下方）に位置する画素行では、初期化完了時刻 t_a 及び書込み完了時刻 t_b は右方向へとシフトする。これにより、パネル上端部付近において、最上行での書込み完了時刻 t_b において発生した V_{cat} の極小点が、初期化完了時刻 t_a と一致する所定の画素行（最上行よりも内側に位置する画素行）が存在する。この場合、上記所定の画素行において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は上昇し、これに伴い V_{gs} は減少することとなる。

【0061】

パネル上端部におけるカソード電位 V_{cat} 及び駆動トランジスタ202のゲート・ソース電圧 V_{gs} の上記変動により、最上行の画素行では、発光時での V_{gs} の増加に伴い明帯となり、上記所定の画素行では、発光時での V_{gs} の減少に伴い暗帯となる。この明暗のコントラストが帯状の不均一性として視認される。

【0062】

10

20

30

40

50

[1 - 6 . パネル下端部での V_{gs} 変動]

図7の4段目に示すように、表示パネル下端部における最下行の画素行では、初期化期間bにおいて、カソード電位 V_{cat} は、駆動トランジスタ202のソース電極に印加される初期化電圧 V_{ini} により、初期化電圧 V_{ini} に対応した電位へと急峻に変化する。その後、最下行の画素行では、初期化期間が表示領域からブランキング行へと抜けていく。この初期化期間の表示領域から仮想領域への抜けにより、容量素子210及び容量211に対する充電電流は激減する。これにより、最下行のカソード電位 V_{cat} は電圧降下を開始する。このとき、 V_{th} 検出期間 c → 期間 d → 期間 e → 書込み期間 f → 期間 g → 期間 h と遷移する。

【 0 0 6 3 】

10

ここで、最下行の画素において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は下降し、これに伴い V_{gs} は増加することとなる。

【 0 0 6 4 】

一方、図7の3段目に示すように、表示パネル最下行から所定の画素行だけ内側（上方）に位置する画素行では、カソード電位 V_{cat} の変動は、近傍に位置する最下行の画素行におけるカソード電位 V_{cat} の変動を反映したものととなる。このとき、所定の画素行だけ内側（上方）に位置する画素行では、最下行の画素行に対して初期化完了時刻 t_a 及び書込み完了時刻 t_b は左方向へとシフトする。これにより、パネル下端部付近において、最下行での初期化完了時刻 t_a 付近において発生した V_{cat} の極大点が、書込み完了時刻 t_b と一致する所定の画素行（最下行よりも内側に位置する画素行）が存在する。この場合、所定の画素行において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は上昇し、これに伴い V_{gs} は減少することとなる。

20

【 0 0 6 5 】

パネル下端部におけるカソード電位 V_{cat} 及び V_{gs} の上記変動により、最下行の画素行では、発光時での V_{gs} の増加に伴い明帯となり、上記所定の画素行では、発光時での V_{gs} の減少に伴い暗帯となる。この明暗のコントラストが帯状の不均一性として視認される。発明者らは、鋭意検討の結果、上述したように、表示パネルの上下端部における明暗帯表示ムラが、上記（1）～（3）に起因した V_{gs} の変動によるものであることを見出した。

【 0 0 6 6 】

30

上述したように、第2電極と補助配線とが機能層を介して接続された接続部を有する画素構成を有し、ブランキング期間を有するプロGRESSIVE駆動を実行する表示装置では、初期化期間及び発光期間のブランキング行への抜けタイミング及び表示領域への突入タイミングにより、表示パネル上下端部のカソード電位 V_{cat} が変動する。これにより、表示パネル上下端部において表示ムラが発生するという問題を有する。

【 0 0 6 7 】

このような問題を解決するために、本発明の一態様に係る表示装置の駆動方法は、回路素子が形成された駆動回路基板上に形成された第1電極と、前記第1電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第2電極とを有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、前記発光素子及び前記回路素子を初期化する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記第2電極の抵抗値に基づいて決定した第1期間において、前記発光素子を発光させずに黒表示をさせる黒挿入ステップと、前記黒挿入ステップの後、前記発光素子を発光させる発光ステップとを含むことを特徴とする。

40

【 0 0 6 8 】

これによれば、第2電極の抵抗値に応じて黒挿入のための第1期間が設けられるので、最上行の画素において発光期間がブランキング行から表示領域へ突入するときが発生する第2電極の電位変動タイミングと、初期化終了～書込みタイミングとが一致する画素行を

50

、より内側（下方）へとシフトさせることができる。これにより、第2電極の電位変動がより減衰された画素行において書込み電圧の変動を発生させることが可能となる。よって、信号電圧に対応した回路素子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部上端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0069】

また、前記黒挿入ステップでは、前記第2電極の抵抗値が大きいほど前記第1期間を短く設定して、前記発光素子を発光させずに黒表示をさせてもよい。

【0070】

第2電極の抵抗値が大きいほど、最上行で発生する第2電極の電位変動は、高い減衰率で内側（下方）の画素行へと伝達される。つまり、第2電極の抵抗値が小さいほど、初期化終了～書込みタイミングにおいて、最上行で発生した第2電極の電位変動の影響を受け易い。この観点から、抵抗値が小さいほど第1期間を長く設定することにより、最上行で発生した第2電極の電位変動タイミングと、初期化終了～書込みタイミングとが一致する画素行を、より内側（下方）へとシフトさせることが可能となる。これにより、信号電圧に対応した回路素子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部上端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0071】

また、前記黒挿入ステップでは、前記第2電極のシート抵抗を $R(\Omega/\text{sq.})$ とし、行順次走査における単位水平走査期間を $1H$ とし、前記第1期間を $T1(H)$ とした場合、 $T1 = 0.150R + 148.69$ なる関係を有するよう前記第1期間を決定してもよい。

【0072】

これにより、人のムラ感知限界により規定された指標により第1期間を設定できるので、高精度に表示ムラを低減することが可能となる。

【0073】

また、前記発光ステップでは、前記表示部の最上行における発光開始タイミングにおいて、前記最上行の画素の前記第2電極が電位変動し、前記初期化ステップでは、前記表示部の最上行から所定の画素行だけ下方に位置する画素行の初期化終了タイミングが、前記表示部の最上行における前記発光開始タイミングと一致してもよい。

【0074】

また、前記初期化ステップでは、前記第2電極の抵抗値に基づいて決定された第2期間、初期化を実行してもよい。

【0075】

これによれば、第2電極の抵抗値に応じて初期化のための第2期間が設けられるので、最下行の画素において初期化期間が表示領域からブランキング行へ抜けるときに発生する第2電極の電位変動タイミングと、書込み完了タイミングとが一致する画素行を、より内側（上方）へとシフトさせることができる。これにより、第2電極の電位変動がより減衰された画素行において書込み電圧の変動を発生させることが可能となる。よって、信号電圧に対応した回路素子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部上端部及び下端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0076】

また、前記初期化ステップでは、前記第2電極の抵抗値が大きいほど前記第2期間を短く設定して、前記初期化を実行してもよい。

【0077】

第2電極の抵抗値が大きいほど、最下行で発生する第2電極の電位変動は、高い減衰率で内側（上方）の画素行へと伝達される。つまり、第2電極の抵抗値が小さいほど、書込み完了タイミングにおいて、最下行で発生した第2電極の電位変動の影響を受け易い。この観点から、抵抗値が小さいほど第2期間を長く設定することにより、最下行で発生した第2電極の電位変動タイミングと、書込み完了タイミングとが一致する画素行を、より内側（上方）へとシフトさせることが可能となる。これにより、信号電圧に対応した回路素

子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部上端部及び下端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0078】

また、前記初期化ステップでは、前記第2電極のシート抵抗を $R(\Omega/\text{sq.})$ とし、行順次走査における単位水平走査期間を $1H$ とし、前記第2期間を $T2(H)$ とした場合、 $T2 = 0.0552R + 139.05$ なる関係を有するよう前記第2期間を決定してもよい。

【0079】

これにより、人のムラ感知限界により規定された指標により第1期間及び第2期間を設定できるので、高精度に表示ムラを低減することが可能となる。

10

【0080】

また、本発明の一態様に係る表示装置の駆動方法は、回路素子が形成された駆動回路基板上に形成された第1電極と、前記第1電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第2電極とを有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置の駆動方法であって、前記第2電極の抵抗値に基づいて決定した第2期間において、前記発光素子及び前記回路素子を初期化する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記発光素子を発光させる発光ステップとを含むことを特徴とする。

【0081】

20

これによれば、第2電極の抵抗値に応じて初期化のための第2期間が設けられるので、最下行の画素において初期化期間が表示領域からブランキング行へ抜けるときに発生する第2電極の電位変動タイミングと、初期化終了～書込みタイミングとが一致する画素行を、より内側(上方)へとシフトさせることができる。これにより、第2電極の電位変動がより減衰された画素行において書込み電圧の変動を発生させることが可能となる。よって、信号電圧に対応した回路素子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部下端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0082】

また、前記初期化ステップでは、前記第2電極の抵抗値が大きいほど前記第2期間を短く設定して、前記発光素子及び前記回路素子を初期化してもよい。

30

【0083】

第2電極の抵抗値が大きいほど、最下行で発生する第2電極の電位変動は、高い減衰率で内側(上方)の画素行へと伝達される。つまり、第2電極の抵抗値が小さいほど、初期化終了～書込みタイミングにおいて、最下行で発生した第2電極の電位変動の影響を受け易い。この観点から、抵抗値が小さいほど第2期間を長く設定することにより、最下行で発生した第2電極の電位変動タイミングと、初期化終了～書込みタイミングとが一致する画素行を、より内側(上方)へとシフトさせることが可能となる。これにより、信号電圧に対応した回路素子の書込み電圧の経時変動を抑制でき、当該経時変動に起因した表示部下端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0084】

40

また、前記初期化ステップでは、前記第2電極のシート抵抗を $R(\Omega/\text{sq.})$ とし、行順次走査における単位水平走査期間を $1H$ とし、前記第2期間を $T2(H)$ とした場合、 $T2 = 0.0552R + 139.05$ なる関係を有するよう前記第2期間を決定してもよい。

【0085】

これにより、人のムラ感知限界により規定された指標により第2期間を設定できるので、高精度に表示ムラを低減することが可能となる。

【0086】

また、前記初期化ステップでは、前記表示部の最下行における初期化タイミングにおいて、前記最下行の画素の前記第2電極が電位変動し、前記書込みステップでは、前記表示

50

部の最下行から所定の画素行だけ上方に位置する画素行の書込み終了タイミングが、前記表示部の最下行における前記初期化タイミングと一致してもよい。

【 0 0 8 7 】

また、本発明は、このような特徴的なステップを含む表示装置の駆動方法として実現することができるだけでなく、当該駆動方法に含まれる特徴的なステップを実行する制御部を有する表示装置としても、上記と同様の効果を奏す。

【 0 0 8 8 】

本発明の一態様に係る表示装置は、発光素子及び当該発光素子を発光駆動するための回路素子を有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置であって、前記画素は、前記回路素子が形成された駆動回路基板上に形成された第 1 電極と、前記第 1 電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第 2 電極とを備え、前記表示装置は、さらに、前記第 1 電極に初期化電圧を印加する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記第 2 電極の抵抗値に基づいて決定された第 1 期間において、前記発光素子を発光させずに黒表示をさせる黒挿入ステップと、前記黒挿入ステップの後、前記発光素子を発光させる発光ステップとを実行する制御部を備えることを特徴とする。

【 0 0 8 9 】

また、本発明の一態様に係る表示装置は、発光素子及び当該発光素子を発光駆動するための回路素子を有する画素が行列状に配置された表示部を有し、垂直ブランキング期間を含み行順次走査するシーケンスにより駆動される表示装置であって、前記画素は、前記回路素子が形成された駆動回路基板上に形成された第 1 電極と、前記第 1 電極の上方に形成された発光物質を含む発光層と、前記発光層の上方に形成された第 2 電極とを備え、前記表示装置は、さらに、前記第 2 電極の抵抗値に基づいて決定された第 2 期間において、前記第 1 電極に初期化電圧を印加する初期化ステップと、前記初期化ステップの後、前記回路素子に信号電圧を書き込む書込みステップと、前記書込みステップの後、前記発光素子を発光させる発光ステップとを実行する制御部を備えることを特徴とする。

【 0 0 9 0 】

以下、表示装置及び表示装置の駆動方法の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、並びに、ステップの順序などは、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【 0 0 9 1 】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

【 0 0 9 2 】

(実施の形態)

実施の形態における表示装置 1 について、図面を用いて説明する。

【 0 0 9 3 】

図 8 は、実施の形態に係る表示装置の全体構成を示す機能ブロック図である。

【 0 0 9 4 】

[2 - 1 . 表示装置の全体構成]

本実施の形態に係る表示装置 1 は、表示部 2 と、電源部 3 と、データ線駆動回路 4 0 と、走査線駆動回路 5 0 と、制御回路 6 0 とを備える。

【 0 0 9 5 】

表示部 2 は、有機 E L 素子及び当該有機 E L 素子を発光駆動するための回路素子を有す

10

20

30

40

50

る画素 20 が行列状に配置されている。

【0096】

電源部 3 は、表示部 2 の外周領域に配置された給電線 30 から各画素 20 に電源電圧を給電する。なお、給電線 30 は、正電源電圧を伝達する正電圧給電線と、当該正電源電圧よりも低電位である負電源電圧を伝達する負電圧給電線とを有している。

【0097】

制御回路 60 は、外部から入力された映像信号に基づいて、データ線駆動回路 40 を制御するための制御信号 S4 を生成し、生成した制御信号 S4 をデータ線駆動回路 40 へ出力する。また、制御回路 60 は、入力される同期信号に基づいて走査線駆動回路 50 を制御するための制御信号 S5 を生成し、当該生成した制御信号 S5 を走査線駆動回路 50 へ出力する。

10

【0098】

データ線駆動回路 40 は、制御回路 60 で生成された制御信号 S4 に基づいて、表示部 2 のデータ線を駆動する。より具体的には、データ線駆動回路 40 は、映像信号および水平同期信号に基づいて、各画素回路に映像信号を反映したデータ電圧を出力する。

【0099】

走査線駆動回路 50 は、制御回路 60 で生成された制御信号 S5 に基づいて、表示部 2 の走査線を駆動する。より具体的には、走査線駆動回路 50 は、垂直同期信号および水平同期信号に基づいて、各画素回路に走査信号等を、少なくとも表示ライン単位で出力する。

20

【0100】

[2 - 2 . 電圧降下を低減する構成]

本実施の形態に係る表示装置における電圧降下を低減する構成は、上記 1 - 1 . 及び図 1 ~ 3 で説明した構成と同様であるので、ここでは説明を省略する。

【0101】

[2 - 3 . プロGRESS駆動方式]

図 9 は、実施の形態に係る表示装置の PROGRESS 駆動方式を説明する動作遷移図である。同図において、横軸は時間を表し、縦軸は画素行（表示行）を表す。同図では、複数の画素が行列状に配置された表示パネルにおいて、初期化動作、Vth（閾値電圧）検出動作、書込み動作、黒挿入動作及び発光動作が行順次に実行されていることが示されている。ここでは、表示パネルの行数を、例えば、2160 行としている。また、図 9 には、さらに、ブランキング行なる仮想行（2161 行～）が示されている。

30

【0102】

図 9 に示された表示パネルの走査行は、初期化期間、Vth 検出期間、書込み期間、黒挿入期間及び発光期間として割り当てられ、また、上記 5 期間の割り当てとは独立に、ブランキング期間が割り当てられる。

【0103】

[2 - 4 . 画素回路構成及び駆動方法]

以下、上記 5 期間とブランキング期間とを駆動する画素回路については、図 5 A で示した回路構成と同様であるので、ここでは説明を省略する。

40

【0104】

次に、本実施の形態に係る画素回路の駆動方法について説明を行う。

【0105】

図 10 は、実施の形態に係る表示装置の駆動方法と従来の表示装置の駆動方法とを比較した動作タイミングチャートの一例である。図 10 において、横軸は時間を表している。また、縦軸方向には、各動作に割り当てられた水平走査期間数（H）、表示パネルを構成する画素のうち対応する行の画素 200 に対する発光制御線 96、初期化制御線 94、走査線 91、及び参照電圧制御線 92 に発生する電圧の波形図が示されている。

【0106】

本実施の形態に係る表示装置の駆動方法は、画素 200 の構成により、以下の期間 a が

50

ら期間 j を実施することで実現される。

【 0 1 0 7 】

[期間 a]

期間 a では、スイッチ 2 0 5 を非導通状態として、有機 E L 素子 2 0 1 の発光を停止する。

【 0 1 0 8 】

[期間 b]

期間 b では、まず、スイッチ 2 0 6 を導通状態として、駆動トランジスタ 2 0 2 のソース電極に初期化電圧 V_{ini} を印加する。その後、例えば、244 H 経過後に、スイッチ 2 0 4 を導通状態として、駆動トランジスタ 2 0 2 のゲート電極に参照電圧 V_{ref} を印加する。その後、例えば、5 H 後に、スイッチ 2 0 5 を導通状態とする（駆動トランジスタ 2 0 2 のソース電位を初期化電圧 V_{ini} に設定する）。

10

【 0 1 0 9 】

期間 b は、駆動トランジスタ 2 0 2 の V_{th} 検出期間の初期状態において駆動トランジスタ 2 0 2 をオン状態とするために必要な電圧を容量素子 2 1 0 に充電する初期化期間である。なお初期化電圧 V_{ini} は、電位差 $(V_{ini} - V_{el})$ が有機 E L 素子 2 0 1 の閾値電圧よりも小さくなるように設定されている。より望ましくは $(V_{ini} - V_{el}) < 0$ である。

【 0 1 1 0 】

ここで、本実施の形態に係る駆動方法では、従来の駆動方法と比較して、初期化期間である第 2 期間を 249 H だけ長く設定している。本実施の形態の初期化期間は、透明陰極 1 2 7 の抵抗値に基づいて決定される。例えば、制御回路 6 0 は、透明陰極 1 2 7 の抵抗値が大きいほど初期化期間を短く設定する。

20

【 0 1 1 1 】

[期間 c]

期間 c では、駆動トランジスタ 2 0 2 の閾値電圧が容量素子 2 1 0 にて検出される。具体的には、走査線 9 1 及び初期化制御線 9 4 の電圧レベルを LOW、ならびに、参照電圧制御線 9 2 及び発光制御線 9 6 の電圧レベルを HIGH に維持する。すなわち、スイッチ 2 0 3 及び 2 0 6 をオフ状態とし、スイッチ 2 0 4 及び 2 0 5 をオン状態とする。

【 0 1 1 2 】

このとき、初期化期間での電圧設定により有機 E L 素子 2 0 1 には電流が流れない状態でドレイン電流が流れ、駆動トランジスタ 2 0 2 のソース電位が変化する。言い換えると、E L アノード電源線 8 1 の電圧 V_{tft} により供給されるドレイン電流が 0 となるまで駆動トランジスタ 2 0 2 のソース電位は変化する。このように、駆動トランジスタ 2 0 2 の閾値電圧検出動作が開始される。

30

【 0 1 1 3 】

そして、期間 c の終了時には、容量素子 2 1 0 の第 1 電極と第 2 電極との電位差（駆動トランジスタ 2 0 2 のゲート - ソース間電圧）は、駆動トランジスタ 2 0 2 の閾値電圧 V_{th} に相当する電位差となっている。期間 c は、駆動トランジスタ 2 0 2 の閾値電圧を検出する V_{th} 検出期間である。

40

【 0 1 1 4 】

[期間 d]

期間 d では、発光制御線 9 6 の電圧レベルを HIGH から LOW に変化させて、スイッチ 2 0 5 を非導通状態とする。

【 0 1 1 5 】

[期間 e]

期間 e では、参照電圧制御線 9 2 の電圧レベルを HIGH から LOW に変化させる。すなわち、スイッチ 2 0 3、2 0 4、2 0 5 及び 2 0 6 をオフ状態とする。これにより、信号電圧を書き込むための準備が完了する。

【 0 1 1 6 】

50

〔期間 f〕

期間 f は、データ線 95 から表示階調に応じた映像信号電圧（データ信号電圧）を画素 200 に取り込み、容量素子 210 に書き込む書込み期間である。具体的には、スイッチ 203 をオン状態にすることで、データ線 95 及びスイッチ 203 を介してデータ信号電圧が容量素子 210 の第 1 電極に印加される。これにより、容量素子 210 には、 V_{th} 検出期間で保持された駆動トランジスタ 202 の閾値電圧 V_{th} に加えて、データ信号電圧と参照電圧 V_{ref} との電圧差が、（容量 211 の静電容量）/（容量 211 の静電容量 + 容量素子 210 の静電容量）倍されて、記憶（保持）される。なお、容量 211 は、有機 EL 素子 201 が有する寄生容量であってもよいし、容量素子 210 のように TFT 工程で形成してもよい。ここで、スイッチ 205 が非導通状態にあるため、駆動トランジスタ 202 はドレイン電流を流さない。

10

【0117】

〔期間 g〕

期間 g では、書込み終了時に、走査線 91 の電位を通常の LOW レベルよりも低く設定することにより走査線 91 の立ち下がり迅速に完了させている。これにより、走査線 91 の負荷（配線時定数）が大きく、立ち上がり及び立ち下がりにかかるような大画面、高画素数の表示パネルであっても確実に書き込むことができる。

【0118】

〔期間 h〕

期間 h では、スイッチ 203、204、205 及び 206 をオフ状態として、有機 EL 素子 201 を発光させない。期間 h は、有機 EL 素子 201 を発光させずに黒表示をさせる黒挿入期間である。

20

【0119】

ここで、本実施の形態に係る駆動方法では、従来の駆動方法と比較して、書込み期間と発光期間との間に黒挿入期間である第 1 期間を、例えば、200H だけ確保している。本実施の形態の黒挿入期間は、透明陰極 127 の抵抗値に基づいて決定される。例えば、制御回路 60 は、透明陰極 127 の抵抗値が大きいほど黒挿入期間を短く設定する。

【0120】

〔期間 j〕

期間 j は、発光期間である。具体的には、走査線 91、参照電圧制御線 92 及び初期化制御線 94 の電圧レベルを LOW に維持しつつ、発光制御線 96 の電圧レベルを LOW から HIGH に変化させる。すなわち、スイッチ 203、204 及び 206 をオフ状態に維持しつつ、スイッチ 205 をオン状態とする。

30

【0121】

このように、スイッチ 205 をオン状態とすることで、容量素子 210 に蓄えられた電圧に応じて有機 EL 素子 201 に電流を供給し発光させることができる。

【0122】

以上の期間 a ~ j は、初期化期間、 V_{th} 検出期間、書込み期間、黒挿入期間及び発光期間で構成される。

【0123】

なお、本実施の形態に係る駆動方法では、従来の駆動方法と比較して、初期化期間を長く設定し、また、黒挿入期間を設けたことにより、発光デューティ比が 95% ~ 75% へと減少している。

40

【0124】

〔2-5. パネル下端部での V_{gs} 変動の抑制〕

図 9 に示すように、表示パネル下端部における最下行の画素行では、初期化期間 b において、カソード電位 V_{cat} は、駆動トランジスタ 202 のソース電極に印加される初期化電圧 V_{ini} により、初期化電圧 V_{ini} に対応した電位へと急峻に変化（上昇）する。その後、最下行の画素行では、初期化期間が表示領域からブランキング行へと抜けていく。この初期化期間の表示領域から仮想領域への抜けにより、容量素子 210 及び容量 2

50

11に対する充電電流は激減する。これにより、最下行のカソード電位 V_{cat} は電圧降下を開始する。このとき、 V_{th} 検出期間 $c \rightarrow$ 期間 $d \rightarrow$ 期間 $e \rightarrow$ 書込み期間 $f \rightarrow$ 期間 $g \rightarrow$ 黒挿入期間 h と遷移する。

【0125】

ここで、最下行の画素において、初期化完了時刻に対する書込み完了時刻でのカソード電位 V_{cat} は下降し、これに伴い V_{gs} は増加することとなる。なお、本実施の形態に係る駆動方法では、初期化期間 b を従来よりも長く設定したことにより、表示パネルの下端部において V_{gs} の増加が最大となる行が内側（上方）へシフトする。この場合、最下行よりも画素行が内側（上方）へシフトしている分、カソード電位 V_{cat} の変動幅は抑制されるので、従来と比較して、 V_{gs} の増加は抑制されることとなる。

10

【0126】

一方、表示パネル下端部から所定の画素行だけ内側（上方）に位置する画素行では、カソード電位 V_{cat} の変動は、近傍に位置する最下行の画素行におけるカソード電位 V_{cat} の変動を反映したものとなる。このとき、所定の画素行だけ内側（上方）に位置する画素行では、最下行の画素行に対して初期化完了時刻 t_a 及び書込み完了時刻 t_b は左方向へとシフトする。これにより、パネル下端部付近において、最下行での初期化完了時刻 t_a 付近において発生した V_{cat} の極大点が、書込み完了時刻 t_b と一致する所定の画素行が存在する。なお、本実施の形態に係る駆動方法では、透明陰極127の抵抗値に基いて初期化期間 b を従来よりも長く設定したことにより、上記極大点が、書込み完了時刻 t_b と一致する所定の画素行が、従来よりも、より内側（上方）へシフトする。この場合、所定の画素行において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は上昇し、これに伴い V_{gs} は減少するが、従来よりも画素行が内側（上方）へシフトしている。このため、カソード電位 V_{cat} の変動が減衰して伝達され、 V_{cat} の上昇は抑制されるので、 V_{gs} の減少は抑制されることとなる。

20

【0127】

パネル下端部におけるカソード電位 V_{cat} 及び駆動トランジスタ202のゲート-ソース間電圧 V_{gs} の上記変動により、最下行近傍の画素行では、発光時での V_{gs} の増加に伴い明帯となり、上記所定の画素行では、発光時での V_{gs} の減少に伴い暗帯となる。しかしながら、本実施の形態に係る駆動方法では、従来の駆動方法と比較して、表示パネル下端部における上記明帯と暗帯との輝度差は抑制されるので、表示ムラが抑制される。

30

【0128】

[2-6. パネル上端部での V_{gs} 変動の抑制]

図9に示すように、表示パネル上端部における最上行の画素行では、初期化期間 b において、カソード電位 V_{cat} は、駆動トランジスタ202のソース電極に印加される初期化電圧 V_{ini} により、初期化電圧 V_{ini} に対応した電位へと急峻に変化する。

【0129】

次に、初期化完了時刻 t_a から V_{th} 検出期間 c へと遷移し、有機EL素子201に電流が流れない状態で駆動トランジスタ202のドレイン電流が流れ、駆動トランジスタ202のソース電位が変化することに伴い、カソード電位 V_{cat} が上昇する。その後、 V_{th} 検出期間の終了とともにドレイン電流は停止し、期間 $d \rightarrow$ 期間 $e \rightarrow$ 書込み期間 $f \rightarrow$ 期間 $g \rightarrow$ 黒挿入期間 h と遷移しながらカソード電位 V_{cat} は緩やかに下降する。

40

【0130】

その後、書込み完了時刻から発光期間 j へと遷移するが、最上行の画素行では、発光期間がブランキング行から表示領域へと突入する。この発光期間の仮想領域から表示領域への突入により、駆動トランジスタ202のドレイン電流は有機EL素子201に急激に電流を流す。これにより、カソード電位 V_{cat} は急激に電圧上昇を開始する。

【0131】

ここで、最上行の画素において、初期化完了時刻に対する書込み完了時刻でのカソード電位 V_{cat} は下降し、これに伴い V_{gs} は増加することとなる。なお、本実施の形態に係る駆動方法では、黒挿入期間 h を設けたことにより、表示パネルの上端部において V_{gs}

50

sの増加が最大となる行が内側（下方）ヘシフトする。この場合、最上行よりも画素行が内側（下方）ヘシフトしている分、カソード電位 V_{cat} の変動幅は抑制されるので、従来と比較して、 V_{gs} の減少は抑制されることとなる。

【0132】

一方、表示パネル上端部から所定の画素行だけ内側（下方）に位置する画素行では、カソード電位 V_{cat} の変動は、近傍に位置する最上行の画素行におけるカソード電位 V_{cat} の変動を反映したものとなる。このとき、所定の画素行だけ内側（下方）に位置する画素行では、最上行からの行順次走査により、初期化完了時刻 t_a 及び書込み完了時刻 t_b は右方向へとシフトする。これにより、パネル上端部付近において、最上行での書込み完了時刻 t_b において発生した V_{cat} の極小点が、初期化完了時刻 t_a と一致する所定の画素行が存在する。なお、本実施の形態に係る駆動方法では、黒挿入期間 h を設けることにより、上記極小点が、初期化完了時刻 t_a と一致する所定の画素行が、従来よりも、より内側（下方）ヘシフトする。この場合、所定の画素行において、初期化完了時刻 t_a に対する書込み完了時刻 t_b でのカソード電位 V_{cat} は減少し、これに伴い V_{gs} は増加するが、従来よりも画素行が内側（下方）ヘシフトしている。このため、カソード電位 V_{cat} の変動が減衰して伝達され、 V_{cat} の減少は抑制されるので、 V_{gs} の増加は抑制されることとなる。

10

【0133】

パネル上端部におけるカソード電位 V_{cat} 及び駆動トランジスタ 202 のゲート - ソース間電圧 V_{gs} の上記変動により、最上行近傍の画素行では、発光時での V_{gs} の増加に伴い明帯となり、上記所定の画素行では、発光時での V_{gs} の減少に伴い暗帯となる。しかしながら、本実施の形態に係る駆動方法では、従来の駆動方法と比較して、表示パネル上端部における上記明帯と暗帯との輝度差は抑制されるので、表示ムラが抑制される。

20

【0134】

[2-7. 効果など]

図11Aは、実施の形態に係る表示装置により表示された画像図である。また、図11Bは、従来の表示装置により表示された画像図である。両図を比較した場合、従来の表示装置では、パネル上下端部にそれぞれ、暗帯が顕著に観測されるのに対して、本実施の形態に係る表示装置では、上下端部の暗帯が低減されている。

【0135】

(1) 接続部 20C における補助配線 131 及び透明陰極 127 間に機能層 (R_{BC}) を有し、(2) 透明陰極 127 を通じて全画素が接続され、及び(3) ブランキング期間が設けられたプログレッシブ駆動方式による駆動される表示装置 1 において、表示パネル最上行のブランキング期間から発光期間への突入により、最上行の画素におけるカソード電位 V_{cat} が大きく変動する。これにより、駆動トランジスタ 202 の V_{gs} が変動する。また、この最上行におけるカソード電位 V_{cat} の変動タイミングで書込み期間を迎える画素行（所定の画素行だけ内側ヘシフトした画素行）においても V_{gs} が変動する。ここで、最上行の画素行での V_{gs} と、所定の画素行だけ内側ヘシフトした画素行での V_{gs} とが、相反する方向へ変動した場合に、表示パネル上端部において明帯及び暗帯からなる表示ムラが発生する。

30

40

【0136】

これに対し、本実施の形態に係る表示装置又は表示装置の駆動方法によれば、上記表示ムラを低減させるべく、制御回路 60 は、有機 EL 素子 201、駆動トランジスタ 202 及び容量素子 210 を初期化する初期化ステップと、当該初期化ステップの後、容量素子 210 に信号電圧を書き込む書込みステップと、書込みステップの後、透明陰極 127 の抵抗値に基づいて決定した黒挿入期間（第1期間）において有機 EL 素子 201 を発光させずに黒表示をさせる黒挿入ステップと、黒挿入ステップの後、有機 EL 素子 201 を発光させる発光ステップとを実行する。

【0137】

これによれば、透明陰極 127 の抵抗値に応じて黒挿入期間が設けられるので、最上行

50

の画素において発光期間がブランキング行から表示領域へ突入するときに発生するカソード電位 V_{cat} の電位変動タイミングと初期化終了～書込みタイミングとが一致する画素行を、より内側（下方）へとシフトさせることができる。これにより、カソード電位 V_{cat} の変動がより減衰された画素行において V_{gs} の変動を発生させることが可能となる。よって、高精度の成膜マスク及びアライメント工程などの複雑な製造工程を要することなく、 V_{gs} の経時変動を抑制でき、当該経時変動に起因した表示部上端部における明帯及び暗帯による表示ムラを低減することが可能となる。

【0138】

また、本実施の形態に係る表示装置又は表示装置の駆動方法によれば、上記表示ムラを低減させるべく、制御回路60は、透明陰極127の抵抗値に基づいて決定した初期化期間（第2期間）において、有機EL素子201、駆動トランジスタ202及び容量素子210を初期化する初期化ステップと、初期化ステップの後、容量素子210に信号電圧を書き込む書込みステップと、書込みステップの後、有機EL素子201を発光させる発光ステップとを実行する。

10

【0139】

これによれば、透明陰極127の抵抗値に応じて初期化期間が設けられるので、最下行の画素において初期化期間が表示領域からブランキング行へ抜けるときに発生するカソード電位 V_{cat} の電位変動タイミングと初期化終了～書込みタイミングとが一致する画素行を、より内側（上方）へとシフトさせることができる。これにより、カソード電位 V_{cat} の変動がより減衰された画素行において V_{gs} の変動を発生させることが可能となる。よって、 V_{gs} の経時変動を抑制でき、当該経時変動に起因した表示部下端部における明帯及び暗帯による表示ムラを低減することが可能となる。

20

【0140】

また、本実施の形態に係る表示装置又は表示装置の駆動方法によれば、上記表示ムラを低減させるべく、制御回路60は、透明陰極127の抵抗値に基づいて決定した初期化期間（第2期間）において、有機EL素子201、駆動トランジスタ202及び容量素子210を初期化する初期化ステップと、初期化ステップの後、容量素子210に信号電圧を書き込む書込みステップと、書込みステップの後、透明陰極127の抵抗値に基づいて決定した黒挿入期間（第1期間）において有機EL素子201を発光させずに黒表示をさせる黒挿入ステップと、黒挿入ステップの後、有機EL素子201を発光させる発光ステップとを実行する。

30

【0141】

これによれば、透明陰極127の抵抗値に応じて初期化期間が設けられるので、最下行の画素において初期化期間が表示領域からブランキング行へ抜けるときに発生するカソード電位 V_{cat} の電位変動タイミングと初期化終了～書込みタイミングとが一致する画素行を、より内側（上方）へとシフトさせることができ、かつ、透明陰極127の抵抗値に応じて黒挿入期間が設けられるので、最上行の画素において発光期間がブランキング行から表示領域へ突入するときに発生するカソード電位 V_{cat} の電位変動タイミングと初期化終了～書込みタイミングとが一致する画素行を、より内側（下方）へとシフトさせることができる。これにより、 V_{gs} の経時変動を抑制でき、当該経時変動に起因した表示部下端部及び上端部の双方における明帯及び暗帯による表示ムラを低減することが可能となる。

40

【0142】

[2-8. 透明陰極のシート抵抗]

図12は、発光デューティ比と表示ムラとの関係を示すグラフである。同図に示されたグラフにおいて、横軸は発光デューティ比を表し、縦軸は隣接輝度差率を表す。本実施の形態に係る駆動方法では、表示パネル上端部の表示ムラを抑制すべく黒挿入期間を設け、表示パネル下端部の表示ムラを抑制すべく初期化期間を長く設定している。黒挿入期間及び初期化期間はいずれも非発光期間であるため、本実施の形態に係る駆動方法によれば、発光デューティ比は減少する。図12では、従来の駆動方法により発光デューティ

50

一比が 95% と設定された場合には、隣接輝度差率は表示ムラが感知される閾値である視認限界 2% を超えている。

【0143】

これに対して、本実施の形態に係る駆動方法により発光デューティー比が 75% または 40% と設定された場合には、隣接輝度差率が視認限界 2% 以下となっている。

【0144】

また、透明陰極 127 のシート抵抗が $700 \Omega / sq$. である場合には、透明陰極 127 のシート抵抗が $170 \Omega / sq$. である場合と比較して、発光デューティー比が 75% と設定されることで視認限界 2% を大幅に下回ることが示されている。

【0145】

一方、透明陰極 127 のシート抵抗が $170 \Omega / sq$. である場合には、発光デューティー比をより低く設定する (40%) ことで、隣接輝度差率を低減できることがわかる。

【0146】

つまり、制御回路 60 は、透明陰極 127 の抵抗値が大きいほど黒挿入期間を短く (発光デューティー比を大きく) 設定し、この期間において有機 EL 素子 201 を発光させずに黒表示をさせる。

【0147】

図 13A は、実施の形態に係る表示装置の駆動方法における透明陰極のシート抵抗と黒挿入期間との関係を表すグラフである。また、図 13B は、実施の形態に係る表示装置の駆動方法における透明陰極のシート抵抗と初期化期間との関係を表すグラフである。図 13A において、横軸は透明陰極 127 のシート抵抗 $R (\Omega / sq)$ を表し、縦軸は黒挿入期間 (H) を表す。図 13B において、横軸は透明陰極 127 のシート抵抗 $R (\Omega / sq)$ を表し、縦軸は初期化期間 (H) を表す。なお、H とは、行順次走査における単位水平走査期間を 1H とした場合の単位である。

【0148】

図 13A 及び図 13B において、測定点を結ぶ直線は、感知限界におけるムラの濃さ (コントラスト) C_{jnd} が 3.39% となることを示しており、透明陰極 127 のシート抵抗を R 、黒挿入期間を $T1 (H)$ 、初期化期間を $T2 (H)$ とした場合、以下の関係式となる。

【0149】

$$T1 = -0.150R + 148.69 \quad (\text{式 1})$$

$$T2 = -0.0552R + 139.05 \quad (\text{式 2})$$

【0150】

ここで、 C_{jnd} は、限界ムラ面積 $S_{jnd} (mm^2)$ の関数として、以下の式 3 のように表される。

【0151】

【数 1】

$$C_{jnd} = 1.97 \left(\frac{1}{S_{jnd}^{0.33}} \right) + 0.72 \quad (\text{式 3})$$

【0152】

本実施の形態において、例えば、55 型 4K パネルを想定すると、1 画素のサイズは $0.315 mm$ となる。この場合、 S_{jnd} は、ムラの大きさが隣接行との輝度差で認識しうるとすれば、2 画素分となり、 $(0.315 mm \times 2)^2 = 0.3969 mm^2$ となる。この S_{jnd} 値を上記式 3 に代入すると、 C_{jnd} は、3.39% となる。

【0153】

つまり、制御回路 60 は、

$$T1 = -0.150R + 148.69 \quad (\text{式 4})$$

なる関係を有するよう黒挿入期間を決定する。これにより、人のムラ感知限界により規定

10

20

30

40

50

された指標により黒挿入期間を設定できるので、高精度に表示ムラを低減することが可能となる。

【0154】

また、制御回路60は、

$$T2 - 0.0552R + 139.05 \quad (\text{式5})$$

なる関係を有するよう初期化期間を決定する。これにより、人のムラ感知限界により規定された指標により初期化期間を設定できるので、高精度に表示ムラを低減することが可能となる。

【0155】

(他の実施の形態)

以上、本発明の表示装置及び表示装置の駆動方法について、実施の形態に基づいて説明してきたが、本発明に係る表示装置及び表示装置の駆動方法は、上記実施の形態に限定されるものではない。実施の形態における任意の構成要素を組み合わせる別の実施の形態や、実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本実施の形態に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0156】

例えば、上記実施の形態では、表示パネル上端部の表示ムラを低減する構成として、透明陰極127の抵抗値に基づく黒挿入期間の設定を挙げ、また、表示パネル下端部の表示ムラを低減する構成として、透明陰極127の抵抗値に基づく初期化期間の設定を挙げた。しかしながら、本発明の表示装置及び表示装置の駆動方法は、これに限られず、表示パネル上端部の表示ムラを低減する構成のみを有していればよい。つまり、透明陰極127の抵抗値に基づいて黒挿入期間を設定すればよい。

【0157】

これにより、最上行の発光タイミングと、カソード電位の変動が減衰したパネル内部の画素行の書き込みタイミングとを一致させるので、パネル上端部における明暗の表示ムラを抑制できる。

【0158】

または、本発明の表示装置及び表示装置の駆動方法は、表示パネル下端部の表示ムラを低減する構成のみを有していればよい。つまり、透明陰極127の抵抗値に基づいて初期化期間を設定すればよい。

【0159】

これにより、最下行の初期化タイミングと、カソード電位の変動が減衰したパネル内部の画素行の書き込みタイミングとを一致させるので、パネル下端部における明暗の表示ムラを抑制できる。

【0160】

また、有機EL層12の構成として、陽極/正孔注入層/正孔輸送層/有機発光層/電子輸送層/陰極を例に説明したが、これに限られない。例えば、有機EL層の構成として、少なくとも有機発光層、陽極及び陰極を含む構成であればよい。また、例えば、有機発光層、陽極及び陰極以外に、正孔注入層、正孔輸送層、電子輸送層及び電子注入層の少なくとも1層を含む構成であってもよい。

【0161】

また、上記実施の形態では、表示部2に連続形成された透明陰極127の電位変動による表示ムラを低減する構成を例示したが、回路構成、発光方式及び有機EL層の積層構造などにより、例えばアノードコモンのトップエミッションにおいて、陽極121の電位変動による表示ムラを低減する構成も本発明に含まれる。

【0162】

また、上記実施の形態では、画素20を、3つのサブ画素20R、20G及び20Bで構成されているものとして説明したが、画素構成はこれに限られない。例えば、画素20が複数のサブ画素を有さず、1つの画素で構成されていても、上記実施の形態に係る表示

10

20

30

40

50

装置 1 と同様の効果が奏される。

【 0 1 6 3 】

なお、上記実施の形態において、中間層は、発光部を構成する層の一部として説明してきたが、接続部を構成する中間層は、発光部を構成する層と連続している必要はない。高精細マスクを使用せずとも発光部と接続部とで分離形成可能な中間層であって、例えば、塗布製膜された段階でバンク 1 2 2 により分離形成されるものであればよい。この場合であっても、製造プロセスを簡素化しつつ輝度バラツキを低減できる。

【 0 1 6 4 】

また、例えば、本実施の形態に係る表示装置 1 は、図 1 4 に示されたような薄型フラット TV に内蔵される。本実施の形態に係る表示装置 1 により、製造プロセスを簡素化しつ

10

【 0 1 6 5 】

また、上記実施の形態に係る表示装置 1 に含まれる制御回路 6 0 は、典型的には集積回路である L S I として実現される。なお、表示装置 1 に含まれる制御回路 6 0 の一部を、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) 、又は L S I 内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用してもよい。

【 0 1 6 6 】

また、本発明は、表示装置の駆動方法をコンピュータにより実現するコンピュータプログラムであるとしても良いし、上記コンピュータプログラムからなるデジタル信号であるとしても良い。

20

【 0 1 6 7 】

さらに、本発明は、上記コンピュータプログラムまたは上記デジタル信号をコンピュータ読み取り可能な非一時的な記録媒体、例えば、フレキシブルディスク、ハードディスク、C D - R O M 、 M O 、 D V D 、 D V D - R O M 、 D V D - R A M 、 B D (B l u - r a y (登録商標) D i s c) 、半導体メモリなどに記録したものとしても良い。また、これらの非一時的な記録媒体に記録されている上記デジタル信号であるとしても良い。

【 0 1 6 8 】

また、本発明は、上記コンピュータプログラムまたは上記デジタル信号を、電気通信回線、無線または有線通信回線、インターネットを代表とするネットワーク、データ放送等を経由して伝送するものとしても良い。

30

【 0 1 6 9 】

また、本発明は、マイクロプロセッサとメモリを備えたコンピュータシステムであって、上記メモリは、上記コンピュータプログラムを記憶しており、上記マイクロプロセッサは、上記コンピュータプログラムに従って動作するとしても良い。

【 0 1 7 0 】

また、上記プログラムまたは上記デジタル信号を上記非一時的な記録媒体に記録して移送することにより、または上記プログラムまたは上記デジタル信号を、上記ネットワーク等を経由して移送することにより、独立した他のコンピュータシステムにより実施する

40

【産業上の利用可能性】

【 0 1 7 1 】

本発明は、有機 E L フラットパネルディスプレイに有用であり、画質の均一性が要求されるディスプレイとして用いるのに最適である。

【符号の説明】

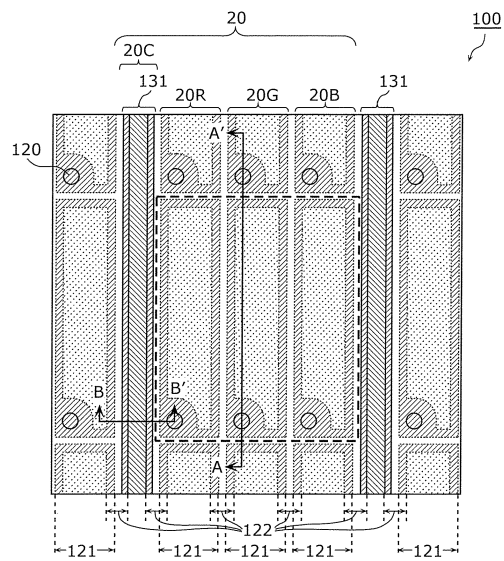
【 0 1 7 2 】

- 1 表示装置
- 2、1 0 0 表示部
- 3 電源部

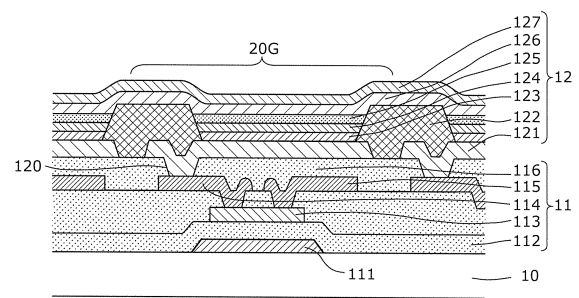
50

1 0	基板	
1 1	駆動回路層	
1 2	有機 E L 層	
2 0	画素	
2 0 B、2 0 G、2 0 R	サブ画素	
2 0 C	接続部	
3 0	給電線	
4 0	データ線駆動回路	
5 0	走査線駆動回路	
6 0	制御回路	10
7 1	参照電源線	
8 1	E L アノード電源線	
8 2	E L カソード電源線	
9 1	走査線	
9 2	参照電圧制御線	
9 3	初期化電源線	
9 4	初期化制御線	
9 5	データ線	
9 6	発光制御線	
1 1 1	ゲート電極	20
1 1 2	ゲート絶縁層	
1 1 3	半導体層	
1 1 4	ソース電極	
1 1 5	ドレイン電極	
1 1 6	層間絶縁層	
1 2 0	ビア	
1 2 1	陽極	
1 2 2	バンク	
1 2 3	正孔注入層	
1 2 4	正孔輸送層	30
1 2 5	有機発光層	
1 2 6	電子輸送層	
1 2 7	透明陰極	
1 3 1	補助配線	
2 0 0	画素	
2 0 1	有機 E L 素子	
2 0 2	駆動トランジスタ	
2 0 3、2 0 4、2 0 5、2 0 6	スイッチ	
2 1 0	容量素子	
2 1 1	容量	40

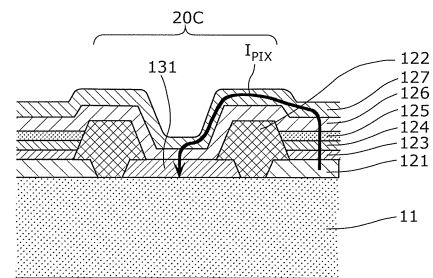
【図 1】



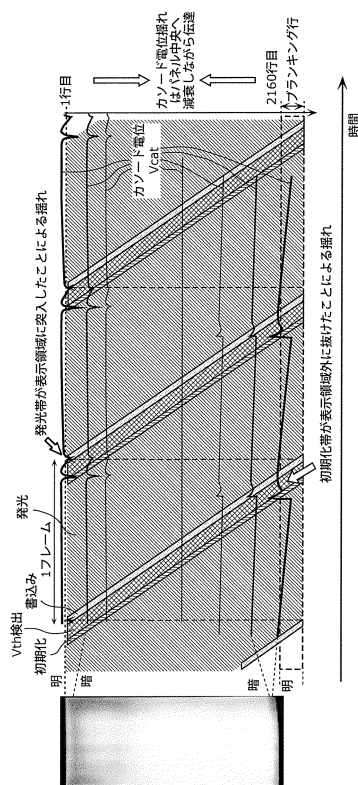
【図 2】



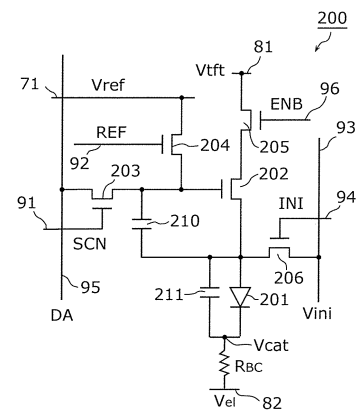
【図 3】



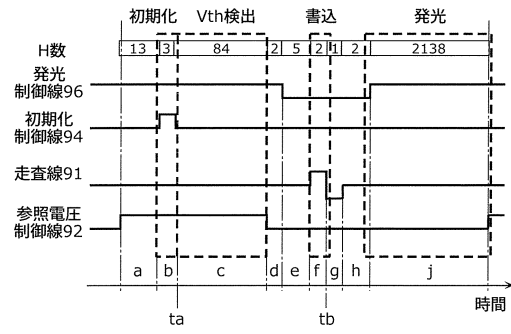
【図 4】



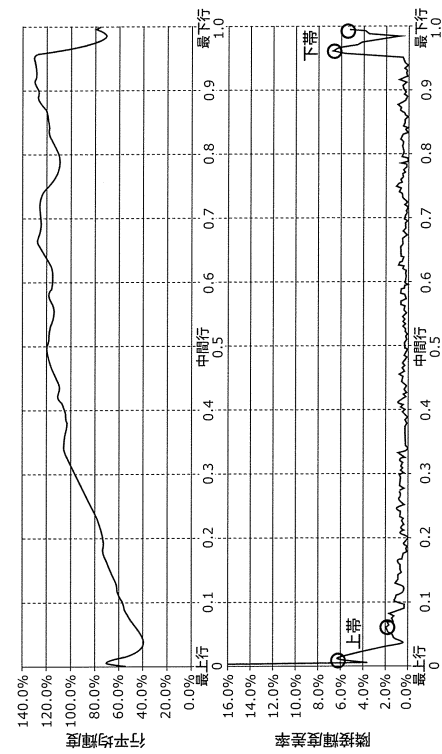
【図 5 A】



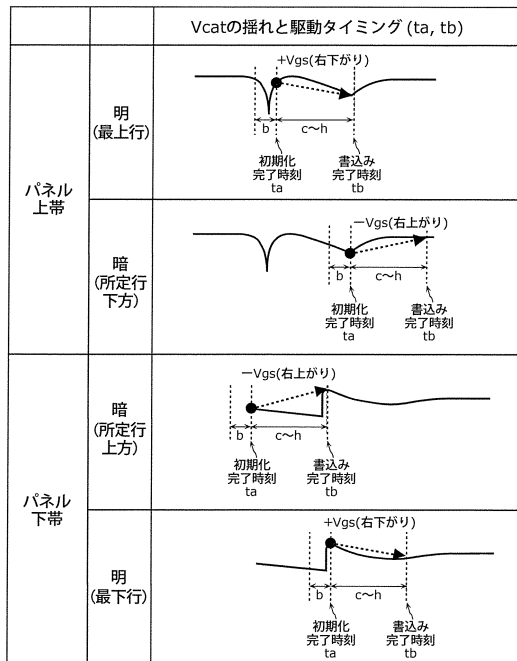
【図 5 B】



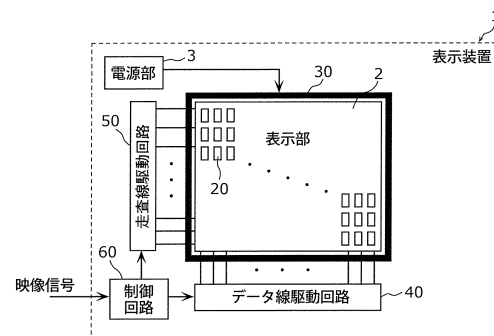
【図 6】



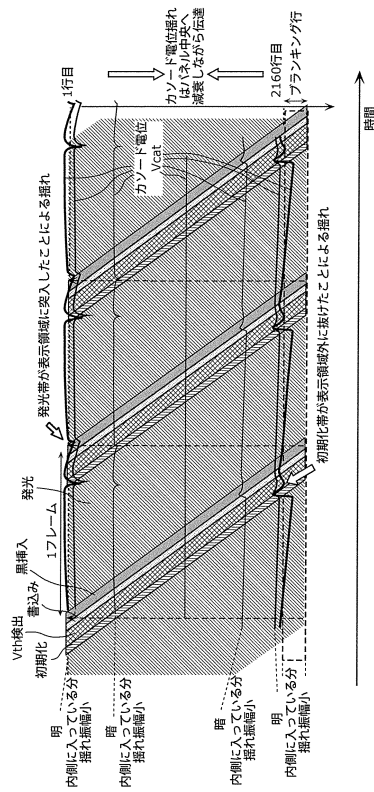
【図 7】



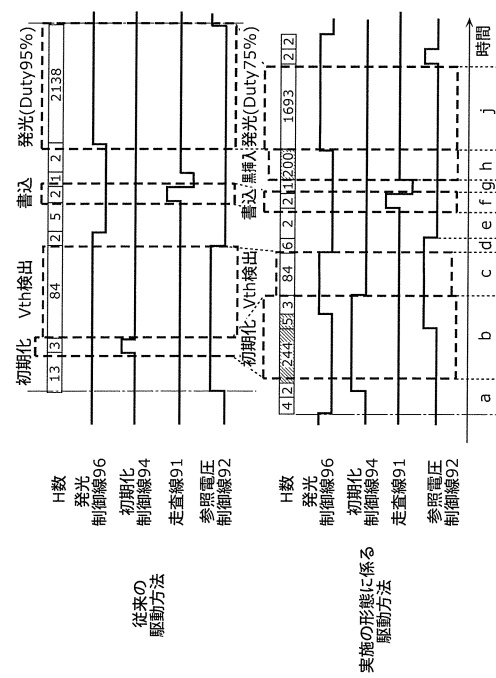
【図 8】



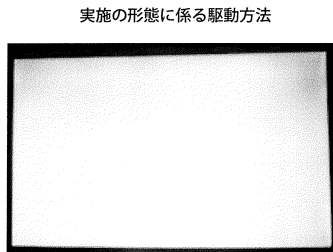
【図 9】



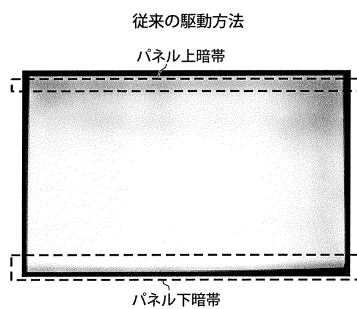
【図 10】



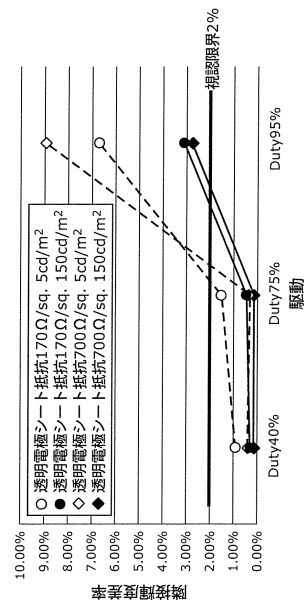
【図 11 A】



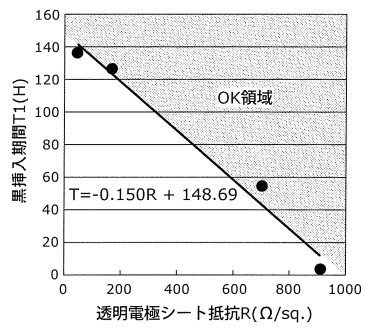
【図 11 B】



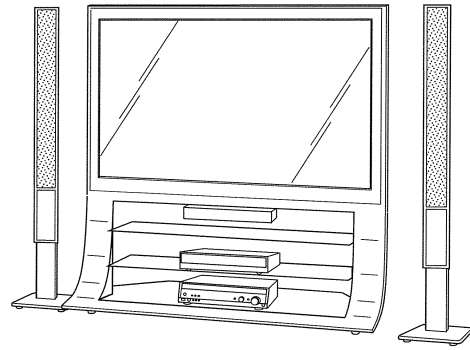
【図 12】



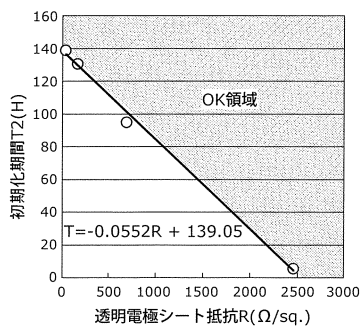
【図 1 3 A】



【図 1 4】



【図 1 3 B】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 P
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A
H 0 5 B 33/28
H 0 1 L 27/32

(56)参考文献 特開 2 0 0 9 - 1 6 3 0 6 1 (J P , A)
特開 2 0 1 4 - 1 4 2 4 8 9 (J P , A)
国際公開第 2 0 1 1 / 0 4 5 9 1 1 (W O , A 1)
米国特許出願公開第 2 0 0 8 / 0 0 1 2 8 1 1 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 2 7 / 3 2 , 5 1 / 5 0
H 0 5 B 3 3 / 2 8

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP6330208B2	公开(公告)日	2018-05-30
申请号	JP2016551523	申请日	2015-09-24
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	小野晋也 法邑茂夫		
发明人	小野 晋也 法邑 茂夫		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50 H05B33/28 H01L27/32		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0216 G09G2320/0223 G09G2320/045 H01L27/3244 H05B33/08 H05B45/20 Y02B20/32 G09G3/3266 G09G3/3291 G09G2300/ /043 G09G2320/043		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.611.J G09G3/20.612.T G09G3/20.621.A G09G3/20.641.P G09G3/20.642.A H05B33/14.A H05B33/28 H01L27/32		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	武田 悟		
优先权	2014199258 2014-09-29 JP 2014199322 2014-09-29 JP		
其他公开文献	JPWO2016051735A1		
外部链接	Espacenet		

摘要(译)

(121);有机发光层 (125), 其形成在所述驱动电路层 (11) 上;有机发光层 (125), 其形成在所述阳极 (121) 一个显示部分 (2), 其中具有透明阴极 (127) 的像素 (200) 按行和列排列, 并且顺序扫描包括垂直消隐周期将信号电压写入电容器元件的写入步骤;将透明阴极的电阻值设置为透明阴极的电阻值的步骤;黑色插入步骤, 使有机EL元件 (201) 发光;以及黑色插入步骤, 使有机EL元件 (201) 以其为基础确定的周期发光。

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6330208号 (P6330208)
(45) 発行日 平成30年5月30日 (2018. 5. 30)	(24) 登録日 平成30年5月11日 (2018. 5. 11)	
(51) Int. Cl. G09G 3/3233 (2016. 01) G09G 3/20 (2006. 01) H01L 51/50 (2006. 01) H05B 33/28 (2006. 01) H01L 27/32 (2006. 01)	F I G09G 3/3233 G09G 3/20 611H G09G 3/20 611J G09G 3/20 612T G09G 3/20 621A	請求項の数 19 (全 30 頁) 最終頁に続く
(21) 出願番号 特願2016-551523 (P2016-551523) (86) (22) 出願日 平成27年9月24日 (2015. 9. 24) (86) 国際出願番号 PCT/JP2015/004845 (87) 国際公開番号 W02016/051735 (87) 国際公開日 平成28年4月7日 (2016. 4. 7) (87) 審査請求日 平成28年3月3日 (2017. 3. 3) (31) 優先権主張番号 特願2014-199258 (P2014-199258) (32) 優先日 平成26年9月29日 (2014. 9. 29) (33) 優先権主張国 日本国 (JP) (31) 優先権主張番号 特願2014-199322 (P2014-199322) (32) 優先日 平成26年9月29日 (2014. 9. 29) (33) 優先権主張国 日本国 (JP)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2 3 番地 (74) 代理人 弁理士 吉川 修一 100189430 (74) 代理人 弁理士 傍島 正朗 100190805 (72) 発明者 小野 晋也 日本国大阪府門真市大字門真1 0 0 6 番地 パナソニック株式会社内 (72) 発明者 法邑 茂夫 日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社JOLED内 審査官 武田 悟	最終頁に続く

(54) 【発明の名称】表示装置及び表示装置の駆動方法