

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5095200号
(P5095200)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F 1
G09G 3/30 (2006.01)	G09G 3/30 J
H05B 33/12 (2006.01)	H05B 33/12 Z
H01L 51/50 (2006.01)	H05B 33/14 A
G09G 3/20 (2006.01)	G09G 3/30 K
H05B 33/08 (2006.01)	G09G 3/20 642A

請求項の数 8 (全 29 頁) 最終頁に続く

(21) 出願番号	特願2006-346450 (P2006-346450)	(73) 特許権者	311003743 オンセミコンダクター・トレーディング・ リミテッド 英國領バミューダ・エイチエム 11 ハ ミルトン・チャーチストリート2・クラレ ンドンハウス・コーダン サービシーズ リミテッド 気付 110001210
(22) 出願日	平成18年12月22日(2006.12.22)	(74) 代理人	特許業務法人 YK I 国際特許事務所
(65) 公開番号	特開2008-158222 (P2008-158222A)	(72) 発明者	村田 勉 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
(43) 公開日	平成20年7月10日(2008.7.10)	(72) 発明者	小川 隆司 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内
審査請求日	平成21年12月21日(2009.12.21)		最終頁に続く

(54) 【発明の名称】エレクトロルミネッセンス表示装置及び表示パネルの駆動装置

(57) 【特許請求の範囲】

【請求項 1】

エレクトロルミネッセンス表示装置であって、マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、ダイオード構造のエレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、

前記ばらつき検出部は、

検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、

前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出部と、

前記電流検出部で検出されたカソード電流に応じたデータを記憶するメモリ部と、を備え、

前記メモリ部は、前記電流検出部から供給されるカソード電流に応じたデータを記憶する揮発性の一次メモリと、前記一次メモリに記憶された前記データを装置電源オフ時に記憶しているための不揮発性の二次メモリと、装置電源投入時に前記二次メモリに記憶されている前記データを前記一次メモリに供給し、この前記データの一次メモリへの書き込みが終了した後は、前記電流検出部で検出されたカソード電流に応じたデータを前記一次メ

10

20

モリに供給するセレクタとを備え、

前記補正部は、前記メモリ部の前記一次メモリから読み出した前記データに応じ、前記映像信号に対する補正を画素毎に実行することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 2】

請求項 1 に記載のエレクトロルミネッセンス表示装置において、

前記補正部は、前記一次メモリから読み出した前記データに基づいて補正データ作成部が作成した前記素子駆動トランジスタの特性ばらつき量に応じた補正用のデータを利用して、前記映像信号に対する補正を画素毎に実行することを特徴とするエレクトロルミネッセンス表示装置。

10

【請求項 3】

請求項 1 に記載のエレクトロルミネッセンス表示装置において、

前記電流検出部から前記メモリ部に供給されるカソード電流に応じた前記データは、補正データ作成部が、前記電流検出部で検出されたカソード電流に基づいて作成した、前記素子駆動トランジスタの特性ばらつき量に応じた補正用のデータであることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 4】

請求項 1 ~ 請求項 3 のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

前記検査用信号発生部は、プランキング期間中、前記検査用信号として、検査用オン信号と、さらに前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ信号とを前記検査行の画素に対して供給し、

20

電流検出アンプは、前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、

前記メモリ部は、検出された前記オンカソード電流と前記オフカソード電流との電流差に応じたデータを記憶することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 5】

請求項 4 に記載のエレクトロルミネッセンス表示装置において、

前記プランキング期間は、水平プランキング期間であり、

30

所定の水平プランキング期間中に、前記検査行の画素についての前記オンカソード電流と前記オフカソード電流との電流差を順次検出し、前記メモリ部に順次記憶することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 6】

請求項 4 に記載のエレクトロルミネッセンス表示装置において、

前記プランキング期間は、垂直プランキング期間であり、

前記垂直プランキング期間中に、前記検査行の画素についての前記オンカソード電流と前記オフカソード電流との電流差を順次検出し、前記メモリ部に順次記憶することを特徴とするエレクトロルミネッセンス表示装置。

【請求項 7】

請求項 1 ~ 請求項 6 のいずれか一項に記載のエレクトロルミネッセンス表示装置において、

前記メモリ部では、データ退避制御部により、前記一次メモリに記憶されている前記データを、所定タイミングで、前記二次メモリに退避させることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 8】

エレクトロルミネッセンス表示パネルの駆動装置であって、

マトリクス配置された複数の画素のそれぞれが、ダイオード構造のエレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備える表示部における

40

50

エレクトロルミネッセンス表示パネルに対し、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、

表示ばらつきを補正するための補正部と、を備え、

前記ばらつき検出部は、

検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、

前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出部と、

前記電流検出部から供給されるカソード電流に応じたデータを記憶する揮発性の一次メモリと、前記一次メモリに記憶された前記データを装置電源オフ時に記憶する不揮発性の二次メモリから読み出したデータを、前記一次メモリに供給し、この前記データの一次メモリへの書き込みが終了した後は、前記電流検出部で検出されたカソード電流に応じたデータを前記一次メモリに供給するセレクタと、を備え、10

前記補正部は、前記一次メモリから読み出した前記データに応じ、前記映像信号に対する補正を画素毎に実行することを特徴とするエレクトロルミネッセンス表示パネルの駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

エレクトロルミネッセンス素子を各画素に有する表示装置、特にその表示ばらつきの補正に関する。20

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス素子（以下EL素子という）を各画素の表示素子に採用したEL表示装置は、次世代の平面表示装置として期待され、研究開発が行われている。

【0003】

このようなEL表示装置は、ガラスやプラスチックなどの基板上にEL素子及びこのEL素子を画素毎に駆動するための薄膜トランジスタ（TFT）などを形成したELパネルを作成した後、幾度かの検査を経て製品として出荷されることとなる。30

【0004】

各画素にTFTを備える現在のアクティブマトリクス型EL表示装置において、このTFTに起因した表示ムラ、特にTFTのしきい値Vthのばらつきに起因してEL素子の輝度ばらつきが生じ、歩留まり低下の大きな要因となっている。このような製品の歩留まりの向上は、非常に重要であり、素子設計、材料、製造方法等の改良によって表示欠陥や表示ムラ（表示ばらつき）を低減することが要求されると共に、下記特許文献1などにおいて表示ムラなどが発生した場合にはこれを補正することにより良品パネルとする試みがなされている。

【0005】

特許文献1では、ELパネルを発光させてその輝度のばらつきを測定し、画素に供給するデータ信号（映像信号）を補正している。また、他の方法として、各画素に、EL素子に流す電流を制御する素子駆動トランジスタのVthのばらつきを補正する回路を組み込むことが提案されている。40

【0006】

【特許文献1】特開2005-316408号

【発明の開示】

【発明が解決しようとする課題】

【0007】

特許文献1のようにELパネルを発光させ、これをカメラで撮像して輝度ばらつきを測定する方法は、出荷後においては実行することができず、パネルの経時変化などに対応し50

た補正を実行することは不可能である。また、ELパネルが高精細化して画素数が増大すると、各画素毎にその輝度ばらつきを測定するには測定及び補正対象が多く、カメラの高解像度化、補正情報の格納部の容量拡大などが必要となる。

【0008】

また、Vth補償用の回路素子を画素に組み込まない場合であっても、TFTのVthのばらつきに起因した表示ムラを補正したいという要求は非常に強く、特に、このような補正を常時実行することが望まれる。

【0009】

本発明は、装置出荷後において、リアルタイムで正確にかつ効率的にEL表示装置の表示ばらつきを測定し、その表示ばらつきの補正を可能とする目的とする。

10

【課題を解決するための手段】

【0010】

本発明は、エレクトロルミネッセンス表示装置であって、マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、ダイオード構造のエレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出部と、前記電流検出部で検出されたカソード電流に応じたデータを記憶するメモリ部と、を備え、前記メモリ部は、前記電流検出部から供給されるカソード電流に応じたデータを記憶する揮発性の一次メモリと、前記一次メモリに記憶された前記データを装置電源オフ時に記憶しているための不揮発性の二次メモリと、装置電源投入時に前記二次メモリに記憶されている前記データを前記一次メモリに供給し、この前記データの一次メモリへの書き込みが終了した後は、前記電流検出部で検出されたカソード電流に応じたデータを前記一次メモリに供給するセレクタとを備え、前記補正部は、前記メモリ部の前記一次メモリから読み出した前記データに応じ、前記映像信号に対する補正を画素毎に実行する。

20

【0011】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記補正部は、前記一次メモリから読み出した前記データに基づいて補正データ作成部が作成した前記素子駆動トランジスタの特性ばらつき量に応じた補正用のデータを利用して、前記映像信号に対する補正を画素毎に実行する。

30

【0012】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記電流検出部から前記メモリ部に供給されるカソード電流に応じた前記データは、補正データ作成部が、前記電流検出部で検出されたカソード電流に基づいて作成した、前記素子駆動トランジスタの特性ばらつき量に応じた補正用のデータである。

40

【0013】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記検査用信号発生部は、プランギング期間中、前記検査用信号として、検査用オン信号と、さらに前記エレクトロルミネッセンス素子を非発光レベルとする検査用オフ信号とを前記検査行の画素に対して供給し、電流検出アンプは、前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、前記メモリ部は、検出された前記オンカソード電流と前記オフカソード電流との電流差に応じたデータを記憶する。

【0014】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記メモリ部では、データ退避制御部により、前記一次メモリに記憶されている前記データを、所定

50

タイミングで、前記二次メモリに退避させる。

【0015】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記プランキング期間は、水平プランキング期間であり、所定の水平プランキング期間中に、前記検査行の画素についての前記オンカソード電流と前記オフカソード電流との電流差を順次検出し、前記メモリ部に順次記憶する。

【0016】

本発明の他の態様では、上記エレクトロルミネッセンス表示装置において、前記プランキング期間は、垂直プランキング期間であり、前記垂直プランキング期間中に、前記検査行の画素についての前記オンカソード電流と前記オフカソード電流との電流差を順次検出し、前記メモリ部に順次記憶する。 10

【0017】

本発明の他の態様では、エレクトロルミネッセンス表示パネルの駆動装置であって、マトリクス配置された複数の画素のそれぞれが、ダイオード構造のエレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備える表示部におけるエレクトロルミネッセンス表示パネルに対し、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出する電流検出部と、前記電流検出部から供給されるカソード電流に応じたデータを記憶する揮発性の一次メモリと、前記一次メモリに記憶された前記データを装置電源オフ時に記憶する不揮発性の二次メモリから読み出したデータを、前記一次メモリに供給し、この前記データの一次メモリへの書き込みが終了した後は、前記電流検出部で検出されたカソード電流に応じたデータを前記一次メモリに供給するセレクタと、を備え、前記補正部は、前記一次メモリから読み出した前記データに応じ、前記映像信号に対する補正を画素毎に実行する。 20

【発明の効果】

30

【0018】

本発明では、映像信号に応じて表示を行っている際の所定タイミングで検査用信号を検査行の画素に供給し、その際に生ずるEL素子のカソード電流を検出し、検出されたカソード電流検出データをメモリ部に記憶し、補正部がメモリ部から読み出したデータに応じて補正を実行する。このメモリ部に、揮発性の一次メモリと、不揮発性の二次メモリを採用し、一次メモリに記憶されたカソード電流検出データを所定タイミング毎に二次メモリに退避させる。これにより表示装置電源オフ時に一次メモリの記憶データが消えてしまうが、装置電源投入時に二次メモリに記憶されているカソード電流検出データを用いて補正をすることができる。したがって、装置電源投入直後から各画素でのばらつきを補正して品質の高い表示を実行することができる。 40

【0019】

例えば、上記カソード電流の検出を、映像信号の水平プランキング期間や、垂直プランキング期間に実行すれば、通常表示をしながら各画素のばらつきを検出して補正することができる。また、電源投入後に、測定した全画素についてのカソード電流検出データが揃うのに時間がかかったとしても、新しいデータが得られるまでは、二次メモリに予め退避させておいたカソード電流検出データを用いて補正を行うことが可能であるから、電源投入時の画素の特性ばらつきによる表示ムラが観察されることが防止される。

【0020】

また、カソード電流の検出及びデータ補正を常時実行するので、表示装置の出荷後に、後発的な表示ばらつき（表示ムラ）が発生しても、リアルタイムでこれを補正することが 50

できる。

【0021】

また、測定対象が発光輝度ではなくカソード電流であるため簡易な構成で測定することが可能である。さらに、EL素子をオンオフさせてその時のオンオフ電流値を測定すれば、オフ電流を基準として正確にオン電流を知ることができ、正確で高速な測定及び補正処理が容易となる。

【発明を実施するための最良の形態】

【0022】

以下、図面を用いてこの発明の最良の実施の形態（以下、実施形態という）について説明する。

10

【0023】

【検出原理】

本実施形態において、表示装置は、具体的にはアクティブマトリクス型の有機EL表示装置であり、複数の画素を備える表示部がELパネル100に形成されている。図1は、この実施形態に係るアクティブマトリクス型EL表示装置の等価回路の一例を示す図である。ELパネル100の表示部には、マトリクス状に複数の画素が配置され、マトリクスの水平(H)走査方向(行方向)には、順次選択信号が出力される選択ライン(ゲートラインGL)10が形成されており、垂直(V)走査方向(列方向)には、データ信号(Vsig)が出力されるデータライン12(DL)と、被駆動素子である有機EL素子(以下、単に「EL素子」という)18に、駆動電源PVDDを供給するための電源ライン16(VL)が形成されている。

20

【0024】

各画素は、概ねこれらのラインによって区画される領域に設けられており、各画素は、被駆動素子としてEL素子18を備え、また、nチャネルの TFTより構成された選択トランジスタTr1(以下、「選択Tr1」)、保持容量Cs、pチャネルの TFTより構成された素子駆動トランジスタTr2(以下、「素子駆動Tr2」)が設けられている。

【0025】

選択Tr1は、そのドレインが垂直走査方向に並ぶ各画素にデータ電圧(Vsig)を供給するデータライン12に接続され、ゲートが1水平走査ライン上に並ぶ画素を選択するためのゲートライン10に接続され、そのソースは素子駆動Tr2のゲートに接続されている。

30

【0026】

また、素子駆動Tr2のソースは電源ライン16に接続され、ドレインはEL素子18のアノードに接続されている。EL素子のカソードは各画素共通で形成され、カソード電源CVに接続されている。

【0027】

EL素子18は、ダイオード構造で下部電極と上部電極の間に発光素子層を備える。発光素子層は、例えば少なくとも有機発光材料を含む発光層を備え、発光素子層に用いる材料特性などにより、単層構造や、2層、3層あるいは4層以上の多層構造を採用することができる。本実施形態では、下部電極が画素毎に個別形状にパターニングされ上記アノードとして機能し、素子駆動Tr2に接続されている。また、上部電極が複数の画素に共通でカソードとして機能する。

40

【0028】

画素毎に上記のような回路構成を備えるアクティブマトリクス型EL表示装置において、素子駆動Tr2の動作しきい値Vthがばらつくと、同一のデータ信号を各画素に供給しても、EL素子には駆動電源PVDDから同一の電流が供給されず、これが輝度ばらつき(表示ばらつき)の原因となる。

【0029】

図2は、素子駆動Tr2の特性ばらつき(電流供給特性のばらつき、例えば、動作しきい値Vthのばらつき)が生じた場合の画素の等価回路と、素子駆動Tr2及びEL素子

50

の V_{ds} - I_{ds} 特性とを示している。素子駆動 $T_r 2$ の動作しきい値 V_{th} がばらついた場合、回路的には、図 2 (b) に示すように、素子駆動 $T_r 2$ のドレイン側に正常よりも大きな抵抗又は小さな抵抗が接続されたことと見なすことができる。よって、EL 素子が流す電流（本実施形態では、カソード電流 I_{cv} ）特性は、正常画素と変わらないが、実際に EL 素子に流れる電流は素子駆動 $T_r 2$ の特性ばらつきに応じて変化することとなる。

【0030】

素子駆動 $T_r 2$ への印加電圧が $V_{gs} - V_{th} < V_{ds}$ を満たす場合、素子駆動 $T_r 2$ は飽和領域で動作する。素子駆動 $T_r 2$ の動作しきい値 V_{th} が正常画素より高い画素においては、図 2 (a) に示すように、該トランジスタのドレンソース間電流 I_{ds} が、正常のトランジスタよりも小さくなり、EL 素子への供給電流量、つまり、EL 素子の流す電流は、正常画素よりも小さく（I 大）、その結果、この画素の発光輝度は、正常画素の発光輝度よりも低くなり、表示ばらつきとなる。10

【0031】

逆に、素子駆動 $T_r 2$ の動作しきい値 V_{th} が正常画素より低い画素においては、該トランジスタのドレンソース間電流 I_{ds} が、正常のトランジスタよりも大きくなり、EL 素子の流す電流は、正常画素より多くなり、発光輝度は高くなる。

【0032】

なお、素子駆動 $T_r 2$ への印加電圧が、 $V_{gs} - V_{th} > V_{ds}$ を満たす場合、この素子駆動 $T_r 2$ は線形領域で動作し、この線形領域では、しきい値 V_{th} が高い素子駆動 $T_r 2$ と低い素子駆動 $T_r 2$ とで、 V_{ds} - I_{ds} 特性の差が小さいため、EL 素子への供給電流量の差（I）も小さい。このため、EL 素子は、素子駆動 $T_r 2$ の特性ばらつきの有無によらず、概ね同様の発光輝度を示し、線形領域においては特性ばらつきに起因した表示ばらつきを検出することは難しいが、上記のように、素子駆動 $T_r 2$ を飽和領域で動作させることで、この素子駆動 $T_r 2$ の特性ばらつきに起因した表示ばらつきを検出することができる。20

【0033】

また、検出した電流値に基づいて、各画素に供給するデータ信号を補正することで、確実に表示ばらつきを補正できる。例えば素子駆動 $T_r 2$ のしきい値の絶対値 $|V_{th}|$ が正常より低い場合、基準のデータ信号を供給したときの EL 素子の発光輝度は通常より高くなる。したがって、この場合、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を小さくすることにより輝度ばらつきを補正することができる。素子駆動 $T_r 2$ のしきい値の絶対値 $|V_{th}|$ が正常より高い場合には、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を大きくすることにより輝度ばらつきを補正することができる。30

【0034】

なお、以上の画素回路では、素子駆動トランジスタとして、p チャネルの TFT を採用したが、n チャネルの TFT を用いてもよい。さらに、以上の画素回路では、1 画素について、トランジスタとして、選択トランジスタと駆動トランジスタの 2 つのトランジスタを備える構成を採用した例を説明したが、トランジスタが 2 つのタイプ及び上記回路構成には限られない。40

【0035】

本実施形態では、以上のように各画素の素子駆動 T_r の特性ばらつきに起因した EL 素子の輝度ばらつきを EL 素子のカソード電流から検出し、これを補正する。そして、この電流検出（ばらつき検出）及び補正を、表示装置の通常動作時において、映像信号の 1 ブランкиング期間中に実行する。

【0036】

また、本実施形態では、検出したカソード電流検出データは、メモリの高速動作の可能な一次メモリに記憶するが、予め一次メモリのデータを不揮発性の二次メモリに退避させておく。これにより、装置電源をオフして一次メモリでの検出データが消去されてしまっ50

ても、電源を新たに投入した際には、不揮発性の二次メモリから記憶していた検出データを読み出し、これを用いることで、電源投入直後から補正を行うことを可能とする。

【0037】

カソード電流の検出処理は、映像信号の1プランキング期間中において、表示部の所定の1行を検査行として選択し、対応する画素に検査用信号を供給し、その画素のEL素子のカソード電極からカソード端子に流れ出るカソード電流 I_{cv} を検出する。プランキング期間は、垂直プランキング期間又は水平プランキング期間である。駆動方式としては、詳しくは後述するが、以下のような方式が採用可能である。

【0038】

(駆動方式1) カソード電極が全画素共通の共通電極で、水平プランキング期間中にカソード電流検出を実行する場合

y 行 \times 列マトリクスのELパネル100に対し、1水平プランキング期間に所定の1検査行(n 行目)を選択し、かつ所定の1列(k 列目)の画素に検査用信号を供給してそのときのカソード電流を検出する。この作業を順次選択行を変更して繰り返すことで1フレーム(1垂直(V)走査)期間で k 列目の全画素についてのカソード電流検出を実行することができる。この処理を全列に対して実行することで、ELパネル100の全画素に対する検出処理が完了する。ELパネル100がVGA型のサイズである場合、480行 \times 640列の画素が存在し、上記方式では、1フレーム60Hzで、合計約10.7秒(=1/60秒 \times 640列)で全画素についてのカソード電流検出が実行できる。

【0039】

(駆動方式2) カソード電極が全画素共通で、垂直プランキング期間中にカソード電流検出を実行した場合

1垂直プランキング期間中、所定の1検査行(n 行目)に属する全画素に、順次、検査用信号を供給し、そのときのカソード電流を検出する。この手順を垂直プランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒 \times 480行)で全画素についてのカソード電流検出が実行できる。

【0040】

(駆動方式3) カソード電極が列毎に分割され、垂直プランキング期間中にカソード電流の検出を実行した場合

1垂直プランキング期間中に所定の1検査行(n 行目)の全画素に、それぞれ検査用信号を供給し、各列におけるカソード電流を検出する。この手順を垂直プランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒 \times 480行)で全画素についてのカソード電流検出が実行できる。

【0041】

なお、ドライバ部分の駆動能力(駆動速度)が十分であれば、水平プランキング期間中に所定の1行に属する全画素に対して検査用信号を供給し、各列のカソード電極からその電流を検出することも可能である。この場合には、1フレーム期間で全画素についてのカソード電流を測定することができる。

【0042】

[装置構成例]

次に、本実施形態に係るばらつき補正機能を備えたエレクトロルミネッセンス表示装置の構成例について図3及び図4を参照して説明する。図3は、エレクトロルミネッセンス表示装置の全体的な構成の一例を示している。この表示装置は、上述のような画素を備える表示部が形成されたELパネル100と、表示部での表示及び動作を制御する駆動部200を備え、駆動部200は、概略して、表示制御部210と、ばらつき検出部300を備える。

【0043】

また、表示制御部210は、信号処理部230、ばらつき補正部250、タイミング信

10

20

30

40

50

号作成(T / C)部 240、ドライバ 220 等を有する。

【0044】

信号処理部 230 は、外部からのカラー映像信号を E L パネル 100 における表示に適した表示データ信号を作成し、タイミング信号作成部 240 は、外部から供給されるドットクロック(DOTCLK)、同期信号(Hsync, Vsync)などに基づいて、H 方向、V 方向のクロック CKH、CKV、水平、垂直スタート信号 STH、STV 等、表示部で必要な各種タイミング信号を作成する。ばらつき補正部 250 は、ばらつき検出部 300 から供給される補正データを利用して映像信号を駆動対象である E L パネルの特性に合わせて補正する。

【0045】

ドライバ 220 は、タイミング信号作成部 240 から得られる各種タイミング信号に基づいて E L パネル 100 を H 方向、V 方向に駆動する信号を作成して画素に供給すると共に、ばらつき補正部 250 から供給される補正後の映像信号を対応する各画素にデータ信号(Vsig)として供給する。なお、ドライバ 220 は、図 1 に例示するように表示部の H(行)方向の駆動を制御する H ドライバ 220H 及び V(列)方向の駆動を制御する V ドライバ 220V を備える。図 1 に示すように、この H ドライバ 220H 及び V ドライバ 220V は、E L パネル 100 の表示領域の周辺に、図 1 の画素回路と同様にパネル基板上に内蔵させることもできるし、E L パネル 100 とは別に図 3 の駆動部 200 と一緒に又は別の集積回路(I C)によって構成することも可能である。

【0046】

ばらつき検出部 300 は、E L パネル 100 の通常使用環境下におけるプランギング期間に表示ばらつきを検出して補正值を得るための動作をしており、図 3 の例では、ばらつき検査を制御する検査制御部 310、検査用信号を発生し E L パネルの検査行の画素に供給するための検査用信号発生回路 320、上記検査用信号を供給した際にカソード電極から得られるカソード電流を検出するカソード電流検出部 330、カソード電流検出結果を記憶するメモリ 340、検出されたカソード電流に基づいて補正データを作成する補正データ作成部 350 等を備える。また、検査時において、検査行の画素を選択し、検査するために必要な選択信号の作成や、後述するような所定ラインの電位制御のための制御信号発生回路は、ドライバ 220 内に組み込んで検査制御部 310 の制御に応じて実行させることができる。なお、この構成は、専用の検査用の制御信号発生回路によって実行しても良いし、検査制御部 310 が実行しても良い。

【0047】

図 4 は、図 3 の駆動部 200 のより具体的な構成の一部を示す。カソード電流検出部 330 は、電流検出アンプ 332 とアナログデジタル(A D)変換部 334 を有する。電流検出アンプ 332 は、図 4 の例では、アンプの出力と電流入力側との間に抵抗 R を備え、E L パネルのカソード電極端子 Tcv から得られるカソード電流 Icv を、このカソード電流 Icv が抵抗 R に流れて生ずる電圧 [IR] と基準電圧 Vref とに基づき、[Vref + IR] で表される電流検出データ(電圧データ)として得る。A D 変換部 334 は、電流検出アンプ 332 で得られた電流検出データを所定ビット数のデジタル信号に変換する。

【0048】

この検出データは、メモリ 340 に供給されて記憶される。ここで、上記 A D 変換部 334 は、カソード電流の検出については必須の構成ではないが、メモリ 340 において検出データをデジタル信号に変換することにより、この検出データのメモリ 340 への書き込みと、この検出データを利用した補正データの作成を迅速に実行することを可能とする。

【0049】

検査用信号としては、E L 素子の発光を発光レベルとする検査用オン表示信号を供給することで、原理的に素子駆動 Tr2 のしきい値ばらつきに応じた表示ムラを検出することができる。しかし、後述するように、検査用信号として、上記検査用オン表示信号と、さらに E L 素子を非発光レベルとする検査用オフ表示信号とを検査行の画素に対して供給し

10

20

30

40

50

、検査用オン表示信号の印加時のオンカソード電流及び前記検査用オフ表示信号印加時のオフカソード電流を検出し、その差 I_{cV} を求ることで、検査の高速化及び検査の高精度化を図ることが可能となる。これは、オフカソード電流 $I_{cV_{off}}$ を測定し、この $I_{cV_{off}}$ を基準としてオン表示信号の時のオンカソード電流 $I_{cV_{on}}$ を相対的に把握できるため、オンカソード電流 $I_{cV_{on}}$ の絶対値を正確に判断する必要や、別途基準となるオフカソード電流 $I_{cV_{off}}$ を測定する必要がないからである。つまり、オンカソード電流とオフカソード電流との差分（カソード電流差）を用いることで、上記電流検出アンプ332の特性ばらつきなどの影響をこのカソード電流差からキャンセルすることができ、また、オンカソード電流値の絶対値を判定するための基準値を必要としないためである。具体的には、 $V_{ref} + I_{cV_{on}} * R$ と、 $V_{ref} + I_{cV_{off}} * R$ をそれぞれ読み取り、A/D変換部334でデジタル変換し、メモリ部340に供給する前に、引き算部を設けて両データを引き算することで、最終的に $(I_{cV_{on}} - I_{cV_{off}}) * R$ を求め、 $I_{cV} = I_{cV_{on}} - I_{cV_{off}}$ を得ることができる。

【0050】

メモリ340には、上記（駆動方式1）～（駆動方式3）に説明したように、例えば10秒程度で全画素についてのカソード電流検出データが蓄積され、メモリ340はこの全画素についてのカソード電流検出データを少なくとも次に全画素について新しいカソード電流検出データを得るまで格納しておく。

【0051】

このメモリ340は、揮発性の一次メモリ342と、不揮発性の二次メモリ344とを備える。また、一次メモリ342に供給するデータ（ I_{cV} データ）として、電流検出部330からリアルタイムで得られるデータとするか、二次メモリ344の記憶データとするかを選択するセレクタ346を備える。

【0052】

一次メモリ342としては、高速でのデータ書き込み及び読み出しが可能な揮発性メモリを用いる（例えばSRAM）。一方、二次メモリ344としては、装置電源がオフしてもデータ保持が可能であって、かつ書き換えの可能なEEPROM等の不揮発性メモリを用いる。ここで、メモリ部340の一次メモリ342及びセレクタ346は、駆動回路200を1つの集積回路に作り込む場合に、同一の集積回路上に作り込むことができる。二次メモリ344についても同一の集積回路上に作り込んでも良いが、この二次メモリ344は上記集積回路とは独立分離した集積回路によって構成される場合もある。

【0053】

このように一次メモリ342として高速メモリを採用することで、カソード電流検出データを記憶し、かつ、補正データ作成部350に対し、検出データを高速で供給することができる。しかし、SRAMのような高速メモリは、揮発性であり、装置電源がオフされるとデータは消えてしまう。一方、水平又は垂直プランギング期間中にカソード電流検出を実行する場合、全画素についてのカソード電流検出結果を得るには、上記駆動例で8～10秒程度を要する。したがって、電源投入から数十秒近くの間は、補正データ作成に必要なカソード電流検出データが一次メモリ342には存在せず、補正ができないこととなる。しかし、本実施形態では、二次メモリ344として、不揮発性のEEPROMなどを設け、セレクタ346の制御により、電源投入時には、この二次メモリ344に予め記憶しておいた各画素についてのカソード電流検出データを読み出し、これを一次メモリ342に供給する。このようにすることで、電源投入直後からリアルタイムで測定したカソード電流検出データが全て揃うまでの間ににおいて、二次メモリ344に記憶されていたカソード電流検出データを利用して補正をすることが可能となる。

【0054】

セレクタ346は、一次メモリ342に供給するカソード電流検出データとして、電源投入時には二次メモリ344の出力を選択し、一旦二次メモリ344のデータを一次メモリ342に書き込んだ後は、カソード電流検出部330からリアルタイムで供給されるカソード電流検出データを選択する。セレクタ346のこの切り替え制御は例えば図示しな

10

20

30

40

50

い機器の制御部（C P U）などからの切替制御信号や、図3に示す検査制御部310によって実行することができる。

【0055】

また、二次メモリ344に対しては、機器電源オフが命ぜられ、実際にオフする前に、一次メモリ342に記憶されているカソード電流検出データを書き込めばよい。パネル100の工場出荷時には、出荷前に、予め測定した各画素についてのカソード電流検出データの初期値を直接この二次メモリ344に書き込んでも良いし、出荷前に通常動作させ、これにより一次メモリ342に蓄えられたカソード電流検出データを一次メモリ342から二次メモリ344に移しても良い。

【0056】

ここで、EEPROMなどの不揮発性メモリは、SRAMほどの高速動作は難しいが、電源投入時、電源投入前に一次メモリ342との間でカソード電流検出データのやりとりをするには十分な動作速度がある。したがって、このような不揮発性メモリを二次メモリ344に採用することで、常に、カソード電流の検出に基づいた二次元表示ムラ補正済みのデータによって表示をすることが可能となる。

【0057】

一次メモリ342から、不揮発性の二次メモリ344へのカソード電流検出データの退避処理は、機器電源をオフする度に実行すれば確実である。しかし、二次メモリ344の書き換え可能回数に限界がある場合には（例えば現状のEEPROMでは10万回程度）、機器の寿命を考慮し、タイマーなどを利用したデータ退避制御部348の管理の下、例えば1日毎又は数日毎、或いは電源オフ回数が所定回数となる毎に、一次メモリ342に保持されているデータを書き込むことが好適である。なお、書き込みを電源オフ毎に実行しない場合であっても、一次メモリ342への電流検出データの出力は電源投入毎に実行する。

【0058】

ここで、図4において、カソード電流検出部330からの検出データ（ここでは I_{cv} ）は、セレクタ346と二次メモリ344の両方に供給されている。工場出荷後において、二次メモリ344にカソード電流検出部330からの検出データを直接供給する必要は特になく、この検出データの供給経路は省略することもできる。工場出荷前に、二次メモリ344に直接 I_{cv} を書き込む場合などこの供給経路を利用することができる。

【0059】

補正データ作成部350は、メモリ340内の一次メモリ342に蓄積された画素毎のカソード電流検出データを隨時読み出し、このデータに基づいて、映像信号に対し、各画素の素子駆動 T_r2 の特性ばらつきに起因した表示ばらつきを補正するための補正データを以下のようにして作成する。なお、画素毎に補正データを求める必要があることから、一次メモリ342からのカソード電流検出データの読み出しあは画素毎に行われ、高速であることが要求されるが、上記のように揮発性ではあるが高速応答のSRAMなどを採用しているので、その要求に十分対応することができる。

【0060】

次に、素子駆動 T_r2 のしきい値ずれに応じた補正データの作成について説明する。図5に示すように、EL素子を発光状態とする同一の検査用信号を印加した場合、測定対象の画素の素子駆動 T_r2 のしきい値 V_{th} が正常の素子駆動 T_r2 のしきい値 V_{th} よりも高圧側にシフトしている場合（図中の一点鎖線）、得られるカソード電流は、正常画素が I_{cva} であるのに対し、シフトした画素では I_{cvb} となる。

【0061】

そこで、補正データ作成部350は、図5に示すように、素子駆動 T_r2 の動作しきい値 V_{th} が正常なTFTよりもずれている場合、カソード電流検出データからその動作しきい値 V_{th} のずれを補償する補正データを求める。概念的には、この補正データにより、図5において点線で示す特性のように動作しきい値 V_{th} のずれ分に応じて各画素に供給するデータ信号の電圧をシフトさせることとなる。

10

20

30

40

50

【0062】

データ信号の電圧をシフトさせるための補正データの作成方法の一例を具体的に説明すると以下の通りである。まず、各画素の動作しきい値の基準からのずれは、下記式(1)によって求めることができる。

【0063】

【数1】

$$V(\Delta Icv) = V(\Delta Icvref) \times \left(\frac{Vsion - Vth(i)}{Vsion} \right)^{\gamma} \dots \quad (1)$$

10

式(1)において、 $Vth(i)$ 、 $V(Icv)$ 、 $Vsignon$ および γ は、以下のように定義される。

$Vth(i)$ ：検査対象画素の動作しきい値ずれ

$V(Icv)$ ：検査対象画素のオンオフカソード電流値（電圧データ）

$V(Icvref)$ ：基準オンオフカソード電流値（電圧データ）

$Vsignon$ ：検査用オン表示信号の階調レベル

γ ：表示パネルの発光効率特性（定数値）

【0064】

検査用オン表示信号の階調レベル [$Vsignon$] を、例えば 240 (0 ~ 255) に設定した場合、この階調レベル 240、検査対象画素のオンオフカソード電流値 [$V(Icv)$]、基準のオンオフカソード電流値 [$V(Icvref)$]、定数の発光効率特性に基づいて、上記式(1)から各画素の基準に対する動作しきい値ずれ $Vth(i)$ を求めることができる。例えば、A ~ E の画素について、以下のようにそれぞれ基準からのしきい値ずれ量 $Vth(i)$ が得られたとする。

20

【0065】

$Vth(A) = 0$

$Vth(B) = 13.4$

$Vth(C) = 17.0$

$Vth(D) = 3.2$

$Vth(E) = 20.7$

30

上記例では、画素 E のしきい値 Vth ずれが最大であり、各画素に同一階調レベルのデータ信号を供給すると、画素 E が表示部の中で最も低輝度で発光することとなる。一方で、各画素に供給できるデータ信号の最大値には限度がある。そこで、この $Vth(i)_{max}$ の画素 E を基準にデータ信号の最大値 $Vsignon_{max}$ を決定する。つまり、得られた各画素の $Vth(i)$ の中から、最大値 $Vth(i)_{max}$ を求め、この $Vth(i)_{max}$ に対する他の画素の Vth の差 $Vth(i)$ をそれぞれ得る。さらに、その画素に供給すべきデータ信号の最大値 $Vsignon(i)$ を、 $Vsignon_{max}$ から、得られた $Vth(i)$ を減算して [$Vsignon_{max} - Vth(i)$] を求め、後述する式(2)の補正值を反映した初期補正データ R S F T (init) としてばらつき補正部 250 に供給する。

40

【0066】

なお、以上のようにして補正データ作成部 350 で作成された各画素の補正データは、例えば図 3 に示す補正值記憶部 280 などに記憶しておくことができる。この補正データは、次に全画素分について補正データが揃うまで記憶しておくことが好適である。

【0067】

ばらつき補正部 250 は、新しい補正データが得られるまでは、この記憶されている補正データを用い、信号処理部 230 から供給される映像信号に対して、各画素毎にばらつき補正を実行する（2次元表示ムラ補正）。ばらつき補正部 250 での補正演算に必要なタイミングで（映像信号のタイミングに合わせて）、補正データ作成部 350 が補正データを作成し、ばらつき補正部 250 に供給しても良い。この場合、 $Vsignon(i)$ の

50

みを例えれば上記のように補正值記憶部 280 に記憶しておき、補正データ作成部 350 が一次メモリ 342 から必要な画素アドレスについてのカソード電流検出データ（デジタルデータ）を読み出し、そのデータと $V_{sig_{max}}(i)$ とを利用して補正データを作成し、これをばらつき補正部 250 にする。

【0068】

信号処理部 230 は、外部からのカラー映像信号を E L パネル 100 での表示に適した表示信号にするための信号処理回路であり、一例として図 4 に示すような構成を有する。シリアル・パラレル変換部 232 は、外部から供給される映像信号をパラレルデータに変換し、得られたパラレル映像信号は、マトリクス変換部 236 に供給される。マトリクス変換部 236 において、外部から供給される映像信号が YUV 形式の場合には、EL パネル 100 の表示する色調に応じたオフセット処理が行われる。なお、Y は輝度信号、U は輝度信号と青色成分の差、V は輝度信号と赤色成分の差であり、YUV 形式は、この 3 つの情報で色を表している。また、マトリクス変換部 236 は、パラレル映像信号をこの EL パネル 100 に適した形式への間引きなどの変換処理を行う。また、併せて、色空間補正、ブライト・コントラスト補正なども実行する。さらにガンマ値設定部 238 が、マトリクス変換部 236 からの映像信号に対し、EL パネル 100 に応じた 値の設定（ガンマ補正）を行い、ガンマ補正後の映像信号が上記ばらつき補正部 250 に供給される。

【0069】

ここで、ばらつき補正部 250 では、一例として下記式（2）

【数2】

$$R_{SFT}(0) = \frac{\frac{ADJ_SFT}{16} \times (512 - Rin) + Rin}{512} \times RSFT(init) \quad \dots \quad (2)$$

を用いて二次元表示ムラ補正を実行する。式（2）において、RSFT（init）は、補正データ作成部 350 において求められた補正值を反映した初期補正データである（工場出荷前に各画素についての補正データが存在する場合にはその補正データも反映した値である）。Rin は、信号処理部 230 から供給される入力映像信号で、ここでは、9 ビットデータであり、0 ~ 511 のいずれかの値を備える。ADJ_SFT は、補正值調整（重み付け）パラメータであり、R_SFT は、二次元表示ムラ補正後の表示データである。

【0070】

図 5 から理解できるように、素子駆動 Tr2 の動作しきい値 Vth にずれが生じた場合、この TFT の特性カーブの傾き は、正常な TFT の特性カーブの傾きとは異なる。したがって、図 6 に示したようにデータ信号を単純に Vth のずれ分だけシフトするのみでは、正確な階調表現をすることができない。そこで、ばらつき補正部 250 では、上記式（2）等を用いて、傾き 、つまり、上記式（2）の重み付けパラメータを考慮して実映像信号の値（輝度レベル）に応じて最適な補正を施し、正常な TFT 特性に合ったカソード電流が EL 素子に流れるように調整する。このような補正により、単純な Vth のシフト補正だけの場合に TFT 特性の傾きの違いに起因して生ずる低階調側の白うき（高階調側へのずれ）等を、確実に防止できる。

【0071】

以上のようにして二次元表示ムラ補正が施された映像信号は、デジタルアナログ（DA）変換部 260 に供給され、ここで各画素に供給するためのアナログデータ信号に変換される。このアナログデータ信号は、表示部の対応するデータライン 12 に出力すべきデータであり、パネル 100 に設けられたビデオ線に出力され、V ドライバ 220V の制御に従って対応するデータライン 12 に供給される。なお、ばらつき補正部 260 は、信号処理部 230 から供給されるデータ信号から消費電力を推測し、EL パネル 100 のピーク

10

20

30

40

50

電流を最適制御するための A C L 信号を発生し、 D A 変換部 2 6 0 に供給している。これにより、パネル 1 0 0 での過大な消費電流の発生が抑制される。

【 0 0 7 2 】

ここで、図 4 に示すように、アナログデジタル変換部 3 3 4 から出力されるカソード電流検出データは R , G , B それぞれについて 8 ビット（合計 24 ビット）とし、メモリ部 3 4 0 及び補正データ作成部 3 5 0 でも R , G , B それぞれ 8 ビットのデータを取り扱う。ばらつき補正部 2 5 0 において、順次信号処理回路 2 3 0 から供給される R , G , B の映像信号はそれぞれ 8 ビットであり、ばらつき補正部 2 5 0 は 8 ビット映像信号と 8 ビット補正データを用い、ばらつき補正部 2 5 0 において、 R , G , B 各 10 ビットの二次元表示ムラ補正済みの表示データを得ている。このようにばらつき補正部 2 5 0 で得る表示データのみビット数を多くすることで、上述のような二次元表示ムラ補正処理の精度の向上を図っている。10

【 0 0 7 3 】

[駆動方式]

次に、上記原理に基づくカソード電流の検査を実行する表示装置の駆動方法について説明する。以下の駆動方法では、検査行の画素に対し、検査用表示信号 V s i g として、検査用オン表示信号（ E L 発光）と検査用オフ表示信号（ E L 非発光）とを連続して印加する高速検査方式を採用した場合を例に説明する。なお、検査用のオン表示信号とオフ表示信号の順番は特に限定されないが、以下の例では、オフ、オンの順番としている。20

【 0 0 7 4 】

(駆動方式 1)

駆動方式 1 では、上述のようにカソード電極を全画素共通とし、水平プランキング期間中にカソード電流の検出を実行する。図 7 は、 y 行 × 列のマトリクスの E L パネル 1 0 0 を概念的に示し、図 8 は、駆動方式 1 におけるタイミングチャートを示している。

【 0 0 7 5 】

駆動方式 1 では、1 水平プランキング期間中に所定の 1 行の k 列の画素に検査用信号を供給し、1 フレーム期間かけて k 列について全行（ n 行）の画素の検査を行い、さらにこれを y 回繰り返すことで全画素についてのカソード電流の検出を行う。

【 0 0 7 6 】

水平スタート信号 S T H は、1 水平走査（ 1 H ）期間の開始を示しており、図 8 に示すように n 行目の S T H の立ち上がりから次行（ n + 1 ）目の S T H の立ち上がりまでが n 行目の 1 H 期間である。1 H 期間の最後には、水平（ H ）プランキング期間が設けられ、 n 行目の S T H の立ち上がりから H プランキング期間開始までの間には、通常通り n 行目の全画素が選択され、各画素に表示データ V s i g が書き込まれ、データに応じて E L 素子が発光して表示が行われる。なお、 E L 素子の発光は、基本的に、次のフレームで同じ画素に次フレームのデータ信号が書き込まれるまで維持される。30

【 0 0 7 7 】

本方式では、この n 行目の 1 H 期間の H プランキングにおいて、所定の 1 列（ k 列目）の画素に、データライン 1 2 から検査用信号（検査用オフ・オン表示信号） V s i g が供給される。40

【 0 0 7 8 】

検査用信号は上述のように対応する画素の素子駆動 T r 2 を飽和領域で動作させ、かつ E L 素子を非発光状態及び発光状態とするための所定の振幅の信号であり、カソード電極 C V からは図 8 のカソード電流 I c v に示されるような電流が得られ、カソード電流検出部 3 3 0 がこの電流がオンオフカソード電流差 I c v として読み取る。

【 0 0 7 9 】

本方式では、以上のようにして I c v を測定した後、測定対象画素についてこの画素に測定直前まで保持されていたデータ信号 V s i g を再度書き込む。これは、1 H プランキング期間に n 行目の k 列画素に対して検査用信号を書き込むことで、この画素への通常の書き込みデータ V s i g が失われるため、そのままでは、 n 行目の 1 H 期間の後、次の50

フレームでこの n 行 k 列目の画素に新たなデータ信号 V s i g が書き込まれるまでの表示ができなくなってしまうためである。

【 0 0 8 0 】

ここで、行毎に設けられている容量ライン 14 (S C) の電位は、本方式では、プランキング期間中におけるカソード電流検出を妨げないように、このキャッシング期間中、素子駆動 Tr 2 のゲートソース電圧 | V g - PVDD | が、その動作しきい値 | V th | を超えないように、つまり素子駆動 Tr 2 を自発的に動作しない非動作レベルとする第 1 電位に固定する。これにより、素子駆動 Tr 2 に接続された EL 素子 18 は非点灯で、カソード電流は発生しない。

【 0 0 8 1 】

図 1 のように、素子駆動 Tr 2 として p - c h 型 TFT が採用されている場合、上記第 1 電位は所定の H i g h レベル（例えば、PVDD と同レベル、又は、ゲートライン 10 の H i g h レベル）とする。

【 0 0 8 2 】

ここで、以上では、容量ライン 14 の第 1 電位について素子駆動 Tr 2 の「非動作レベル」と説明しているが、データライン 12 から選択 Tr 1 を介して検査用オン信号が素子駆動 Tr 2 のゲートに供給された際、この素子駆動 Tr 2 のゲートには保持容量 Cs が接続されているから、そのゲート電位 Vg は、検査用オン信号の電位と、上記容量ライン 14 [n] の第 1 電位によって固定された所定ゲート電位との電位差分だけ変動する。よって、検査用オン信号によって素子駆動 Tr 2 のゲート電位をそのソース電位 (PVDD) より十分低くするなるようにすると (Tr 2 が p - c h 型の場合) 、素子駆動 Tr 2 は検査用オン信号に応じて EL 素子に対応する電流を供給することができる。

【 0 0 8 3 】

容量ライン 14 のレベルは、H プランキング期間において、全行について同様に素子駆動 Tr 2 の非動作レベルとすることもできる。しかし、本方式では、検査行である n 行の容量ライン 14 [n] については、データ信号の再書き込み期間において、その電位を通常書き込み時と同じ第 2 電位（ここでは Low レベル：一例として GND ）に変更し、再書き込みをより確実に行っている。

【 0 0 8 4 】

また、後述する図 12 のように電源ライン 16 (PVDD) を行毎に形成し、行毎にその電位を制御可能な回路構成を採用した場合には、図 8 のように、検査対象である n 行目の電源ライン 16 [n] (PVDDn) について、対応する H プランキング期間中のデータ信号再書き込み期間中に所定の Low レベルに変更することも可能である。検査用信号の書き込み後、この行の PVDD 電位を Low レベルとすることで、データ信号再書き込み期間中に、データ信号の書き込みはするが、その EL 素子を非点灯とすることができ、検査の対象でない全画素は H プランキング期間中に非点灯であるのに、検査対象の画素（列）が発光し、検査対象でない画素よりも、その発光期間の分だけ明るく視認されることを防止することができる。

【 0 0 8 5 】

なお、容量ライン 14 と電源ライン 16 (PVDD) の電位を上記のように検査行について制御する場合において、少なくともデータ信号の再書き込み期間中には容量ライン 14 の電位を固定しておくことが好適である。容量ライン 14 の第 1 電位から通常の第 2 電位への変更タイミングは、再書き込み開始前とする。電源ラインの電位の変更は、上述の通り、通常電位から低電位へ変更することで検査用信号の供給による EL 素子の発光を停止させる効果を持つため、表示には無関係な発光期間を短縮する観点からは、やはり再書き込み開始前とすることが好適であるが、再書き込み開始後とすることもできる。

【 0 0 8 6 】

以上、駆動方式 1 によれば、既に説明したように、VGA パネルの場合に、11 秒弱で全画素についてのカソード電流 (Icv) を検出することができる。

【 0 0 8 7 】

10

20

30

40

50

(駆動方式 2)

図 9 は、駆動方式 2 に係るタイミングチャートを示している。駆動方式 2 では、上記図 7 に示すようにカソード電極が各画素共通で、1 垂直プランキング期間中に 1 検査行に属する全画素に対するカソード電流検出を実行する。

【 0 0 8 8 】

図 9において、垂直スタート信号 S T V は、1 垂直走査 (1 V) 期間の開始を示しており、n 回目の S T V の立ち上がりから n + 1 回目の S T V の立ち上がりまでが n フレーム目の 1 V 期間である。1 V 期間の最後には、垂直 (V) プランキング期間が設けられている。

【 0 0 8 9 】

S T V の立ち上がりから V プランキング開始までの間には、通常通り y 行 × 列のパネルの全画素が選択され、各画素に表示データ信号 V s i g が書き込まれ、そのデータ信号に応じて E L 素子が発光して表示が行われる。

【 0 0 9 0 】

本方式 2 では、1 V プランキング期間の開始から n 行目の全画素を選択し、n 行目の全画素 (1 列目 ~ x 列目) に対し、データライン 1 2 から、順次、検査用信号 (オンオフ表示信号) V s i g を供給し、各列選択期間 (該当列への検査用信号供給期間) におけるカソード電流検出結果 (I c v) を順次得る。全列についての検査用信号の書き込みが終了すると、プランキング期間の終了までの間に、n 行目の全列画素に対し、検査前まで各画素に書き込まれていた表示データ信号を再書き込みする。なお、データライン 1 2 が列毎に設けられているので、データ信号再書き込みについては、n 行目の全列の画素に対し、同時にそれぞれ表示データ信号を書き込むことが可能である。

【 0 0 9 1 】

また、V プランキング期間には、上記方式 1 の H プランキング期間と同様、全行の容量ライン 1 4 を素子駆動 T r 2 の非動作電位に相当する第 1 電位とし、検査行の容量ライン 1 4 [n] についてのみ、検査プランキング期間の再書き込み期間には、書き込みを容易とするため、第 2 電位とすることが好適である。

【 0 0 9 2 】

また、方式 1 と同様に、電源ライン 1 6 (P V D D) を行毎に設けた場合には、図 9 に例示するように検査行の電源ライン P V D D n について、データ信号の再書き込み期間中のみ所定の L o w レベルに変更する制御をしても良い。検査用信号の書き込み後、検査行 n の電源ライン P V D D n の電位を L o w レベルとすることで、検査用信号の供給による E L 素子の瞬間的な発光期間をより短時間に抑えることができるからである。

【 0 0 9 3 】

以上の駆動方式 2 によれば、既に説明したように、V G A パネルの場合に、約 8 秒で全画素についてのカソード電流 (I c v) を検出することができる。

【 0 0 9 4 】

(駆動方式 3)

次に、図 1 0 及び図 1 1 を参照して駆動方式 3 について説明する。本方式では、図 1 0 に示すパネル構成例のように、カソード電極を列毎に分割しており、カソード電極ライン C V L が C V L [1] ~ C V L [x] だけ設けられている。また、カソード電流の検出は、図 1 1 に示すように、n 回目の 1 垂直走査期間の 1 V プランキング期間に、1 検査行 (n 行目) を選択し、この n 行目の全画素 (1 列目 ~ x 列目の画素) について、上記列毎のカソード電極ライン C V L を利用して、同時にそれぞれのカソード電流 (I c v) を検出する。

【 0 0 9 5 】

また、検査用信号書き込み期間の終了後、上記駆動方式 2 と同様に、対応する V プランキング期間の終了までの間に、n 行目の全画素に対し、それぞれ検査用信号が供給される前に書き込まれていた表示データ信号の書き込みを行う。

【 0 0 9 6 】

10

20

30

40

50

また、上記方式 2 と同様に、容量ライン 14 の電位制御、及び、電源ライン 16 (P V D D) を行毎に設けた場合の電源電位制御については、これを実行することが好適である。つまり、容量ライン 14 については、V ブランкиング期間中は第 1 電位 (素子駆動 Tr 2 の非動作電位) とし、検査行の容量ライン 14 [n] のみ、その検査時の V ブランкиング期間のデータ信号再書き込み時に第 2 電位とする。電源ラインについては、検査行の電源ライン P V D D n についてのみ、上記データ信号再書き込み期間中に所定 Low レベルとして検査用信号の供給による E L 素子の発光を停止させる。また、容量ライン 14 [n] と電源ライン P V D D n の電位変化タイミング、特に容量ライン 14 [n] の電位変化は、データ信号再書き込み期間中には行わないようとする。

【 0097 】

10

以上の駆動方式 3 によれば、1 V 期間に 1 行分のカソード電流検出が実行でき、上述のように約 8 秒間で全画素についてのカソード電流検出を実行することができる。なお、本方式では、カソード電極を列毎に分割しているため、駆動方式 2 と異なり、1 列当たりの検査期間は、データ信号再書き込み期間以外を全て用いることができ、各データライン 12 に検査用信号を出力するための駆動回路の負荷や、電力消費を削減することができる。

【 0098 】

ここで、本方式で分割したカソード電極ライン C V L [1] ~ C V L [x] は、図 10 に示すように、それぞれ個別に、COG (Chip On Glass) 方式でパネル基板上に搭載された集積化駆動回路 (駆動部) 200 に接続されている。この駆動部 200 では、例えば、図 4 に示したような電流検出アンプ 332 を、各カソード電極ライン C V L [1] ~ C V L [x] に 1 対 1 で設けることにより、全カソード電極ライン (全列) について同時に、カソード電流を検出することができる。

20

【 0099 】

また、1 つの電流検出アンプ 332 を複数ライン (例えば 10 ライン) に対応付けることにより、電流検出アンプ数の削減を図ることもでき、アンプ数を削減することで、駆動部の面積削減に貢献することが可能となる。このように複数電源ライン毎に 1 つの電流検出アンプ 332 を設けた場合、1 アンプに対応付けた電源ライン数 (例えば 10) だけ、1 行に対する画素のカソード電流検出処理を繰り返すことで、図 11 の動作を実行する駆動部と同じドライバ構成により検査を実行することができる。

【 0100 】

30

もちろん、1 V ブランкиング期間の検出信号書き込み期間を、1 アンプに対する電源ライン数に応じて分割し、1 アンプで、対応付けた各電源ライン C V L からのカソード電流を順次検出することで、図 11 と同様の期間で全画素についてのカソード電流検出を実行することができる。

【 0101 】

なお、図 10 の駆動部 200 は、カソード電極ライン C V L からのカソード電極の個別検出を行うだけではなく、上述の図 3 及び図 4 に示したような機能を備えており、表示部の駆動、ばらつき検出、ばらつき補正等を実行する。さらに、図 10 には示していないが、図 3 に示す駆動部 200 内のドライバ 220 については、その機能の一部又は全てを、この COG とは別に、H ドライバ、V ドライバとして、表示部の画素回路と同様にパネル基板上に内蔵形成することも可能である。

40

【 0102 】

さらに、既に説明したが、このようなカソード電極ラインを列毎に設ける駆動方式 3 は、1 水平走査期間内の水平ブランкиング期間内にカソード電流検出を実行する方法に採用することも可能である。

【 0103 】

図 12 は、上記駆動方式 3 を実現可能な画素回路の概略回路構成図を示している。図 1 に示す回路構成と相違する点は、電源ライン 16 (P V D D) が、列方向ではなく行方向に、行毎に設けられていること、カソード電極ライン C V L が列毎に設けられていることである。なお、カソード電極ライン C V L は、E L パネル 100 において、カソード電極

50

が上部電極、アノード電極が下部電極として構成されている場合には、EL層の上に形成するカソード電極を、列毎に分離した形状に形成することで実現することができる。なお、駆動方式1及び2においても、説明したように電源ライン16(PVDD)の電位を行毎に制御する場合には、図12のように電源ライン16を行方向に形成する。

【0104】

[検査用制御信号発生回路]

図13は、上述の駆動方式3において、カソード電流検査時に、行方向に設けられる各ライン(ゲートライン10、容量ライン14、電源ライン16)を制御するための検査用の制御信号発生回路222を示しており、この回路222は、例えばVドライバ220V等に内蔵することが可能である。また、図14は、図13に示す回路の動作を説明するタイミングチャートである。10

【0105】

検査用制御信号発生のためのシフトレジスタ30は表示部の行数に応じたレジスタFSRを備え、このレジスタFSRには、垂直スタート信号STV、ドットクロック信号などから図示しない回路構成によって作成したフレームスタート信号STF及びフレームクロック信号CKFが供給される。フレームスタート信号STFは、各行の検査開始タイミングを決める信号であり、駆動方式3のように、1Vのブランкиング期間に1行のみ選択して検査する場合、パネルの行数(y)フレーム周期で立ち上がる。またフレームクロック信号CKFは、フレームの2倍周期の信号である。

【0106】

カソード電流検出のシフトレジスタ30は、フレームクロック信号SKFに応じてフレームスタート信号STFを順次次段のレジスタFSRに転送し、各レジスタFSR1、FSR2・・・は、対応する行毎の制御信号作成部40[1]、40[2]、・・・40[y]に対し、レジスタ出力FSRP1、FSP2、・・・を出力する。20

【0107】

以下、信号作成論理部40の構成及び動作について、信号作成論理部40-1を例に説明する。まず、アンドゲート42[1]には、自段のレジスタFSR1出力と次段のレジスタFSR2の出力が供給され、その論理積FSP1をアンドゲート44[1]の第1入力端子に供給する。このアンドゲート44[1]の第2入力端子には、Vブランキング期間のデータ信号再書き込み期間を示す再書き込み制御信号RW Pが供給されており、この再書き込み制御信号RW Pは、上記再書き込み期間のみHighレベルとなる。よって、アンドゲート44[1]は、再書き込み制御信号RW PがHighの期間にアンドゲート42[1]からHighレベルの論理積FSP1が出力されると、再書き込み行を選択するための再書き込み用選択信号RW 1を発生する。30

【0108】

この再書き込み用選択信号RW 1は、オアゲート48[1]の第1入力端子に供給される。オアゲート48[1]の第2入力端子には、通常動作時等に順次ゲートライン10に出力される選択信号が供給されており、この選択信号と、カソード電流検出時において検査行に出力される再書き込み用選択信号RW 1との論理和を求め、対応するゲートライン10に選択信号(GL1又はRW 1)を出力する。なお、検査用信号(検査用オンオフ信号)Vsigの出力時においては、検査行のゲートライン10に対して選択信号が出力される。よって、例えば1行目が検査行の場合、検査用信号書き込み時にはオアゲート48[1]からHighレベルのGL1が出力され、かつ再書き込み期間には、HighレベルのRW 1が出力される。40

【0109】

アンドゲート44[1]の出力RW 1は、インバータを介してアンドゲート46[1]の第1入力端子に供給されている。このアンドゲート46[1]は、その第2入力端子には、アンドゲート42[1]の出力FSP1が供給され、第3入力端子にはフレームイネーブル信号FENBの反転信号(容量ライン信号SCに等しい)が供給されている。よって、アンドゲート46[1]は、容量ライン信号がHighレベルで、検査行となった場50

合には、検出用信号書き込み時間のみ H i g h レベル（第 1 電位）となる容量ライン信号 S C 1 を発生し、容量ライン 1 4 [1] に出力する。

【 0 1 1 0 】

また、アンドゲート 4 4 [1] の出力 R W 1 は、電源ライン 1 6 (V L) に出力する電源 P V D D の電位を制御する駆動電源制御部に供給され、この駆動電源制御部は C M O S ゲート 5 0 [1] 及び 5 2 [1] を備える。C M O S ゲート 5 0 [1] には、その n - c h T F T のゲートに上記 R W 1 が供給され、p - c h 型 T F T のゲートには、R W 1 の反転出力が供給されている。よって、この C M O S ゲート 5 0 [1] は、R W 1 が H i g h レベルの時にオン動作し、その入力側端子に接続されている G N D 電源が出力側端子を介して電源ライン 1 6 に接続される。

10

【 0 1 1 1 】

一方、C M O S ゲート 5 2 [1] には、その p - c h T F T のゲートに上記 R W 1 が供給され、n - c h T F T のゲートには、上記 R W 1 の反転信号が供給されている。したがって、C M O S ゲート 5 2 [1] は、R W 1 が L o w レベルの時のみオン動作し、その入力端子に供給されている P V D D 電源が出力端子を介して電源ライン 1 6 に接続される。

【 0 1 1 2 】

ここで、図 1 4 に示すように R W 1 は、検査行に対してのみ、そのデータ信号再書き込み期間に選択的に H i g h レベルとなる。よって、対応する電源ライン 1 6 [1] に出力される電源電位は、データ信号再書き込み期間中は G N D 電位、それ以外の期間は P V D D 電位に制御される。このように図 1 3 の検査用制御信号発生回路 2 2 2 によって、V ブランкиング期間における行毎の検査用信号書き込み及びその期間制御、容量ライン電位及び電源ライン電位を制御することができる。

20

【 0 1 1 3 】

なお、図 1 5 は、上記図 1 3 に示す検査用の制御信号発生回路 2 2 2 の具体例を示している。図 1 3 の信号作成論理部 4 0 に示した論理積は、I C 内においては、ノアゲートで実現することが好適であり、図 1 5 では、ノアゲートとインバータを利用して図 1 3 と同等の論理積を実行している。信号作成論理部 4 0 [1] を例に説明すると、ノアゲート 4 2 [1] が F S R 1 と F S R 2 の反転論理和 S F P 1 ' を求め、これがノアゲート 4 4 [1] 及びノアゲート 4 6 [1] の 1 入力端子に供給される。

【 0 1 1 4 】

30

ノアゲート 4 4 [1] は、F S P 1 ' と R W P の反転入力との反転論理和を求め、再書き込み用選択信号 R W 1 を出力する。この再書き込み用選択信号 R W 1 は、図 1 3 と同様、C M O S ゲート 5 0 [1]、5 2 [1] 及びオアゲート 4 8 [1] に供給されている。またノアゲート 4 6 には、上記 R W 1 と、F S P 1 ' 及びフレームイネーブル信号 F E N B の反転信号の反転信号（つまり F E N B と同相信号）が供給され、この 3 つの信号の反転論理和を求め、容量ライン信号 S C 1 を出力する。

【 0 1 1 5 】

[電流検出アンプ]

次に、電流検出アンプ 3 3 2 の構成例について説明する。図 4 に示す電流検出アンプ 3 3 2 に代えて、図 1 6 に示すようなアンプを採用することによってもカソード電流を検出することができる。図 1 6 のアンプは、いわゆるインスツルメンテーション・アンプ型の構成を有しており、3 つのオペアンプ A 1、A 2、A 3 を備える。オペアンプ A 1 と A 2 とによって差動回路が構成され、オペアンプ A 3 がオペアンプ A 1、A 2 の差動出力を増幅する差動增幅回路として機能している。このようなインスツルメンテーションアンプを電流検出アンプに用いることで、ノイズの影響を受けにくく、カソード電流を高い精度で検出することが容易となる。

40

【 0 1 1 6 】

オペアンプ A 1、A 2 の出力端 P 1、P 2 の間には抵抗 R 2、R 1、R 3 が直列に接続され、抵抗 R 2 と R 1 の接続点がアンプ A 1 の負入力端子に接続されている。また、抵抗 R 3 と R 1 の接続点はオペアンプ A 2 の負入力端子に接続されている。

50

【0117】

一方、オペアンプ A1, A2 の正入力端子の間には、電流検出抵抗 R0 が接続され、オペアンプ A1 の正入力端子にはカソード電流 Icv が供給される。また、オペアンプ A2 の正入力端子には入力信号 Vin2 として負電源電圧 VEE が供給されている。オペアンプ A1 の正入力端子への入力信号 Vin1 (Vin) は、カソード電流 Icv が電流検出抵抗 R0 に流れて生ずる電圧 (Icv * R0) と、負電源電圧 VEE に応じた値となり、VEE + Icv * R0 で表される。

【0118】

オペアンプ A1 の出力を Vo1、オペアンプ A2 の出力を Vo2 で表すと、
【数3】

10

$$Vo1 = \left(1 + \frac{R2}{R1}\right) Vin - \frac{R2}{R1} \bullet VEE \quad \dots \quad (3)$$

$$Vo2 = \left(1 + \frac{R3}{R1}\right) VEE - \frac{R3}{R1} \bullet Vin \quad \dots \quad (4)$$

上記式 (3), (4) で示される。

20

【0119】

この 2 つの出力の差が差動回路部の出力であり、

【数4】

$$Vo1 - Vo2 = (Vin - VEE) \left(1 + \frac{R2 + R3}{R1}\right) \quad \dots \quad (5)$$

上記式 (5) で表される。

【0120】

30

ここで、オペアンプ A3 の負入力端子側に接続された抵抗 R6 と、正入力端子側に接続された抵抗 R4 の抵抗値は等しく、オペアンプ A3 の負帰還路に設けられた抵抗 R7 と、接地 (GND) と、オペアンプ A3 の正入力端子との間に設けられた抵抗 R5 との抵抗値が等しい。このようなオペアンプ A3 からの出力 Vo は、接地電位に対して、下記式 (6)

【数5】

$$Vo = \frac{R7}{R6} (Vin - VEE) \left(1 + \frac{R2 + R3}{R1}\right) \quad \dots \quad (6)$$

40

で表される。

【0121】

ここで、図 16 に示す例では、インスツルメンテーションアンプのオペアンプ A2 の正入力端子への入力信号として、上記の通り負電源電圧 VEE を供給している。EL パネルを素子駆動 Tr2 が飽和状態で動作する条件（通常表示動作に等しい条件）で、カソード電流を正確に検出することを目的とした場合、カソード電源は 0V よりも低い電位で、例えば -3V 等に設定されるため、そのような電位におけるカソード電流を検出するには、比較用の入力信号 Vo2 として、同程度の電位 (-3V 等) の負電源 VEE が必要となる。また、各オペアンプ A1 ~ A3 の動作電源としては、正動作電源 Vdd、負動作電源 V

50

e e が必要で、その内の負動作電源 V e e には、V E E より低い電圧が必要となり、V d d、V e e は、例えば $\pm 15\text{V}$ が採用される。

【0122】

E L パネル 100 等を用いる表示装置において、大きな負電源が必要な場合、I C が電源として使用する比較的小さな負電圧（例えば -1V）程度から、チャージポンプ回路やスイッチングレギュレータ回路などを利用して作成することが通常であるが、チャージポンプ回路などによって作成した負電源 V E E、V e e には、リップル成分が重畠されることが多い。一方、本発明の各実施形態において、検出するカソード電流は微少であるため、高感度の電流検出アンプの基準電源として上記のような負電源 V E E、V e e を採用する場合、検出結果に負電源のリップルなどのノイズが影響を及ぼす可能性がある。 10

【0123】

しかし、図 16 のような構成のインスツルメンテーションアンプの出力は、各オペアンプの電源 V d d、V e e に影響を受け難い。また、オペアンプ A 1 への入力信号 V i n は、上記の通り、V E E + I c v * R 0 で表され、出力信号 V o は上記(6)で示されるから、最終的な出力信号 V o から負電源電圧 V E E がキャンセルされる。したがって、電流検査を通常表示と同様の電源条件で実施しても、電流検出アンプとして図 16 に示すような構成のインスツルメンテーションアンプを採用することでノイズの重畠を受けずに微弱なカソード電流を精度良く検出することができる。

【0124】

なお、負電源電圧 V E E は、カソード電源電圧 V c v と同程度の電圧であることが好適で、電流検査時に駆動電源 P V D D として通常動作時と同一の駆動電源 P V D D を採用する場合には、V E E 及び V c v は例えば -3V 程度の電位とする。 20

【0125】

一方、電流検出時に P V D D の電位を通常動作時より V だけ高く設定する場合には、カソード電源電圧 V c v 及び負電源電圧 V E E も V だけ高くすることができ、0V (GND) 程度の電位を採用することができる。この場合、アンプ A 1 ~ A 3 の駆動電源 V d d、V e e としても、少なくとも V 小さい電圧（例えば ± 10 、又は $\pm 5\text{V}$ 程度）を採用することが可能となる。このためチャージポンプ回路などなどの影響をより受けにくくなり、また、電流検出アンプでの電力消費を低減することができる。さらに、E L 素子の E L 材料の I V 特性が十分に急峻であれば、小さい電圧振幅差で所望の所望の電流 I c v が得られる。よって、この場合にもインスツルメンテーションアンプの電源電圧範囲を小さく設定でき、低消費電力化、GND 電位を用いることによる検出精度の正確性の向上などを実現することができる。 30

【0126】

[その他]

なお、以上において説明した各方式、構成においては、リアルタイムで各画素のカソード電流検出を行う場合について説明したが、この電流検出と補正処理は、表示装置の起動時においても実行しても良いし、もちろん、工場出荷時に各画素のカソード電流（I c v）を測定し、予め補正データを記憶しておき、随時更新する又は特性の経時変化を検出しながらリアルタイムで補正をしても良い。特に、本実施形態では、工場出荷時において測定したカソード電流検出データ（初期データ）は、メモリ 340 の二次メモリ 344 に記憶しておくことにより、工場の出荷後、電源起動と共に、この初期データを用いて補正をすることができる。 40

【0127】

さらに、以上において説明したばらつき補正部 250 における補正に関しては、最終的に表示ばらつきの生ずる画素に供給するデータ信号が、適切なレベルに調整され、E L 素子の発光輝度が補正されれば、その演算処理や補正処理方法は、特に限定されない。

【0128】

また、以上に説明したばらつき検出部 300 は、パネル制御部 210 と共に集積化することにより非常に小型の駆動部によって表示ばらつきの検出及び補正及び表示部の制御（ 50

表示)を実行可能な表示装置を提供することができる。さらに、ばらつき検出部300内の構成、例えばA/D変換部、メモリ等について、これらをパネル制御部210の回路に兼用させることも可能であり、兼用により駆動部200をI/C化した場合、このI/Cチップサイズを低減することに寄与できる。

【0129】

次に、上記駆動方法1～3のような手法によって全画素についての補正データを作成するには、一例として10秒程度かそれ以上の時間を要する。このため、装置電源投入時、常時、最上行の画素から順にカソード電流の検出を実行すると、1回の操作時間の短い表示装置などにおいては、特に検査時間が長くなるほど、上部領域の画素に対するカソード電流検出が繰り返し行われることになる。

10

【0130】

そこで、図3に示す検査制御部310等が、装置電源の停止前に、検査用信号の供給及びカソード電流の検出を最後に実行した画素アドレスを記憶し、または常時検査を実行する画素アドレスを管理し、次に装置電源が投入された際には、前回の最後の画の次の画素から検査を実行するように制御してもよい。この際、一次メモリ342へのデータの書き込み(データ更新)は、電源停止直前に書き込んだ画素アドレスの次の画素アドレスに相当するデータを対象とする。このような検査対象の制御及びメモリの書き込み制御は、一例として、Hプランキング期間毎に検査をする場合には水平スタート信号STH、垂直スタート信号STVをカウンタがカウントすることにより、或いは、上述のような上記スタート信号STH、STVなどから作成するフレームスタート信号STFをカウントし、最新の検査対象、最新の補正データを得た画素アドレスを把握することができる。もちろん、検査対象の画素アドレス、メモリへの書き込みアドレスの制御をカウンタ以外の方法によって制御してもよい。さらに、電源投入時における検査対象の画素については、直前の電源停止時において検査対象画素がパネルのマトリクスの行の途中であった場合、次の電源投入時において、途中となつた行の先頭画素(先頭列)から検査を実行してもよい。なお、電源投入後における検査対象を電源投入前の続きの画素アドレスから実行する場合には、図13、図15に示したような制御信号発生回路ではなく、図3に示す検査制御部310の指示によって任意の行、列から検査を開始することが可能な回路構成を採用する。このような回路構成は、表示パネル100上に画素回路と共に内蔵するVドライバ210Vの一部として実現しても良いが、このような機能を実現するには回路の規模が大きくなるため、集積回路上にVドライバ210V及び上記制御信号発生回路を形成し、パネル上にCOG方法などによって搭載することが好適である。この場合の集積回路は、図3の駆動回路200に示す構成を全て作り込むことが可能である。

20

【0131】

次に、図17を参照し、図4とは異なる構成を備える駆動部200について説明する。図4と相違する点は、図17の構成例では、カソード電流検出部330からの出力データを利用して補正データ作成部350が各画素の補正データを作成し、その補正データをメモリ部340に供給して記憶し、メモリ部340から読み出した補正データを用いてばらつき補正部250が順次映像信号に対する二次元表示ムラ補正を実行することである。

30

【0132】

補正データ作成部350における補正データ作成処理において、上述のように、全画素の素子駆動Tr2の内のしきい値の最大値Vth(i)_{max}が既知であれば、他は、順次得られるカソード電流検出データを利用して求めることの可能な該当画素のしきい値Vth(i)を式(1)を利用して求め、このしきい値Vth(i)と上記Vth(i)_{max}から[Vsigmax - Vth(i)]を算出することで、順次、ばらつき補正部250で演算に用いる初期補正データRSFT(init)の基準となる補正データを得ることができる。なお、図17の場合、補正データ作成部350が、補正データの作成仁崎だって、順次、カソード電流検出部330から供給される検査用オン表示信号と検査用オフ表示信号から差ICVを求める。

40

【0133】

50

得られた補正データは、図17のように、一旦、一次メモリ342に記憶し、ばらつき補正部250で要求されるタイミングで読み出して該ばらつき補正部250に供給する。図4に対して説明したように、図17の例でも、一次メモリ342は高速での読み出し書き込みが可能なメモリであり、通常、揮発性メモリである（例えばSRAM）。したがって、二次メモリ344として不揮発性のメモリを採用し、一次メモリ342に記憶されている補正データを、所定周期（例えば1日1回）で、この二次メモリ344に退避させ、装置電源投入時には、毎回、セレクタ346の制御により二次メモリ344に記憶していた補正データを一次メモリ342に供給する。このような方法によっても電源投入直後から二次元表示ムラ補正を実行することが可能となる。なお、上記素子駆動Tr2のしきい値の最大値 $V_{th}(i)_{max}$ は、工場出荷時に予め全画素の素子駆動Tr2に対してそのしきい値の最大値を求め、これを二次メモリ344や、図3に示す補正パラメータ設定部280等に記憶しておく。通常表示動作時に、全画素についての素子駆動Tr2の動作しきい値データが揃ったところで、所定周期で工場出荷時に設定した $V_{th}(i)_{max}$ を更新することで、補正の精度をより高めることができる。他の部分の変形例については、上記図4に対する変形と同様に適用して同様の効果を得ることができる。

【0134】

なお、図17において、補正データ作成部350からの補正データは、セレクタ346と二次メモリ344の両方に供給されている。工場出荷後において、二次メモリ344に補正データを直接供給する必要は特になく、このデータの供給経路は省略することもできる。工場出荷前に、二次メモリ344に直接補正データを書き込む場合などこの供給経路を利用することができます。

【0135】

図4及び図17に示す駆動部200において、一次メモリ342及び二次メモリ344へのデータ書き込みは、カソード電流検出部330から（又は補正データ作成部350から）データが得られる度に実行しても良いし、これらのメモリの前にラインメモリ等を設け、1行分等所定量のデータが蓄積されたタイミングで、順次更新し、メモリへの書き込み周期を大きくしても良い。

【図面の簡単な説明】

【0136】

【図1】本発明の実施形態に係るEL表示装置の概略回路構成の一例を説明する等価回路図である。

【図2】本発明の実施形態に係る素子駆動トランジスタの特性ばらつき測定原理を説明する図である。

【図3】本発明の実施形態に係る表示ばらつき補正機能を備えたEL表示装置の構成例を示す図である。

【図4】図3の駆動部のより具体的な構成の一部を示す図である。

【図5】素子駆動Tr2の動作しきい値のずれとそのずれの補正方法について説明する図である。

【図6】動作しきい値のずれに応じた補正データの求め方を説明する図である。

【図7】本発明の実施形態に係るパネルに対する検査の方法を説明する図である。

【図8】本発明の実施形態に係る駆動方式1を説明するタイミングチャートである。

【図9】本発明の実施形態に係る駆動方式2を説明するタイミングチャートである。

【図10】本発明の実施形態に係る駆動方式3を実行するパネルの概略構成を説明する図である。

【図11】本発明の実施形態に係る駆動方式3を説明するタイミングチャートである。

【図12】本発明の実施形態に係るEL表示装置の概略回路構成の図1とは別の例を説明する概略回路図である。

【図13】本発明の実施形態に係る検査用制御信号の発生回路例を示す図である。

【図14】図13の回路構成の動作を説明するタイミングチャートである。

【図15】本発明の実施形態に係る検査用制御信号発生回路の具体例を示す図である。

10

20

30

40

50

【図16】本発明の実施形態に係る電流検出アンプの例を示す図である。

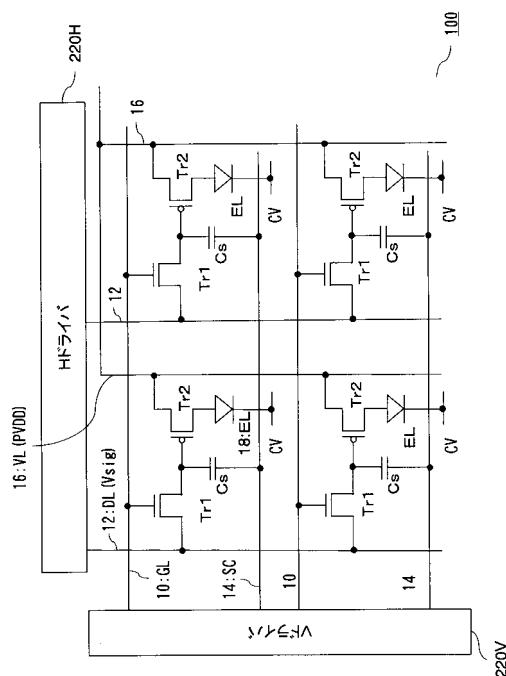
【図17】図3の駆動部の図4とは別の構成を説明する図である。

【符号の説明】

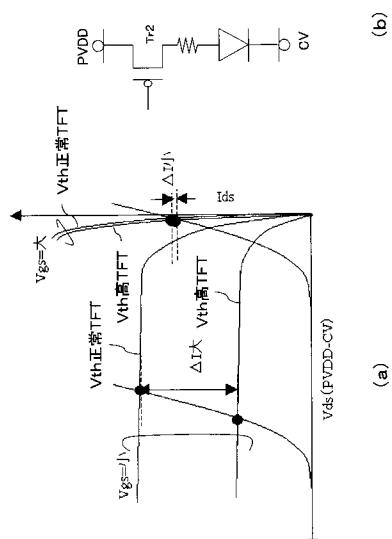
【0137】

100 E Lパネル、200 駆動部(パネル駆動装置)、220 ドライバ、222 検査用制御信号発生回路、230 信号処理部、240 タイミング信号作成(T/C)部、250 ばらつき補正部、280 補正パラメータ設定部(補正值記憶部)、300 ばらつき検出部、310 検査制御部、320 検査用信号発生回路、330 カソード電流検出部、332 電流検出アンプ、334 A/D変換部、340 メモリ(メモリ部)、342 一次メモリ、344 二次メモリ、346 セレクタ、348 データ退避制御部、350 補正データ作成部。 10

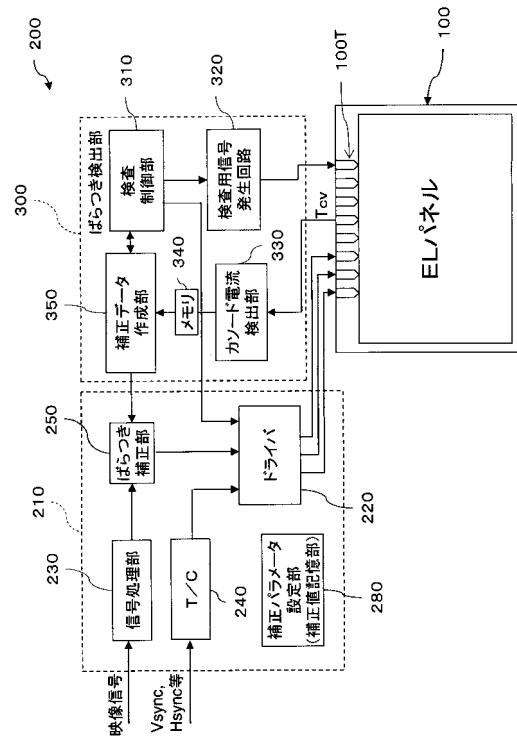
【図1】



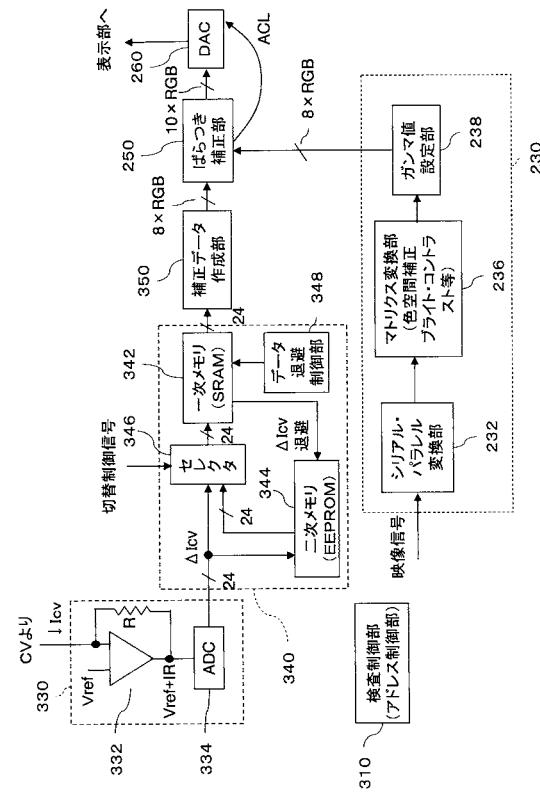
【図2】



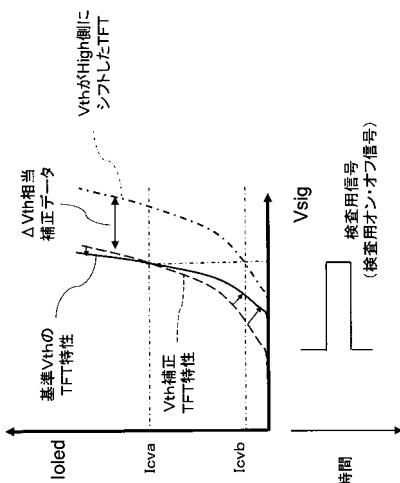
【図3】



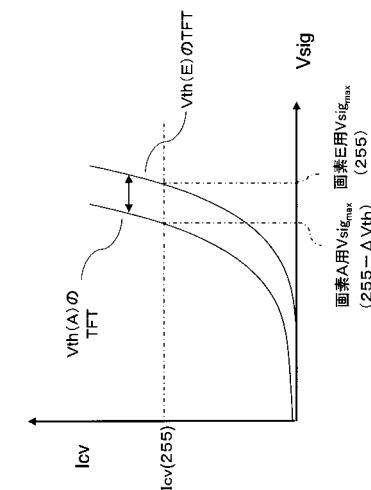
【図4】



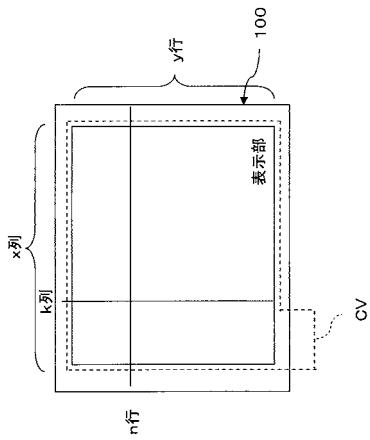
【図5】



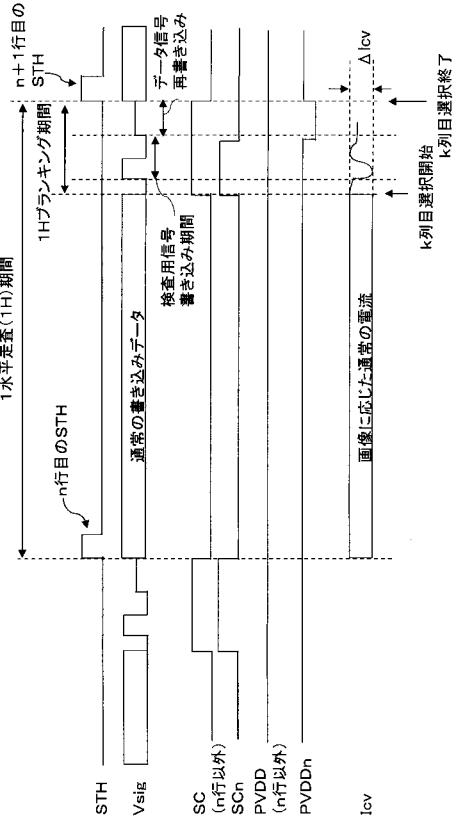
【図6】



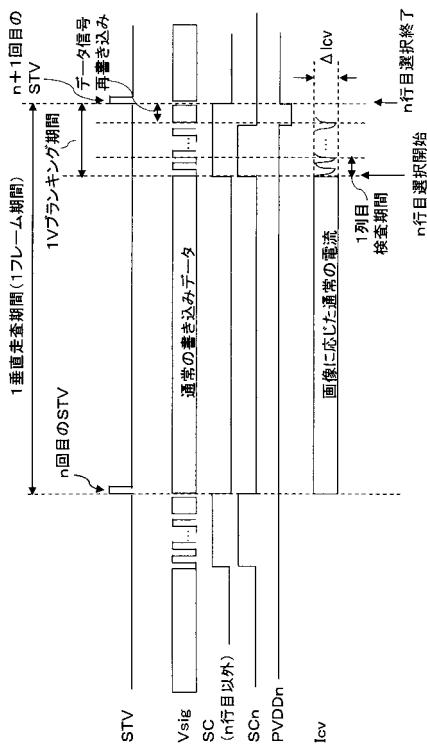
【図7】



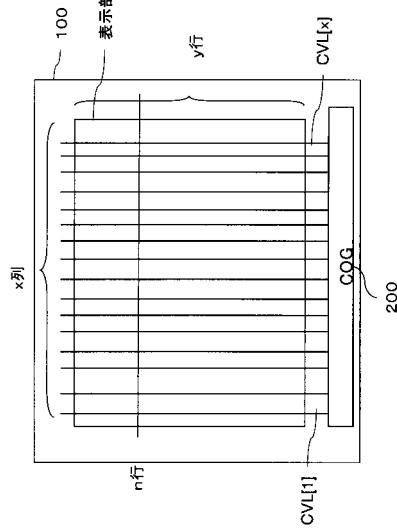
【図8】



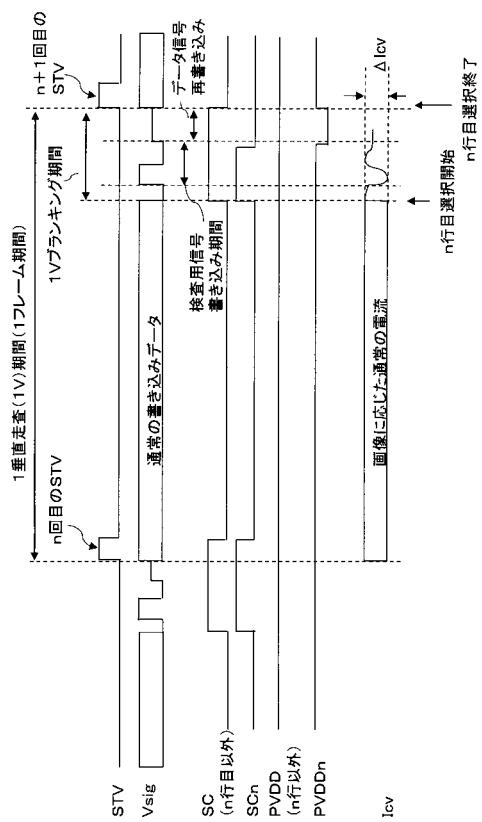
【図9】



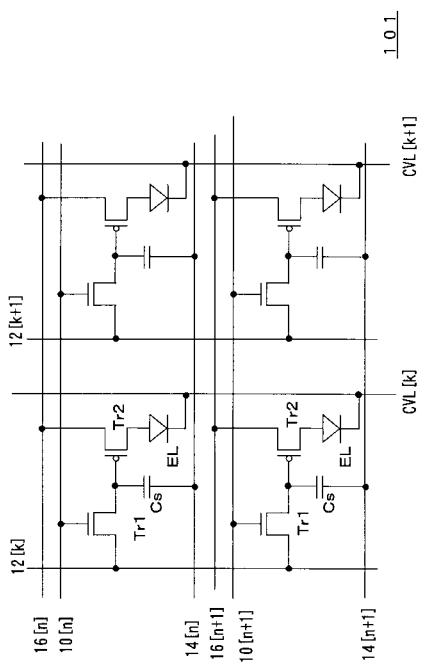
【図10】



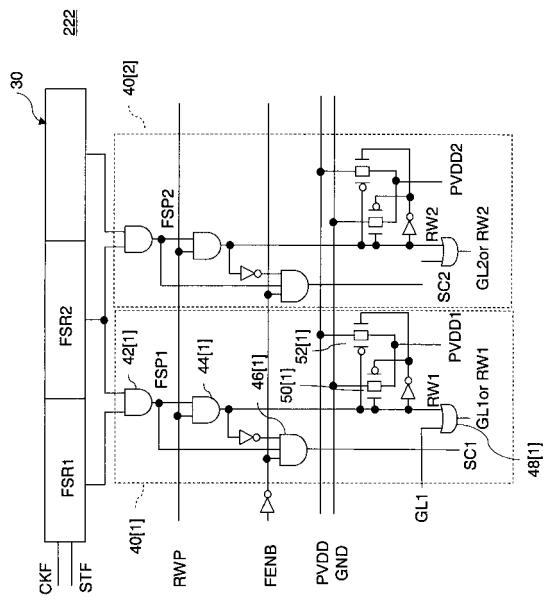
【図 1 1】



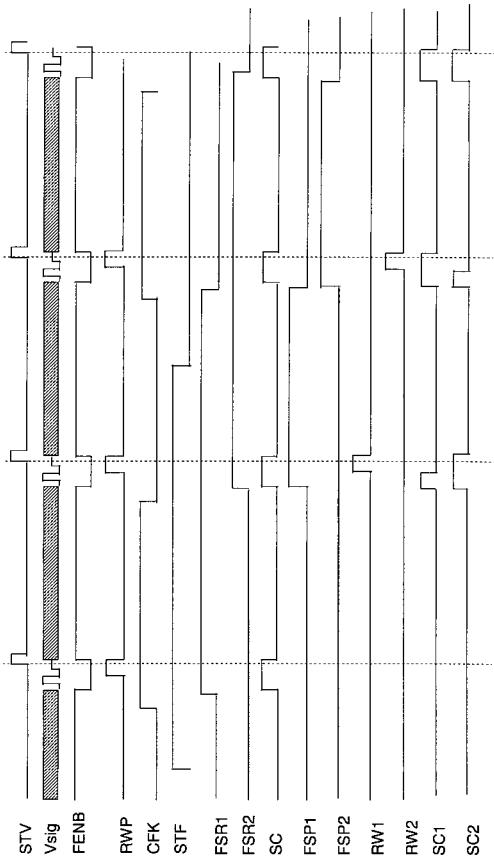
【図 1 2】



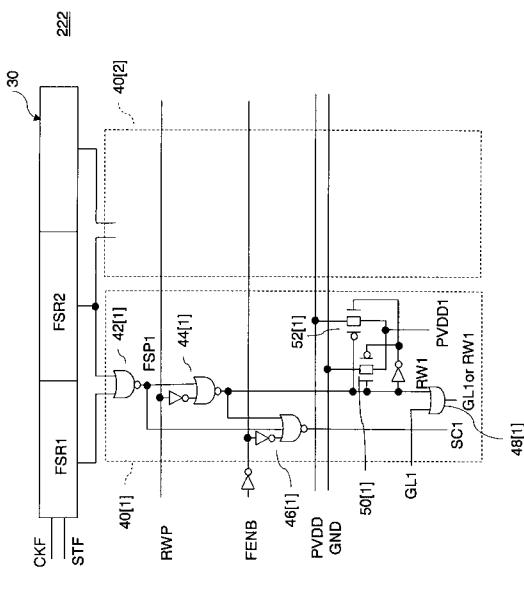
【図 1 3】



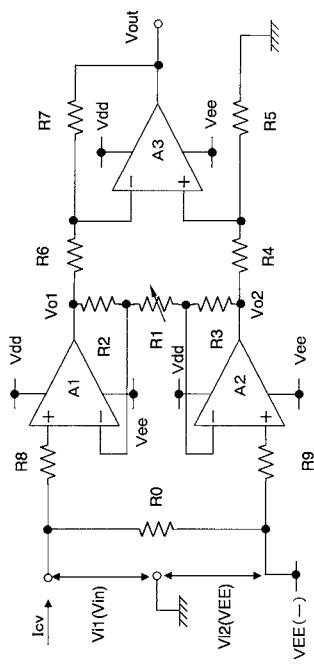
【図 1 4】



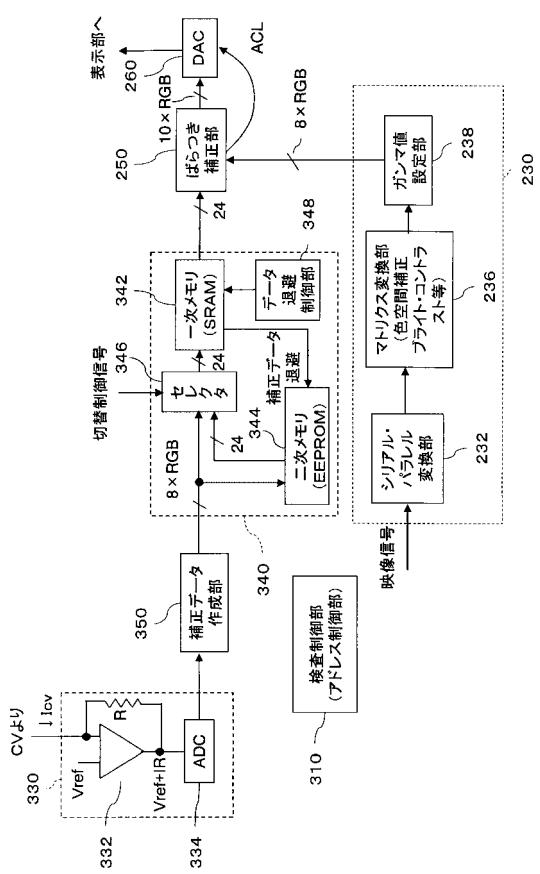
【図15】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.

	F I
G 0 9 G	3/20 6 4 2 P
G 0 9 G	3/20 6 3 1 V
G 0 9 G	3/20 6 3 1 K
G 0 9 G	3/20 6 2 4 B
G 0 9 G	3/20 6 1 1 H
G 0 9 G	3/20 6 1 2 T
G 0 9 G	3/20 6 4 1 D
G 0 9 G	3/20 6 4 1 P
G 0 9 G	3/20 6 7 0 J
H 0 5 B	33/08

審査官 安藤 達哉

(56)参考文献 特開2005-084260 (JP, A)

特開2000-020020 (JP, A)
特開平11-219146 (JP, A)
特開2006-195313 (JP, A)
特開2003-177713 (JP, A)
特開2003-195813 (JP, A)
特開2006-058352 (JP, A)
特開2006-349966 (JP, A)
特開2004-145257 (JP, A)
特開2005-156697 (JP, A)
特開平10-254410 (JP, A)
特開2002-278513 (JP, A)
特開2000-066633 (JP, A)
特開2002-040074 (JP, A)
特開2003-015580 (JP, A)

(58)調査した分野(Int.Cl., DB名)

IPC G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	电致发光显示装置和显示面板驱动装置		
公开(公告)号	JP5095200B2	公开(公告)日	2012-12-12
申请号	JP2006346450	申请日	2006-12-22
[标]申请(专利权)人(译)	三洋电机株式会社 三洋半导体株式会社		
申请(专利权)人(译)	三洋电机株式会社 三洋半导体有限公司		
当前申请(专利权)人(译)	安森美半导体贸易有限公司		
[标]发明人	村田勉 小川隆司		
发明人	村田 勉 小川 隆司		
IPC分类号	G09G3/30 H05B33/12 H01L51/50 G09G3/20 H05B33/08		
CPC分类号	G09G3/3233 G09G3/3275 G09G2300/0819 G09G2320/0233 G09G2320/0285 G09G2330/12		
FI分类号	G09G3/30.J H05B33/12.Z H05B33/14.A G09G3/30.K G09G3/20.642.A G09G3/20.642.P G09G3/20.631.V G09G3/20.631.K G09G3/20.624.B G09G3/20.611.H G09G3/20.612.T G09G3/20.641.D G09G3/20.641.P G09G3/20.670.J H05B33/08 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB34 5C380/AB46 5C380/BA01 5C380/BA08 5C380/BA11 5C380/BA14 5C380/BA23 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB03 5C380/BB04 5C380/BB11 5C380/BD04 5C380/CA04 5C380/CA06 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB19 5C380/CB20 5C380/CC09 5C380/CC26 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC42 5C380/CC46 5C380/CC62 5C380/CD012 5C380/CE09 5C380/CE19 5C380/CE21 5C380/CF01 5C380/CF05 5C380/CF07 5C380/CF13 5C380/CF17 5C380/CF27 5C380/CF28 5C380/CF29 5C380/CF32 5C380/CF33 5C380/CF41 5C380/CF42 5C380/CF48 5C380/CF49 5C380/CF52 5C380/CF54 5C380/DA02 5C380/DA06 5C380/DA19 5C380/DA20 5C380/DA32 5C380/DA35 5C380/DA39 5C380/DA40 5C380/DA49 5C380/DA50 5C380/EA02 5C380/EA11 5C380/FA03 5C380/FA21 5C380/FA22 5C380/FA28 5C380/GA05 5C380/GA07 5C380/GA18 5C380/HA03 5C380/HA06		
审查员(译)	安藤达也		
其他公开文献	JP2008158222A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在电源打开后立即纠正EL显示设备的显示变化。当执行根据视频信号的显示时，将检查显示信号提供给预定检查行的像素，以操作EL元件以检测阴极电流。阴极电流检测数据存储在易失性主存储器342中，并且变化校正部分250根据该数据顺序地校正提供给每个像素的数据信号。当电源接通时，变化校正单元250使用预先保存在二级存储器344中的阴极电流检测数据进行校正。结果，可以在接通电源之后立即校正显示变化，并且还可以实时校正。点域4

