

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4592330号  
(P4592330)

(45) 発行日 平成22年12月1日(2010.12.1)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.	F I	
<b>G09G 3/30 (2006.01)</b>	G09G 3/30	J
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	6 2 4 B
<b>G09F 9/30 (2006.01)</b>	G09G 3/20	6 1 1 H
<b>H01L 27/32 (2006.01)</b>	G09G 3/20	6 4 1 D
<b>H01L 51/50 (2006.01)</b>	G09G 3/20	6 4 2 A
請求項の数 8 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2004-154087 (P2004-154087)  
 (22) 出願日 平成16年5月25日(2004.5.25)  
 (65) 公開番号 特開2005-157264 (P2005-157264A)  
 (43) 公開日 平成17年6月16日(2005.6.16)  
 審査請求日 平成19年5月18日(2007.5.18)  
 (31) 優先権主張番号 特願2003-378581 (P2003-378581)  
 (32) 優先日 平成15年11月7日(2003.11.7)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001889  
 三洋電機株式会社  
 大阪府守口市京阪本通2丁目5番5号  
 (74) 代理人 100075258  
 弁理士 吉田 研二  
 (74) 代理人 100096976  
 弁理士 石田 純  
 (72) 発明者 池田 恭二  
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
 審査官 榎本 剛

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

第1導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、

第1導電領域が前記選択トランジスタの第2導電領域に接続され、制御端が所定電圧の第1電源に接続された補正トランジスタと、

制御端が前記補正トランジスタの第2導電領域に接続され、第1導電領域が電流供給源としての第2電源に接続された駆動トランジスタと、

第1電極が前記駆動トランジスタの制御端に接続され、第2電極がパルス電圧ラインに接続された保持容量と、

前記駆動トランジスタに流れる電流によって動作する被駆動素子と、  
 を有し、

前記補正トランジスタは、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

該補正トランジスタは、共に同一の前記第1電源に接続される複数のゲートを有し、かつ、前記選択トランジスタと前記駆動トランジスタの制御端との間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする画素回路。

【請求項2】

複数の画素がマトリクス状に配列された表示装置であって、  
各画素は、  
供給電流に応じた動作をする表示素子と、  
データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続された補正トランジスタと、

第1導電領域が第2電源に接続され、制御端が前記補正トランジスタの第2導電領域に接続され、前記表示素子に電力を供給する駆動トランジスタと、

第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、  
を有し、

前記補正トランジスタは、

前記駆動トランジスタと同一導電型トランジスタであり、かつ、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、

該補正トランジスタは、共に同一の前記第1電源に接続される複数のゲートを有し、かつ、前記選択トランジスタと前記駆動トランジスタの制御端との間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする表示装置。

#### 【請求項3】

請求項1又は請求項2に記載の画素回路又は表示装置において、

前記第1電源と前記第2電源は、同一電源電圧で、いずれも、垂直走査方向に延在するように配置された電源ラインから電力供給を受け、

前記データラインは、前記電源ラインと共に垂直走査方向に延在し、1つの垂直方向に伸びる電源ラインによって供給され、かつ前記データラインも垂直方向に伸び、

前記補正トランジスタは、前記データラインおよび前記電源ラインのライン間領域に配置されていることを特徴とする画素回路又は表示装置。

#### 【請求項4】

請求項3に記載の画素回路又は表示装置において、

前記補正トランジスタのマルチゲートトランジスタを構成する少なくとも1つのトランジスタのチャンネル長方向が前記電源ラインの延在する前記垂直走査方向に沿って配置されていることを特徴とする画素回路又は表示装置。

#### 【請求項5】

請求項3に記載の画素回路又は表示装置において、

前記駆動トランジスタは、前記電源ラインに近接し、かつ該電源ラインの延在方向にそのチャンネル長方向が沿うように配置され、

前記補正トランジスタは、前記データラインと前記電源ラインとのライン間領域に形成され、前記マルチゲートトランジスタを構成する少なくとも1つのトランジスタのチャンネル長方向が前記電源ラインの延在する前記垂直走査方向に沿って配置されていることを特徴とする画素回路又は表示装置。

#### 【請求項6】

請求項3～請求項5のいずれか一項に記載の画素回路又は表示装置において、

前記駆動トランジスタと前記補正トランジスタとは、間に前記電源ラインを挟んで近接配置されていることを特徴とする画素回路又は表示装置。

#### 【請求項7】

請求項3～請求項6のいずれか一項に記載の画素回路又は表示装置において、

前記補正トランジスタの能動層は、前記電源ラインから前記データラインに向かって水平走査方向に延び、途中で屈曲して前記電源ラインの延在方向に沿って垂直走査方向に延び、前記補正トランジスタのゲート電極は、前記電源ラインとの接続位置から前記電源ラ

10

20

30

40

50

インの延在方向に沿って垂直走査方向に延び、間に絶縁層を挟んで、前記補正トランジスタの能動層と複数箇所て交差し、交差領域にそれぞれマルチゲートトランジスタのチャンネル領域が形成されていることを特徴とする画素回路又は表示装置。

【請求項 8】

請求項 3 ~ 請求項 7 のいずれか一項に記載の画素回路又は表示装置において、

前記選択トランジスタは、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタであることを特徴とする画素回路又は表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、有機 EL 素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

【背景技術】

【0002】

従来より、発光素子として有機 EL 素子を用いた有機 EL パネルが知られており、その開発が進んでいる。この有機 EL パネルにおいては、有機 EL 素子をマトリクス状に配置し、この有機 EL 素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機 EL パネルでは、画素毎に表示制御用の TFT を有し、この TFT の動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。

20

【0003】

図 13 に、アクティブマトリクスタイプの有機 EL パネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続された n チャンネルの選択 TFT 10 を介し、駆動 TFT 12 のゲートに接続されている。また、駆動 TFT 12 のゲートには、他端が保持容量ライン SC に接続された保持容量 14 の一端が接続され、駆動 TFT 12 のゲート電圧を保持する。

【0004】

駆動 TFT 12 のソースは、EL 電源ラインに接続され、ドレインは有機 EL 素子 16 のアノードに接続され、有機 EL 素子 16 のカソードがカソード電源に接続されている。

30

【0005】

このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインが H レベルとなり、その行の選択 TFT 10 がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量 14 に供給保持され、ゲートラインが L レベルとなってもその時の電圧を保持する。

【0006】

そして、この保持容量 14 に保持された電圧に応じて、駆動 TFT 12 が動作して対応する駆動電流が EL 電源からの有機 EL 素子 16 を介し、カソード電源に流れ、有機 EL 素子 16 がデータ電圧に応じて発光する。

40

【0007】

そして、ゲートラインを順次 H レベルとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機 EL 素子 16 がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。

【0008】

【特許文献 1】特表 2002 - 514320 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動 TFT

50

Tのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【0010】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【0011】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献1）。

10

【0012】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【0013】

本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0014】

本発明は、画素回路であって、第1導電領域がデータラインに接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が前記選択トランジスタの第2導電領域に接続され、制御端が所定電圧の第1電源に接続された補正トランジスタと、制御端が前記補正トランジスタの第2導電領域に接続され、第1導電領域が電流供給源としての第2電源に接続された駆動トランジスタと、第1電極が前記駆動トランジスタの制御端に接続され、第2電極がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって動作する被駆動素子と、を有する。

20

【0015】

また、本発明では、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電流に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続された補正トランジスタと、第1導電領域が第2電源に接続され、制御端が前記補正トランジスタの第2導電領域に接続され、前記表示素子に電力を供給する駆動トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有する。

30

【0016】

上記画素回路又は表示装置において、前記補正トランジスタは、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、該補正トランジスタの動作しきい値及びゲート容量に基づいて制御し、該補正トランジスタは、共に同一の前記第1電源に接続される複数のゲートを有し、かつ、前記選択トランジスタと前記駆動トランジスタの制御端との間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタである。

40

【0017】

本発明の他の態様では、前記第1電源と前記第2電源は、同一電源電圧で、いずれも、垂直走査方向に延在するように配置された電源ラインから電力供給を受け、前記データラインは、前記電源ラインと共に垂直走査方向に延在し、1つの垂直方向に伸びる電源ラインによって供給され、かつ前記データラインも垂直方向に伸び、前記補正トランジスタは、前記データラインおよび前記電源ラインのライン間に領域に配置されている。

50

## 【0018】

また、本発明の他の態様では、前記補正トランジスタのマルチゲートトランジスタを構成する少なくとも1つのトランジスタのチャンネル長方向を前記電源ラインの延在する前記垂直走査方向に沿って配置してもよい。

## 【0019】

本発明の他の態様において、前記駆動トランジスタは、前記電源ラインに近接し、かつ該電源ラインの延在方向にそのチャンネル長方向が沿うように配置され、前記補正トランジスタは、前記データラインと前記電源ラインとのライン間領域に形成され、前記マルチゲートトランジスタを構成する少なくとも1つのトランジスタのチャンネル長方向が前記電源ラインの延在する前記垂直走査方向に沿って配置されている。

10

## 【0020】

本発明の他の態様において、前記駆動トランジスタと前記補正トランジスタとを間に前記電源ラインを挟んで近接配置することが好適である。

## 【0021】

本発明の他の態様では、上記画素回路又は表示装置において、前記補正トランジスタの能動層は、前記電源ラインから前記データラインに向かって水平走査方向に伸び、途中で屈曲して前記電源ラインの延在方向に沿って垂直走査方向に伸びたパターンを有する。言い換えると、略T字状パターンである。また補正トランジスタのゲート電極は、前記電源ラインとの接続位置から前記電源ラインの延在方向に沿って垂直走査方向に伸び、間に絶縁層を挟んで、前記補正トランジスタの能動層と複数箇所で交差し、交差領域にそれぞれマルチゲートトランジスタのチャンネル領域を形成してもよい。

20

## 【0022】

また本発明では、更に、前記選択トランジスタを、共に同一の選択信号が入力される複数のゲートを有し、かつ、前記データラインと前記補正トランジスタとの間に電氣的に複数のトランジスタが直列接続されたマルチゲートトランジスタとすることも可能である。

## 【発明の効果】

## 【0023】

以上説明したように、本発明によれば、パルス電圧ラインの電圧値を変更することで駆動トランジスタをオンする過程で、補正トランジスタのオンオフ状態を変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて異なる電圧を対応する駆動トランジスタの制御端に設定することができる。そして、補正トランジスタを適切な特性とすることで駆動トランジスタのしきい値電圧のばらつきを補償でき、発光素子などの被駆動素子に流す電流量を均一にすることができる。さらに、本発明では、選択トランジスタと駆動トランジスタの制御端との間に設けている補正トランジスタをマルチゲートにすることによって、駆動トランジスタの制御端からデータラインに向けたオフリーク電流を防止でき、制御端電圧がこのリーク電流によって変動することを防止することができる。

30

## 【0024】

すなわち、本発明では、選択トランジスタと補正トランジスタがオン制御されて、駆動トランジスタの制御端にデータラインからデータ電圧が印加され、選択トランジスタがオフ制御された後に、パルス電圧ラインの電圧を変化させ、この電圧変化に応じて前記保持容量を介して前記駆動トランジスタの制御端電圧がシフトすることで補正トランジスタがオフし、駆動トランジスタの制御端電圧の変化速度を変更する。オンオフの状態変化電圧は補正トランジスタのしきい値に応じ、また制御端電圧の変化速度は補正トランジスタの容量値などによって制御される。従って、駆動トランジスタの制御端の電圧が、パルス電圧ラインの変化に応じて変化していく場合、最初にデータラインから上記制御端電圧に書き込んだ電圧から変化することとなる。そして、補正トランジスタがオフ状態となつてから、さらに駆動トランジスタがオンになるまで、その制御端電圧が補正トランジスタの容量値などに応じて変化していく。ここでオフ状態の補正トランジスタにリーク電流が生ずると、本来駆動トランジスタのしきい値のばらつきに応じて設定すべき制御端電圧の最終到

40

50

達電圧が変動してしまうことになり、被駆動素子に流す電流量の均一化に悪影響を及ぼすこととなる。本発明によれば、補正トランジスタをマルチゲート化することで、このようなリーク電流を抑制でき、精度良く駆動トランジスタのしきい値補償を行うことが可能となる。

【0025】

なお、選択トランジスタについてもこれをマルチゲート化することでより一層オフリーク電流を確実に防止することが可能となる。

また、補正トランジスタをマルチゲート化しても、このトランジスタを電源ラインとデータラインとのライン間に配置すれば、実質的にトランジスタ数が増えてもその分の面積増大分を最小限に抑制することが容易であり、発光素子などの被駆動素子の面積を小さくすることなく、つまり開口率の低下なく画素毎の被駆動素子の動作ばらつきを防止できる。

10

【0026】

また、このような補正トランジスタと駆動トランジスタとを例えば垂直走査方向に延在する電源ラインを挟んで近接配置することでできる限り開口率を大きくできる効率的な配置が実現できる。また、トランジスタの配置位置が近いので、製造条件を近似させることができ、駆動トランジスタの特性と補正トランジスタの特性を揃えることが可能となる。上述のように補正トランジスタは、駆動トランジスタの特性ばらつきに応じて補正する目的で配置されているため、駆動トランジスタの特性と同じか、或いは一定の関連性をもった類似した特性（例えば比例関係など）とすることが好適であり、これにより駆動トランジスタばらつき補償のための制御や、素子設計を容易とすることができる。

20

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施形態について、図面に基づいて説明する。

【0028】

図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直（走査）方向に伸びるデータラインDLには、nチャネルの選択TF T 20の第1導電領域（ドレイン）が接続されている。この選択TF T 20のゲート（制御端）は水平（走査）方向に伸びるゲートラインGLに接続され、第2導電領域（ソース）は、pチャネルの補正TF T 22の第1導電領域（ソース）に接続されている。なお、この選択TF T 20は、pチャネルでもよく、pチャネルの場合には、ゲートラインGLに出力する選択信号（ゲート信号）の極性（HレベルまたはLレベル）を逆に駆動すればよい。

30

【0029】

補正TF T 22の制御端（ゲート）は、電源ラインPL（電圧Pvdd）に接続され、第2導電領域（ドレイン）は、pチャネルの駆動TF T 24の制御端（ゲート）に接続されている。さらに、駆動TF T 24のゲートには、保持容量28の一端（第1電極）が接続され、この保持容量28の他端（第2電極）は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン（以下容量ライン）SCに接続されている。この容量ラインSCはゲートラインGLと同様に水平方向に伸びるラインである。なお、別の電源ラインを設け、補正TF T 22のゲートをその別の電源ラインに接続すれば、補正TF T 22のオンからオフに切り替わるタイミングを任意に調整することができる。

40

【0030】

駆動TF T 24の第1導電領域（ソース）は、垂直方向に伸びる電源ラインPLに接続され、第2導電領域（ドレイン）は有機EL素子26のアノードに接続されている。また、有機EL素子26のカソードは、所定の低電圧のカソード電源CVに接続されている。ここで、通常の場合、有機EL素子26のカソードは全画素共通になっており、このカソードがカソード電源CVに接続されている。

【0031】

有機ELパネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートライン

50

がHレベルとなり、その行の選択TFT20がオン状態になる。これによって、補正TFT22のソースは、データラインDLの電位になる。

【0032】

ここで、データラインDLには、データ電圧が供給される。このデータ電圧Vdataは、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを3~5V程度で表現している。一方、電源ラインPLの電圧Pvddは、0V程度に設定される。従って、選択TFT20がオンして、補正TFT22（ここではソース）に、データラインDLのデータ電圧Vdataが印加されると、補正TFT22はオン状態になり、データ電圧Vdataが駆動TFT24のゲート（ノードTg24）にセットされる。すなわち、各画素へのデータ電圧Vdataの書き込み期間には、3~5V程度の電圧が駆動TFT24のゲートにセットされる。なお、このときに保持容量28の他端の容量ラインSCは、+8V程度に設定されている。

10

【0033】

このようなデータ電圧Vdataの書き込みが終了後、容量ラインSCの電圧を例えば-4Vに下げる。これに応じて、駆動TFT24のゲートは12V程度低下し、駆動TFT24がオンし、データ電圧に応じた電流が、駆動TFT24を介し電源ラインPLから有機EL素子26に供給され発光する。

【0034】

ここで、補正TFT22は、容量ラインSCが+8Vから-4V程度にまで低下することで、そのドレイン（ノードTg24）の電圧が、3~5Vから、基本的に-9V~-7V程度の負電圧（後述するように、この電圧は少し異なる）になり、オン状態からオフ状態に変化する。補正TFT22のこのオンからオフへの変化に応じて補正TFT22のゲート容量が変化するため、その容量の変化タイミング、すなわち補正TFT22のしきい値Vth22が、最終的な駆動TFT24のゲート電位を左右する。よって、補正TFT22によって駆動TFT24のしきい値電圧Vth24のばらつきを補償することができる。

20

【0035】

ここで、駆動TFT24は、電源電圧Pvddとゲート電圧Vg24の差、すなわちVgs24に応じてオンして対応する駆動電流を流す。このVgs24が、そのTFTの特性で定まるしきい値電圧Vth24より大きくなったときに、駆動TFT24は電流を流し始め、駆動電流量は、ゲート電圧Vg24と、しきい値電圧Vth24との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動TFT24のしきい値電圧Vth24を完全に同一にすることは難しく、しきい値電圧Vth24が、画素位置によって多少ばらつくことは免れることができない。そして、有機EL素子26は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動TFT24のしきい値電圧Vth24のバラツキに応じて変動することになる。本実施形態に係る構成では、補正TFT22の容量変化によって、発光輝度のばらつきを補償する。

30

【0036】

以下、発光輝度のばらつき補償の原理について、図2および図3を参照して説明する。図3は、図2における長丸で示した容量ラインSCの立ち下がり時の状態を拡大して示した図である。まず、図2に示すように、ゲートラインGLは、その行（水平ライン）が選択されているときに、アクティブ（H）レベルになる。この例では、選択TFT20がnチャネルであり、ゲートラインGLは、Lレベル=-4V程度、Hレベル=8V程度に設定され、選択（アクティブ）の際には、8Vに設定される。

40

【0037】

一方、容量ラインSCの電圧Vscは、ゲートラインGLが選択される（Hレベルの）期間より、若干長めの期間、Hレベルとなる。すなわち、ゲートラインGLがHレベルとなる前にHレベルとなり、ゲートラインGLがLレベルとなった後にLレベルになる。

【0038】

ゲートラインGLがHレベルの期間には、このゲートラインGLに対応する選択TFT20および補正TFT22がオンし、その際データラインDLに出力されているデータ電

50

圧  $V_{data}$  が、選択  $TFT20$  および補正  $TFT22$  を介してノード  $Tg24$  に印加される。即ち、駆動  $TFT24$  のゲート電圧  $V_{g24}$  が、データ電圧  $V_{data}$  にセットされる。

【0039】

ゲートライン  $GL$  が  $L$  レベルとなり、データ電圧  $V_{data}$  の書き込み後、容量ライン  $SC$  の電圧が立ち下がり、これに応じてノード  $Tg24$  の電位が低下していくことでやがて補正  $TFT22$  がオフする。駆動  $TFT24$  のゲート電圧  $V_{g24}$  は、容量ライン  $SC$  の低下分（この例では  $8V$  から  $-4V$  への  $12V$ ）に応じて、データ電圧  $V_{data}$  から所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。

【0040】

補正  $TFT22$  は、各画素毎に設けられており、かつその画素の駆動  $TFT24$  に隣接して形成されており、また駆動  $TFT24$  と同一の工程を経て作成される。特に、後述するように選択  $TFT20$  を含め例えば駆動  $TFT24$  及び補正トランジスタ  $22$  の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動  $TFT24$  と補正  $TFT22$  の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、 $TFT$  特性を揃えることができる。また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動  $TFT24$  と、補正  $TFT22$  は、しきい値電圧もほぼ同一のものになる。また、補正  $TFT22$  のゲートは、電源ライン  $PL$ （ここでは、 $Pvdd = 0V$ ）に接続されているため、ノード  $Tg24$  の電圧  $V_{g24}$  の低下に従って、オンからオフに変化する。

【0041】

このように、容量ライン  $SC$  の立ち下がり時において、 $p$  チャネル  $TFT$  である補正  $TFT22$  は、オンからオフに状態が変化し、一方駆動  $TFT24$  はオフからオンに状態が変化する。 $TFT$  は、そのゲート容量値  $C_g$  が、オンまたはオフの状態によって変化する。したがって、駆動  $TFT24$  のゲート電圧  $V_{g24}$  の変化は、2つの  $TFT22$ 、 $24$  のオンオフ状態の変化の影響を受ける。すなわち、 $TFT$  は、具体的には、 $TFT$  オン状態では、 $C_g$  は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいため、電圧変化状態が容量変化の影響を受ける。

【0042】

すなわち、補正  $TFT22$  がオンからオフになってそのゲート容量値  $C_{g22}$  が小さくなると、電圧  $V_{g24}$  の低下の傾き  $\alpha_1$  が大きくなる。

【0043】

従って、ある画素の補正  $TFT22$  のオン状態からオフ状態に切り替わる切り替わり電圧が、図3における「切り替わり電圧  $A$ 」であった場合には、ノード  $Tg24$  の電圧（ゲート電圧  $V_{g24}$ ）は、図において実線で示したように変化する。即ち、切り替わり電圧  $A$  に至るまでは、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から第1の傾き  $\alpha_1$  で変化（低下）し、切り替わり電圧  $A$  に到達後、第2の傾き  $\alpha_2$  で変化（低下）する。そして、駆動  $TFT24$  がオンになると、第3の傾き  $\alpha_3$  で変化（低下）し、容量ライン  $SC$  の電圧が  $L$  レベルになって所定期間経過後に、電圧  $V_{g24}$  は、補正電圧  $V_{cA}$  に設定される。

【0044】

ここで、補正  $TFT22$  がオンからオフに変化する切り替わり電圧は、上述のように補正  $TFT22$  のゲート電圧である電源電圧  $Pvdd = 0$  と、そのソース電圧の差  $V_{gs22}$  で決まる。このため、切り替わり電圧  $A$ 、 $B$  は、電源電圧  $Pvdd$  に補正  $TFT22$  のしきい値電圧  $V_{th22}$  の絶対値を加算した電圧（ $Pvdd + |V_{th22}|$ ）に等しい。

【0045】

一方、補正  $TFT22$  のしきい値電圧  $V_{th22}$  が、「切り替わり電圧  $A$ 」より低い「切り替わり電圧  $B$ 」である場合、ゲート電圧  $V_{g24}$  は、図3に破線で示したように変化する。即ち、ゲート電圧  $V_{g24}$  は、一旦セットされたデータ電圧  $V_{data}$  から、切り替わり電圧  $B$  に到達するまでは第1の傾き  $\alpha_1$  で変化（低下）し、到達後からは第2の傾き  $\alpha_2$  で変化（低下）し、駆動  $TFT24$  がオンすると第3の傾き  $\alpha_3$  で変化（低下）し、容量ライン  $SC$

10

20

30

40

50

Cの電圧がLレベルになってから所定期間経過後に、電圧 $V_{g24}$ は、補正電圧 $V_{cB}$ に設定される。

【0046】

このように、ノードTg24に、最初は、同一のデータ電圧 $V_{data}$ が供給されても、最終的な駆動TF T 2 4のゲート電圧 $V_{g24}$ は、しきい値電圧が低いほど高い補正電圧 $V_c$ に設定されることになる。

【0047】

上述のように、駆動TF T 2 4のしきい値電圧 $V_{th24}$ は、補正TF T 2 2のしきい値電圧 $V_{th22}$ に対応している。従って、駆動TF T 2 4のしきい値電圧 $V_{th24}$ が、「 $V_{th24A}$ 」であれば、ゲート電圧 $V_{g24}$ は、しきい値電圧 $V_{th24A}$ に対応する補正電圧 $V_{cA}$ になり、  
10  
「 $V_{th24B}$ 」であれば、ゲート電圧 $V_{g24}$ は、このしきい値電圧 $V_{th24B}$ に対応する補正電圧 $V_{cB}$ に設定される。この例では、しきい値電圧 $V_{th24}$ と補正後のゲート電圧 $V_{g24}$ との差は、しきい値電圧が $V_{th24A}$ の場合でも $V_{th24B}$ の場合でも、同一である。すなわち、補正TF T 2 2のサイズ、電源電圧値 $P_{vdd}$ 、駆動TF T 2 4のサイズ、保持容量28の容量値 $C_s$ などの設定によって、データ電圧 $V_{data}$ が同一であれば、駆動TF T 2 4のしきい値電圧 $V_{th24}$ が画素毎に異なっても、しきい値電圧 $V_{th24}$ とゲート電圧 $V_{g24}$ との差を一定にすることが可能であり、駆動TF T 2 4のしきい値電圧 $V_{th24}$ のバラツキの影響を排除することができる。

【0048】

ここで、以上のような補償を行うためには、第2の傾き $\alpha_2$ が、第1の傾き $\alpha_1$ の2倍になるように、条件を設定することが好適である。この条件設定について図3に基づいて説明する。図3に示すように、補正TF T 2 2がオン状態であるとした場合は、その容量値 $C_{g22}$ がオフ時に比べて大きいため、ゲート電圧 $V_{g24}$ の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き $\alpha_1$ は小さくなる。一方、補正TF T 2 2がオフ状態である場合は容量値 $C_{g22}$ が小さく、パルス駆動電圧の変化による影響が大きいため傾き $\alpha_2$ が大きい。さらに、傾き $\alpha_2$ は傾き $\alpha_1$ の2倍の大きさになるよう条件に設定しているため、パルス駆動電圧がLレベルになったときのゲート電圧 $V_{g24}$ の減少分は、補正TF T 2 2が  
20  
オフ状態の時にオン状態のときの2倍になる。

【0049】

すなわち、2つの駆動TF T 2 4のしきい値電圧の差 $V_{th24}$ と、2つの補正TF T 2 2のしきい値電圧の差 $V_{th22}$ が等しくなるようにTF Tを構成し、補正TF T 2 2のオンからオフに変わったときの傾きを2倍にすることによって、 $V_{th22} = V_{th24}$ となり、  
30  
2つの補正電圧( $V_{cA}$ 、 $V_{cB}$ )の差 $V_c$ は、 $V_c = V_{th24}$ を満たす。

【0050】

すなわち、図3において、  
(i) 2つの補正TF T 2 2の切り替わり電圧AとBとの差( $V_{th22}$ )、  
(ii) 切り替わり電圧B(切り替わりタイミングの遅い方：ここでは低い方の電圧)と、その画素のノードTg24Bが切り替わり電圧Bに到達したときに、切り替わり電圧Aの補正TF T 2 2を備える画素におけるノードTg24Bの電圧 $V_{g24A}$ との差( $V_{th22}'$ )  
40

(iii) 2つの駆動TF T 2 4の切り替わり電圧の差( $V_{th24}$ )、

(iv) 補正電圧 $V_{cA}$ 、 $V_{cB}$ との差( $V_c$ )

は全て等しくなる。

【0051】

なお、データ電圧 $V_{data}$ として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差 $V_{th22}$ と、補正電圧差 $V_c$ が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

【0052】

また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動TF T 2 4のゲート電  
50

圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。

【0053】

なお、上述のように、容量ラインSCの電圧を立ち下げる際の駆動TF T 2 4のゲート電圧変化は、特に補正TF T 2 2のゲート容量値 $C_{g22}$ と、駆動TF T 2 4のゲート容量値 $C_{g24}$ 、保持容量28の容量値 $C_s$ 、および配線の寄生容量 $C_w$ の影響を受ける。

【0054】

上述した $V_{g24}$ の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量28の容量値を $C_s$ 、補正TF T 2 2のゲート容量を $C_{g22}$ 、駆動TF T 2 4のゲート容量を $C_{g24}$ 、補正TF T 2 2のしきい値電圧を $V_{th22}$ 、駆動TF T 2 4のしきい値電圧を $V_{th24}$ とするとともに、保持容量28の容量値 $C_s =$ 補正TF T 2 2のゲート容量 $C_{g22}$ に設定する。

(i) まず、駆動TF T 2 4のゲート電圧 $V_{g24} = V_{data}$ の状態から、容量ラインSCを12V下げると、ノードTg24の電圧 $V_{g24}$ も12V下がるはずである。この変化のみを考慮した $V_{g24}$ を $V_{g24}'$ と表せば、

$$V_{g24}' = V_{data} - 12$$

となる。

(ii) 補正TF T 2 2のゲート容量を $C_{g22}$ とすると、この補正TF T 2 2から流れ出し、保持容量28に流れ込む電荷量 $Q_{f22}$ は、

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

である。

【0055】

ここで、本実施形態では、上述のように $C_{g22} = C_s$ であり、ノードTg24の電圧 $V_{g24}$ は、 $(V_{data} - |V_{th22}|)$ だけ上昇する。よって、この上昇分を考慮した電圧 $V_{g24}''$ は、

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

となる。

(iii) さらに、保持容量28には、駆動TF T 2 4のゲートからも電荷が流れ込む。この電荷量 $Q_{f24}$ は、駆動TF T 2 4の最終的なゲート電圧を $V_{g24}$ として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 $C_{g24}'$ は、駆動TF T 2 4におけるオフ時とオン時の容量差であり、

SPICE (スパイスシミュレータ)のMEYERの式を用いて計算した $C_{g24}' = C_{g24} \times 2/3$ の値を用いた。

(iv) 駆動TF T 2 4のゲート電圧 $V_{g24}$ は、電荷 $Q_{f24}$ が保持容量28に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

これを書き直すと、最終 $V_{g24}$ は、

$$(1 + C_{g24}' / C_{g22}) V_{g24}$$

$$= 2V_{data} - 12 - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}|$$

となる。

【0056】

$$V_{th22} = V_{th24} = V_{th}$$

$$V_{g24} = -|V_{th}| + (2V_{data} - 12) / (1 + C_{g24}' / C_{g22})$$

となる。

【0057】

この式における右辺第二項は、レイアウト寸法による固定値なので、 $V_{g24}$ は $V_{th}$ 分ずれることになり、駆動TF T 2 4のしきい値電圧 $V_{th}$ にずれがあってもこれを補償することができることになる。

【0058】

10

20

30

40

50

なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧 P vdd が 0 V でない場合には、その値を考慮すればよい。

【 0 0 5 9 】

また、補正 T F T 2 2 のしきい値電圧  $V_{th22}$  と、駆動 T F T 2 4 のしきい値  $V_{th24}$  が異なる場合にも、駆動 T F T 2 4 のしきい値  $V_{th24}$  だけ、そのゲート電圧  $V_{g24}$  がずれるのが望ましい。このためには、上述の式における  $C_{g24} / C_{g22}$  を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$  となるように T F T を形成することが好ましい。

【 0 0 6 0 】

次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図 4 を参照して説明する。本実施形態に係る画素回路には、保持容量  $C_s$  の他、上述の補正 T F T 2 2 のゲート容量  $C_{g22}$ 、駆動 T F T 2 4 のゲート容量  $C_{g24}$  や各種の寄生容量が接続されている。例えば、図 4 のように、補正 T F T 2 2 のドレインと駆動トランジスタ 2 4 のゲートとの接続点（ノード）Tg24と電源ライン P L との間の寄生容量  $C_{w1}$ 、補正 T F T 2 2 のソースと選択 T F T 2 0 のソースとの接続部と電源ライン P L との間の寄生容量  $C_{w2}$  が存在する。これらの寄生容量と図 3 のノード Tg24 の電圧  $V_{g24}$  の低下の傾き  $\alpha_1$  の関係を示すと、図 3 において、データ電圧 V data から切り替わり電圧（A 又は B）に到達する迄の傾き  $\alpha_1$  は、

$$\alpha_1 = C_s / (C_{w1} + C_{w2} + C_s + C_{g22})$$

で示すことができる。これらの寄生容量（ $C_{w1}$ 、 $C_{w2}$ 、 $C_{g22}$ ）の全てにそれぞれ一定の電荷が充電された状態から、保持容量  $C_s$  に電荷が流れ込むため、ゲート電圧  $V_{g24}$  の低下する傾き  $\alpha_1$  は、このような式で表される。

【 0 0 6 1 】

次に、図 3 において、切り替わり電圧到達後、駆動 T F T 2 4 がオンするまでの期間のノード Tg24 の電圧  $V_{g24}$  の低下の傾き  $\alpha_2$  は、

$$\alpha_2 = C_s / (C_s + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正 T F T 2 2 がオフとなり、そのゲート容量  $C_{g22}$  と、そのソースと電源ライン P L との間の寄生容量  $C_{w2}$  が、電氣的に保持容量 2 8（容量値  $C_s$ ）から切り離されるからである。

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$  に設定されている。

従って、 $C_s = C_{g22} \cdot C_{w1} + C_{w2}$  を満たすように保持容量 2 8 の容量  $C_s$  を設定することで、容量ライン S C の電圧を立ち下げた際、補正 T F T 2 2 のオンからオフへの切り替わりによって、駆動 T F T 2 4 のゲート電圧  $V_{g24}$  の降下の傾き  $\alpha_2$  を  $\alpha_1$  の 2 倍に設定することができ、駆動 T F T 2 4 のしきい値電圧変動の適切な補償を行うことができる。

【 0 0 6 2 】

また、図 3 に示すように、駆動 T F T 2 4 がオンした後の傾き  $\alpha_3$  は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

で表される。

【 0 0 6 3 】

$C_{g24}$  は、上述のように駆動 T F T 2 4 のゲート容量であり、駆動 T F T 2 4 がオンすることで、この容量  $C_{g24}$  は保持容量 2 8 に接続され、電圧降下の傾き  $\alpha_3$  は、この容量  $C_{g24}$  の影響も受けることになる。この駆動 T F T 2 4 がオンするタイミング  $t_{on24}$  は、上述のように駆動 T F T 2 4 の切り替わり電圧、即ちそのしきい値電圧  $V_{th24}$  によらず、各画素で同時である。具体的には、各補正 T F T 2 2 がそのしきい値  $V_{th22}$  のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧  $V_{g24}$  が、電源電圧 P vdd からそれぞれの  $V_{th24}$  に応じた分だけ低い電圧に同時に到達したタイミングである。

【 0 0 6 4 】

次に、このような画素回路を備える画素のレイアウトについて、図 5 及び図 6 を参照し

10

20

30

40

50

て説明する。図5は、1画素における概略平面構造、図6(a)及び(b)は、図5のA-A線、B-B線に沿った概略断面構造をそれぞれ示す。

【0065】

ガラスなどの透明な絶縁基板100の上にはパツファ層102が形成されており、その上に形成され、かつ多結晶シリコンからなる各TFTの能動層、及び容量電極を構成する半導体層(120、124、28e)は、図5において、破線で示している。また、図5において、上記半導体層よりも上方に形成され、Crなどの高融点金属材料が用いられたゲートラインGL、容量ラインSC及び補正TFT22のゲート電極22g、駆動TFT24のゲート電極24gは、一点鎖線で示す。また、半導体層や上記GL、SCよりも上方に形成され、Alなどの低抵抗金属材料が用いられたデータラインDL、電源ラインPL、これらと同層の金属配線24wは、実線で示している。

10

【0066】

図5に示すレイアウトでは、各画素は、表示装置の水平(H)方向に沿って形成されるゲートラインGLの行間と、概ね表示装置の垂直(V)方向に沿って形成されるデータラインDLの行間との位置に構成されている。また、電源ラインPLは、データラインDLとほぼ並んで垂直方向(マトリクスの列方向)に形成されており、各画素領域内では、データラインDLとこのデータラインDLに接続される画素の有機EL素子26との間を通っている。そして、後述するように選択TFT20、補正TFT22及び保持容量28はデータラインDLと電源ラインPLとの間、駆動TFTと有機EL素子26は、電源ラインPLと隣の列のデータラインDLとの間に配置されている。

20

【0067】

選択TFT20は、ゲートラインGLとデータラインDLとの交点付近に形成されている。ゲートラインGLからは、画素領域に向かって突出部が形成され、間にゲート絶縁膜104を挟んで、ゲートラインGLに沿って伸びる半導体層120の一部分を横切るように覆っている。このゲートラインGLからの突出部がTFT20のゲート電極20gとなり、半導体層120のこのゲート電極20gに覆われた領域がチャンネル領域になっている。

【0068】

選択TFT20に接続されている補正TFT22は、データラインDLと電源ラインPLとに挟まれた領域にそのチャンネル長方向がデータラインDLの延在方向(垂直方向)に沿うように配置されている。また、この補正TFT22の能動層は、データラインDLと一部が重なるようにデータラインDLの下層に形成されている。この補正TFT22と次行のゲートラインGLに近接して配置された容量ラインSCとの間には、より具体的には該容量ラインSCに沿って、保持容量28が配置されている。また駆動TFT24が、電源ラインPLを挟んで補正TFT22の形成領域と反対側の領域(有機EL素子領域26側)に配置されており、その能動層を構成する半導体層124の少なくともチャンネル領域24cは、補正TFT22のチャンネル領域22cとできるだけ近接して配置されるようにレイアウトされている。

30

【0069】

ここで、本実施形態において、選択TFT20の能動層と、補正TFT22の能動層及び保持容量28の容量電極28eは、単一の半導体層120によって一体的に形成されている(もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い)。

40

【0070】

選択TFT20の形成領域では、データラインDLと半導体層120とは、ゲート絶縁膜104及び層間絶縁膜106を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層120は、データラインDLの下層領域(データラインDLとのコンタクト領域)からゲートラインGLに沿って電源ラインPLと重なる位置まで伸び、重なった位置から電源ラインPLの下層を電源ラインPLの延在方向に沿って垂直方向に伸びる。さらに、この半導体層120は、補正TFT22のゲート電極22gと電

50

源ライン P L とのコンタクト付近の手前で、電源ライン P L の下層位置からゲートライン G L の延在方向に平行な方向に曲がり、データライン D L に向かって延びる。

【 0 0 7 1 】

なお、選択 T F T 2 0 の形成領域では、半導体層 1 2 0 は、データライン D L と接続された不純物注入領域が第 1 導電領域（例えばドレイン領域 2 0 d ）となり、ゲート電極 2 0 g と重なり不純物の注入されない真性領域がチャネル領域 2 0 c を構成し、このチャネル領域 2 0 c を挟んだ反対側に、第 1 導電領域と同じ導電型の不純物が注入された第 2 導電領域（例えばソース領域 2 0 s ）が構成されている。

【 0 0 7 2 】

電源ライン P L の下層からデータライン D L に向かって延びた半導体層 1 2 0 は、データライン D L と再び交差する付近（選択 T F T 2 0 の第 1 導電領域 2 0 d 付近）でデータライン D L の延在方向に曲がり、少なくとも一部が電源ライン P L の形成領域に重なりながら（この例ではデータライン D L と一部重なっている）、データライン D L と電源ライン P L との間の領域を容量ライン S C の形成領域まで垂直方向に延在している。

【 0 0 7 3 】

また、半導体層 1 2 0 がデータライン D L に沿って配置された領域は、補正 T F T 2 2 の能動層を構成しており、この能動層のゲート絶縁膜 1 0 4 を挟んだ上方には、補正 T F T 2 2 のゲート電極 2 2 g が配置され、このゲート電極 2 2 g は、層間絶縁膜 1 0 6 に形成されたコンタクトホールを介して電源ライン P L に接続されている。このゲート電極 2 2 g は、電源ライン P L とのコンタクト位置からデータライン D L に向かって延び、半導体層 1 2 0 （補正 T F T 2 2 の能動層）と重なる位置で曲がり、データライン D L の延在方向に延び、半導体層 1 2 0 の上層を覆い、かつデータライン D L 及び電源ライン P L と一部重なるようにこれらの下層に形成されている。

【 0 0 7 4 】

半導体層 1 2 0 のゲート電極 2 2 g に覆われた領域は、補正 T F T 2 2 の不純物のドーピングされていないチャネル領域 2 2 c となり、チャネル領域 2 2 c を挟んで選択 T F T 2 0 側には該選択 T F T 2 0 とは異なる導電型の不純物が注入された第 1 導電領域（ここでは例えばソース領域 2 2 s ）が形成され、容量ライン S C 側には第 1 導電領域 2 2 s と同一の不純物の注入された第 2 導電領域（ここではドレイン領域 2 2 d ）が形成されている。なお、データライン D L 及び電源ライン P L とこの補正 T F T 2 2 の少なくともチャネル領域 2 2 c をこれらのラインと一部重ねてこれらの下層に形成することで、補正 T F T 2 2 をデータライン D L と電源ライン P L の間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極 2 2 g がそのチャネル領域 2 2 c とデータライン D L 及び電源ライン P L との層間に配置することでチャネル領域 2 2 c がデータライン D L から電氣的にシールドされており、補正 T F T 2 2 の動作がデータライン D L に印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正 T F T 2 2 のゲート電極 2 2 g は電源ライン P L に接続されているので、この補正 T F T 2 2 の能動層、特にチャネル領域 2 2 c が電源ライン P L と重なるように配置されても、チャネル領域 2 2 c に対して印加される電圧はゲート電極 2 2 g に覆われるのと実質的に変わらない。よって、補正 T F T 2 2 の能動層の大半の領域を電源ライン P L の下層に形成することも可能であり、このような配置とすれば、1 画素内での開口率、つまり発光に寄与する有機 E L 素子 2 6 の形成面積を最大限大きくすることが可能となる。

【 0 0 7 5 】

半導体層 1 2 0 は、補正 T F T 2 2 の第 2 導電性領域の形成領域から容量ライン S C に向かって延び、容量ライン S C と交差する位置で曲がり、容量ライン S C の延在方向である水平方向に、この容量ライン S C と、間にゲート絶縁膜 1 0 4 を挟んで重なるようにパターンニングされ、半導体層 1 2 0 の容量ライン S C と重なる領域が容量電極（第 1 電極）2 8 e として機能し、容量ライン S C （第 2 電極）と、この容量電極 2 8 e とが、間にゲート絶縁膜 1 0 4 を挟んで対向配置される領域が保持容量 2 8 となっている。

【 0 0 7 6 】

10

20

30

40

50

補正TF T 2 2の第2導電領域2 2 dと保持容量2 8の容量電極2 8 eとの間には、層間絶縁膜1 0 6及びゲート絶縁膜1 0 4に形成されたコンタクトホールを介して金属配線2 4 wが接続されている。この金属配線2 4 wは、容量ラインS Cの延在方向に沿って形成され、層間絶縁膜1 0 6に形成されたコンタクトホールにおいて、駆動TF T 2 4のゲート電極2 4 gと接続されている。

【0077】

駆動TF T 2 4のゲート電極2 4 gは、金属配線2 4 wとのコンタクト領域から自行のゲートラインG Lの形成方向（図では上方向）に向かって延び、途中で電源ラインP Lの下層を横切り、電源ラインP Lの有機E L素子2 6側にこの電源ラインP Lの延在方向に沿って形成されている。

【0078】

ここで、電源ラインP Lは、補正TF T 2 2のゲート電極2 2 gとのコンタクト領域付近からデータラインD Lに近づくように曲がり、上記金属配線2 4 wの近くでは、その形成領域を迂回するよう有機E L素子2 6側に曲がり、駆動TF T 2 4の能動層を構成する半導体層1 2 4とのコンタクト付近からは次行の画素に向かって垂直方向に延びている。そして、駆動TF T 2 4は、電源ラインP LがデータラインD L側に近づくことで有機E L素子2 6との間に形成されたスペースに形成されている。

【0079】

駆動TF T 2 4の能動層を構成する半導体層1 2 4には、上方がゲート電極2 4 gに覆われた領域にチャンネル領域2 4 cが形成され、電源ラインP Lとの接続側には第1導電領域（ここではソース領域2 4 s）が形成され、さらに、有機E L素子2 6との接続側に第2導電領域（ここではドレイン領域2 4 d）が形成されている。チャンネル領域2 4 cは、不純物のドーパされない真性領域で、その両側に形成される第1及び第2導電領域（2 4 s及び2 4 d）には、上記補正TF T 2 2と同一の導電型の不純物がドーパされている。なお、駆動TF T 2 4の第1導電領域2 4 sは、層間絶縁膜1 0 6及びゲート絶縁膜1 0 4に形成されたコンタクトホールにおいて、電源ラインP Lと接続されている。また駆動TF T 2 4の第2導電領域2 4 dは、層間絶縁膜1 0 6及びゲート絶縁膜1 0 4に形成されたコンタクトホールにおいて、例えば上記電源ラインP Lなど同一材料からなる接続電極2 4 eと接続されている。

【0080】

また、図6（a）、（b）に示すように、データラインD L、電源ラインP L上記金属配線2 4 w、接続電極2 4 eを覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層1 0 8が形成されている。そして、この平坦化絶縁層1 0 8には、上記駆動TF T 2 4に接続された接続電極2 4 eの形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層1 0 8の上に形成された有機E L素子2 6の第1電極2 6 2（ここでは陽極）と、接続電極2 4 eとが接続されている。なお、接続電極2 4 eを設けない場合には、駆動TF T 2 4の第2導電領域2 4 dの形成領域において平坦化絶縁層1 0 8及び層間絶縁膜1 0 6及びゲート絶縁膜1 0 4を貫通するコンタクトホールを形成し、有機E L素子2 6の第1電極2 6 2と第2導電領域2 4 dとを直接接続する。

【0081】

図6（b）に示すように、有機E L素子2 6は、基板側に形成され、駆動TF T 2 4に接続される画素毎に個別パターンの第1電極2 6 2と、第2電極2 6 4との間に、発光素子層2 7 0を備える。第1電極2 6 2は例えばITO（Indium Tin Oxide）等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極（正孔注入電極）として機能する。第2電極2 6 4は、例えばAlやAg等の仕事関数の小さい金属材料や、そのような金属材料と上記ITOなどとの積層構造によって構成でき、ここでは陰極（電子注入電極）として機能する。なお、画素毎に個別パターンに形成された第1電極2 6 2のエッジ部分を、平坦化絶縁層1 0 8のさらに上層に形成された第2平坦化絶縁層1 1 0によって覆い、非常に薄く形成される発光素子層2 7 0の上に形成される第2電極2 6 4とこの

10

20

30

40

50

第1電極262とが短絡することを防止している。

【0082】

発光素子層270は、この例では正孔輸送層272、発光層274、電子輸送層276の3層構造である。3層構造には限らず、用いる有機材料などにより、発光機能を備えた単層でも、2層でも、また4層以上の積層構造あっても良い。発光素子層270として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図6(b)に示すように、発光層274のみを第1電極262と同様の画素毎に個別パターンとしても良い。

【0083】

このような構成の有機EL素子26は、本実施形態においては、電源ラインPLから駆動TF T 24を介して第1電極262に供給される電流が、第2電極264との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第1電極262から注入される正孔と第2電極264から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、ここでは、透明な第1電極262及び基板100を透過して基板から外部に射出され、視認される。

10

【0084】

本実施形態においては、上述のように電源ラインPLを挟んで上記補正TF T 22と駆動TF T 24が、できるだけ近接して配置されるようにレイアウトされている。特に、補正TF T 22のチャンネル領域22cと、駆動TF T 24のチャンネル領域24cは、そのチャンネル領域の少なくとも一部が垂直方向において互いに並ぶように形成されている。

20

【0085】

本実施形態において画素内に形成される各TF Tの能動層は、プラズマCVDなどによって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ(図5参照)を、その長手方向が水平方向に一致するように設定し、その幅方向に所定ピッチずつずらしながら順次照することで多結晶化アニールして得た低温多結晶シリコン(LTPS)層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータラインDL等の延在方向である垂直方向に一致させる。図5に示すように、補正TF T 22と駆動TF T 24の各チャンネル領域22c、24cは、そのチャンネル長方向がデータラインDL等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正TF T 22及び駆動TF T 24のチャンネル長よりも小さくすることにより、いずれのチャンネル領域22c、24cに対してもそのチャンネル長方向において、チャンネルを横切るように(チャンネル幅方向に)必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャンネル領域22c、24cについても複数のレーザビームが照射されるので、全チャンネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

30

また、いわゆるレーザアニールによって形成された多結晶シリコン層をTF Tの能動層に用いる場合に、同一のパルスレーザビームを補正TF T 22及び駆動TF T 24のチャンネル領域22c、24cとなる領域に同時に照射するように、チャンネル領域22c、24cとを近接配置することで、TF T特性(特にしきい値)に大きな影響を与える多結晶化状態を両TF Tで等しくすることが容易となる。

40

【0086】

ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、長手方向が10cm~30cmの長さで、そのパルス幅は300μm程度である。そして、このような大きさのパルスレーザの走査ピッチは、例えば25μm程度、つまり、25μmずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TF T 22のチャンネル領域22cと駆動TF T 24のチャンネル領域24cを、単に近接配置されるだけでなく、垂直方向に交差する方向に引いた同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを各チャンネル領域22c、24cに照射することが可能となる。さらに、補正TF T 22及び駆動TF T 24のいずれも、そのチャンネル

50

長が少なくとも30 μm以上、より好ましくは40 μm以上に設定することで、チャンネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直方向に沿って走査することで、確実に少なくとも1つ以上の同一のパルスレーザを2つのTF Tのチャンネル領域22c、24cに照射することができる。

【0087】

さらに、同一導電型の不純物は、各ゲート電極22g、24gをマスクとして半導体層120及び124に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正TF T22と駆動TF T24の特性を等しくすることを可能としている。

【0088】

画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平方向の片側領域（図5の画素では左側にデータラインDL及び電源ラインとTF T20、22、24等の回路素子が配置され、残りの片側（図5の画素では右側）に有機EL素子26が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機EL素子26をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TF T20、22、24、保持容量28等の面積やレイアウトを変更することなく、有機EL素子26の面積のみの変更が容易であり、設計効率の向上が図れている。

【0089】

なお、図5に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平方向にずれたいわゆるデルタ配列が採用されており、一本のデータラインDLが、同色画素にデータ信号Vdataを供給する場合には、図5に示すようにデータラインDLは、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配置される同色画素の選択TF T20に接続されることとなる。このようなレイアウトが採用されていることにより、図5に示す画素の次の行の画素では、上記有機EL素子26は、図5とは逆に画素の左側、TF T20、22、24等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機EL素子と、これを制御するためのTF T等の位置関係は左右反転しない。

【0090】

ここで、本実施形態の補正TF T22は、図5に示すように半導体層で構成されるチャンネル領域22cの幅（チャンネル幅）がそのチャンネル長方向で変化している。具体的には、図5においては、選択TF T20に近い方（図の上側）で幅が広く、保持容量28及び駆動TF T24との接続側（図の下側）で幅が狭くなっている。このように補正TF T22のチャンネル幅がそのチャンネル長方向において少なくとも他と異なる部分を設けることで、補正TF T22の配置の自由度を大きくできる。なお、補正TF T22の特性としては、最も狭いチャンネル幅を基準に考えることができる。このように補正TF T22の配置自由度が高まることで、他の回路素子である駆動TF T24のゲート電極24gのレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャンネル領域を形成する半導体層の幅（チャンネル幅方向）を変更することが好適であり、他の選択TF T20、駆動TF T24等のチャンネル幅を変更してより配置の自由度を高めることも可能である。

【0091】

また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機EL素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機EL素子以外の回路素子と、周辺ドライバ回路とを形成し、その後、それらの回路素子の上方に有機EL素子を形成し、さらに素子側から封止基板をガラス基板100に被せて接着することで有機ELパネルが得られる。なお、実施形態の

10

20

30

40

50

画素回路は、このような有機ELパネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路(TFT)が形成される場合に適用することで同様の効果を得ることができる。

#### 【0092】

次に、本実施形態では、選択TFT20、補正TFT22は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いたTFTに多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正TFT22、選択TFT20がオフの時にこれらTFTを介し、データラインDLに向けて流れる電流であり、これらTFTをマルチゲート化することで、リーク電流を抑制することができる。図7に示すように補正TFT22のみをマルチゲート化してもよいし、選択TFT20のみをマルチゲート化してもよい。もちろん図9に示すように両方をマルチゲート化してもよい。

10

#### 【0093】

図7は、補正TFT22をマルチゲート化した場合の等価回路を示し、図8はこの等価回路を実現するレイアウトの一例を示す平面図である。図7の例では、補正TFT22としては、いわゆるダブルゲート構造が採用されている。具体的には、ノードTg24と選択TFT20との間に、ノードTg24にドレインが接続された第1補正TFT22-1と、この第1補正TFT22-1と選択TFT20との間に設けられた第2補正TFT22-2の2つが設けられている。第1及び第2補正TFT22-1, 22-2のゲートは、共に電源ラインPLに接続され、第1及び第2補正TFT22-1, 22-2のソースドレインは、選択TFT20とノードTg24との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動TFT24と選択TFT20との間のオフリーク耐性が高まり、保持容量28に保持される駆動TFT24のゲート電圧 $V_{g24}$ がデータラインDLにリークして適正な値から変動してしまうことを効果的に防止することができる。

20

#### 【0094】

具体的に説明すると、補正TFT22を分割することで、第1及び第2補正TFT22-1と、22-2の接続点に、選択TFT20のソース側の電圧 $V_{s20}$ (補正TFT22-2のソース電圧 $V_{d22-2}$ )と、ノードTg24の電圧 $V_{g24}$ とが分圧されて、その間の値の電圧 $V_m$ が第1補正TFT22-1のソース電圧となる。TFTのオフリーク電流は、TFTのドレインソース間電圧 $V_{ds}$ が1V低くなると約1桁低減する。従って、補正TFT22を分割することで、ノードTg24にドレインの接続される第1補正TFT22-1のドレインソース間電圧 $V_{ds}$ を小さくできオフリーク電流が低減される。

30

#### 【0095】

なお、図7のように、補正TFT22をマルチゲート化した場合において、駆動TFT24のゲートにその導電領域(ここではドレイン)が接続される第1補正TFT22-1のチャンネル領域のサイズは、他方の例えば第2補正TFT22-2のチャンネル領域のサイズと同一とする必要はない。

#### 【0096】

例えば、第1補正TFT22-1のチャンネル領域のサイズを第2補正TFT22-2のチャンネル領域のサイズよりも小さくすることにより、第1補正TFT22-1のゲート容量 $C_{g22-1}$ を小さくできる。補正TFT22のオフ時に、そのゲート容量 $C_{g22}$ から保持容量28に流れ込む電荷量が多いと、ノードTg24の電位が長時間にわたって高く維持され、容量ラインSCの立ち下げに追従した電圧低下速度が遅くなる。よって、第1補正TFT22のチャンネルサイズを小さくすることで、オフ時において、保持容量28に流れ込む第1補正TFT22-1のゲート容量 $C_{g22-1}$ からの電荷量を少なくし、ノードTg24の電圧を速く低下させることができる。この場合、第1補正TFT22-1のチャンネル領域のチャンネル長を $L_1$ 、チャンネル幅を $W_1$ 、第2補正TFT22-2のチャンネル領域のチャンネル長を $L_2$ 、チャンネル幅を $W_2$ とすると、 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好ましい。

40

#### 【0097】

50

第1補正TF T 2 2 - 1のチャンネル長L 1は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャンネル幅W 1は、レイアウトの制約から許される範囲でできるだけ大きくする。第2補正TF T 2 2 - 2のチャンネル長L 2は、長い方が、この第2補正TF T 2 2 - 2のゲート容量C g22-2からノードT g24への電荷の流出を遅くすることができるが、そうするとTF Tのオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、L 2 / W 2の値が小さくなるように、つまり、L 2を長くした分、幅W 2を大きくすることが好適である。従って、この観点からも上記W 1 × L 1 < W 2 × L 2を満たすことが好適である。

【0098】

図8は、上記のように補正TF T 2 2をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図8の例においても、選択TF T 2 0の能動層と補正TF T 2 2の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第1補正TF T 2 2 - 1, 2 2 - 2の能動層を構成する半導体層には図中1 2 2の符号を付している。この半導体層1 2 2は、上述の図5のレイアウトと同様に、データラインDLに沿って隣接行方向に向かって(図では下方)延びている。

【0099】

補正TF T 2 2 - 1, 2 2 - 2のゲート電極2 2 g (2 2 g 1, 2 2 g 2)は、共通で、電源ラインPLの下層領域で該電源ラインPLと接続されている。そして、このゲート電極2 2 gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって水平方向に延び、能動層1 2 2の上方を横切る領域が第2補正TF T 2 2 - 2のゲート電極2 2 g 2となり、ここから更にデータラインDLの形成領域まで延び、データラインDLを横切った直後に折り返してデータラインPLの下をくぐる。データラインDLをくぐった付近でゲート電極2 2 gは再び能動層1 2 2の上方を覆うようにデータラインDLの延在方向に沿って次行の画素方向に向かって延び、ここで能動層1 2 2と重なる領域が第1補正TF T 2 2 - 1のゲート電極2 2 g 1となる。なお、この第1補正TF T 2 2 - 1のゲート電極2 2 g 1は電源ラインPLと、能動層1 2 2との層間に形成され、能動層1 2 2をその上方に形成されている電源ラインPL及びデータラインDLから電氣的に遮蔽している。

【0100】

このようにゲート電極2 2 gをU字型に折り返すパターンとすることでデータラインDLに沿って垂直方向に延びる半導体層1 2 2の上方を例えば2カ所で覆うことで、ゲート電極2 2 gにそれぞれ覆われた位置にそれぞれチャンネル領域2 2 c 2, 2 2 c 1を形成することができる。半導体層1 2 2は、第2補正TF T 2 2 - 2の選択TF T 2 0のソース領域2 0 sとの接続側から順にソース領域2 2 s 2、チャンネル領域2 2 c 2(ゲート電極2 2 g 2の下層領域)、第2補正TF T 2 2 - 2のドレイン領域2 2 d 2及び第1補正TF T 2 2 - 1のソース領域2 2 s 1、チャンネル領域2 2 c 1(ゲート電極2 2 g 1の下層)、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1が形成されている。そして、第1補正TF T 2 2 - 1のドレイン領域2 2 d 1は、保持容量2 8の容量電極2 8 eと接続され(同一半導体層)、また金属配線2 4 eを介して駆動TF T 2 4のゲート電極2 4 gと接続されている。

【0101】

図8に示すようなレイアウトを採用すれば、補正TF T 2 2をマルチゲート化(ここではダブルゲート化)しても、その設置面積の増大を極力抑えることができる。

【0102】

図9は、補正TF T 2 2だけでなく上述の選択TF T 2 0についてもマルチゲート化した場合の回路構成例を示す。また、図10は、図9のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図9の例では、選択TF TをデータラインDLに対して直列接続された2つの選択TF T 2 0 - 1, 2 0 - 2より構成している。なお、2つの選択TF T 2 0 - 1, 2 0 - 2のゲートは、共にゲートラインGLに接続されている。

10

20

30

40

50

## 【 0 1 0 3 】

選択 T F T 2 0 をマルチゲート化するためには、図 5 等に示すような選択 T F T 2 0 をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図 1 0 にも示すように、選択 T F T 2 0 の能動層を構成する半導体層 1 2 0 は、選択 T F T 2 0 の形成領域付近において、データライン D L から電源ライン P L で折り返すような U 字型（コ字型）の形状となっている。従って、ゲートライン G L から突出形成されるゲート電極 2 0 g のパターンを、図 1 0 に点線で示すようにさらに延長し、電源ライン P L から折り返した半導体層 1 2 0 の上層に重なるようにすればよい。このようにゲート電極 2 0 g を延ばし、U 字型に折り返す半導体層 1 2 0 のゲートライン G L との近接側と、折り返し側の 2 カ所にゲート電極 2 0 g 1 , 2 0 g 2 を形成し、それぞれ 10

## 【 0 1 0 4 】

図 1 1 は、選択 T F T 2 2 のマルチゲート（ダブルゲート）化の別のレイアウト例を示す。図 1 1 のレイアウトでは、水平方向に延びるゲートライン G L から、データライン D L とのコンタクト領域からこのゲートライン G L に沿って水平方向に配置された半導体層 1 2 0 に向かって、2 つのゲート電極 2 0 - 1 g , 2 0 - 2 g が並んで突出形成されている。この例では、マルチゲートの選択 T F T 2 0 のチャンネル領域 2 0 c 1 , 2 0 c 2 は、ゲートライン G L の延在方向である水平方向に並んで配置されている。 20

## 【 0 1 0 5 】

以上図 9 及び図 1 0 又は図 1 1 に示すように、補正 T F T 2 2 だけでなく、選択 T F T 2 0 もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

## 【 0 1 0 6 】

図 1 2 には、更に別の回路構成例が示されている。図 1 2 に示す 1 画素あたりの等価回路構成では、データライン D L に一端（第 1 導電領域：例えばドレイン）が接続された選択 T F T 2 0 の他端（第 2 導電領域：例えばソース）と、前記補正 T F T 2 2 の第 1 導電領域（例えばソース）との間に、ゲートが容量ライン S C に接続されたリーク電流抑止 T F T 3 0 をさらに備えている。このリーク電流抑止 T F T 3 0 は、n チャンネル型であり、補正 T F T 2 2 とは、逆極性となっている。 30

## 【 0 1 0 7 】

このリーク電流抑止 T F T 3 0 は、容量ライン S C が H レベルの時にオンし、L レベルの時にオフする。従って、ゲートライン G L が H レベルの期間はオンしており、データライン D L のデータ電圧 V data を駆動 T F T 2 4 のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ライン S C が L レベルに下がるためオフする。即ち、容量ライン S C が立ち下がり、駆動 T F T 2 4 のゲート電位が低電圧となった場合において、このリーク電流抑止 T F T 3 0 はオフ状態を維持し、このときのデータライン D L から駆動 T F T 2 4 のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝度の均一をさらに向上することが可能となる。なお、図 1 2 に示す構成において、さらに補正 T F T 2 2 をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正 T F T をマルチゲート化するかどうかを決定することが好適である。 40

## 【 図面の簡単な説明 】

## 【 0 1 0 8 】

10

20

30

40

50

【図1】本発明の実施形態に係る画素回路の構成を示す図である。

【図2】本発明の実施形態に係るゲートラインGL、容量ラインSCに印加される信号のタイミングを示す図である。

【図3】本発明の実施形態に係るゲート電圧 $V_{g24}$ の変化状態を示す図である。

【図4】本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

【図5】本発明の実施形態に係る画素の平面構成の一例を示す図である。

【図6】図5のA-A線及びB-B線に沿った概略断面構成図である。

【図7】本発明の実施形態に係る補正TFTをマルチゲート化した場合の1画素あたりの等価回路を示す図である。

【図8】図7に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

10

【図9】本発明の実施形態に係る選択TFT及び補正TFTの両方をマルチゲート化した場合の等価回路を示す図である。

【図10】図9に示す等価回路を実現するレイアウトの一例を示す図である。

【図11】図10に示すレイアウトの他の例を示す図である。

【図12】本発明の実施形態に係る更に別の回路構成例を示す図である。

【図13】従来の画素回路の構成を示す図である。

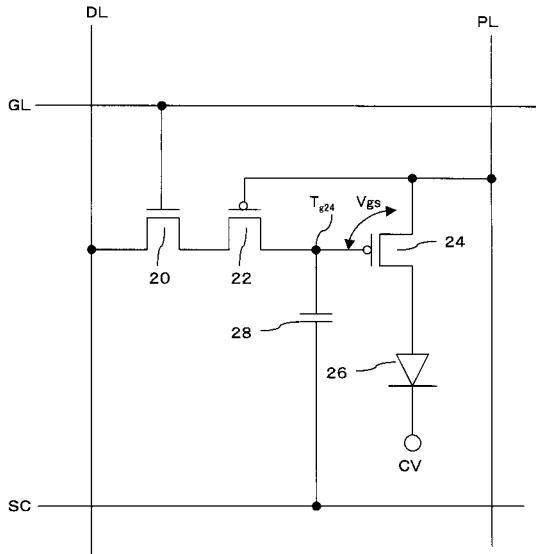
【符号の説明】

【0109】

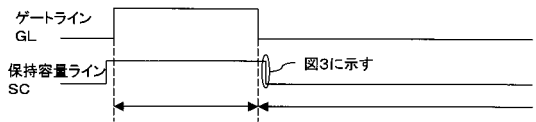
20 選択TFT、20g(20g1, 20g2) ゲート電極、22 補正TFT、  
 22-1 第1補正TFT、22-2 第2補正TFT、22g(22g1, 22g2)  
 ゲート電極、24 駆動TFT、20c、22c、24c チャンネル領域、20d、2  
 2d、24d ドレイン領域、20s、22s、24s ソース領域、24w 金属配線  
 、26 有機EL素子、28 保持容量、28e 容量電極(第1電極)、30 リーク  
 電流抑止TFT、100 透明基板、102 バッファ層、104 ゲート絶縁層、10  
 6 層間絶縁層、108 平坦化絶縁層、110 第2平坦化絶縁層、262 第1電極  
 (陽極)、264 第2電極(陰極)、270 発光素子層。

20

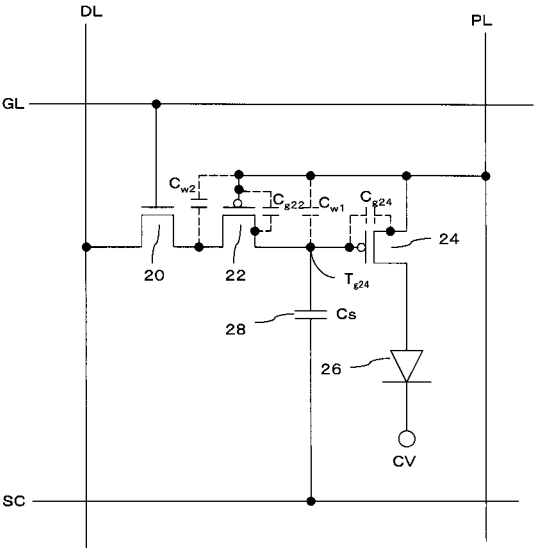
【図1】



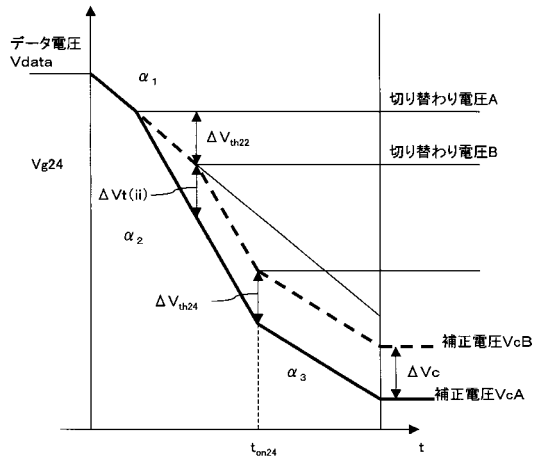
【図2】



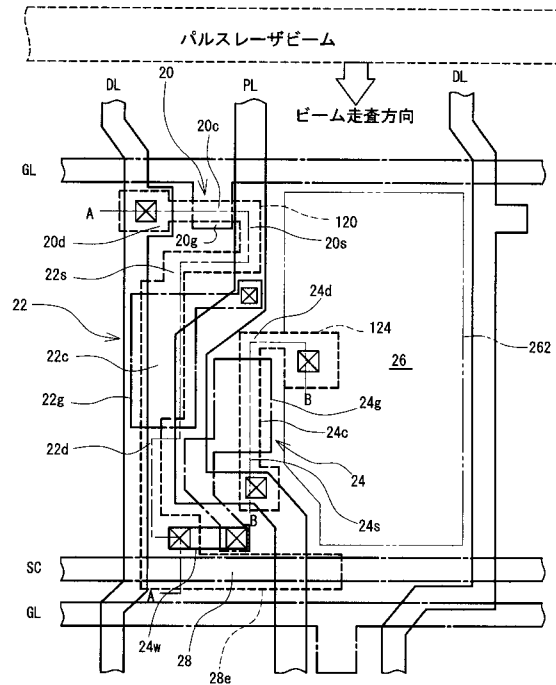
【図4】



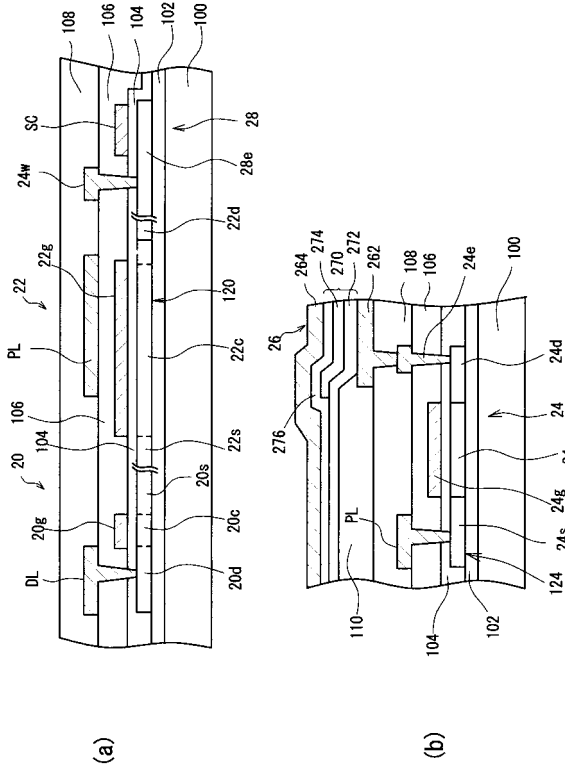
【図3】



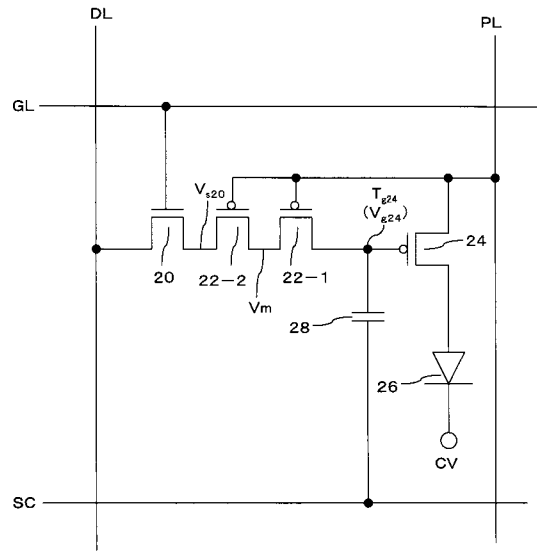
【図5】



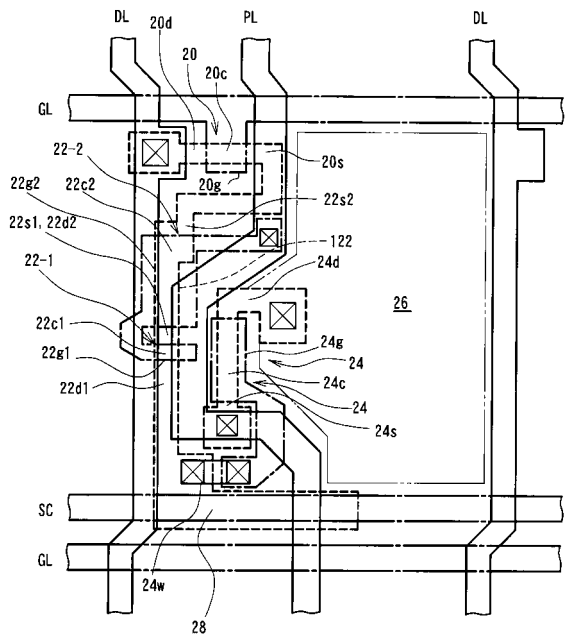
【図6】



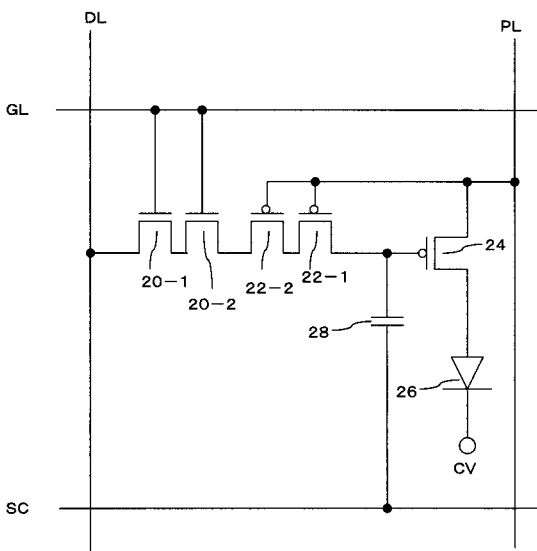
【図7】



【図8】



【図9】





## フロントページの続き

(51) Int.Cl. F I  
G 0 9 F 9/30 3 3 8  
G 0 9 F 9/30 3 6 5 Z  
H 0 5 B 33/14 A

(56) 参考文献 特開平 1 1 - 2 7 2 2 3 3 ( J P , A )  
特開 2 0 0 3 - 2 0 2 8 3 3 ( J P , A )  
特開 2 0 0 1 - 0 4 2 8 2 6 ( J P , A )  
特開 2 0 0 4 - 1 2 6 5 2 6 ( J P , A )  
特開 2 0 0 5 - 1 5 7 2 6 3 ( J P , A )  
特許第 4 1 8 0 0 1 8 ( J P , B 2 )

(58) 調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 2 0 - 3 / 3 8  
G 0 9 F 9 / 3 0  
H 0 1 L 2 7 / 3 2  
H 0 1 L 5 1 / 5 0

专利名称(译)	像素电路和显示设备		
公开(公告)号	<a href="#">JP4592330B2</a>	公开(公告)日	2010-12-01
申请号	JP2004154087	申请日	2004-05-25
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
当前申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.641.D G09G3/20.642.A G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC36 3K107/EE04 3K107/EE59 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C094/AA02 5C094/AA23 5C094/AA25 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/CA19 5C094/FB14 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB21 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC42 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CC77 5C380/CC80 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD043 5C380/DA02 5C380/DA06 5C380/HA13 5C380/HA17 5C380/HA18		
代理人(译)	吉田健治 石田 纯		
优先权	2003378581 2003-11-07 JP		
其他公开文献	JP2005157264A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

减少驱动TFT的阈值电压变化的不利影响。选择TFT和校正TFT 22 ( 22-1,22-2 ) 导通, 并且数据线的电压保持在保持电容器中作为驱动TFT 24的栅极电压。在选择TFT 20关闭之后, 存储电容器线SC的电压降低, 驱动TFT 24导通, 并且驱动电流被提供给有机EL元件26。校正TFT 22在存储电容器线SC下降之前导通, 并且在下降过程中截止, 同时校正TFT 22的电容值在栅极电压下降期间改变并且驱动TFT 24的栅极电压的下降梯度改变并且, 可以根据驱动TFT24的阈值的变化在存储电容器线SC下降之后设置栅极电压。多栅极校正TFT 22-1和-2设置在选择TFT 20和驱动TFT 24的栅极之间, 以防止在驱动TFT的栅极电压变化期间校正TFT 20的漏电流。点域7

【 图 5 】

