

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-171153

(P2013-171153A)

(43) 公開日 平成25年9月2日(2013.9.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 621M	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 612U	
	G09G 3/20 624A	
審査請求 未請求 請求項の数 2 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2012-34612 (P2012-34612)
 (22) 出願日 平成24年2月21日 (2012.2.21)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109667
 弁理士 内藤 浩樹
 (74) 代理人 100109151
 弁理士 永野 大介
 (74) 代理人 100120156
 弁理士 藤井 兼太郎
 (72) 発明者 柘植 仁志
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC14 CC33 CC42
 CC45 EE03 HH01 HH04

最終頁に続く

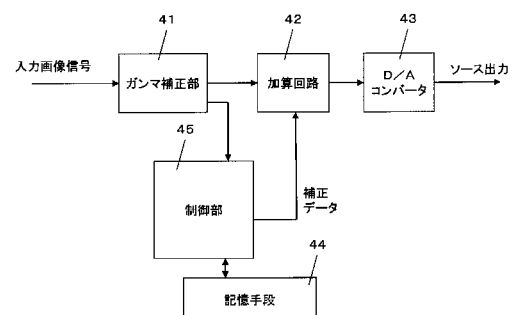
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 E L 表示パネルを用いた画像表示装置において、簡単な回路構成で大画面化を実現できるようにすることを目的とする。

【解決手段】 有機 E L 素子に電流を流す駆動トランジスタとこの駆動トランジスタのゲート・ソース間に接続されたコンデンサとを有する画素回路を複数配列した E L 表示パネルを有し、前記画素回路に画像信号に応じた信号電圧を供給して前記コンデンサを充電する書込み期間と、前記駆動トランジスタのゲート・ソース間電圧に応じた電流を前記有機 E L 素子に流して発光させる発光期間とを有する画像表示装置であって、書込み期間中に減少する電圧減少量を画素回路に印加する電圧にあらかじめ加算して印加するとともに、 E L 表示パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように電圧減少量を設定した。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

有機 EL 素子に電流を流す駆動トランジスタとこの駆動トランジスタのゲート・ソース間に接続されたコンデンサとを有する画素回路を複数配列した EL 表示パネルを有し、前記画素回路に画像信号に応じた信号電圧を供給して前記コンデンサを充電する書込み期間と、前記駆動トランジスタのゲート・ソース間電圧に応じた電流を前記有機 EL 素子に流して発光させる発光期間とを有する画像表示装置であって、前記書込み期間において、書込み期間中に減少する電圧減少量を画像信号に応じて画素回路に印加する電圧にあらかじめ加算して印加するとともに、前記 EL 表示パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように電圧減少量を設定したことを特徴とする画像表示装置。

10

【請求項 2】

前記 EL 表示パネルの各画素回路における書込み時の電圧減少量の値を記憶した記憶手段を設け、入力される画像信号にガンマ補正を行った信号に、前記記憶手段から読み出した前記電圧減少量の値に基づく補正データを加算し、そのデータに基づく電圧を各画素回路に印加するように構成したことを特徴とする請求項 1 に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流発光素子である有機 EL 素子を用いたアクティブマトリックス型の画像表示装置に関する。

20

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス (EL) 素子を用いた画像表示装置は、バックライトが不要で視野角にも制限がないため、次世代の画像表示装置として開発が進められている。

【0003】

有機 EL 素子は、流す電流量によって輝度を制御する電流発光素子である。近年は、画素回路毎に駆動トランジスタを備え有機 EL 素子を駆動するアクティブマトリックス型の有機 EL 表示装置が主流となってきた。

30

【0004】

駆動トランジスタおよびその周辺回路は、一般にポリシリコンやアモルファスシリコン等を用いた薄膜トランジスタで形成される。薄膜トランジスタは移動度および閾値電圧のばらつきが大きいという弱点があるものの、大型化が容易かつ安価であるために大型の有機 EL 表示装置に適している。

【0005】

また、薄膜トランジスタの弱点である閾値電圧のばらつきおよび経時変化を画素回路の工夫により克服する方法についても検討されている。例えば特許文献 1 には、駆動トランジスタの閾値電圧を補正する機能を有する有機 EL 表示装置とその駆動方法が開示されている。さらに特許文献 2 には、全画素の輝度 - 電圧特性のゲインとオフセットとを格納したメモリと、メモリのデータに基づき画像信号を補正する補正回路とを備え、画素間の輝度ばらつきに起因する輝度ムラを抑えた画像表示装置が開示されている。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2009 - 139125 号公報

【特許文献 2】特開 2010 - 134139 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

50

有機ＥＬ素子は電流発光素子であるため、暗い画面での消費電力が非常に少ない画像表示装置を構成することができる。特に、主に黒のバックグラウンドに文字等の表示を行う場合には、バッテリーで長時間使用することができ、携帯用、移動用、野外用の画像表示装置として有利である。

【０００８】

本発明はこのような現状に鑑みなされたものであり、簡単な回路構成で大画面化を実現できるようにすることを目的とする。

【課題を解決するための手段】

【０００９】

上記目的を達成するために本発明は、有機ＥＬ素子に電流を流す駆動トランジスタとこの駆動トランジスタのゲート・ソース間に接続されたコンデンサとを有する画素回路を複数配列したＥＬ表示パネルを有し、前記画素回路に画像信号に応じた信号電圧を供給して前記コンデンサを充電する書込み期間と、前記駆動トランジスタのゲート・ソース間電圧に応じた電流を前記有機ＥＬ素子に流して発光させる発光期間とを有する画像表示装置であって、前記書込み期間において、書込み期間中に減少する電圧減少量を画像信号に応じて画素回路に印加する電圧にあらかじめ加算して印加するとともに、前記ＥＬ表示パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように電圧減少量を設定するように構成したことを特徴とする。

10

【発明の効果】

【００１０】

20

本発明によれば、書込み期間中に減少する電圧減少量を画像信号に応じて画素回路に印加する電圧にあらかじめ加算して印加するとともに、パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように電圧減少量の値を設定することで、安定した書込みを行え、簡単な構成で大画面化を実現することが可能となる。

【図面の簡単な説明】

【００１１】

【図１】本発明の一実施の形態における画像表示装置の構成図

【図２】同画像表示装置の画像回路の一例を示す回路図

【図３】同画像表示装置の画像表示部の動作を示すタイミングチャート

30

【図４】同画像表示装置の画像表示部の画素回路の動作を示すタイミングチャート

【図５】本発明の一実施の形態における画像表示装置の制御方法を実現するための構成の一例を示すブロック図

【発明を実施するための形態】

【００１２】

以下、本発明の一実施の形態における画像表示装置について、図面を用いて説明する。ここでは画像表示装置として、駆動トランジスタを用いて有機ＥＬ素子を発光させるアクティブマトリックス型の有機ＥＬ表示装置について説明する。

【００１３】

図１は、本発明の一実施の形態における有機ＥＬ表示装置の構成図である。

40

【００１４】

図１に示すように、有機ＥＬ表示装置は、 n 行 m 列のマトリックス状に複数配列された多数の画素回路１１（ i, j ）（ただし、 $1 \leq i \leq n$ 、 $1 \leq j \leq m$ である）と、ソースドライバ回路１２と、ゲートドライバ回路１３と、電源回路１４とを備えている。

【００１５】

ソースドライバ回路１２は、図１において列方向に配列された画素回路１１（ $1, j$ ）～ $11(n, j)$ に共通に接続されたデータ線２０（ j ）にそれぞれ独立に信号電圧 $V_{sg}(j)$ を供給する。また、ゲートドライバ回路１３は、図１において行方向に配列された画素回路１１（ $i, 1$ ）～ $11(i, m)$ に共通に接続されたゲート信号線２１（ i ）～ $24(i)$ にそれぞれゲート信号 $CNT21(i)$ ～ $CNT24(i)$ を供給する。本

50

実施の形態においては、１つの画素回路１１（ i 、 j ）に４種類のゲート信号CNT21（ i ）～CNT24（ i ）を供給しているが、ゲート信号の数はこれに限定するものではなく、必要に応じた数のゲート信号を供給すればよい。

【００１６】

電源回路１４は、全ての画素回路１１（１、１）～１１（ n 、 m ）に共通に接続された電源線３１に高圧側電圧Vddを供給し、電源線３２に低圧側電圧Vssを供給する。これら高圧側電圧Vddおよび低圧側電圧Vssの電源は、後述する有機EL素子を発光させるための電源である。また全ての画素回路１１（ i 、 j ）に共通に接続された電圧線３３に基準電圧Vrefを供給し、電圧線３４に初期化電圧Vintを供給する。

【００１７】

図２は、有機EL表示装置の画素回路１１（ i 、 j ）の回路図である。本実施の形態における画素回路１１（ i 、 j ）は、電流発光素子である有機EL素子D20と、駆動トランジスタQ20と、第１コンデンサC21と、第２コンデンサC22と、スイッチとして動作するトランジスタQ21～Q24とを備えている。

【００１８】

駆動トランジスタQ20は有機EL素子D20に電流を流す。第１コンデンサC21は画像信号に応じた信号電圧Vsg（ j ）を保持する。トランジスタQ23は第１コンデンサC21の一端に基準電圧Vrefを印加するための第１のスイッチである。トランジスタQ21は信号電圧Vsg（ j ）を第１コンデンサC21に書込むための第２のスイッチであり、トランジスタQ22は第１コンデンサC21を短絡するスイッチである。第２コンデンサC22は駆動トランジスタQ20の閾値電圧Vthを保持する。トランジスタQ24は第２コンデンサC22の一端に初期化電圧Vintを印加するための第３のスイッチである。

【００１９】

なお本実施の形態においては、駆動トランジスタQ20およびトランジスタQ21～Q24は全てNチャンネル薄膜トランジスタでありエンハンスメント型トランジスタであるものとして説明するが、本発明はこれに限定されるものではない。

【００２０】

本実施の形態における画素回路１１（ i 、 j ）は、電源線３１と電源線３２との間に駆動トランジスタQ20と有機EL素子D20とが接続されている。すなわち、駆動トランジスタQ20のドレインは電源線３１に接続され、駆動トランジスタQ20のソースは有機EL素子D20のアノードに接続され、有機EL素子D20のカソードは電源線３２に接続されている。

【００２１】

駆動トランジスタQ20のゲートとソースとの間には第１コンデンサC21と第２コンデンサC22とが直列に接続されている。すなわち、駆動トランジスタQ20のゲートには第１コンデンサC21の一方の端子が接続され、第１コンデンサC21の他方の端子は第２コンデンサC22の一方の端子に接続され、第２コンデンサC22の他方の端子は駆動トランジスタQ20のソースに接続されている。以下では駆動トランジスタQ20のゲートと第１コンデンサC21とが接続されている節点を「節点Tp1」、第１コンデンサC21と第２コンデンサC22とが接続されている節点を「節点Tp2」、第２コンデンサC22と駆動トランジスタQ20のソースとが接続されている節点を「節点Tp3」とそれぞれ呼称する。

【００２２】

トランジスタQ23のドレイン（またはソース）は基準電圧Vrefが供給されている電圧線３３に接続され、トランジスタQ23のソース（またはドレイン）は節点Tp1に接続され、トランジスタQ23のゲートはゲート信号線23（ i ）に接続されている。トランジスタQ21のドレイン（またはソース）は節点Tp2に接続され、トランジスタQ21のソース（またはドレイン）はデータ線20（ j ）に接続され、トランジスタQ21のゲートはゲート信号線21（ i ）に接続されている。

10

20

30

40

50

【 0 0 2 3 】

トランジスタQ 2 2のドレイン（またはソース）は節点T p 1に接続され、トランジスタQ 2 2のソース（またはドレイン）は節点T p 2に接続され、トランジスタQ 2 2のゲートはゲート信号線2 2（i）に接続されている。そしてトランジスタQ 2 4のドレイン（またはソース）は節点T p 3に接続され、トランジスタQ 2 4のソース（またはドレイン）は初期化電圧V i n tが供給されている電圧線3 4に接続され、トランジスタQ 2 4のゲートはゲート信号線2 4（i）に接続されている。

【 0 0 2 4 】

データ線2 0（j）には画像信号に応じた信号電圧V s g（j）が供給され、ゲート信号線2 1（i）～2 4（i）にはそれぞれゲート信号C N T 2 1（i）～C N T 2 4（i）が供給されている。

10

【 0 0 2 5 】

なお本実施の形態においては、有機E L素子D 2 0に電流が流れ始めるときのアノード・カソード間電圧（以下、「電圧V l e d」と称する）を1（V）、有機E L素子D 2 0に電流が流れないときのアノード・カソード間容量を1（p F）程度と仮定する。また駆動トランジスタQ 2 0の閾値電圧V t hを2 0（V）程度、第1コンデンサC 2 1および第2コンデンサC 2 2の静電容量を0.5（p F）と仮定する。駆動電圧については、高圧側電圧V d d = 1 0（V）、低圧側電圧V s s = 0（V）、基準電圧V r e f = 1（V）、初期化電圧V i n t = - 1（V）であるとする。しかしこれらの数値は表示装置の仕様や各素子の特性に応じて変動し、駆動電圧は表示装置の仕様や各素子の特性に応じて最適に設定することが望ましい。

20

【 0 0 2 6 】

次に、本実施の形態における画素回路1 1（i、j）の動作について説明する。

【 0 0 2 7 】

図3は、本発明の実施の形態における有機E L表示装置の動作を示すタイミングチャートである。このように1フレーム期間を初期化期間T 1、閾値検出期間T 2、書込み期間T 3、発光期間T 4の各期間に分割してそれぞれの画素回路1 1（i、j）の有機E L素子D 2 0を駆動する。初期化期間T 1では第2コンデンサC 2 2を所定の電圧に充電する。閾値検出期間T 2では駆動トランジスタQ 2 0の閾値電圧V t hを検出して第2コンデンサC 2 2に書込む。書込み期間T 3では、画像信号に応じた信号電圧V s g（j）を第1コンデンサC 2 1に書込む。そして発光期間T 4では、駆動トランジスタQ 2 0のゲート・ソース間に第1コンデンサC 2 1および第2コンデンサC 2 2の端子間電圧の和を印加して、有機E L素子D 2 0に電流を流し有機E L素子D 2 0を発光させる。

30

【 0 0 2 8 】

これらの4つの期間は、図1において行方向に配列されたm個の画素回路1 1（i、1）～1 1（i、m）で構成される画素行毎に共通するタイミングで設定し、かつ異なる画素行では互いに書込み期間T 3が重ならないように設定している。このように1つの画素行で書込み動作を行う期間に他の画素行で書込み以外の動作を行うことで、駆動時間を有効に活用することができる。

【 0 0 2 9 】

図4は、有機E L表示装置の画素回路1 1（i、j）の動作を示すタイミングチャートである。また図4には、節点T p 1～T p 3の電圧の変化も示している。以下、画素回路1 1（i、j）の動作をそれぞれの期間における動作に分けて詳細に説明する。

40

【 0 0 3 0 】

（初期化期間T 1）

時刻t 1において、ゲート信号C N T 2 1（i）をローレベルにしてトランジスタQ 2 1をオフ状態とするとともに、ゲート信号C N T 2 2（i）、C N T 2 3（i）、C N T 2 4（i）をハイレベルにしてトランジスタQ 2 2、Q 2 3、Q 2 4をオン状態とする。するとトランジスタQ 2 3を介して節点T p 1に基準電圧V r e fが印加され、さらにトランジスタQ 2 2を介して節点T p 2にも基準電圧V r e fが印加される。また節点T p

50

3 にはトランジスタ Q 2 4 を介して初期化電圧 V_{int} が印加される。

【0031】

ここで基準電圧 V_{ref} は、低圧側電圧 V_{ss} と有機 EL 素子 D 2 0 の電圧 V_{led} との和よりも低い電圧に設定されている。すなわち、 $V_{ref} < V_{ss} + V_{led}$ である。これにより、駆動トランジスタ Q 2 0 のソース電圧も電圧 ($V_{ss} + V_{led}$) よりも低くなるので、初期化期間 T 1 で有機 EL 素子 D 2 0 が発光することはない。

【0032】

また初期化電圧 V_{int} は、基準電圧 V_{ref} との差が駆動トランジスタ Q 2 0 の閾値電圧 V_{th} よりも大きくなるように設定されている。すなわち、 $V_{ref} - V_{int} > V_{th}$ である。これにより第 2 コンデンサ C 2 2 の端子間には閾値電圧 V_{th} よりも高い電圧 ($V_{ref} - V_{int}$) に充電される。また駆動トランジスタ Q 2 0 のゲート・ソース間電圧も閾値電圧 V_{th} より高い電圧 ($V_{ref} - V_{int}$) が印加されるので、高圧側電圧 V_{dd} の電源から駆動トランジスタ Q 2 0 およびトランジスタ Q 2 4 を介して初期化電圧 V_{int} の電源に電流が流れる。なお本実施の形態において、初期化期間 T 1 は $1 \mu s$ に設定している。

【0033】

(閾値検出期間 T 2)

時刻 t_2 においてゲート信号 CNT 2 4 (i) をローレベルにしてトランジスタ Q 2 4 をオフ状態とする。このとき駆動トランジスタ Q 2 0 のゲート・ソース間には第 2 コンデンサ C 2 2 の端子間電圧が印加されているために駆動トランジスタ Q 2 0 には継続して電流が流れる。そしてこの電流により第 2 コンデンサ C 2 2 の電荷が放電され、第 2 コンデンサ C 2 2 の端子間電圧が低下しはじめる。しかし第 2 コンデンサ C 2 2 の端子間電圧は依然として閾値電圧 V_{th} より高いので駆動トランジスタ Q 2 0 には電流が減少しつつも流れ続ける。そのため第 2 コンデンサ C 2 2 の端子間電圧は徐々に低下し続ける。このようにして第 2 コンデンサ C 2 2 の端子間電圧は閾値電圧 V_{th} に漸近する。そして第 2 コンデンサ C 2 2 の端子間電圧が閾値電圧 V_{th} に等しくなった時点で駆動トランジスタ Q 2 0 に電流が流れなくなり、第 2 コンデンサ C 2 2 の端子間電圧の低下も止まる。

【0034】

ここで駆動トランジスタ Q 2 0 はゲート・ソース間電圧で制御される電流源として動作するので、第 2 コンデンサ C 2 2 の端子間電圧が低下するにともない駆動トランジスタ Q 2 0 に流れる電流も減少する。そのため第 2 コンデンサ C 2 2 の端子間電圧が閾値電圧 V_{th} にほぼ等しくなるまでに非常に長い時間を要する。加えて有機 EL 素子 D 2 0 の大きな静電容量が第 2 コンデンサ C 2 2 の静電容量に加算されることも長い時間を要する要因となっている。実用的にはトランジスタをスイッチング動作させてコンデンサを充放電させる場合と比較して $10 \sim 100$ 倍の時間を要する。そのため本実施の形態においては閾値検出期間 T 2 を $10 \mu s$ に設定している。

【0035】

(書込み期間 T 3)

時刻 t_3 において、データ線 2 0 (j) には画素回路 1 1 (i , j) が表示すべき画像信号に応じた信号電圧 $V_{sg}(j)$ が供給される。しかしデータ線 2 0 (j) は比較的大きな等価容量を有し、またデータ線 2 0 (j) 自身もある程度のインピーダンスを有するので、図 4 に示すように、信号電圧 $V_{sg}(j)$ が確定するまでにある程度の時間を要する。

【0036】

信号電圧 $V_{sg}(j)$ が確定した時刻 t_3 において、ゲート信号 CNT 2 2 (i) をローレベルにしてトランジスタ Q 2 2 をオフ状態とする。その後、ゲート信号 CNT 2 1 (i) をハイレベルにしてトランジスタ Q 2 1 をオン状態とする。すると節点 Tp 2 が信号電圧 $V_{sg}(j)$ となり、第 1 コンデンサ C 2 1 の端子間は電圧 ($V_{ref} - V_{sg}$) に充電される。以下では、この電圧 ($V_{ref} - V_{sg}$) を信号電圧 V_{sg}' と記載する。

【0037】

10

20

30

40

50

本実施の形態においては、信号電圧 $V_{sg}(j)$ が確定するまでの時間、すなわちトランジスタ Q_{21} をオン状態として第1コンデンサ C_{21} を充電する時間を $1\mu s$ と設定している。

【0038】

(発光期間 T_4)

時刻 t_5 において、ゲート信号 $CNT_{21}(i)$ をローレベルにしてトランジスタ Q_{21} をオフ状態とし、ゲート信号 $CNT_{23}(i)$ をローレベルにしてトランジスタ Q_{23} をオフ状態とする。すると節点 $Tp_1 \sim Tp_3$ は一旦フローティング状態となる。しかし、駆動トランジスタ Q_{20} のゲート・ソース間には電圧 ($V_{sg}' + V_{th}$) が印加されているので、ソース電圧が上昇して、駆動トランジスタ Q_{20} のゲート・ソース間電圧に応じた電流を有機EL素子 D_{20} に流す。

10

【0039】

このときの電流 I は、 $I = K \cdot (V_{GS} - V_{th}) = K \cdot V_{sg}'$ (ただし V_{GS} はゲート・ソース間電圧、 K は定数である。) となり、閾値電圧 V_{th} を含まない。

【0040】

このように、有機EL素子 D_{20} に流れる電流には閾値電圧 V_{th} の影響が含まれない。従って有機EL素子 D_{20} に流れる電流は、駆動トランジスタ Q_{20} の閾値電圧 V_{th} のばらつきの影響を受けることがない。また閾値電圧 V_{th} が経時変化等により変動した場合であっても、画像信号に対応した輝度で有機EL素子 D_{20} を発光させることができる。

20

【0041】

なお発光期間 T_4 の後に、必要に応じて非発光期間を設けてもよい。非発光期間は、トランジスタ Q_{22} 、 Q_{23} 、 Q_{24} の少なくとも1つをオン状態とすることで実現できる。

【0042】

また閾値検出期間 T_2 において、トランジスタ Q_{22} をオン状態とすることが望ましいが、第1コンデンサ C_{21} のリーク電流を無視できればトランジスタ Q_{22} をオフ状態としてもよい。この場合にはゲート信号 $CNT_{22}(i)$ とゲート信号 $CNT_{24}(i)$ とを共用することができる。

【0043】

ところで、このような有機EL表示装置においては、画像信号の書き込みに伴い、駆動トランジスタ Q_{20} のゲート・ソース間には、第1コンデンサ C_{21} の端子間電圧と第2コンデンサ C_{22} の端子間電圧との和の電圧 ($V_{sg}' + V_{th}$) が印加されるが、このとき信号電圧 $V_{sg}' > 0$ であれば駆動トランジスタ Q_{20} に電流が流れ、有機EL素子 D_{20} の電圧が上昇し、第1コンデンサ C_{21} 、第2コンデンサ C_{22} の電荷が減少してしまうため、短時間の書き込み期間で駆動している。

30

【0044】

しかしながら、大型の有機EL表示装置においては、パネルの中央部と端部とでは、ゲート線容量の違いにより書き込み期間に差が発生し、これにより書き込み終了時点での画像信号に応じた電荷量にばらつきが発生することから、所定の書き込み期間内に十分な書き込みを実現することができなくなる可能性がある。

40

【0045】

そこで、本発明は、短時間の書き込み期間で十分な書き込みが確保できるように、書き込み期間中に減少する電圧減少量 ΔV を画像信号に応じて画素回路に印加する電圧にあらかじめ加算して印加するとともに、パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように ΔV の値を設定することで、安定した書き込みを行えるようにしたものである。以下、本発明の構成について詳細に説明する。

【0046】

図5は本発明による制御方法を実現するための構成の一例を示すブロック図である。

【0047】

50

図 5 に示すように、入力された画像信号は、ガンマ補正部 4 1 によりガンマ補正処理が行われ、加算回路 4 2 を通して、デジタル・アナログ (D/A) コンバータ 4 3 において D/A 変換され、ソース信号線を通して各画素に画像信号に基づく電圧が印加される。

【0048】

記憶手段 4 4 は、半導体メモリにより構成され、EL 表示パネルの各画素回路における書込み時の電圧減少量 ΔV の値が記憶されている。この各画素回路の電圧減少量 ΔV は、EL 表示パネルの製造時のプロセス条件などにより画素毎に変化するため、EL 表示パネル作製後、各画素回路に電流を流して測定し、事前に決定した基準値との差分に基づき演算することによりあらかじめ設定している。なお、EL 表示パネル作製後、実際に EL 表示パネルを点灯させ、各画素回路の点灯時の輝度を測定し、事前に決定した輝度の基準値との差分に基づき演算して、記憶手段 4 4 に記憶する各画素回路の電圧減少量 ΔV の値を設定するようにしてもよい。

10

【0049】

制御部 4 5 は、ガンマ補正処理を施した画像信号に応じて、記憶手段 4 4 にあらかじめ記憶されている各画素回路の電圧減少量 ΔV の値を読み出し、電圧減少量 ΔV の値に基づく補正データを加算回路 4 2 に入力する。すなわち、ガンマ補正処理された画像信号に対して、各画素回路の電圧減少量 ΔV の値に基づく補正データが加算され、ソース信号線を通して各画素回路に電圧減少量 ΔV の値による補正データを加算したデータに基づく電圧が印加される。

【0050】

20

上述したように、EL 表示パネルの中央部と端部とでは、ゲート線容量の違いにより書込み期間に差が発生することから、本発明においては、この EL 表示パネルの中央部と端部の間のゲート線容量による影響を考慮し、EL 表示パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように、電圧減少量 ΔV の値を設定し、記憶手段 4 4 に記憶している。

【0051】

以上のように本発明は、書込み期間中に減少する電圧減少量を画像信号に応じて画素回路に印加する電圧にあらかじめ加算して印加するとともに、EL 表示パネルの中央部領域の画素回路に印加する電圧に比べて、端部領域の画素回路に印加する電圧が大きくなるように電圧減少量の値を設定することで、安定した書込みを行え、簡単な構成で大画面化を実現することが可能となる。

30

【産業上の利用可能性】

【0052】

本発明は、EL 表示パネルを用いた画像表示装置の大画面化に有用な発明である。

【符号の説明】

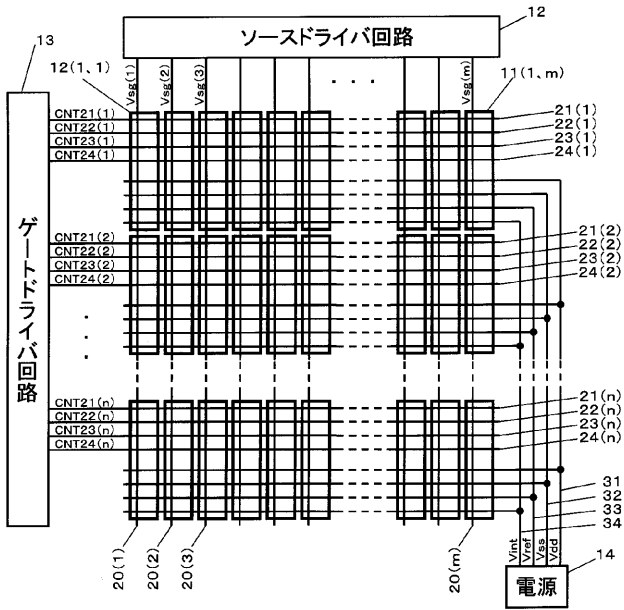
【0053】

- 1 1 画素回路
- 1 2 ソースドライバ回路
- 1 3 ゲートドライバ回路
- 1 4 電源回路
- D 2 0 有機 EL 素子
- Q 2 0 駆動トランジスタ
- C 2 1 第 1 コンデンサ
- C 2 2 第 2 コンデンサ (補正コンデンサ)
- Q 2 1、Q 2 2、Q 2 3、Q 2 4 トランジスタ
- 4 1 ガンマ補正部
- 4 2 加算回路
- 4 3 D/A コンバータ
- 4 4 記憶手段
- 4 5 制御部

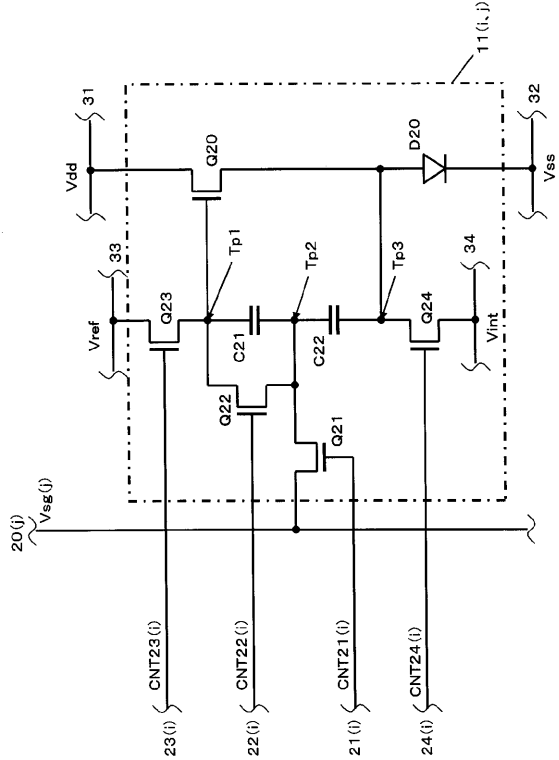
40

50

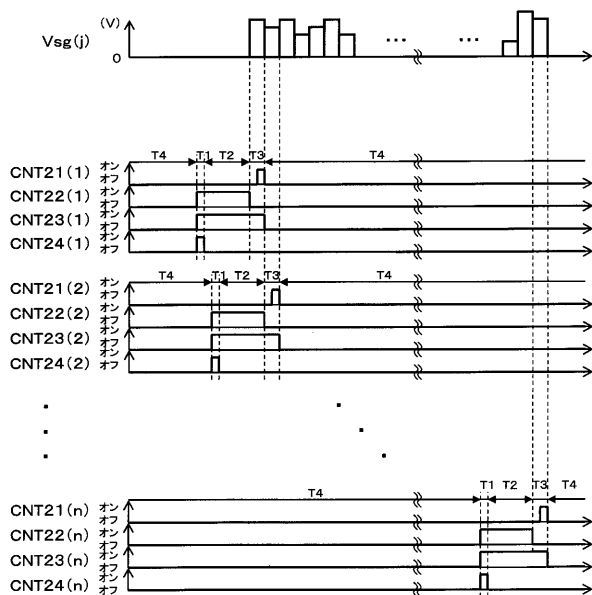
【図 1】



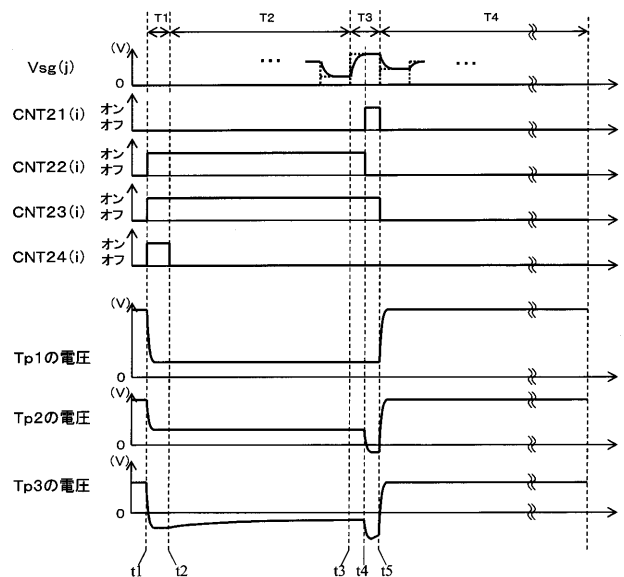
【図 2】



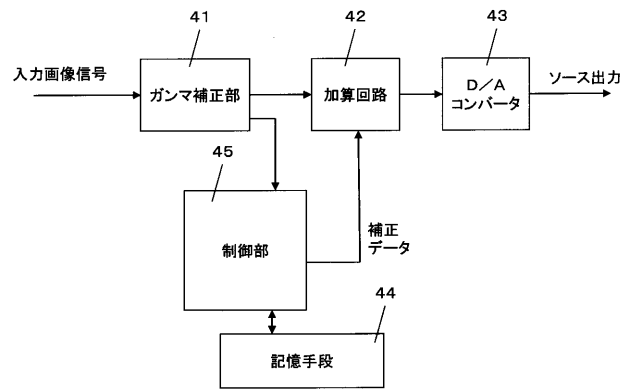
【図 3】



【図 4】



【図 5】



 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 V
	G 0 9 G 3/20	6 4 1 Q
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

F ターム(参考)	5C080	AA06	BB05	CC06	DD05	JJ02	JJ03	JJ04			
	5C380	AA01	AB06	AB22	AB23	AC04	BA19	BA24	BA39	BA45	BB03
		BB23	CA08	CA12	CB01	CC04	CC07	CC27	CC33	CC38	CC41
		CC65	CD025	CF13	DA02	DA06	DA47	EA02			

专利名称(译)	画像表示装置		
公开(公告)号	JP2013171153A	公开(公告)日	2013-09-02
申请号	JP2012034612	申请日	2012-02-21
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	柘植仁志		
发明人	柘植 仁志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.621.M G09G3/20.641.D G09G3/20.612.U G09G3/20.624.A G09G3/20.631.V G09G3/20.641.Q G09G3/20.641.P G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC42 3K107/CC45 3K107/EE03 3K107/HH01 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC06 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AC04 5C380/BA19 5C380/BA24 5C380/BA39 5C380/BA45 5C380/BB03 5C380/BB23 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC41 5C380/CC65 5C380/CD025 5C380/CF13 5C380/DA02 5C380/DA06 5C380/DA47 5C380/EA02		
代理人(译)	内藤裕树 长野大辅 藤井 兼太郎		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供一种采用电致发光（EL）显示板的图像显示装置，其中可以用简单的电路结构实现大屏幕。解决方案：一种图像显示装置，包括EL显示面板，其中布置有多个像素电路，所述多个像素电路具有用于向有机EL元件提供电流的驱动晶体管 and 连接在驱动晶体管的栅极与其源极之间的电容器，并且被配置为具有用于根据图像信号向像素电路提供信号电压以对电容器充电的写入时间段以及用于根据栅极之间的电压向有机EL元件供应电流的发光时间段驱动晶体管及其源极发光。在其写入时段期间要降低的电压降低量被预先添加并施加到要施加到像素电路的电压，并且与要施加到EL显示面板的中心区域中的像素电路的电压相比，电压设定减小量使得施加到周边区域中的像素电路的电压更大。

