

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-101401
(P2013-101401A)

(43) 公開日 平成25年5月23日(2013.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 670K	
	G09G 3/20 611D	
審査請求 有 請求項の数 10 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2013-31361 (P2013-31361)
 (22) 出願日 平成25年2月20日 (2013. 2. 20)
 (62) 分割の表示 特願2010-514358 (P2010-514358) の分割
 原出願日 平成21年5月26日 (2009. 5. 26)
 (31) 優先権主張番号 特願2008-141715 (P2008-141715)
 (32) 優先日 平成20年5月29日 (2008. 5. 29)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 中村 美香
 大阪府門真市大字門真1006番地 パナソニック株式会社内
 (72) 発明者 益本 賢一
 大阪府門真市大字門真1006番地 パナソニック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC21 CC33 CC45 GG57 HH02 HH05

最終頁に続く

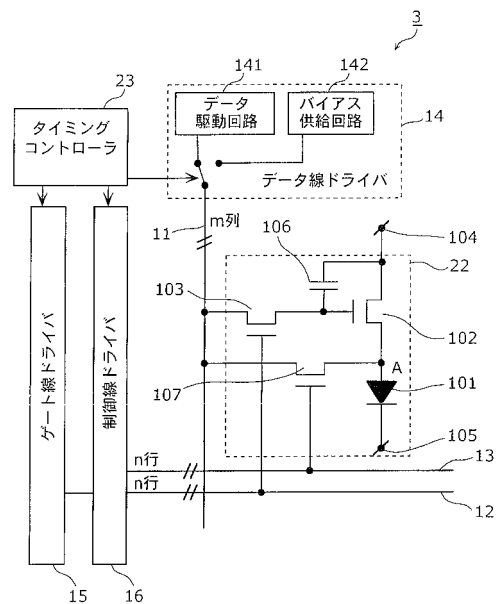
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】簡単な画素回路構成で製造歩留まりの低下がなく、表示品質を維持しつつEL素子の輝度劣化の回復を実現できる表示装置およびその駆動方法を提供する。

【解決手段】複数の発光画素を有する表示装置3であって、発光画素22は、駆動トランジスタ102と、信号電流が流れることにより発光する発光素子101と、データ線11と発光素子101との導通及び非導通を切り換えるスイッチングトランジスタ107とを備え、表示装置3は、信号電圧をデータ線11に供給するデータ駆動回路141と、所定のバイアス電圧をデータ線11に供給するバイアス供給回路142とを備え、信号電流を発光素子101に流さない期間と同期して、制御線13を電圧変化させることでスイッチングトランジスタ107をオン状態とすることにより、発光素子101のアノードに所定のバイアス電圧を印加する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、

前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、
前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、

前記発光画素のそれぞれは、

ソース及びドレインの他方が第 1 の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第 1 のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第 1 の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第 1 のトランジスタのゲートに接続され、前記データ線と前記第 1 のトランジスタのゲートとの導通及び非導通を切り換える第 2 のトランジスタと、

一方の端子が前記第 1 のトランジスタのゲート端子に接続され、他方の端子が前記第 1 のトランジスタのソース及びドレインの他方に接続された容量素子と、

アノード及びカソードの一方が、前記第 1 のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第 2 の電源端子に接続され、前記第 1 のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、

ゲートが前記複数のバイアス制御線のうち第 1 のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第 3 のトランジスタとを備え、

前記所定のバイアス電圧は、前記第 1 のトランジスタのゲートに印加された場合に前記第 1 のトランジスタがオフ状態となる電圧であり、

前記表示装置は、さらに、

前記信号電圧を前記データ線に供給するデータ駆動回路と、

所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、

前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第 1 の書き込み制御線を電圧変化させることで前記第 2 のトランジスタをオン状態とし前記第 1 のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第 1 のバイアス制御線を電圧変化させることで前記第 3 のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備える

ことを特徴とする表示装置。

【請求項 2】

前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧である

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記所定のバイアス電圧は、前記発光素子に 0 ボルトバイアスをかける電圧である

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの 1 本が信号電圧を書き込む制御をする期間と交互に設定される

ことを特徴とする請求項 1 ~ 3 のうちいずれか 1 項に記載の表示装置。

【請求項 5】

前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定

10

20

30

40

50

される

ことを特徴とする請求項 1 ~ 3 のうちいずれか 1 項に記載の表示装置。

【請求項 6】

マトリクス状に配置された複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、

前記複数の発光画素への所定のバイアス電圧の印加を制御する複数のバイアス制御線と、

前記信号電圧をデータ線に供給するデータ駆動回路と、

前記所定のバイアス電圧を前記データ線に供給するバイアス供給回路とを備え、

前記複数の発光画素のそれぞれが、

10

ソース及びドレインの他方が第 1 の電源端子に接続され、ソース及びドレインの一方が発光素子のアノード及びカソードの一方に接続され、複数のデータ線のうちいずれかのデータ線から供給された信号電圧を信号電流に変換する第 1 のトランジスタと、

ゲートが前記複数の書き込み制御線のうち第 1 の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第 1 のトランジスタのゲートに接続され、前記データ線と前記第 1 のトランジスタのゲートとの導通及び非導通を切り換える第 2 のトランジスタと、

一方の端子が前記第 1 のトランジスタのゲート端子に接続され、他方の端子が前記第 1 のトランジスタのソース及びドレインの他方に接続された容量素子と、

アノード及びカソードの他方が、第 2 の電源端子に接続され、当該第 1 のトランジスタによって変換された前記信号電流が流れることにより発光する前記発光素子と、

20

ゲートが前記複数のバイアス制御線のうち第 1 のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第 3 のトランジスタとを備える表示装置の駆動方法であって、

前記所定のバイアス電圧は、前記第 1 のトランジスタのゲート電圧に印加された場合に前記第 1 のトランジスタがオフ状態となる電圧であり、

前記データ線と前記データ駆動回路とを非導通にすると同時に前記データ線と前記バイアス供給回路とを導通させる接続切り換えステップと、

前記第 1 の書き込み制御線を電圧変化させることにより前記第 2 のトランジスタをオン状態にし、同時に、前記接続切り換えステップにおいて前記データ線と接続された前記バイアス供給回路から前記所定のバイアス電圧を印加することにより前記第 1 のトランジスタをオフ状態にする駆動トランジスタオフステップと、

30

前記駆動トランジスタオフステップおよび前記接続切り換えステップと同期して、前記第 1 のバイアス制御線を電圧変化させることにより前記第 3 のトランジスタをオン状態にすることで前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加するバイアス印加ステップとを含む

ことを特徴とする表示装置の駆動方法。

【請求項 7】

前記所定のバイアス電圧は、前記発光素子に逆バイアスにかかる電圧である

40

ことを特徴とする請求項 6 に記載の表示装置の駆動方法。

【請求項 8】

前記所定のバイアス電圧は、前記発光素子に 0 ボルトバイアスにかかる電圧である

ことを特徴とする請求項 6 に記載の表示装置の駆動方法。

【請求項 9】

前記接続切り換えステップと前記バイアス印加ステップとは、前記複数の書き込み制御線のうちの 1 本が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項 6 ~ 8 のうちいずれか 1 項に記載の表示装置の駆動方法。

【請求項 10】

前記接続切り換えステップと前記バイアス電圧印加ステップとは、前記複数の書き込み制

50

御線の全線が信号電圧を書き込む制御をするステップと交互に実行される

ことを特徴とする請求項 6 ~ 8 のうちいずれか 1 項に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に電流駆動型の発光素子を用いた表示装置およびその駆動方法に関する。

【背景技術】

【0002】

従来より、表示装置には、明るく、鮮やかに、薄く、軽く、および大面積へという進歩が求められており、技術開発も着実に進められてきている。薄く、軽く、大面積へという要求を満足させるものとして、液晶ディスプレイやプラズマディスプレイが商品化されており、その開始から 10 年以上が経過した今もなお進化中である。

10

【0003】

このような環境の中、近年は電流量に応じて発光強度が制御され、応答速度が非常に速いエレクトロルミネッセンス（以下 EL と記す）を用いたディスプレイも商品化され、技術開発が著しく進んでいる。その中でも、有機 EL 素子を用いた有機 EL ディスプレイは、視野角特性が良好で明るく、鮮やかであり、消費電力が小さいという利点を有する次世代のフラットパネルディスプレイとして注目されている。

【0004】

しかし、上述したような電流駆動型の有機 EL ディスプレイの場合、有機 EL 素子への電流印加につれ進行する輝度劣化が特に顕著である。この輝度劣化した有機 EL 素子を回復させるために、有機 EL 素子に逆バイアス電圧を印加するという手法がよく用いられ、特許文献 1 では、EL 素子に逆バイアス電圧を印加するための回路構成が開示されている。

20

【0005】

図 12 は、特許文献 1 に記載された従来の表示装置における発光画素の回路図である。同図における表示装置 500 は、発光素子 501 と、FET 502、503、504 および 505 と、容量素子 506 と、データ線 507 と、制御線 508、509、510 および 511 とを備える。

30

【0006】

図示していないデータドライバ回路からデータ線 507 を介して、信号電圧が発光画素へ供給される。このとき、制御線 508 からの電圧制御により FET 503 がオン状態であれば、信号電圧は FET 502 のゲートに印加され、FET 502 により、発光素子 501 には当該信号電圧に応じた信号電流が流れる。次に、FET 503 がオフ状態となっても、発光素子 501 は、容量素子 506 の両端子間に充電された電圧に応じた輝度で発光を継続する。このように、表示装置 500 の基本的な表示動作は、発光素子 501、FET 502 および 503、容量素子 506、データ線 507 および制御線 508 で実行される。

【0007】

上記基本動作に加えて、発光素子 501 の輝度劣化を回復させるためには、発光素子 501 に信号電流が流れていない間に、発光素子 501 のアノードに逆バイアス電圧が印加される。例えば、制御線 509 からの電圧制御により容量素子 506 の両端子間がショートされると FET 502 のゲート電圧は V_{SS} となり、FET 502 はオフ状態となる。この間に、制御線 510 からの電圧制御により、FET 505 がオン状態となる。FET 505 のオン状態と同時に制御線 511 を介して逆バイアス電圧が発光素子 501 のアノードに印加されることにより、発光素子 501 の輝度劣化の回復措置がとられている。

40

【先行技術文献】

【特許文献】

【0008】

50

【特許文献1】特許第3993117号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1では、発光素子501に逆バイアスを印加するために、発光素子501に流す順方向電流を切断するためのFET504およびその制御線509、ならびに、逆バイアスを印加するためのFET505とその制御線510および511が付加されている。つまり、合計2個のトランジスタと3本の制御線が発光動作のための基本画素回路に追加されている。

【0010】

上述した回路構成の場合、発光素子への逆バイアス電圧印加は可能であるが、画素回路の構成要素の増加は製造歩留まりの低下を招くことになる。加えて、制御線が増加すると、データ線が複数の制御線と交差するため、それらの間での相互干渉が増大する。この相互干渉は、配線負荷の増加をもたらしてしまう結果、データ線の信号波形の劣化による表示ムラの原因となる。

【0011】

上記課題に鑑み、本発明は、簡単な画素回路構成で製造歩留まりの低下がなく、表示品質を維持しつつEL素子の輝度劣化の回復を実現できる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素と、当該複数の発光画素の発光を決定する複数のデータ線とを有する表示装置であって、前記複数の発光画素への前記信号電圧の書き込みを制御する複数の書き込み制御線と、前記複数の発光画素への前記所定のバイアス電圧の印加を制御する複数のバイアス制御線とを備え、前記発光画素のそれぞれは、ソース及びドレインの他方が第1の電源端子に接続され、前記複数のデータ線のうちのデータ線を介して供給された信号電圧を信号電流に変換する第1のトランジスタと、ゲートが前記複数の書き込み制御線のうち第1の書き込み制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記第1のトランジスタのゲートに接続され、前記データ線と前記第1のトランジスタのゲートとの導通及び非導通を切り換える第2のトランジスタと、一方の端子が前記第1のトランジスタのゲート端子に接続され、他方の端子が前記第1のトランジスタのソース及びドレインの他方に接続された容量素子と、アノード及びカソードの一方が、前記第1のトランジスタのソース及びドレインの一方に接続され、アノード及びカソードの他方が第2の電源端子に接続され、前記第1のトランジスタによって変換された前記信号電流が流れることにより発光する発光素子と、ゲートが前記複数のバイアス制御線のうち第1のバイアス制御線に接続され、ソース及びドレインの一方が前記データ線に接続され、ソース及びドレインの他方が前記発光素子のアノード及びカソードの一方に接続され、前記データ線と前記発光素子との導通及び非導通を切り換える第3のトランジスタとを備え、前記所定のバイアス電圧は、前記第1のトランジスタのゲートに印加された場合に前記第1のトランジスタがオフ状態となる電圧であり、前記表示装置は、さらに、前記信号電圧を前記データ線に供給するデータ駆動回路と、所定のバイアス電圧を前記データ線に供給するバイアス供給回路と、前記データ線と前記データ駆動回路とを非導通にし、前記データ線と前記バイアス供給回路とを導通させると同時に、前記第1の書き込み制御線を電圧変化させることで前記第2のトランジスタをオン状態とし前記第1のトランジスタをオフ状態とすることにより実現された、前記信号電流を前記発光素子に流さない期間と同期して、前記第1のバイアス制御線を電圧変化させることで前記第3のトランジスタをオン状態とすることにより、前記発光素子のアノード及びカソードの一方に前記所定のバイアス電圧を印加する制御手段とを備えることを特徴とする。

【0013】

10

20

30

40

50

これにより、発光素子に印加するバイアス電圧が第1のトランジスタをオフにするゲート電圧値となるよう電圧調整されているので、容量素子の電圧変化により第1のトランジスタをオフ状態とする必要がない。つまり、発光素子にバイアス電圧が印加されている時には、同時に第1のトランジスタのゲートにも当該逆バイアス電圧が印加されている。よって、容量素子の電圧レベルを変化させるための制御線を設ける必要がないので、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので発光素子の輝度劣化の回復が可能となる。

【0014】

また、前記所定のバイアス電圧は、前記発光素子に逆バイアスをかける電圧であってもよい。

10

【0015】

これにより、経時変化により劣化した発光素子の輝度を回復させることが可能となる。

【0016】

また、前記所定のバイアス電圧は、前記発光素子に0ボルトバイアスをかける電圧であってもよい。

【0017】

これにより、発光素子のアノードとカソードとが同電位となり、発光素子が電氣的にショートされるので、経時変化により劣化した発光素子の輝度を回復させることが可能となる。

【0018】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線のうちの1本が信号電圧を書き込む制御をする期間と交互に設定されてもよい。

20

【0019】

これにより、信号電圧を書き込む期間とバイアス電圧を印加する期間との比率を任意に設定することができるので、表示仕様に応じた輝度回復措置の最適化が可能となる。

【0020】

また、前記所定のバイアス電圧を前記発光素子のアノード及びカソードの一方に印加する期間は、前記複数の書き込み制御線の全線が信号電圧を書き込む制御をする期間と交互に設定されてもよい。

30

【0021】

これにより、信号電圧が書き込まれないブランキング期間にまとめてバイアス電圧が印加されるので、当該信号電圧が書き込まれる期間を長く設定することが可能となる。また、バイアス電圧印加と信号電圧書き込みの動作周波数を低くすることができるので、発光素子におけるバイアス電圧の充放電特性の影響を小さくすることが可能となる。

【0022】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

【発明の効果】

40

【0023】

本発明の表示装置およびその駆動方法によれば、発光動作のための基本回路構成要素を、発光素子へのバイアス電圧印加動作に必要な付加回路構成要素として一部共用しているので、簡単な画素回路構成で製造歩留まりの低下がなく所定のバイアス電圧を発光素子に与えることができる。よって、表示品質を維持しつつEL素子の輝度劣化を回復することができる。

【図面の簡単な説明】

【0024】

【図1】図1は、本発明の実施の形態1に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

50

【図 2】図 2 は、本発明の実施の形態 1 に係る表示装置の動作タイミングチャートである。

【図 3】図 3 (a) ~ (d) は、本発明の実施の形態 1 に係る表示装置の状態遷移図である。

【図 4】図 4 は、本発明の実施の形態 1 に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

【図 5】図 5 は、本発明の実施の形態 2 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図 6】図 6 は、本発明の実施の形態 2 に係る表示装置の動作タイミングチャートである。

10

【図 7】図 7 は、本発明の実施の形態 3 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図 8】図 8 は、本発明の実施の形態 3 に係る表示装置の動作タイミングチャートである。

【図 9】図 9 は、本発明の実施の形態 4 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。

【図 10】図 10 は、本発明の実施の形態 4 に係る表示装置の動作タイミングチャートである。

【図 11】図 11 は、本発明の表示装置を内蔵した薄型フラット TV の外観図である。

【図 12】図 12 は、特許文献 1 に記載された従来の表示装置における発光画素の回路図である。

20

【発明を実施するための形態】

【0025】

(実施の形態 1)

本実施の形態における表示装置は、複数の発光画素と、複数のデータ線と、信号電圧を複数のデータ線に供給するデータ駆動回路と、所定のバイアス電圧を複数のデータ線に供給するバイアス供給回路とを備え、複数の発光画素のそれぞれは、データ線から供給された信号電圧を信号電流に変換する第 1 のトランジスタと、信号電流が流れることにより発光する発光素子と、データ線と発光素子との導通及び非導通を切り換える第 3 のトランジスタと、一方の端子が第 1 のトランジスタのゲート端子に接続され、他方の端子が一行前段の発光画素へデータ書き込みを許可する書き込み制御線に接続された容量素子とを備え、信号電流を発光素子に流さない期間に、データ線とデータ駆動回路との接続を非導通にし、データ線とバイアス供給回路とを導通にし、かつ、第 3 のトランジスタをオンにすることにより、発光素子のアノード及びカソードの一方に所定のバイアス電圧を印加する。

30

【0026】

これにより、発光素子へのバイアス印加に伴う制御線の本数増加が抑制され、容量素子の電圧レベルを制御するためのスイッチングトランジスタや専用の制御線を設ける必要がないので、製造歩留まりを低下させることなく輝度劣化の回復が可能となる。

【0027】

以下、本発明の実施の形態について、図面を参照しながら説明する。

40

【0028】

図 1 は、本発明の実施の形態 1 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 1 は、発光画素 10 と、データ線 11 と、ゲート線 12 および 17 と、制御線 13 と、データ線ドライバ 14 と、ゲート線ドライバ 15 と、制御線ドライバ 16 と、タイミングコントローラ 18 とを備える。

【0029】

発光画素 10 は、マトリクス状に配置された複数の発光画素のうち、n 行 m 列に配置された発光画素であり、データ線 11 を介して供給された信号電圧により発光する機能を有し、発光素子 101 と、駆動トランジスタ 102 と、スイッチングトランジスタ 103 および 107 と、電源 104 および 105 と、容量素子 106 とを備える。

50

【 0 0 3 0 】

データ線 1 1 は、データ線ドライバ 1 4 に接続され、発光画素 1 0 を含み左から m 列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【 0 0 3 1 】

また、表示装置 1 は、データ線 1 1 を含む画素列数分のデータ線を備える。

【 0 0 3 2 】

ゲート線 1 2 は、第 1 の書き込み制御線であり、ゲート線ドライバ 1 5 に接続され、発光画素 1 0 を含み上から n 行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。

【 0 0 3 3 】

制御線 1 3 は、バイアス制御線であり、制御線ドライバ 1 6 に接続され、水平方向に配列された発光画素 1 0 を含み上から n 行目の発光画素行の各発光画素へ、所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【 0 0 3 4 】

また、表示装置 1 は、制御線 1 3 を含む画素行数分の制御線を備える。

【 0 0 3 5 】

データ線ドライバ 1 4 は、データ線 1 1 を含む全データ線に接続され、当該全データ線を駆動する機能を有する。また、データ線ドライバ 1 4 は、データ駆動回路 1 4 1 と、バイアス供給回路 1 4 2 とを備え、タイミングコントローラ 1 8 により、データ線 1 1 とデータ駆動回路 1 4 1 との接続、または、データ線 1 1 とバイアス供給回路 1 4 2 との接続が選択される。

【 0 0 3 6 】

データ駆動回路 1 4 1 は、各発光画素を発光させる信号電圧を各データ線に供給する機能を有する。本実施の形態の場合、データ線を介して各発光画素へ供給される信号電圧レベルは、例えば、2 ~ 8 V である。

【 0 0 3 7 】

また、バイアス供給回路 1 4 2 は、各発光画素の有する発光素子に逆バイアスを与える機能を有する。本実施の形態の場合、データ線を介して各発光素子へ供給されるバイアス電圧レベルは、例えば、- 3 ~ - 5 V である。

【 0 0 3 8 】

なお、データ駆動回路 1 4 1 およびバイアス供給回路 1 4 2 は、データ線ドライバ 1 4 の構成要素として配置されている必要はなく、複数の画素領域の上部および下部に、それぞれ分離された構成要素として配置されていてもよい。

【 0 0 3 9 】

ゲート線ドライバ 1 5 は、ゲート線 1 2 および 1 7 を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。本実施の形態の場合、ゲート線ドライバ 1 5 から出力される電圧レベルは、例えば、- 1.5 V ~ 1.2 V である。

【 0 0 4 0 】

制御線ドライバ 1 6 は、制御線 1 3 を含む全制御線に接続され、当該全制御線を駆動する機能を有する。本実施の形態の場合、制御線ドライバ 1 6 から出力される電圧レベルは、例えば、- 5 V ~ 1.2 V である。

【 0 0 4 1 】

ゲート線 1 7 は、第 2 の書き込み制御線であり、ゲート線ドライバ 1 5 に接続され、発光画素 1 0 への信号電圧書き込みの直前に信号電圧書き込みがなされる 1 行前段の発光画素へ信号電圧を書き込むタイミングを供給する機能を有する。また、ゲート線 1 7 は、発光画素 1 0 の有する駆動トランジスタ 1 0 2 のオンオフを決定するゲート電圧を制御する機能を有する。この機能については、後述する。

【 0 0 4 2 】

また、表示装置 1 は、ゲート線 1 2 および 1 7 を含む画素行数分の制御線を備える。

【 0 0 4 3 】

10

20

30

40

50

タイミングコントローラ 18 は、データ線ドライバ 14、ゲート線ドライバ 15 および制御線ドライバ 16 に駆動タイミングを供給する機能を有する。

【0044】

次に、発光画素 10 の回路構成要素について説明する。

【0045】

発光素子 101 は、アノードが駆動トランジスタ 102 のソースおよびドレインの一方に接続され、カソードが電源 105 に接続された EL (エレクトロルミネッセンス) 素子である。発光素子 101 は、駆動トランジスタ 102 によって変換された信号電流が流れることにより発光する機能を有する。発光素子 101 は、例えば、有機 EL 素子である。

【0046】

駆動トランジスタ 102 は、第 1 のトランジスタであり、ゲートがスイッチングトランジスタ 103 を介してデータ線 11 に接続され、ソースおよびドレインの他方が電源 104 に接続されている。駆動トランジスタ 102 は、データ線 11 から供給された信号電圧を、その大きさに応じた信号電流に変換する機能を有する。駆動トランジスタ 102 は、例えば、nチャネルの FET である。

【0047】

スイッチングトランジスタ 103 は、第 2 のトランジスタであり、ゲートがゲート線 12 に接続され、ソース及びドレインの一方がデータ線 11 に接続され、ソース及びドレインの他方が駆動トランジスタ 102 のゲートに接続されている。スイッチングトランジスタ 103 は、データ線 11 と駆動トランジスタ 102 のゲートとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ 103 は、発光画素 10 に対しデータ線 11 の信号電圧値を、ゲート線 12 がハイレベルの期間供給する機能を有する。スイッチングトランジスタ 103 は、例えば、nチャネルの FET である。

【0048】

電源 104 は、駆動トランジスタ 102 の定電圧源であり、例えば、10V に設定されている。

【0049】

電源 105 は、発光素子 101 の定電圧源であり、例えば、アースされている。本実施の形態の場合、電源 104 の電位は、電源 105 の電位よりも高く設定されている。

【0050】

容量素子 106 は、一端が駆動トランジスタ 102 のゲートに接続され、他端がゲート線 17 に接続され、スイッチングトランジスタ 103 を介して供給された信号電圧レベルを蓄積する機能を有する。なお、前述したように、容量素子 106 の電圧レベルの変化による駆動トランジスタ 102 のオンオフ制御については、後述する。

【0051】

スイッチングトランジスタ 107 は、ゲートが制御線 13 に接続され、ソースおよびドレインの一方がデータ線 11 に接続され、ソースおよびドレインの他方が発光素子 101 のアノードに接続されている。スイッチングトランジスタ 107 は、データ線 11 と発光素子 101 のアノードとの導通及び非導通を切り換える。つまり、スイッチングトランジスタ 107 は、発光素子 101 に対しデータ線 11 の所定のバイアス電圧値を、制御線 13 がハイレベルの期間に供給する機能を有する。スイッチングトランジスタ 107 は、例えば、nチャネルの FET である。

【0052】

次に、本実施の形態に係る表示装置 1 の駆動方法について図 2 および図 3 を用いて説明する。

【0053】

図 2 は、本発明の実施の形態 1 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、ゲート線 17、ゲート線 12、制御線 13、データ線 11 および発光素子 101 のアノードに発生する電圧の波形図が示されている。

10

20

30

40

50

【0054】

また、図3(a)~(d)は、本発明の実施の形態1に係る表示装置の状態遷移図である。

【0055】

まず、時刻 t_0 において、ゲート線12の電圧レベルを V_{goff2} から V_{gon} に変化させ、スイッチングトランジスタ103をオン状態とする。なお、本実施の形態において、例えば、 V_{gon} は12V、 V_{goff2} は-15Vに設定されている。

【0056】

$t_0 \sim t_1$ の期間、スイッチングトランジスタ103はオン状態を維持し、この期間に容量素子106に対してデータ線11に供給されている信号電圧を書き込む。図3(a)は、この $t_0 \sim t_1$ の期間での表示装置1の状態である。容量素子106に書き込まれた信号電圧値と電源104との電位差により、駆動トランジスタ102を流れる電流量が決定し、その電流量に対応する明るさで発光素子101が発光する。このとき、発光素子101のアノードAの電位は、信号電圧に対応する信号電流を流したときの発光素子101の順方向電圧分だけ、電源105の電位よりも高い電位 V_{and1} となる。

10

【0057】

次に、時刻 t_1 において、ゲート線12の電圧レベルを V_{goff1} に変化させ、スイッチングトランジスタ103をオフ状態とする。なお、本実施の形態において、例えば、 V_{goff1} は-5Vに設定されている。

【0058】

$t_1 \sim t_2$ の期間において、容量素子106に書き込まれた信号電圧と電源104との電位差により決定する信号電流で発光素子101は発光を継続する。図3(b)は、この $t_1 \sim t_2$ の期間での表示装置1の状態である。発光素子101のアノードAの電位は V_{and1} を維持している。

20

【0059】

次に、時刻 t_2 において、ゲート線17の電圧レベルを V_{goff2} に変化させることにより、駆動トランジスタ102のゲート電圧が容量結合により負側に变化し、駆動トランジスタ102をオフ状態とする。同時に、制御線13の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ107をオン状態とするので、発光素子101のアノードにデータ線11の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ14において、データ駆動回路141とデータ線11との接続をオフとしバイアス供給回路142とデータ線11との接続をオンとすることにより、発光素子101のアノードの電位は、所定のバイアス電圧へと変化する。なお、本実施の形態において、例えば、 V_{ctlon} は12Vに設定されている。

30

【0060】

$t_2 \sim t_3$ の期間において、発光素子101のアノードの電位は所定のバイアス電圧 V_{bias} へと到達する。図3(c)は、この $t_2 \sim t_3$ の期間での表示装置1の状態である。この V_{bias} を電源105よりも低い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子101に逆バイアスを印加することができ、発光素子101の輝度劣化が回復される。なお、本実施の形態において、例えば、 V_{bias} は-3~-5Vに設定されている。

40

【0061】

次に、時刻 t_3 において、制御線13の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ107をオフ状態とする。同時に、データ線ドライバ14において、バイアス供給回路142とデータ線11との接続をオフとし、データ駆動回路141とデータ線11との接続をオンとすることにより、データ線11は発光強度を決定する信号電圧レベルに切り替わる。このとき、ゲート線17の電位レベルは V_{goff2} を維持しているので駆動トランジスタ102はオフ状態のままとなり、発光素子101のアノードの電位は固定されない。なお、本実施の形態において、例えば、 V_{ctloff} は-5Vに設定されている。図3(d)は、この $t_3 \sim t_4$ の期間での表示装置1の状態である。

50

【0062】

t₂ ~ t₄の期間は、ゲート線12に接続される画素群を1行とした場合に、データ線に供給する信号電圧を1行ずつ切り替える時間に相当し、t₂ ~ t₃の期間は、ある1行の信号電圧を書き換える期間のうちの一部の時間に相当する。t₂からt₄の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置1全面の画素内容が書き換わることになる。

【0063】

なお、t₂からt₄の期間において、t₂ ~ t₃の期間とt₃ ~ t₄の期間との比率を調整することが可能である。つまり、ゲート線17を用いて駆動トランジスタ102をオフ状態にし、スイッチングトランジスタ107を用いて発光素子101にバイアス電圧を印加する期間を、1フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

10

【0064】

次に、t₄ ~ t₅の期間において、t₂ ~ t₄の期間が繰り返され、駆動トランジスタ102およびスイッチングトランジスタ103はオフ状態となり、スイッチングトランジスタ107が周期的にオン状態になり所定のバイアス電圧V_{bias}を発光素子101のアノードに印加して逆バイアスをかけ続ける。

【0065】

次に、時刻t₅において、ゲート線17の電圧レベルをV_{gon}に変化させることにより、容量素子106の容量結合により駆動トランジスタ102のゲート電圧が上がり、発光素子101には再び容量素子106と電源104の電位差で決まる電流が流れる。

20

【0066】

最後に時刻t₆にはゲート線12の電圧レベルをV_{gon}に変化させ、スイッチングトランジスタ103をオン状態とするため、容量素子106には新たな信号電圧が書き込まれ、発光素子101は新たな強度で発光を始める。

【0067】

t₀ ~ t₆の期間は、表示装置1の全発光画素の発光強度が書き換えられる1フレーム期間に相当し、以降、t₀ ~ t₆の期間の動作が繰り返される。

【0068】

以上のように、本実施の形態によれば、表示装置1は、基本画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13を付加した簡単な構成となる。また、表示装置1は制御線ドライバ16を具備し、データ線は、画像データの書込みと発光素子へのバイアス電圧書込みの2種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子106の電圧レベルを前段の画素のゲート線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

30

【0069】

なお、所定のバイアス電圧V_{bias}は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。

40

【0070】

図4は、本発明の実施の形態1に係る表示装置の駆動タイミングの変形例を示す動作タイミングチャートである。

【0071】

まず、時刻t₀において、ゲート線12の電圧レベルをV_{gon}に変化させ、スイッチングトランジスタ103をオン状態とする。

50

【 0 0 7 2 】

t 0 から t 1 の期間、スイッチングトランジスタ 1 0 3 はオン状態を維持し、この期間に容量素子 1 0 6 に対してデータ線 1 1 に供給されている信号電圧を書き込む。図 3 (a) は、この t 0 ~ t 1 の期間での表示装置 1 の状態である。容量素子 1 0 6 に書き込まれた信号電圧値と電源 1 0 4 の電位差との電位差により、駆動トランジスタ 1 0 2 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 1 0 1 が発光する。このとき、発光素子 1 0 1 のアノード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 1 0 1 の順方向電圧分だけ、電源 1 0 5 の電位よりも高い V_{and1} となる。

【 0 0 7 3 】

次に、時刻 t 1 において、ゲート線 1 2 の電圧レベルを V_{goff1} に変化させ、スイッチングトランジスタ 1 0 3 をオフ状態とする。

10

【 0 0 7 4 】

t 1 ~ t 2 の期間において、容量素子 1 0 6 に書き込まれた信号電圧と電源 1 0 4 との電位差により決定する信号電流で発光素子 1 0 1 は発光を継続する。図 3 (b) は、この t 1 ~ t 2 の期間での表示装置 1 の状態である。発光素子 1 0 1 のアノード A の電位は V_{and1} を維持している。

【 0 0 7 5 】

次に、時刻 t 2 において、ゲート線 1 7 の電圧レベルを V_{goff1} から V_{goff2} に変化させることにより、駆動トランジスタ 1 0 2 のゲート電圧が容量結合により負側に变化し、駆動トランジスタ 1 0 2 をオフ状態とする。同時に、制御線 1 3 の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ 1 0 7 をオン状態とするので、発光素子 1 0 1 のアノードにデータ線 1 1 の電圧が書き込まれる。また、時刻 t 2 には、データ線ドライバ 1 4 において、データ駆動回路 1 4 1 とデータ線 1 1 との接続をオフとしバイアス供給回路 1 4 2 とデータ線 1 1 との接続をオンとすることにより、発光素子 1 0 1 のアノードの電位は、所定のバイアス電圧へと変化する。

20

【 0 0 7 6 】

次に、時刻 t 3 になると、制御線 1 3 の電圧レベルを V_{ctloff} に変化させることにより、スイッチングトランジスタ 1 0 7 をオフ状態とし、データ線 1 1 は発光強度を決定する信号電圧レベルに切り替わる。同時に、ゲート線 1 7 の電圧レベルを V_{goff1} に変化させることにより、容量素子 1 0 6 の容量結合のために駆動トランジスタ 1 0 2 のゲート電圧が t 1 ~ t 2 の期間における電圧と同じ電圧に戻り、発光素子には時刻 t 0 で書き込まれた信号電流が再び流れる。

30

【 0 0 7 7 】

次に、時刻 t 4 になると、ゲート線 1 2 の電圧レベルを V_{gon} に変化させ、スイッチングトランジスタ 1 0 3 をオン状態とし、容量素子 1 0 6 に新たな信号電圧を書き込む。

【 0 0 7 8 】

上述した駆動タイミングの変形例では、データ線 1 1 の時分割による発光素子 1 0 1 への逆バイアス印加期間は、発光強度を書き込まないブランキング期間であるので、本期間を自由に設定することは困難であるが、逆に、発光強度を書き込む表示期間を長く確保することが可能となる。

40

【 0 0 7 9 】

以上のように、本実施の形態に係る表示装置の駆動方法によれば、発光素子 1 0 1 へのバイアス電圧印加の期間は、発光のための信号電圧が各データ線を介して 1 行分書き込まれる期間と交互に設定されてもよいし、また、1 フレーム中に設けられたブランキング期間内に設定されてもよい。いずれの駆動タイミングを選択するかは、表示装置の表示仕様や発光素子の劣化特性に応じて決定され得る。

【 0 0 8 0 】

(実施の形態 2)

図 5 は、本発明の実施の形態 2 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 2 は、発光画素 1 0 と、データ線 1 1 と、ゲ-

50

ト線 12 と、制御線 13 と、データ線ドライバ 14 と、ゲート線ドライバ 15 と、制御線ドライバ 16 と、発光制御線ドライバ 20 と、タイミングコントローラ 21 とを備える。同図における表示装置 2 は、実施の形態 1 における表示装置 1 と比較して、発光画素 10 の構成要素である容量素子 106 が、前段の発光画素に接続されたゲート線に接続されず、専用の発光制御線に接続されている点、また、当該発光制御線を駆動する発光制御線ドライバが設けられている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態 1 と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0081】

発光制御線 19 は、上から n 行目の発光画素行の各発光画素および発光制御線ドライバ 20 に接続され、発光画素 10 の有する駆動トランジスタ 102 のゲートに接続された容量素子 106 の電圧レベルを制御する機能のみを有する。

10

【0082】

発光制御線ドライバ 20 は、発光制御線 19 を含む全発光制御線に接続され、当該全発光制御線を駆動する機能を有する。

【0083】

タイミングコントローラ 21 は、データ線ドライバ 14、ゲート線ドライバ 15、制御線ドライバ 16 および発光制御線ドライバ 20 に駆動タイミングを供給する機能を有する。

【0084】

容量素子 106 は、一端が駆動トランジスタ 102 のゲートに接続され、他端が発光制御線 19 に接続され、スイッチングトランジスタ 103 を介して供給された信号電圧レベルを蓄積する機能を有する。なお、容量素子 106 の電圧レベルの変化による駆動トランジスタ 102 のオンオフ制御については、後述する。

20

【0085】

次に、本実施の形態に係る表示装置 2 の駆動方法について図 6 を用いて説明する。

【0086】

図 6 は、本発明の実施の形態 2 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線 19、ゲート線 12、制御線 13、データ線 11 および発光素子 101 のアノードに発生する電圧の波形図が示されている。

30

【0087】

まず、時刻 t_0 において、ゲート線 12 の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ 103 をオン状態とする。同時に、発光制御線 19 の電圧レベルを V_{comoff} から V_{comon} に変化させる。

【0088】

t_0 から t_1 の期間、スイッチングトランジスタ 103 はオン状態を維持し、この期間に容量素子 106 に対してデータ線 11 に供給されている信号電圧を書き込む。容量素子 106 に書き込まれた信号電圧値と電源 104 との電位差により、駆動トランジスタ 102 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 101 が発光する。このとき、発光素子 101 のアノード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 101 の順方向電圧分だけ、電源 105 の電位よりも高い電位 V_{and1} となる。

40

【0089】

次に、時刻 t_1 において、ゲート線 12 の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ 103 をオフ状態とする。

【0090】

$t_1 \sim t_2$ の期間において、ゲート線 12 の電圧レベルが V_{goff} となっても、容量素子 106 に書き込まれた信号電圧と電源 104 との電位差により決定する信号電流で発光素子 101 は発光を継続する。

50

【 0 0 9 1 】

次に、時刻 t_2 において、発光制御線 19 の電圧レベルを V_{common} から V_{common} へ変化させることにより、駆動トランジスタ 102 のゲート電圧が容量結合により負側に变化し、駆動トランジスタ 102 をオフ状態となる。同時に、制御線 13 の電圧レベルを V_{ct1on} に変化させ、スイッチングトランジスタ 107 をオン状態とするので、発光素子 101 のアノードにデータ線 11 の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとすることにより、発光素子 101 のアノードの電位は、所定のバイアス電圧へと変化する。

【 0 0 9 2 】

$t_2 \sim t_3$ の期間において、発光素子 101 のアノードの電位は所定のバイアス電圧 V_{bias} へと到達する。この V_{bias} を電源 105 よりも低い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子 101 に逆バイアスを印加することができ、発光素子 101 の輝度劣化が回復される。

【 0 0 9 3 】

次に、時刻 t_3 において、制御線 13 の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ 107 をオフ状態とする。同時に、データ線ドライバ 14 において、バイアス供給回路 142 とデータ線 11 との接続をオフとし、データ駆動回路 141 とデータ線 11 との接続をオンとすることにより、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線 19 の電圧レベルは V_{common} を維持しているため駆動トランジスタ 102 はオフ状態のままとなり、発光素子 101 のアノードの電位は固定されない。

【 0 0 9 4 】

$t_2 \sim t_4$ の期間は、ゲート線 12 に接続される画素群を 1 行とした場合に、データ線に供給する信号電圧を 1 行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある 1 行の信号電圧を書き換える期間のうちの一部の時間に相当する。 t_2 から t_4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置 1 全面の画素内容が書き換わることになる。

【 0 0 9 5 】

なお、 t_2 から t_4 の期間において、 $t_2 \sim t_3$ の期間と $t_3 \sim t_4$ の期間との比率を調整することが可能である。つまり、ゲート線 17 を用いて駆動トランジスタ 102 をオフ状態にし、スイッチングトランジスタ 107 を用いて発光素子 101 にバイアス電圧を印加する期間を、1 フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

【 0 0 9 6 】

次に、 $t_4 \sim t_5$ の期間において、 $t_2 \sim t_4$ の期間が繰り返され、駆動トランジスタ 102 およびスイッチングトランジスタ 103 はオフ状態となり、スイッチングトランジスタ 107 が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子 101 のアノードに印加して逆バイアスをかけ続ける。

【 0 0 9 7 】

次に、時刻 t_5 において、ゲート線 12 の電圧レベルを V_{gon} に変化させることにより、スイッチングトランジスタ 103 がオン状態となり、容量素子 106 には新たな信号電圧が書き込まれ、発光素子 101 は新たな強度で発光を始める。このとき、発光素子 101 のアノードの電位は新たな発光強度に対応した電位 V_{and2} となる。

【 0 0 9 8 】

$t_0 \sim t_5$ の期間は、表示装置 2 の全発光画素の発光強度が書き換えられる 1 フレーム期間に相当し、以降、 $t_0 \sim t_5$ の期間の動作が繰り返される。

【 0 0 9 9 】

以上のように、本実施の形態によれば、表示装置 2 は、画素回路にスイッチングトランジスタ 107 を、また、画素行毎に当該スイッチングトランジスタ 107 をオンオフする

10

20

30

40

50

制御線 13 および容量素子 106 の電圧レベルを制御する発光制御線 19 を付加した簡単な構成となる。また、表示装置 2 は制御線ドライバ 16 および発光制御線ドライバ 20 を具備し、データ線 11 は、画像データの書込みと発光素子 101 へのバイアス電圧書込みの 2 種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0100】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子 101 に逆バイアスがかかる電圧でもよく、あるいは、発光素子 101 のカソードと同じ電圧値にして発光素子 101 に 0 ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための 2 値でよいので、実施の形態 1 における表示装置 1 と比較して、ゲート線ドライバの簡素化が図られる。

【0101】

また、本実施の形態において、発光素子 101 に逆バイアス電圧を印加している期間中、容量素子 106 には発光強度に対応する電位が保持されている。よって、実施の形態 1 に係る表示装置 1 の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチングトランジスタ 103 による信号電圧の再書き込みを行わなくても、発光制御線 19 の電圧レベルを変化させることにより、発光画素 10 を元の発光強度に戻すことができる。

【0102】

(実施の形態 3)

図 7 は、本発明の実施の形態 3 に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置 3 は、発光画素 22 と、データ線 11 と、ゲート線 12 と、制御線 13 と、データ線ドライバ 14 と、ゲート線ドライバ 15 と、制御線ドライバ 16 と、タイミングコントローラ 23 とを備える。同図における表示装置 3 は、実施の形態 1 における表示装置 1 と比較して、発光画素 22 の構成要素である容量素子 106 が、前段の発光画素に接続されたゲート線に接続されず、駆動トランジスタ 102 のソースおよびドレインの他方に接続されている点が回路構成として異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの駆動タイミングが異なる。実施の形態 1 と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0103】

タイミングコントローラ 23 は、データ線ドライバ 14、ゲート線ドライバ 15 および制御線ドライバ 16 に駆動タイミングを供給する機能を有する。

【0104】

容量素子 106 は、一端が駆動トランジスタ 102 のゲートに接続され、他端が駆動トランジスタ 102 のソースおよびドレインの他方に接続され、スイッチングトランジスタ 103 を介して供給された信号電圧レベルを蓄積する機能を有する。ここで、容量素子 106 の電圧レベルは、データ線 11 からスイッチングトランジスタ 103 を介して書き込まれる電圧の変化のみにより変化する。駆動トランジスタ 102 のオンオフ制御については、後述する。

【0105】

次に、本実施の形態に係る表示装置 2 の駆動方法について図 8 を用いて説明する。

【0106】

図 8 は、本発明の実施の形態 3 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、ゲート線 12、制御線 13、データ線 11 および発光素子 101 のアノードに発生する電圧の波形図が示され

10

20

30

40

50

ている。

【0107】

まず、時刻 t_0 において、ゲート線 12 の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ 103 をオン状態とする。

【0108】

t_0 から t_1 の期間、スイッチングトランジスタ 103 はオン状態を維持し、この期間に容量素子 106 に対してデータ線 11 に供給されている信号電圧を書き込む。容量素子 106 に書き込まれた信号電圧値と電源 104 との電位差により、駆動トランジスタ 102 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 101 が発光する。このとき、発光素子 101 のアノード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 101 の順方向電圧分だけ、電源 105 の電位よりも高い電位 V_{and1} となる。

10

【0109】

次に、時刻 t_1 において、ゲート線 12 の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ 103 をオフ状態とする。

【0110】

$t_1 \sim t_2$ の期間において、ゲート線 12 の電圧レベルが V_{goff} となっても、容量素子 106 に書き込まれた信号電圧と電源 104 との電位差により決定する信号電流で発光素子 101 は発光を継続する。

【0111】

次に、時刻 t_2 において、ゲート線 12 の電圧レベルを V_{goff} から V_{gon} へ変化させることにより、スイッチングトランジスタ 103 をオン状態とする。同時に、制御線 13 の電圧レベルを $V_{ctl off}$ から $V_{ctl on}$ に変化させ、スイッチングトランジスタ 107 をオン状態とする。さらに同時に、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとする。よって、容量素子 106 にはバイアス供給回路 142 から供給される電圧 V_{bias} が書き込まれると同時に発光素子 101 のアノードにも V_{bias} が印加される。

20

【0112】

この V_{bias} 電圧値を、駆動トランジスタ 102 のゲートに印加された場合に駆動トランジスタ 102 をオフ状態にする電圧値とし、かつ、発光素子 101 のカソードに接続された電源 105 よりも低い電圧値とすることで、 $t_2 \sim t_3$ の期間には発光素子 101 を発光させず、発光素子 101 に逆バイアスを印加することができる。

30

【0113】

次に、時刻 t_3 において、ゲート線 12 の電圧レベルを V_{gon} から V_{goff} へ変化させることにより、スイッチングトランジスタ 103 をオフ状態とする。同時に、制御線 13 の電圧レベルを $V_{ctl off}$ に変化させ、スイッチングトランジスタ 107 をオフ状態とする。さらに同時に、データ線ドライバ 14 において、バイアス供給回路 142 とデータ線 11 との接続をオフとし、データ駆動回路 141 とデータ線 11 との接続をオンとすることにより、データ線 11 は発光強度を決定する信号電圧レベルに切り替わる。このとき、駆動トランジスタ 102 はオフ状態を維持しているので、発光素子 101 のアノードの電位は固定されない。

40

【0114】

次に、時刻 t_4 には、再びスイッチングトランジスタ 103 および 107 をオン状態とし、同時に、データ線ドライバ 14 において、データ駆動回路 141 とデータ線 11 との接続をオフとしバイアス供給回路 142 とデータ線 11 との接続をオンとすることにより、 V_{bias} が発光素子 101 のアノードに印加されるため、発光素子 101 には V_{bias} と電源 105 との差分電圧が印加される。

【0115】

$t_2 \sim t_4$ の期間は、ゲート線 12 に接続される画素群を 1 行とした場合に、データ線

50

に供給する信号電圧を1行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある1行の信号電圧を書き換える期間のうちの一部の時間に相当する。 t_2 から t_4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置1全面の画素内容が書き換わることになる。

【0116】

なお、 t_2 から t_4 の期間において、 $t_2 \sim t_3$ の期間と $t_3 \sim t_4$ の期間との比率を調整することが可能である。つまり、スイッチングトランジスタ107を用いて発光素子101にバイアス電圧を印加する期間を、1フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

10

【0117】

次に、 $t_4 \sim t_5$ の期間において、 $t_2 \sim t_4$ の期間が繰り返され、駆動トランジスタ102はオフ状態、また、スイッチングトランジスタ103および107は周期的にオン状態となり、 V_{bias} を容量素子106と発光素子101のアノードに印加して逆バイアスをかけ続ける。

【0118】

次に、時刻 t_5 において、ゲート線12の電圧レベルを V_{gon} に変化させることによりスイッチングトランジスタ103がオン状態となる。そして、容量素子106には新たな信号電圧が書き込まれ、発光素子101は新たな強度で発光を始める。このとき、発光素子101のアノードの電位は新たな発光強度に対応した電位 V_{and2} となる。

20

【0119】

$t_0 \sim t_5$ の期間は、表示装置3の全発光画素の発光強度が書き換えられる1フレーム期間に相当し、以降、 $t_0 \sim t_5$ の期間の動作が繰り返される。

【0120】

以上のように、本実施の形態によれば、表示装置3は、画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13を付加した簡単な構成となる。また、表示装置3は制御線ドライバ16を具備し、データ線11は、画像データの書込みと発光素子101へのバイアス電圧書込みの2種類の書込みに時分割で使用される。また、発光素子101に印加するバイアス電圧を駆動トランジスタ102をオフにするレベルと共用することにより、上記回路構成の簡素化が実現される。

30

【0121】

これらの構成により、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

【0122】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。なお、上述したように、発光素子101に印加するバイアス電圧を、駆動トランジスタ102をオフにするレベルと共用することにより、その制御電圧レベルは駆動トランジスタをオンオフするための2値でよいので、実施の形態1における表示装置1と比較して、ゲート線ドライバの簡素化が図られる。

40

【0123】

(実施の形態4)

図9は、本発明の実施の形態4に係る表示装置の発光画素回路およびその周辺回路の構成を示す図である。同図における表示装置4は、発光画素24と、データ線11と、ゲート線12と、制御線13と、データ線ドライバ14と、ゲート線ドライバ15と、制御線ドライバ16と、発光制御線ドライバ20と、タイミングコントローラ25とを備える。同図における表示装置4は、実施の形態2における表示装置2と比較して、発光画素24

50

の構成要素である発光素子 101、駆動トランジスタ 102、スイッチングトランジスタ 107、電源 108 および電源 109 の接続が異なる。また、この回路構成の相違点に伴い、各ドライバを制御するタイミングコントローラの接続および駆動タイミングが異なる。実施の形態 2 と同じ点は説明を省略し、以下、異なる点のみ説明する。

【0124】

発光画素 24 は、マトリクス状に配置された複数の発光画素のうちの一つであり、データ線 11 を介して供給された信号電圧により発光する機能を有し、発光素子 101 と、駆動トランジスタ 102 と、スイッチングトランジスタ 103 および 107 と、電源 108 および 109 と、容量素子 106 とを備える。

【0125】

データ線 11 は、発光画素 24 を含み左から m 列目の発光画素列の各発光画素へ、発光強度を決定する信号電圧を供給する機能を有する。

【0126】

ゲート線 12 は、発光画素 24 を含み上から n 行目の発光画素行の各発光画素へ、上記信号電圧を書き込むタイミングを供給する機能を有する。

【0127】

制御線 13 は、水平方向に配列された発光画素 24 を含む発光画素行の各発光画素へ、所定のバイアス電圧を書き込むタイミングを供給する機能を有する。

【0128】

データ線ドライバ 14 は、タイミングコントローラ 25 により、データ線 11 とデータ駆動回路 141 との接続、または、データ線 11 とバイアス供給回路 142 との接続が選択される。

【0129】

ゲート線ドライバ 15 は、ゲート線 12 を含む全ゲート線に接続され、当該全ゲート線を駆動する機能を有する。

【0130】

発光制御線 19 は、上から n 行目の発光画素行の各発光画素および発光制御線ドライバ 20 に接続され、発光画素 24 の有する駆動トランジスタ 102 のゲートに接続された容量素子 106 の電圧レベルを制御する機能のみを有する。

【0131】

タイミングコントローラ 25 は、データ線ドライバ 14、ゲート線ドライバ 15、制御線ドライバ 16 および発光制御線ドライバ 20 に駆動タイミングを供給する機能を有する。

【0132】

次に、発光画素 24 の回路構成要素について説明する。

【0133】

発光素子 101 は、カソードが駆動トランジスタ 102 のソースおよびドレインの一方に接続され、アノードが電源 108 に接続された EL 素子である。

【0134】

駆動トランジスタ 102 は、第 1 のトランジスタであり、ゲートがスイッチングトランジスタ 103 を介してデータ線 11 に接続され、ソースおよびドレインの他方が電源 109 に接続されている。

【0135】

本実施の形態の場合、電源 108 の電位は、電源 109 の電位よりも高く設定されている。

【0136】

スイッチングトランジスタ 107 は、ゲートが制御線 13 に接続され、ソースおよびドレインの一方がデータ線 11 に接続され、ソースおよびドレインの他方が発光素子 101 のカソードに接続されている。スイッチングトランジスタ 107 は、データ線 11 と発光素子 101 のカソードとの導通及び非導通を切り換える。

10

20

30

40

50

【 0 1 3 7 】

次に、本実施の形態に係る表示装置 4 の駆動方法について図 1 0 を用いて説明する。

【 0 1 3 8 】

図 1 0 は、本発明の実施の形態 4 に係る表示装置の動作タイミングチャートである。同図において、横軸は時間を表している。また縦方向には、上から順に、発光制御線 1 9、ゲート線 1 2、制御線 1 3、データ線 1 1 および発光素子 1 0 1 のカソードに発生する電圧の波形図が示されている。

【 0 1 3 9 】

まず、時刻 t_0 において、ゲート線 1 2 の電圧レベルを V_{goff} から V_{gon} に変化させ、スイッチングトランジスタ 1 0 3 をオン状態とする。同時に、発光制御線 1 9 の電圧レベルを V_{comoff} から V_{comon} に変化させる。

10

【 0 1 4 0 】

t_0 から t_1 の期間、スイッチングトランジスタ 1 0 3 はオン状態を維持し、この期間に容量素子 1 0 6 に対してデータ線 1 1 に供給されている信号電圧を書き込む。容量素子 1 0 6 に書き込まれた信号電圧値と電源 1 0 9 との電位差により、駆動トランジスタ 1 0 2 を流れる電流量が決定し、その電流量に対応する明るさで発光素子 1 0 1 が発光する。このとき、発光素子 1 0 1 のカソード A の電位は、信号電圧に対応する信号電流を流したときの発光素子 1 0 1 の順方向電圧分だけ、電源 1 0 8 の電位よりも低い電位 V_{cat1} となる。

【 0 1 4 1 】

次に、時刻 t_1 において、ゲート線 1 2 の電圧レベルを V_{goff} に変化させ、スイッチングトランジスタ 1 0 3 をオフ状態とする。

20

【 0 1 4 2 】

$t_1 \sim t_2$ の期間において、ゲート線 1 2 の電圧レベルが V_{goff} となっても、容量素子 1 0 6 に書き込まれた信号電圧と電源 1 0 9 との電位差により決定する信号電流で発光素子 1 0 1 は発光を継続する。

【 0 1 4 3 】

次に、時刻 t_2 において、発光制御線 1 9 の電圧レベルを V_{comon} から V_{comoff} へ変化させることにより、駆動トランジスタ 1 0 2 のゲート電圧が容量結合により負側に变化し、駆動トランジスタ 1 0 2 はオフ状態となる。同時に、制御線 1 3 の電圧レベルを V_{ctlon} に変化させ、スイッチングトランジスタ 1 0 7 をオン状態とするので、発光素子 1 0 1 のカソードにデータ線 1 1 の電圧が書き込まれる。また、時刻 t_2 には、データ線ドライバ 1 4 において、データ駆動回路 1 4 1 とデータ線 1 1 との接続をオフとしバイアス供給回路 1 4 2 とデータ線 1 1 との接続をオン状態とすることにより、発光素子 1 0 1 のカソードの電位は、所定のバイアス電圧へと変化する。

30

【 0 1 4 4 】

$t_2 \sim t_3$ の期間において、発光素子 1 0 1 のカソードの電位は所定のバイアス電圧 V_{bias} へと到達する。この V_{bias} を電源 1 0 8 よりも高い電圧に設定することで $t_2 \sim t_3$ の期間に、発光素子 1 0 1 に逆バイアスを印加することができ、発光素子 1 0 1 の輝度劣化が回復される。

40

【 0 1 4 5 】

次に、時刻 t_3 において、制御線 1 3 の電圧レベルを V_{ctloff} に変化させ、スイッチングトランジスタ 1 0 7 をオフ状態とする。同時に、データ線ドライバ 1 4 において、バイアス供給回路 1 4 2 とデータ線 1 1 との接続をオフとし、データ駆動回路 1 4 1 とデータ線 1 1 との接続をオンとすることにより、データ線 1 1 は発光強度を決定する信号電圧レベルに切り替わる。このとき、発光制御線 1 9 の電位レベルは V_{comoff} を維持しているので駆動トランジスタ 1 0 2 はオフ状態のままとなり、発光素子 1 0 1 のカソードの電位は固定されない。

【 0 1 4 6 】

$t_2 \sim t_4$ の期間は、ゲート線 1 2 に接続される画素群を 1 行とした場合に、データ線

50

に供給する信号電圧を1行ずつ切り替える時間に相当し、 $t_2 \sim t_3$ の期間は、ある1行の信号電圧を書き換える期間のうちの一部の時間に相当する。 t_2 から t_4 の期間が、表示装置の発光画素の行数分繰り返されることにより、表示装置1全面の画素内容が書き換わることになる。

【0147】

なお、 t_2 から t_4 の期間において、 $t_2 \sim t_3$ の期間と $t_3 \sim t_4$ の期間との比率を調整することが可能である。つまり、ゲート線17を用いて駆動トランジスタ102をオフ状態にし、スイッチングトランジスタ107を用いて発光素子101にバイアス電圧を印加する期間を、1フレーム期間中の任意の長さに設定することが可能となる。これにより、表示装置の表示仕様に応じた輝度回復措置の最適化が可能となる。

10

【0148】

次に、 $t_4 \sim t_5$ の期間において、 $t_2 \sim t_4$ の期間が繰り返され、駆動トランジスタ102およびスイッチングトランジスタ103はオフ状態となり、スイッチングトランジスタ107が周期的にオン状態になり所定のバイアス電圧 V_{bias} を発光素子101のカソードに印加して逆バイアスをかけ続ける。

【0149】

次に、時刻 t_5 において、ゲート線12の電圧レベルを V_{gon} に変化させることにより、スイッチングトランジスタ103がオン状態となり、容量素子106には新たな信号電圧が書き込まれ、発光素子101は新たな強度で発光を始める。このとき、発光素子101のカソードの電位は新たな発光強度に対応した電位 V_{cat2} となる。

20

【0150】

$t_0 \sim t_5$ の期間は、表示装置4の全発光画素の発光強度が書き換えられる1フレーム期間に相当し、以降、 $t_0 \sim t_5$ の期間の動作が繰り返される。

【0151】

以上のように、本実施の形態によれば、表示装置4は、画素回路にスイッチングトランジスタ107を、また、画素行毎に当該スイッチングトランジスタ107をオンオフする制御線13および容量素子106の電圧レベルを制御する発光制御線19を付加した簡単な構成となる。また、表示装置2は制御線ドライバ16および発光制御線ドライバ20を具備し、データ線11は、画像データの書込みと発光素子101へのバイアス電圧書込みの2種類の書込みに時分割で使用される。これらの構成により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給でき、また、容量素子の電圧レベルを画素行毎に設けられた上記発光制御線で制御できるので、発光素子へのバイアス印加に伴う制御線やスイッチングトランジスタの増加が抑制される。よって、製造歩留まりを低下させることなく非発光時において発光素子に所定のバイアス電圧を印加できるので、輝度劣化の回復が可能となる。

30

【0152】

なお、所定のバイアス電圧 V_{bias} は、画像データの電圧値とは別に任意の電圧値に設定することができ、本実施の形態で述べたように発光素子101に逆バイアスをかける電圧でもよく、あるいは、発光素子101のカソードと同じ電圧値にして発光素子101に0ボルトのバイアス電圧を印加してもよく、いずれも輝度劣化の回復効果が得られる。また、上記発光制御線は、発光素子の輝度回復のために専用に付加されているので、その制御電圧レベルは駆動トランジスタをオンオフするための2値でよいので、実施の形態1における表示装置1と比較して、ゲート線ドライバの簡素化が図られる。

40

【0153】

また、本実施の形態において、発光素子101に逆バイアス電圧を印加している期間中、容量素子106には発光強度に対応する電位が保持されている。よって、実施の形態1に係る表示装置1の駆動タイミングの変形例と同様に、逆バイアス電圧印加後にスイッチングトランジスタ103による信号電圧の再書き込みを行わなくても、発光制御線19の電圧レベルを変化させることにより、発光画素10を元の発光強度に戻すことができる。

【0154】

50

以上のように、本発明に係る表示装置およびその駆動方法により、素子発光のための信号電圧と素子劣化回復のためのバイアス電圧とを同じデータ線を用いて発光画素へ供給できるので、発光素子へのバイアス印加に伴う制御線の本数増加が抑制される。また、発光素子への信号電流を供給する駆動トランジスタのオンオフ状態を制御する容量素子の電圧レベルが、画素行ごとに設けられた制御線により制御されるので、当該容量素子の電圧レベルを制御するためのスイッチングトランジスタを設ける必要がない。よって、発光素子へ逆バイアスを印加するための付加回路が簡素化されるので、当該表示装置の製造歩留まりを低下させることなく、非発光時において発光素子に所定のバイアス電圧を印加できるので、発光素子の輝度劣化の回復が可能となる。

【0155】

なお、以上述べた実施の形態では、スイッチングトランジスタのゲートの電圧レベルがHIGHの場合にオン状態になるn型トランジスタとして記述しているが、これらをp型トランジスタで形成し、ゲート線、制御線および発光制御線の極性を反転させた表示装置でも、発光素子への逆バイアス印加動作は可能であり、上述した各実施の形態と同様の効果を奏する。

【0156】

なお、本発明に係る表示装置は、上記実施の形態に限定されるものではない。実施の形態1ないし4及びその変形例における任意の構成要素を組み合わせる別の実施形態や、実施の形態1ないし4及びその変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0157】

例えば、実施の形態2および実施の形態4において、実施の形態1に係る表示装置の駆動タイミングの変形例に記載された、ブランキング期間内に逆バイアス電圧を発光素子に印加する駆動タイミングを使用してもよい。

【0158】

また、本発明に係る実施の形態では、駆動トランジスタおよびスイッチングトランジスタは、ゲート、ソース及びドレインを有するFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【0159】

また、例えば、本発明に係る表示装置は、図11に記載されたような薄型フラットTVに内蔵される。本発明に係る輝度劣化の回復が可能表示装置により、長寿命で生産性の高いディスプレイを備えた薄型フラットTVが実現される。

【産業上の利用可能性】

【0160】

本発明は、表示装置を内蔵する有機ELフラットパネルディスプレイに有用であり、特に輝度劣化が小さく長寿命が要求されるディスプレイの表示装置およびその駆動方法として用いるのに最適である。

【符号の説明】

【0161】

- 1、2、3、4、500 表示装置
- 10、22、24 発光画素
- 11、507 データ線
- 12、17 ゲート線
- 13、508、509、510、511 制御線
- 14 データ線ドライバ
- 15 ゲート線ドライバ
- 16 制御線ドライバ

10

20

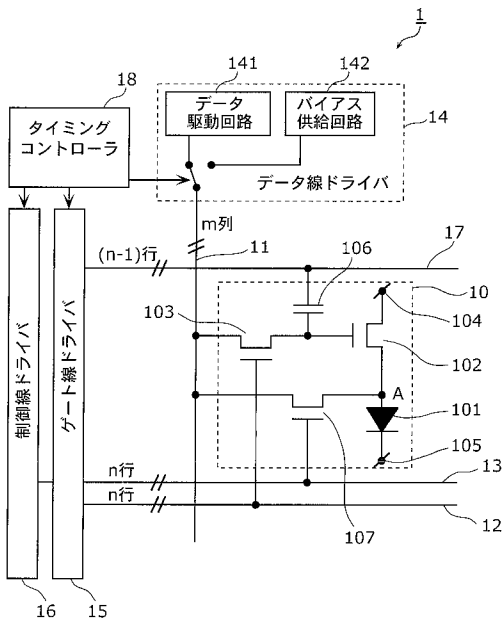
30

40

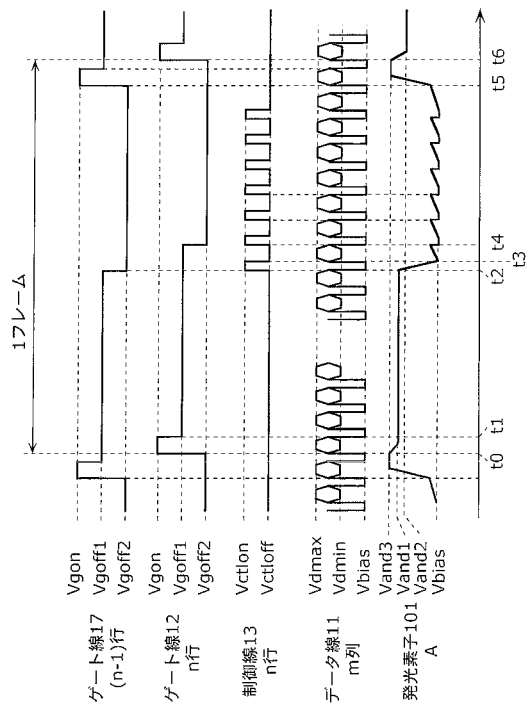
50

- 18、21、23、25 タイミングコントローラ
- 19 発光制御線
- 20 発光制御線ドライバ
- 101、501 発光素子
- 102 駆動トランジスタ
- 103、107 スイッチングトランジスタ
- 104、105、108、109 電源
- 106、506 容量素子
- 141 データ駆動回路
- 142 バイアス供給回路
- 502、503、504、505 FET

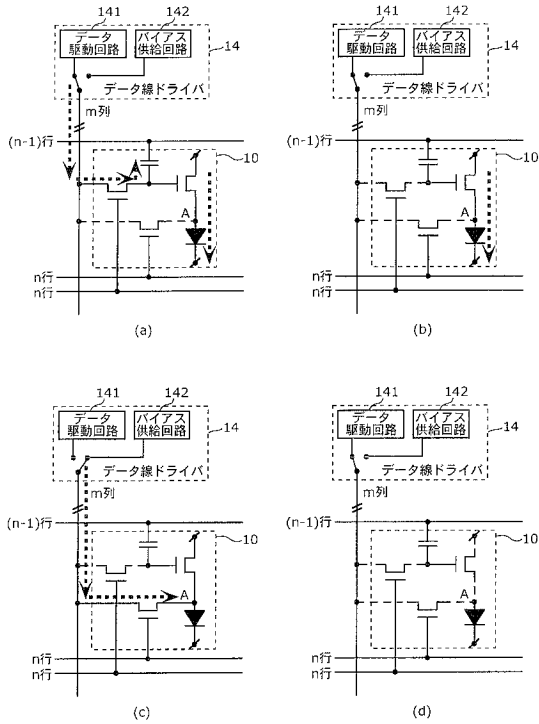
【 図 1 】



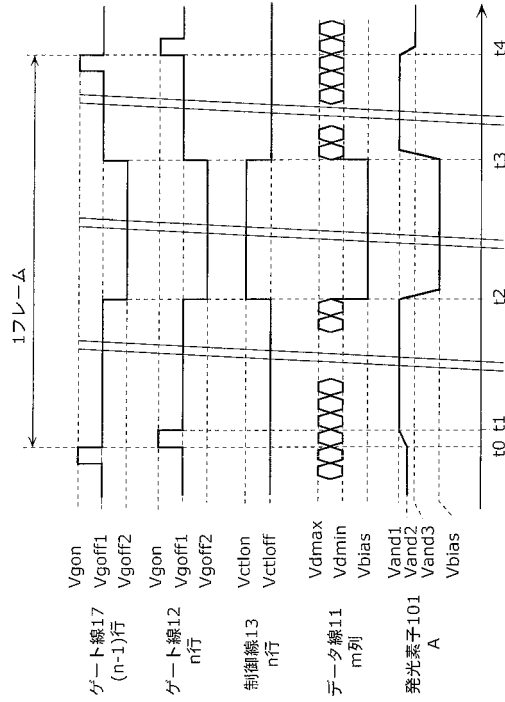
【 図 2 】



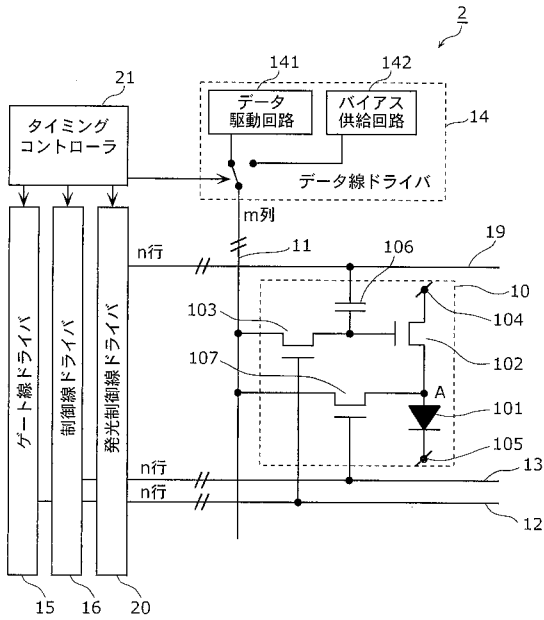
【図3】



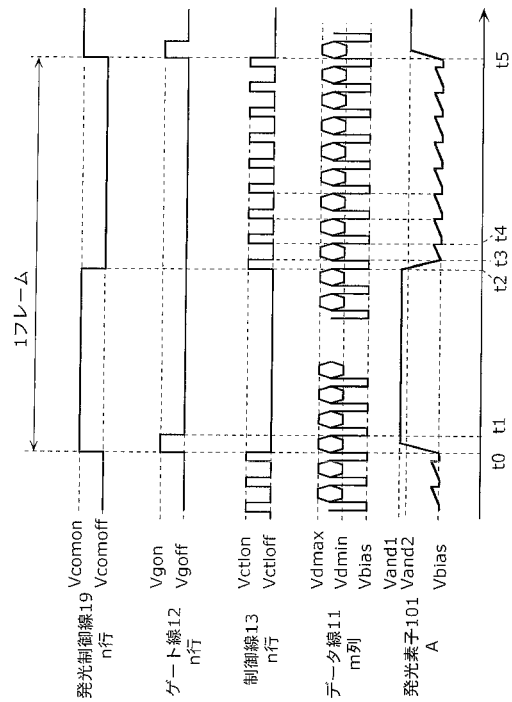
【図4】



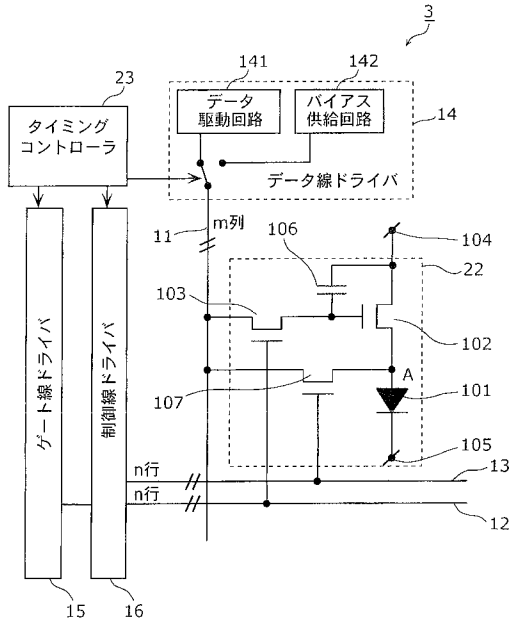
【図5】



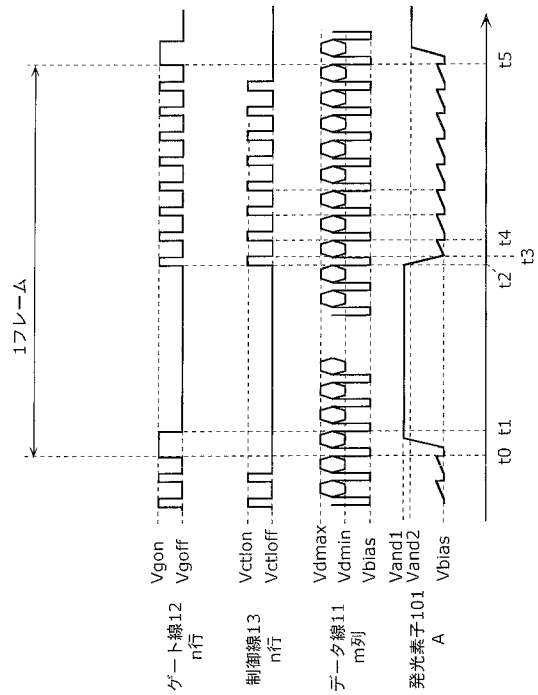
【図6】



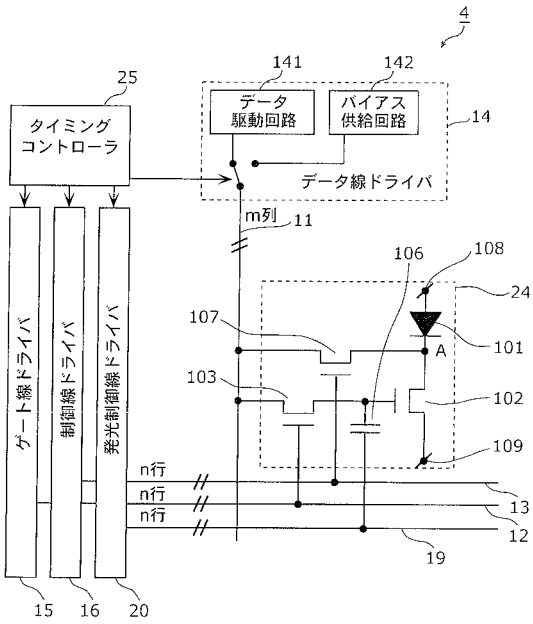
【 図 7 】



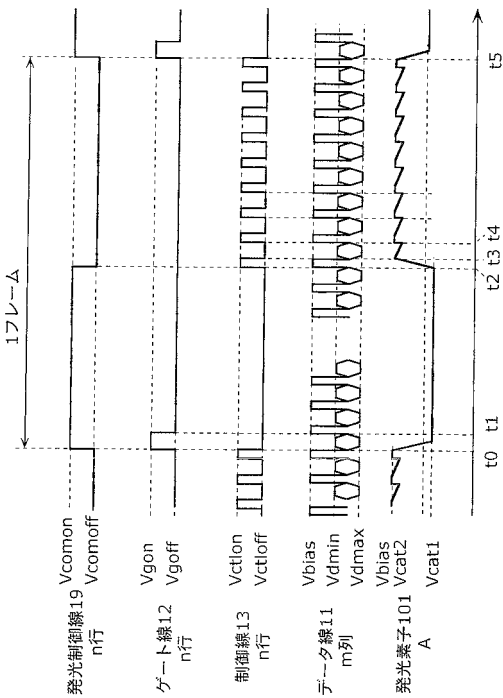
【 図 8 】



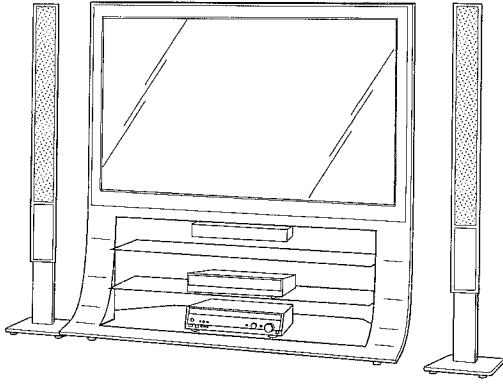
【 図 9 】



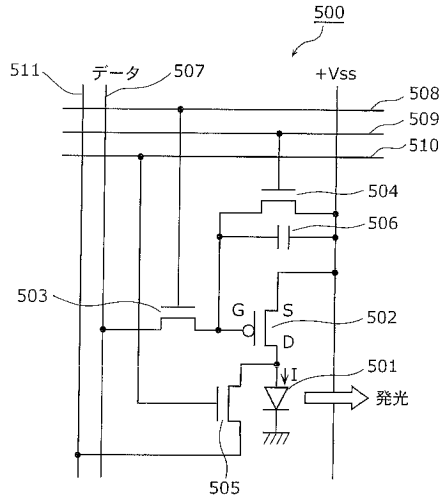
【 図 10 】



【図 1 1】



【図 1 2】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 C
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 DD05 DD10 DD12 DD23 DD24 DD28 DD29 EE25
 EE29 FF03 FF11 GG08 HH09 JJ02 JJ03 JJ04 KK43
 5C380 AA01 AB06 AC07 BA06 BA12 BA13 BA19 BA20 BA29 BB02
 BB05 BB08 BD02 BD08 BD09 CA12 CA48 CA49 CA53 CA54
 CB01 CB19 CB26 CB31 CC17 CC26 CC27 CC33 CC38 CC42
 CC51 CC55 CC57 CC61 CC63 CC64 CD013 CD014 CE20 CF51
 DA02 DA06 DA49 HA02 HA05 HA11

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2013101401A	公开(公告)日	2013-05-23
申请号	JP2013031361	申请日	2013-02-20
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	中村美香 益本賢一		
发明人	中村 美香 益本 賢一		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0251 G09G2310/0256 G09G2310/0262		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.670.K G09G3/20.611.D G09G3/20.611.J G09G3/20.642.A G09G3/20.623.D G09G3/20.612.T G09G3/20.623.R G09G3/20.623.C H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC45 3K107/GG57 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD10 5C080/DD12 5C080/DD23 5C080/DD24 5C080/DD28 5C080/DD29 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AC07 5C380/BA06 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BB02 5C380/BB05 5C380/BB08 5C380/BD02 5C380/BD08 5C380/BD09 5C380/CA12 5C380/CA48 5C380/CA49 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB19 5C380/CB26 5C380/CB31 5C380/CC17 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC42 5C380/CC51 5C380/CC55 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CE20 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA49 5C380/HA02 5C380/HA05 5C380/HA11		
代理人(译)	新居 広守		
优先权	2008141715 2008-05-29 JP		
其他公开文献	JP5503036B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有简单像素电路配置的显示装置，不降低产量，并且可以在保持显示质量的同时恢复EL元件的亮度劣化，并提供显示装置的驱动方法。解决方案：显示装置3包括多个发光像素22。每个发光像素22包括驱动晶体管102，通过提供信号电流发光的发光元件101，以及用于开关晶体管107的开关晶体管107。在数据线11和发光元件101之间切换导通和非导通。显示装置3包括用于向数据线11提供信号电压的数据驱动电路141和用于提供预定偏置电压的偏置提供电路142通过以与控制线13的电压与信号周期同步变化的方式接通开关晶体管107来接通数据线11。如果没有向发光元件101供给电流，则将预定的偏置电压施加到发光元件101的阳极。

