

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-524197

(P2007-524197A)

(43) 公表日 平成19年8月23日(2007.8.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H05B 33/14 (2006.01)</b>	H05B 33/14 Z	3K107
<b>H01L 29/861 (2006.01)</b>	H01L 29/91 E	5C094
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 612 Z	5F049
<b>H01L 21/336 (2006.01)</b>	H01L 31/10 A	5F110
<b>H01L 31/10 (2006.01)</b>	H05B 33/14 A	5G435
審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2006-544657 (P2006-544657)  
 (86) (22) 出願日 平成16年12月13日 (2004.12.13)  
 (85) 翻訳文提出日 平成18年6月14日 (2006.6.14)  
 (86) 国際出願番号 PCT/IB2004/052778  
 (87) 国際公開番号 W02005/059971  
 (87) 国際公開日 平成17年6月30日 (2005.6.30)  
 (31) 優先権主張番号 0329002.0  
 (32) 優先日 平成15年12月15日 (2003.12.15)  
 (33) 優先権主張国 英国 (GB)  
 (31) 優先権主張番号 0426413.1  
 (32) 優先日 平成16年12月2日 (2004.12.2)  
 (33) 優先権主張国 英国 (GB)

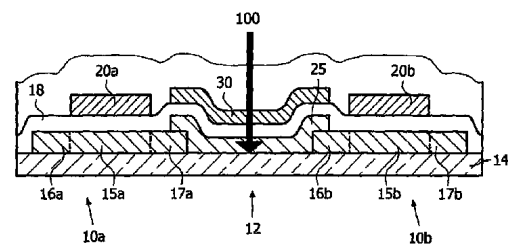
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 オランダ国 5621 ペーアー アイン  
 ドーフェン フルーネヴァウツウェッハ  
 1  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100145377  
 弁理士 杉山 公一

最終頁に続く

(54) 【発明の名称】 光センサーを備えたアクティブマトリックス型画素デバイス

## (57) 【要約】

基板に支持され、ポリシリコンTFT(10)及びアモルファスシリコン薄膜PINダイオード(12)を含む回路を有するアクティブマトリックス型画素デバイス、例えばEL表示装置、が提供される。ポリシリコンアイランドが形成された後に、アモルファスシリコン層がPINダイオード用に堆積されることにより、アモルファスシリコンは高温処理にさらされなくなる。TFTはドープされたソース/ドレイン領域(16a、17a)を有し、その一方(17a)はまた、ダイオードにN型又はP型のドープ領域を提供する。有利なことに、フォトダイオードに別個のドープ領域を設けることが不要になり、処理コストが削減される。反対導電型にドープされたソース/ドレイン領域(16b、17b)を有する第2のTFT(10b)が、ダイオードに他方のドープ領域(16b)を提供し、真性領域(25)が2つのTFT間にそれぞれのポリシリコンアイランドの各々に重なるように横方向に配置される。



**【特許請求の範囲】****【請求項 1】**

ポリシリコンチャネル、及びドーパされたソース及びドレイン領域を含む薄膜トランジスタ、並びにアモルファスシリコン真性領域で分離された P 型ドーパ領域及び N 型ドーパ領域を有する P I N ダイオード、を有するアクティブマトリックス型画素デバイスの製造方法であって：

( a ) 複数のポリシリコンアイランドであり、各々が前記トランジスタの前記チャネル、並びに前記ソース及びドレイン領域をもたらすところの複数のポリシリコンアイランドを基板に形成する工程；及び

( b ) 前記 P I N ダイオードの前記真性領域を設けるためのアモルファスシリコン層を、前記 P 型又は N 型ドーパ領域の 1 つをもたらす前記ポリシリコンアイランドの少なくとも 1 つの一部分に前記真性領域が重なり、且つ接触するように、堆積及びパターン形成する工程；

を有する製造方法。

**【請求項 2】**

請求項 1 に記載の製造方法であって、前記ソース及びドレイン領域、並びに前記 P I N ダイオードの前記 P 型又は N 型ドーパ領域の前記 1 つが、同一のポリシリコンアイランドによって設けられる、ところの製造方法。

**【請求項 3】**

請求項 1 又は 2 に記載の製造方法であって、前記ソース及びドレイン領域が N 型にドーパされ、かつ、当該方法が：

( c ) 頂部 P I N ダイオードコンタクトを形作るためのアルミニウム層を、前記 P I N ダイオードの前記真性領域に堆積及びパターン形成する工程；及び

( d ) アルミニウムイオンを下地の前記真性領域に拡散させて前記 P 型ドーパ層を形成するために、前記頂部 P I N ダイオードコンタクトをアニールする工程；

をさらに有する、ところの製造方法。

**【請求項 4】**

請求項 3 に記載の製造方法であって：

( e ) 前記 P I N ダイオードを入射光にさらすために、前記頂部 P I N ダイオードコンタクトの一部をエッチングで除去する工程；

をさらに有する製造方法。

**【請求項 5】**

基板に支持された複数のポリシリコンアイランドを有するアクティブマトリックス型画素デバイスであって、前記アイランドの各々が薄膜トランジスタのチャネル、並びにドーパされたソース及びドレイン領域をもたらしており、当該画素デバイスがさらに、アモルファスシリコン真性領域で分離された P 型ドーパ領域及び N 型ドーパ領域を有する P I N ダイオードであり前記真性領域が前記 P 型又は N 型ドーパ領域の 1 つをもたらす前記ポリシリコンアイランドの少なくとも 1 つの一部分に重なり、且つ接触している P I N ダイオードを有する、ところの画素デバイス。

**【請求項 6】**

請求項 5 に記載のアクティブマトリックス型画素デバイスであって、前記ソース及びドレイン領域、並びに前記 P I N ダイオードの前記 P 型又は N 型ドーパ領域の前記 1 つが、同一のポリシリコンアイランドによって設けられている、ところの画素デバイス。

**【請求項 7】**

請求項 5 又は 6 に記載のアクティブマトリックス型画素デバイスであって、前記 P I N ダイオードの前記 P 型及び N 型ドーパ領域の何れもが、それぞれ 1 つの前記ポリシリコンアイランドによって設けられている、ところの画素デバイス。

**【請求項 8】**

請求項 7 に記載のアクティブマトリックス型画素デバイスであって、前記アイランドの 1 つによって設けられるドーパされたソース及びドレイン領域であり前記トランジスタの

10

20

30

40

50

それらと反対導電型であるソース及びドレイン領域を備える第2薄膜トランジスタをさらに有し、前記P I Nダイオードの前記N型ドーピング領域が一方のトランジスタのドーピングされたソース又はドレイン領域によってもたらされており、かつ前記P I Nダイオードの前記P型ドーピング領域が他方のトランジスタのドーピングされたソース又はドレイン領域によってもたらされている、ところの画素デバイス。

【請求項9】

請求項7又は8に記載のアクティブマトリックス型画素デバイスであって、透明導電性ゲートが、絶縁層によって当該ゲートから分離された前記P I Nダイオードの前記真性領域に上方で重なっており、かつ前記N型及びP型ドーピング領域間の導電率を制御するために電圧を前記真性領域に印加する働きをする、ところの画素デバイス。

10

【請求項10】

請求項5乃至7の何れかに記載のアクティブマトリックス型画素デバイスであって、前記トランジスタが、チャンネルを流れる電流を制御する働きをするゲート電極をさらに有し、かつ前記P I Nダイオードの前記アモルファスシリコン真性領域が、前記ゲート電極に上方で重なっている、ところの画素デバイス。

【請求項11】

請求項5乃至10の何れかに記載のアクティブマトリックス型E L表示装置であって、前記P I Nダイオードが、該当するディスプレイ素子からの光出力の光強度を測定する働きをし、かつ測定された前記光強度に従って前記光出力を変調できるように該P I Nダイオードが接続された回路を駆動する信号を供給する、ところの表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス型エレクトロルミネッセントディスプレイ等のアクティブマトリックス型画素デバイスであって、その画素回路に光センサーを組み込んだ画素デバイスに関する。また、本発明は、そのようなデバイス、特に、他を排除するものではないが、多結晶シリコンのチャンネルを備えた薄膜トランジスタを有するアクティブマトリックス型画素デバイスの製造方法に関する。

【背景技術】

【0002】

光放出ディスプレイ素子を用いるアクティブマトリックス型エレクトロルミネッセント(electroluminescent; E L)表示装置が広く知られている。ディスプレイ素子は、例えばポリマー材料を用いた有機薄膜E L素子、又は、伝統的なI I I-V族化合物半導体を用いた発光ダイオード(L E D)を有する場合がある。最近の有機E L材料、特にポリマー材料の開発により、実際にこれらの材料が動画表示装置に使用可能であることが実証されている。これらの材料は、一般に、1対の電極間に挟まれた半導電性共役ポリマーの層を1層以上有する。なお、電極対の一方は透明であり、他方は正孔又は電子をポリマー層に注入するのに適した材料から成る。

30

【0003】

アクティブマトリックス型E L表示装置は、一般に、行及び列の行列状の画素を有する。各画素のディスプレイ素子への電流供給は、一般に薄膜トランジスタ(T F T)を有するそれぞれの画素回路によって制御される。各画素回路内のT F Tの少なくとも1つは、しばしば駆動トランジスタと参照されるが、ディスプレイ素子を流れる電流を調整するために用いられる。ディスプレイの動作中に駆動トランジスタの電気特性が安定していることが重要である。非晶質(アモルファス)シリコンのチャンネルを備えるT F Tでは、連続電流を制御するように使用されるときに閾値ドリフト等の問題が生じることが知られている。このため、駆動トランジスタとして用いるためには、多結晶シリコン(ポリシリコン)のチャンネルを備えるT F Tが、アモルファスシリコンT F Tより望ましい。しかしながら、あるT F Tと別のT F Tとの間のポリシリコンチャンネルにおける構造ばらつきが、それらのT F T間の電気特性ばらつきを発生させる虞がある。

40

50

## 【 0 0 0 4 】

ポリシリコン T F T 特性の不均一性に関連する問題に加え、E L ディスプレー素子には経時劣化の問題があることが知られている。例えば、配列内の特定画素の長期動作によって“焼き付き”が引き起こされ、同一信号で駆動されているにも拘わらず、結果的に出力強度が不均一になる。

## 【 0 0 0 5 】

画素出力の不均一性を補正するために、個々の画素回路の各々に光センサーを組み込むことが知られている。各々の光センサーは、それぞれの画素からの光出力を測定する機能を果たし、上述の不均一性の問題を補償するように画素回路に接続される（例えば、特許文献 1 参照；その内容はここに取り込まれる）。図 1 は、上述のような光フィードバック機構を用いる画素回路の一例を示している。この画素回路が、同様の回路の配列内の何百という中の 1 つであることは認識されるところである。各画素は、組を成すデータ用導体 2 の 1 つと、組を成す選択用導体 4 の 1 つとの交点で規定される。組を成す導体 2、4 の各々は支持基板にわたって実質的に互いに直交する方向に走っている。電源ライン 6 が E L ディスプレー素子 8 に電流を供給するが、その電流は駆動トランジスタ 10 によって変調されている。画素回路はさらに光センサー 12 を有し、光センサー 12 は、ディスプレイ素子 8 からの光出力を測定すなわち検出し、測定された光強度に従って駆動トランジスタ 10 を流れる電流を変調すなわち調整する機能を果たす。

10

## 【 0 0 0 6 】

光センサー、例えば P I N ダイオード、はアモルファスシリコンで形成されたものの方がポリシリコンで形成されたものより好ましい。なぜなら、アモルファスシリコンの光吸収作用は可視光域の部分全体で数桁高いからである。アモルファスシリコンの光センサーは、故に、関連する補正回路において遙かに高い信号対ノイズ比をもたらす。

20

## 【 0 0 0 7 】

上述の理由により、高品質アクティブマトリックス型 E L 表示装置の各画素回路は、ポリシリコン T F T 及びアモルファスシリコン光センサーを有することが好ましい。図 2 は、図 1 に示される画素回路の T F T 10 及び光センサー 12 を通る部分でとった断面図である。図示されている T F T 10 は、隣接するドーパされたポリシリコンのソース及びドレイン領域 16 及び 17 を備えるポリシリコンチャネル 15 を有するトップゲート型である。これらの領域は N 型又は P 型の何れでドーパされてもよいが、しばしば、N 型及び P 型の双方の T F T が同一基板に形成される。ゲート絶縁膜 18 がチャネル 15 を金属製ゲート 20 から分離している。ゲート 20 のパターン形成を行う際、光センサーコンタクト 22 が同じ金属層を用いて同時に定められる。それから、n-i-p 積層体が光センサーコンタクト上に形成され、縦型アモルファスシリコン P I N ダイオード 12 を与える。この積層体は、N 型アモルファスシリコン層 24、より厚い真性アモルファスシリコン層 25、及び P 型アモルファスシリコン層 26 を有する。これらの層は続けて堆積され、そしてアイランド状にパターン形成される。

30

## 【 0 0 0 8 】

その後、アモルファスシリコンの積層体上に頂部ダイオードコンタクト 28 がインジウムスズ酸化物（I T O）等の透明導電体で形成される。これにより、上方にある E L ディスプレー素子（図示せず）からの光 100 は、光センサーの真性層まで進むことができる。

40

## 【 0 0 0 9 】

n-i-p 積層体の形成に関連する 1 つの大きな問題は、P 型層 26 を堆積プロセス中にドーピングすることが困難なことである。ドーピングは一般に気相ドーピングによって実行される。害となる堆積チャンバー汚染を避けるように気相ドーピングを行うため、専用の装置及びガスが必要である。また、例えば  $B_2H_6$  等の必要なガスは取り扱いが特に危険なものとして分類されており、健康及び安全の観点からこのようなガスを作業場から排除しようとする圧力が高まっている。このことは、ポリシリコン T F T と共にアモルファスシリコン光センサーを有するアクティブマトリックス型 E L 表示装置の大量生産に対し、大きな障害となっている。

50

## 【 0 0 1 0 】

基板に形成された T F T 及び薄膜ダイオード ( T F D ) を有する半導体デバイスが知られている ( 特許文献 2 参照 ) 。半導体層が堆積及びパターン形成され、各々の T F T 及び T F D のための別々の半導体アイランドを与える。T F T のアイランド、及びプレーナ構造で形成される T F D のアイランドの双方に N 型及び P 型領域をドーピングするため、プラズマドーピングが用いられる。この手法での T F D 形成に関連する 1 つの問題は、ダイオードのアモルファスシリコン真性領域が、ポリシリコン T F T アイランドの処理に用いられる高温に耐えられなければならないことである。加熱されるべきトランジスタの積層体のアモルファスシリコンが近接しているとき、アモルファスシリコンを熱ダメージから保護することは困難である。特許文献 2 の装置におけるもう 1 つの問題は、一連の別々のアイランドがそれぞれのトランジスタ及びダイオードに対して形作られなければならないことである。

10

【 特許文献 1 】 国際公開第 W O 0 1 / 2 0 5 9 1 号パンフレット

【 特許文献 2 】 米国特許第 5 5 8 9 6 9 4 号明細書

【 発明の開示 】

【 発明が解決しようとする課題 】

## 【 0 0 1 1 】

本発明は、光センサーを備えたアクティブマトリックス型画素デバイス及びその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

20

## 【 0 0 1 2 】

本発明の一態様に従った製造方法は、ポリシリコンチャネル、及びドーピングされたソース及びドレイン領域を含む薄膜トランジスタ、並びにアモルファスシリコン真性領域で分離された P 型ドーピング領域及び N 型ドーピング領域を有する P I N ダイオード、を有するアクティブマトリックス型画素デバイスの製造方法であって：

( a ) 複数のポリシリコンアイランドであり、各々が前記トランジスタの前記チャネル、並びに前記ソース及びドレイン領域をもたらすところの複数のポリシリコンアイランドを基板に形成する工程；及び

( b ) 前記 P I N ダイオードの前記真性領域を設けるためのアモルファスシリコン層を、前記 P 型又は N 型ドーピング領域の 1 つをもたらす前記ポリシリコンアイランドの少なくとも 1 つの一部分に前記真性領域が重なり、且つ接触するように、堆積及びパターン形成する工程；を有する。ポリシリコンアイランドが処理された後にアモルファスシリコンを堆積することによって、アモルファスシリコンは有害な熱処理にさらされないため、より高品質の P I N ダイオードが製造される。

30

## 【 0 0 1 3 】

好ましくは、前記ソース及びドレイン領域、並びに前記 P I N ダイオードの前記 P 型又は N 型ドーピング領域の前記 1 つが、同一のポリシリコンアイランドによって設けられる。有利なことに、これにより、別個のドーピングされたコンタクトを形成する必要がなくなるため、処理工程数及び製造コストを削減することができる。

## 【 0 0 1 4 】

40

本発明の他の態様に従った画素デバイスは、基板に支持された複数のポリシリコンアイランドを有するアクティブマトリックス型画素デバイスであって、前記アイランドの各々が薄膜トランジスタのチャネル、並びにドーピングされたソース及びドレイン領域をもたらしており、当該画素デバイスがさらに、アモルファスシリコン真性領域で分離された P 型ドーピング領域及び N 型ドーピング領域を有する P I N ダイオードであり前記真性領域が前記 P 型又は N 型ドーピング領域の 1 つをもたらす前記ポリシリコンアイランドの少なくとも 1 つの一部分に重なり、且つ接触している P I N ダイオードを有する。P I N ダイオードのアモルファスシリコン真性領域が、それとのコンタクトをもたらすドーピングされた P 型及び N 型領域の上に重なっている。これにより、アモルファスシリコンの堆積前にポリシリコンのドーピング領域を処理することが可能になる。

50

## 【 0 0 1 5 】

本発明の好適な一実施態様では、P I Nダイオードは、前記P I Nダイオードの前記P型及びN型ドーブ領域の何れもが、それぞれ1つの前記ポリシリコンアイランドによって設けられている、ところの横型構造を有する。

## 【 0 0 1 6 】

P I Nダイオードのドーブ領域の1つ又は双方が、トランジスタのソース/ドレイン領域とポリシリコンアイランドを共有するようにして、これらのアイランドはトランジスタに共有される。有利なことに、P型及びN型の双方の薄膜トランジスタからのドーブ領域が、P I Nダイオードの双方のドーブ領域をもたらすように有効に使われ、それによって処理工程数がさらに削減される。なお、N型及びP型の双方の薄膜トランジスタを1枚の基板に設けることは一般的なことである。故に、薄膜P I Nフォトダイオードを実現するために必要となる特別な処理工程はほとんどない。加えて、透明導電ゲートが設けられてもよく、このゲートは、絶縁層によって当該ゲートから分離された前記P I Nダイオードの前記真性領域に上方で重ねられる。有利なことに、このゲートは、前記N型及びP型ドーブ領域間の導電率を制御するために電圧を前記真性領域に印加する働きをし、実質的にゲート制御のP I Nダイオードをもたらす。

10

## 【 0 0 1 7 】

本発明の他の好適な実施態様では、P I Nフォトダイオードは、N型アモルファスシリコン及びP型層が積層された縦型構造を有し、ドーブされたコンタクトの1つが、基板に形成されたポリシリコンアイランドの1つによってもたらされる。例えば、トランジスタのソース及びドレイン領域がN型にドーブされ、かつ、製造方法は：

20

(c) 頂部P I Nダイオードコンタクトを形作るためのアルミニウム層を、前記P I Nダイオードの前記真性領域に堆積及びパターン形成する工程；及び

(d) アルミニウムイオンを下地の前記真性領域に拡散させて前記P型ドーブ層を形成するために、前記頂部P I Nダイオードコンタクトをアニールする工程；

をさらに有する。ドーパント源としてアルミニウムを用いることにより、このような縦型構造においてP型ドーブされたコンタクトを設けるために気相ドーピングを使用する必要性が除去される。有利なことに、これにより、気相ドーピングを使用することに付随する危険が排除され、それによって、このP型領域を形成するプロセスは従来の方法より安価かつ安全なものとなる。

30

## 【 0 0 1 8 】

ディスプレイ素子からの光が、例えば、ダイオードの真性領域に到達するようにするために、フォトダイオードの頂部コンタクトの部分は公知のエッチング技術を用いて除去され得る。本発明に係るアクティブマトリックス型画素デバイスの応用の一例に、光フィードバックを用いるアクティブマトリックス型E L表示装置がある。その光フィードバックにおいて、フォトダイオードは、該当するディスプレイ素子からの光出力強度を測定し、被測定光強度に従って光出力を変調可能なように、当該フォトダイオードが接続されている駆動回路に信号を供給する。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 9 】

全図面を通して、同一の又は同様の部分を示す構成要素には同一の参照符号を用いることとする。図面は概略図に過ぎず、一定の縮尺で描かれていないことは理解されるところである。特に、ある特定の寸法が誇張されている一方で、その他の寸法は縮小されている。

40

## 【 0 0 2 0 】

P I Nダイオード積層体の真性領域に必要なアモルファスシリコンの堆積前に、薄膜トランジスタ(T F T)に必要な多結晶シリコン(ポリシリコン)アイランドを形成し得ることが、本発明者によって認識された。故に、アモルファスシリコンは、ポリシリコンアイランドの形成に必要な高温にさらされない。さらに、ポリシリコンT F Tのドーブされたソース及びドレインのコンタクト領域が、アモルファスシリコン光センサーの少なくとも

50

も1つのドーピング領域の形成に利用可能であることも、本発明者によって認識された。このようにドーピング領域を共有することにより、光センサーに別個のドーピング領域を与えることが不要になる。ここでは、TF Tと光センサーとの間で少なくとも1つのドーピング領域が共有される構造例について述べる。

#### 【0021】

図3は、基板14に配置された2つのTF T 10a及び10bを示している。各々のTF Tはポリシリコンチャンネル領域15a及び15bを備えている。第1のTF T 10aはN型ドーピングされたソース及びドレイン領域16a及び17aを有している。第2のトランジスタ10bはP型ドーピングされたソース及びドレイン領域16a及び17aを有している。それぞれの金属製のソース及びドレインコンタクトは、単純化のため、ここでは示されていない。

10

各TF Tのチャンネル、ソース及びドレイン領域を形作るポリシリコンアイランドは公知の手法で形成される。例えば、アモルファスシリコン層が基板に堆積され、ソース及びドレイン領域がイオン注入によって選択的にドーピングされる。これに続き、アモルファスシリコン層が、アイランド状にパターン形成され、例えばレーザアニールによって結晶化される。アイランドを形成するための手法が変化に富むことは当業者が認識するところである。例えば、パターン形成工程前にシリコンを結晶化させることが知られている。

#### 【0022】

アクティブマトリックス配列は典型的に基板上に配置された何千ものTF Tを有する。しかしながら、図3では単純化のために2つのみが示されている。本発明の第1実施形態に従って、1つのTF T 10aのN型ドーピングのドレイン領域17a、及び隣のTF TのP型ドーピングのソース領域16bが、アモルファスシリコン光センサー12のためのドーピングされたコンタクトを定めるために用いられる。故に、図2の光センサーの別個のドーピング領域が不要になる。この目的で用いられる隣接する2つのTF Tは反対導電型、すなわち1つがN型で1つがP型である。

20

#### 【0023】

光センサー12の真性領域を設けるため、真性アモルファスシリコン層が基板を覆うように堆積され、それぞれの対をなす隣接TF T間に位置する個々のアイランド状にパターン形成される。各アイランドは、一方のTF TのN型ドーピング領域及び他方のTF TのP型ドーピング領域の一部の上方にあり、かつ、それらと接触している。

#### 【0024】

従って、光センサーとして機能することが可能なPINダイオードが、専用の気相ドーピング装置を必要とせず基板に形作られる。有利なことに、この方法は簡易な、それ故に安価な、光センサーを組み込んだアクティブマトリックス型EL表示装置の製造方法を提供する。

30

#### 【0025】

第1実施形態に従った方法により得られる配置は、図3に示されるように横型PINダイオードを有するが、これは、例えば図2の縦型配置に対して一定の効果をもたらす。第1に、確実に逆方向リーク電流を十分低い値にしてデバイスの効率的な動作を可能とするためには、縦型配置は比較的厚いアモルファスシリコン層、例えば0.25乃至1.50  $\mu\text{m}$ を必要とする。この厚さの層を設けることはかなり困難かつ時間を要するものである。対照的に、図3の光センサーのドーピングされたコンタクト領域間の間隔は隣接するTF T間の隔たりに等しい。この場合、より薄い真性層を用いても、逆方向リーク電流は許容される低いレベルに維持される。有利なことに、この真性層は堆積及びパターン形成によって簡易に形成されることができる。

40

#### 【0026】

その後、例えばSiO<sub>2</sub>のゲート絶縁膜18が基板を覆うように堆積される。そして、例えばアルミニウムの金属層が、基板を覆うように堆積され、各TF Tのゲート20a、20bを形作るようにパターン形成される。それから、透明な導電性のゲート30が同様の方法でn-i-pダイオードの真性領域の上方に形成される。ゲート30は、動作に際し、ドーピングされたコンタクト間の導電率をある程度制御できるように、ダイオードに電圧を印加することに役に

50

立つ。例えば、隣の絶縁体からの電荷が、チャンネルに蓄積してオフ電流に影響を及ぼす場合があるが、ゲート30に印加されたバイアス電圧はオフ電流を効果的に最小化することができる。ゲート30の透明性は、ディスプレイ素子からの光100がそれを透過することを可能にするために必要である。

#### 【0027】

光センサー上方のゲート30は随意的な特徴部であり、共有ドープ領域によってもたらされる効果を逸脱することなく、必要に応じて省略され得るものである

図4及び5を参照するに、縦型n-i-p積層体は、1つのポリシリコンTFTのドープ領域をN型領域に用いることによって設けられ得る。P型領域は、アルミニウムを真性アモルファスシリコンアイランド上に堆積し、さらに、アルミニウムがアモルファスシリコン内に拡散することによってそれをP型にドープするように、アニールすることによって形成される。それから、アルミニウムは下地のP型領域が露出されるようにパターン形成される。この第2実施形態に従った光センサーの製造について述べる。

10

#### 【0028】

上述の実施形態と同様の手法にて、アモルファスシリコン層の堆積、パターン形成及びアニールによって、ポリシリコンアイランドが基板14に形成される。N型ソース及びドレイン領域16、17が、アモルファスシリコンのアニールに先立つイオン注入により定められる。そして、絶縁層が基板を覆うように堆積され、ゲート絶縁膜18が設けられる。そして、金属製のゲート電極20がチャンネル15を覆うように形成される。保護層35が基板全体を覆うように堆積される。次に、保護層内にコンタクト窓が開けられ、N型ドレイン領域17を露出させる。そして、真性アモルファスシリコン層が、基板を覆うように堆積され、さらに、図4に示されるように、N型ドレイン領域17の部分に接するアイランド25'が形作られるようにパターン形成される。このアイランドは、縦型光センサーの本体を提供するものである。下方にあるTFTのソース及びドレイン領域16、17にコンタクトすることが可能なように、ビア群が保護層に形成される。

20

#### 【0029】

そして、アルミニウム層が堆積及びパターン形成され、ソース及びドレインコンタクト36、37、並びに頂部の光センサーのコンタクト40が形作られる。このためには、代わりにアルミニウム合金が用いられ得る。次に、頂部光センサーコンタクト40が、例えば200で20分間の加熱によってアニールされる。このアニール処理により、アルミニウムイオンが下地の真性アイランド25'に拡散させられて領域をP型にドープする。さらに、アニールにより、ドープされたP型領域の少なくとも一部分が結晶化し、そのことによってドーピング効果が高められる。

30

#### 【0030】

図5を参照して、その後、アルミニウムの頂部光センサーコンタクト40の一部がエッチングで除去されることによって、P型領域26の頂部表面の一部が露出される。これにより、上方のディスプレイ素子から放出される光100に対してPIN積層体をさらすことが可能になる。

#### 【0031】

この方法より、気相ドーパントを用いることなく、高度に効率的なP型コンタクト26を形成することができる。

40

#### 【0032】

本発明の第3実施形態(図示せず)では、PINダイオードのアモルファスシリコン真性領域は、ゲート電極の上方に位置しており、絶縁層によってゲート電極から絶縁されている。これはダイオードに、基板側からの当該TFTとは関係が薄い周辺光が光電流を発生させることを防止する遮光を提供する。無用な周辺光は、該当するディスプレイ素子からの光出力強度の測定を不正確なものにし得るので、このような配置は特に、ELディスプレイの光フィードバック回路に用いられるとき有益である。

#### 【0033】

PINダイオードのN型にドープされたコンタクト、及び/又はP型にドープされたコ

50



ンタクトは、本発明の本質を逸脱することなく、ＴＦＴの一部を形成しないポリシリコンアイランドによっても設けられ得る。

【００３４】

要するに、基板に支持された回路であって、ポリシリコンＴＦＴ及びアモルファスシリコン薄膜ＰＩＮダイオードを含む回路を有するアクティブマトリックス型画素デバイス、例えばＥＬ表示措置、が提供される。ＰＩＮダイオードのためのアモルファスシリコン層が堆積される前に、ポリシリコンアイランドが形成される。これにより、アモルファスシリコンが高温処理にさらされることが回避される。ＴＦＴはドーピングされたソース／ドレイン領域を有し、その内の１つがダイオードのＮ型又はＰ型のドーピング領域をも提供する。有利なことに、別個のドーピング領域をフォトダイオードに設けることが不要になり、それによって処理コストが削減される。反対導電型にドーピングされたソース／ドレイン領域を有する第２のＴＦＴが、ダイオードの他方のドーピング領域を提供する。真性領域が、それぞれのポリシリコンアイランドの各々に重なるように、２つのＴＦＴ間に横方向に配置される。

10

【００３５】

この開示から、多数の他の変更及び変形が当業者に明らかになるであろう。そのような変更及び変形には、技術的に既に知られたその他の特徴、及び、ここで開示された特徴に代わって、あるいは加えて使用されるその他の特徴が含まれる。

【図面の簡単な説明】

【００３６】

【図１】回路部品の公知の配置を有する、アクティブマトリックス型ＥＬ表示装置の画素回路を示す回路図である。

20

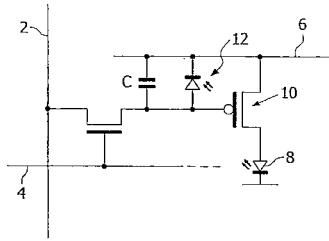
【図２】図１に示される画素回路の部分断面図である。

【図３】本発明の第１実施形態に従った光センサーを有する画素回路の部分断面図である。

【図４】本発明の第２実施形態に従った光センサーを有する画素回路の、製造段階での部分断面図である。

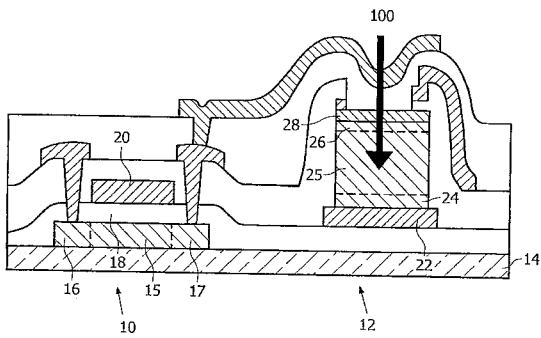
【図５】本発明の第２実施形態に従った光センサーを有する画素回路の、図４と異なる製造段階での部分断面図である。

【図 1】



従来技術

【図 2】



従来技術

【図 3】

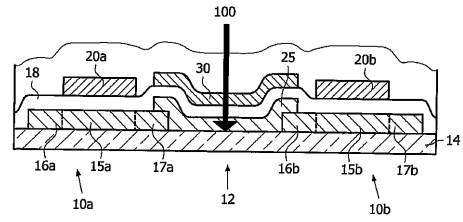


FIG. 3

【図 4】

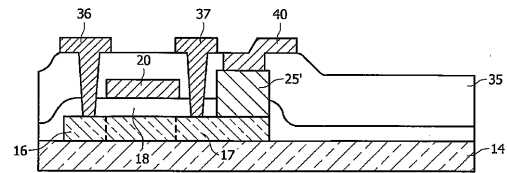


FIG. 4

【図 5】

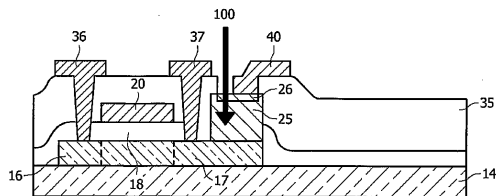


FIG. 5

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB2004/052778
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L27/146 H01L27/15 H01L21/329 H01L21/336 H01L21/84 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 862 237 A (MOROZUMI ET AL) 29 August 1989 (1989-08-29) column 5, line 1 - column 7, line 15 column 6, line 15 - line 18 column 6, line 29 - line 30 column 6, line 38 - line 41 figure 5 figure 14	1,2,5,6, 10,11
X	US 5 262 649 A (ANTONUK ET AL) 16 November 1993 (1993-11-16) column 7, line 55 - column 9, line 39 column 8, line 13 - line 16 figure 1	1,5,11
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 14 June 2005		Date of mailing of the international search report 23/06/2005
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Bernabé Prieto, A

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/IB2004/052778

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 634 800 A (PHILIPS ELECTRONICS UK LIMITED; PHILIPS ELECTRONICS N.V) 18 January 1995 (1995-01-18) column 6, line 46 - column 12, line 19 figure 1 -----	1,5,11
A	US 2001/052597 A1 (YOUNG NIGEL D ET AL) 20 December 2001 (2001-12-20) the whole document figures 2-4 -----	1-11
A	US 5 589 694 A (TAKAYAMA ET AL) 31 December 1996 (1996-12-31) the whole document -----	1-11

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/IB2004/052778

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4862237	A	29-08-1989	JP 59126666 A	21-07-1984
			JP 60064467 A	13-04-1985
			JP 3135524 A	10-06-1991
			JP 3135525 A	10-06-1991
US 5262649	A	16-11-1993	US 5079426 A	07-01-1992
			AT 191977 T	15-05-2000
			CA 2127453 A1	22-07-1993
			DE 69328447 D1	25-05-2000
			DE 69328447 T2	21-12-2000
			EP 0724729 A1	07-08-1996
			JP 7502865 T	23-03-1995
			WO 9314418 A1	22-07-1993
			CA 2065246 A1	07-03-1991
			EP 1167999 A1	02-01-2002
			EP 0490997 A1	24-06-1992
			JP 3050402 B2	12-06-2000
			JP 5503770 T	17-06-1993
			WO 9103745 A1	21-03-1991
EP 0634800	A	18-01-1995	DE 69401685 D1	20-03-1997
			DE 69401685 T2	24-07-1997
			EP 0634800 A1	18-01-1995
			JP 7078954 A	20-03-1995
			US 5451766 A	19-09-1995
US 2001052597	A1	20-12-2001	WO 0199191 A1	27-12-2001
			EP 1222691 A1	17-07-2002
			JP 2003536115 T	02-12-2003
US 5589694	A	31-12-1996	JP 3347803 B2	20-11-2002
			JP 6275805 A	30-09-1994
			JP 3347804 B2	20-11-2002
			JP 6275806 A	30-09-1994
			JP 3402380 B2	06-05-2003
			JP 6275807 A	30-09-1994
			JP 3329512 B2	30-09-2002
			JP 6275808 A	30-09-1994
			JP 3403994 B2	06-05-2003
			JP 2000299454 A	24-10-2000
			US 5501989 A	26-03-1996
			US 5744822 A	28-04-1998
			JP 3405955 B2	12-05-2003
			JP 2000294798 A	20-10-2000

## フロントページの続き

(51) Int.Cl.	F I			テーマコード (参考)		
<b>H 0 1 L 51/50 (2006.01)</b>	<b>G 0 9 F</b>	<b>9/30</b>	<b>3 3 8</b>			
<b>G 0 9 F 9/30 (2006.01)</b>	<b>G 0 9 F</b>	<b>9/00</b>	<b>3 3 8</b>			
<b>G 0 9 F 9/00 (2006.01)</b>	<b>G 0 9 F</b>	<b>9/30</b>	<b>3 6 5</b>			

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ディーン, スティーヴン シー

イギリス国, サリー アールエイチ 1 5 エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内 (番地なし)

F ターム(参考) 3K107 AA01 AA05 BB01 CC33 EE03 EE68 GG00 HH04 HH05  
 5C094 AA03 AA21 BA03 BA27 DA20 DB04 DB10 EA10 GB10  
 5F049 MA04 MB04 MB05 NA18 NB03 PA11 PA14 UA01  
 5F110 AA04 BB01 BB04 BB09 CC02 EE03 EE42 FF02 FF27 GG02  
 GG13 HJ13 NN71 PP03  
 5G435 AA16 BB05 CC09 KK05

专利名称(译)	具有光学传感器的有源矩阵型像素装置		
公开(公告)号	<a href="#">JP2007524197A</a>	公开(公告)日	2007-08-23
申请号	JP2006544657	申请日	2004-12-13
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ディーンステイーヴンシー		
发明人	ディーン,ステイーヴン シー		
IPC分类号	H05B33/14 H01L29/861 H01L29/786 H01L21/336 H01L31/10 H01L51/50 G09F9/30 G09F9/00 G09G3/32 H01L21/329 H01L21/77 H01L21/84 H01L27/12 H01L27/146 H01L27/15 H01L27/32 H01L31/105		
CPC分类号	H01L27/1214 G09G3/3208 H01L27/3269 H01L31/105 H01L31/1055		
FI分类号	H05B33/14.Z H01L29/91.E H01L29/78.612.Z H01L31/10.A H05B33/14.A G09F9/30.338 G09F9/00.338 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE68 3K107/GG00 3K107/HH04 3K107/HH05 5C094/AA03 5C094/AA21 5C094/BA03 5C094/BA27 5C094/DA20 5C094/DB04 5C094/DB10 5C094/EA10 5C094/GB10 5F049/MA04 5F049/MB04 5F049/MB05 5F049/NA18 5F049/NB03 5F049/PA11 5F049/PA14 5F049/UA01 5F110/AA04 5F110/BB01 5F110/BB04 5F110/BB09 5F110/CC02 5F110/EE03 5F110/EE42 5F110/FF02 5F110/FF27 5F110/GG02 5F110/GG13 5F110/HJ13 5F110/NN71 5F110/PP03 5G435/AA16 5G435/BB05 5G435/CC09 5G435/KK05		
代理人(译)	伊藤忠彦 杉山浩一		
优先权	2003029002 2003-12-15 GB 2004026413 2004-12-02 GB		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供一种有源矩阵型像素装置，例如EL显示装置，其支撑在基板上并具有包括多晶硅TFT（10）和非晶硅薄膜PIN二极管（12）的电路。在形成多晶硅岛之后，沉积非晶硅层用于PIN二极管，使得非晶硅不经受高温处理。TFT具有掺杂源极/漏极区域（16A，17A），而（17A）也提供N型或P型的二极管掺杂区。有利地，不必在光电二极管中提供单独的掺杂区域并且降低了处理成本。具有掺杂到相反导电类型的源/漏区（16b，17b）的第二TFT（10b）为二极管提供另一掺杂区（16b），两个TFT之间的本征区（25）在横向方向上，以便与每个多晶硅岛重叠。

