

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5766491号
(P5766491)

(45) 発行日 平成27年8月19日(2015. 8. 19)

(24) 登録日 平成27年6月26日(2015. 6. 26)

(51) Int.Cl.

F I

H05B 33/12 (2006.01)

H05B 33/12 E

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/20 680H

H01L 51/50 (2006.01)

G09G 3/20 624B

G09F 9/30 (2006.01)

G09G 3/20 670K

請求項の数 7 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2011-87417 (P2011-87417)
 (22) 出願日 平成23年4月11日(2011. 4. 11)
 (65) 公開番号 特開2012-221798 (P2012-221798A)
 (43) 公開日 平成24年11月12日(2012. 11. 12)
 審査請求日 平成26年4月4日(2014. 4. 4)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 尾本 啓介
 東京都港区港南1 丁目7 番1 号 ソニー株
 式会社内
 (72) 発明者 寺口 晋一
 東京都港区港南1 丁目7 番1 号 ソニー株
 式会社内
 審査官 大竹 秀紀

最終頁に続く

(54) 【発明の名称】 発光パネル、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

透明基板側に E L 光を発する有機 E L 素子と、
 前記透明基板上に形成され、かつ前記有機 E L 素子を駆動する画素回路と、
 前記透明基板と前記有機 E L 素子との間に形成されると共に前記画素回路の直上にも形成されたカラーフィルタと、
 前記画素回路と前記カラーフィルタとの間に形成され、かつ前記カラーフィルタよりも導電性の高い導電層と
 を画素ごとに備え、
 前記画素回路は、保持容量と、所定の電圧を前記保持容量に書き込む第 1 トランジスタと、前記保持容量の電圧に基づいて前記有機 E L 素子を駆動する第 2 トランジスタとを有し、
 前記カラーフィルタは、前記第 1 トランジスタの直上に形成され、
 前記導電層は、前記第 1 トランジスタと前記カラーフィルタとの間に形成されており、
 前記第 1 トランジスタは、ゲート、ソース、ドレインおよびチャネルを有し、
 前記導電層は、前記第 1 トランジスタと前記カラーフィルタとが互いに対向する領域のうち、少なくとも前記チャネルの一部を覆っている
 発光パネル。

【請求項 2】

前記導電層は、前記第 1 トランジスタと前記カラーフィルタとが互いに対向する領域の

10

20

うち、少なくとも、前記チャネル、および前記ソースおよび前記ドレインのうち外部から信号が入力される方とは反対側の端子を覆っている

請求項 1 に記載の発光パネル。

【請求項 3】

前記第 1 トランジスタは、絶縁層によって前記導電層と絶縁分離されている

請求項 1 または請求項 2 に記載の発光パネル。

【請求項 4】

前記導電層は、電氣的にフローティングしている

請求項 1 ないし請求項 3 のいずれか一項に記載の発光パネル。

【請求項 5】

前記導電層は、当該導電層とは異なる導電性部材と電氣的に接続され、所定の電位となっている

請求項 1 または請求項 2 に記載の発光パネル。

【請求項 6】

表示パネルと、

前記表示パネルを駆動する駆動回路と

を備え、

前記表示パネルは、

透明基板側に E L 光を発する有機 E L 素子と、

前記透明基板上に形成され、かつ前記有機 E L 素子を駆動する画素回路と、

前記透明基板と前記有機 E L 素子との間に形成されると共に前記画素回路の直上にも形成されたカラーフィルタと、

前記画素回路と前記カラーフィルタとの間に形成され、かつ前記カラーフィルタよりも導電性の高い導電層と

を画素ごとに有し、

前記画素回路は、保持容量と、所定の電圧を前記保持容量に書き込む第 1 トランジスタと、前記保持容量の電圧に基づいて前記有機 E L 素子を駆動する第 2 トランジスタとを有し、

前記カラーフィルタは、前記第 1 トランジスタの直上に形成され、

前記導電層は、前記第 1 トランジスタと前記カラーフィルタとの間に形成されており、

前記第 1 トランジスタは、ゲート、ソース、ドレインおよびチャネルを有し、

前記導電層は、前記第 1 トランジスタと前記カラーフィルタとが互いに対向する領域のうち、少なくとも前記チャネルの一部を覆っている

表示装置。

【請求項 7】

表示装置を備え、

前記表示装置は、

表示パネルと、

前記表示パネルを駆動する駆動回路と

を有し、

前記表示パネルは、

透明基板側に E L 光を発する有機 E L 素子と、

前記透明基板上に形成され、かつ前記有機 E L 素子を駆動する画素回路と、

前記透明基板と前記有機 E L 素子との間に形成されると共に前記画素回路の直上にも形成されたカラーフィルタと、

前記画素回路と前記カラーフィルタとの間に形成され、かつ前記カラーフィルタよりも導電性の高い導電層と

を画素ごとに有し、

前記画素回路は、保持容量と、所定の電圧を前記保持容量に書き込む第 1 トランジスタと、前記保持容量の電圧に基づいて前記有機 E L 素子を駆動する第 2 トランジスタとを有

10

20

30

40

50

し、

前記カラーフィルタは、前記第 1 トランジスタの直上に形成され、
前記導電層は、前記第 1 トランジスタと前記カラーフィルタとの間に形成されており、
前記第 1 トランジスタは、ゲート、ソース、ドレインおよびチャネルを有し、
前記導電層は、前記第 1 トランジスタと前記カラーフィルタとが互いに対向する領域の
うち、少なくとも前記チャネルの一部を覆っている

電子機器。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

10

本発明は、有機 E L (electro luminescence) 素子を備えた発光パネルならびにそれを備えた表示装置および電子機器に関する。

【背景技術】

【 0 0 0 2 】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 E L 素子を用いた表示装置が開発され、商品化が進められている（例えば、特許文献 1 参照）。有機 E L 素子は、液晶素子などとは異なり自発光素子である。そのため、有機 E L 素子を用いた表示装置（有機 E L 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

20

【 0 0 0 3 】

有機 E L 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般には T F T (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

30

【特許文献 1】特開 2 0 0 8 - 0 8 3 2 7 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、E L 光の光取出し構造としては、ボトムエミッション方式と、トップエミッション方式の 2 つの方式がある。前者のボトムエミッション方式では、一般的に、T F T 回路上にカラーフィルタが形成される。しかし、カラーフィルタは、有機 E L 素子から発せられた E L 光を受けると、帯電する性質があるため、カラーフィルタに帯電した電荷の影響により、T F T の特性が変化してしまうという問題があった。

【 0 0 0 6 】

40

例えば、図 1 6 に示したように、n チャネルトランジスタ上のカラーフィルタに E L 光が照射されている場合には、T F T の特性が、n チャネルトランジスタの近傍にカラーフィルタが存在していない場合とは異なっていることがわかる。具体的には、T F T の閾値電圧が負方向に変位し、また、オフ状態でのリーク電流が大きくなっている。このような特性に変化した T F T が画素回路の書き込みトランジスタに適用されると、発光期間中に、画素回路内の保持容量に保持した電荷がリークし、輝度が低下してしまうという問題が生じる。

【 0 0 0 7 】

本発明はかかる問題点に鑑みてなされたものであり、その目的は、カラーフィルタの帯電の影響により画素回路の特性が変化するのを低減することの可能な発光パネル、ならび

50

にそれを備えた表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【0008】

本発明による発光パネルは、有機EL素子と、画素回路と、カラーフィルタと、導電層とを画素ごとに備えたものである。ここで、有機EL素子は、透明基板側にEL光を発するようにになっている。画素回路は、有機EL素子を駆動するものであり、透明基板上に形成されている。カラーフィルタは、透明基板と有機EL素子との間に形成されており、さらに、画素回路の直上にも形成されている。導電層は、カラーフィルタよりも導電性の高い材料で構成されており、画素回路とカラーフィルタとの間に形成されている。

【0009】

本発明による表示装置は、上述の発光パネルを表示パネルとして備えており、さらに、その表示パネルを駆動する駆動回路も備えている。本発明による電子機器は、上記の表示装置を備えている。

【0010】

本発明による発光パネル、表示装置および電子機器では、ボトムエミッション方式の発光パネルにおいて、カラーフィルタよりも導電性の高い導電層が、画素回路とカラーフィルタとの間に形成されている。これにより、カラーフィルタが、有機EL素子から発せられたEL光を受け、帯電した場合であっても、その影響が画素回路に及びにくい。

【0011】

本発明において、画素回路は、例えば、保持容量と、所定の電圧を保持容量に書き込む第1トランジスタと、保持容量の電圧に基づいて有機EL素子を駆動する第2トランジスタとを有している。画素回路がそのような構成となっている場合に、カラーフィルタが第1トランジスタの直上に形成されているときには、導電層が第1トランジスタとカラーフィルタとの間に形成されていることが好ましい。

【0012】

また、本発明において、第1トランジスタは、例えば、ゲート、ソース、ドレインおよびチャネルを有している。第1トランジスタがそのような構成となっている場合には、導電層は、第1トランジスタとカラーフィルタとが互いに対向する領域のうち、少なくともチャネルの一部を覆っていることが好ましい。また、導電層は、少なくとも、チャネル、およびソースおよびドレインのうち外部から信号が入力される方の端子を覆っていることがより好ましい。カラーフィルタの帯電による影響が画素回路により及びにくくなるからである。

【0013】

また、本発明において、第1トランジスタは、絶縁層によって導電層と絶縁分離されていてもよい。また、本発明において、導電層は、電気的にフローティングしていてもよいし、当該導電層とは異なる導電性部材と電気的に接続され、所定の電位となってもよい。

【発明の効果】

【0014】

本発明による発光パネル、表示装置および電子機器によれば、カラーフィルタよりも導電性の高い導電層を画素回路とカラーフィルタとの間に形成するようにしたので、カラーフィルタの帯電の影響により画素回路の特性が変化するのを低減することができる。

【図面の簡単な説明】

【0015】

【図1】一実施の形態に係る表示装置の概略図である。

【図2】図1のサブピクセルの回路図である。

【図3】図1のサブピクセルのレイアウト図である。

【図4】図3のサブピクセルのA-A矢視方向の断面構成の一例を表す図である。

【図5】図3のサブピクセルのB-B矢視方向の断面構成の一例を表す図である。

【図6】図2のサブピクセルにおける各種波形の一例を表す図である。

10

20

30

40

50

【図 7】図 3 のサブピクセルの A - A 矢視方向の断面構成の他の例を表す図である。

【図 8】上記実施の形態およびその変形例に係る表示装置を含むモジュールの概略構成を表す平面図である。

【図 9】上記実施の形態およびその変形例に係る表示装置の適用例 1 の外観を表す斜視図である。

【図 10】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 11】適用例 3 の外観を表す斜視図である。

【図 12】適用例 4 の外観を表す斜視図である。

【図 13】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

10

【図 14】従来のサブピクセルにおいて図 3 の A - A 線に対応する部分の断面構成の一例を表す図である。

【図 15】従来のサブピクセルにおいて図 3 の A - A 線に対応する部分の断面構成の他の例を表す図である。

【図 16】カラーフィルタの帯電の影響により有機 EL 素子の特性が変化することを説明するための特性図である。

【発明を実施するための形態】

【0016】

20

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態

書込トランジスタの直上に導電層が設けられている例

2. モジュールおよび適用例

【0017】

< 1. 実施の形態 >

[構成]

図 1 は、一実施の形態に係る表示装置 1 の全体構成の一例を表したものである。この表示装置 1 は、表示パネル 10 と、表示パネル 10 を駆動する駆動回路 20 とを備えている。

30

【0018】

表示パネル 10 は、複数の表示画素 14 が 2 次元配置された表示領域 10A を有している。表示パネル 10 は、外部から入力された映像信号 20A に基づく画像を、各表示画素 14 をアクティブマトリクス駆動することにより表示するものである。各表示画素 14 は、赤色用のサブピクセル 13R と、緑色用のサブピクセル 13G と、青色用のサブピクセル 13B とを含んでいる。なお、以下では、サブピクセル 13R, 13G, 13B の総称としてサブピクセル 13 を用いるものとする。

【0019】

40

図 2 は、サブピクセル 13 の回路構成の一例を表したものである。サブピクセル 13 は、図 2 に示したように、有機 EL 素子 11 と、有機 EL 素子 11 を駆動する画素回路 12 とを有している。なお、サブピクセル 13R には、有機 EL 素子 11 として、赤色の EL 光を発する有機 EL 素子 11R が設けられている。同様に、サブピクセル 13G には、有機 EL 素子 11 として、緑色の EL 光を発する有機 EL 素子 11G が設けられている。サブピクセル 13B には、有機 EL 素子 11 として、青色の EL 光を発する有機 EL 素子 11B が設けられている。

【0020】

画素回路 12 は、例えば、書込トランジスタ T_{ws} と、駆動トランジスタ T_{dr} と、保持容量 C_s とを含んで構成されたものであり、 $2T_{r1}C$ の回路構成となっている。なお

50

、画素回路 12 は、2 Tr 1 C の回路構成に限られるものではなく、互いに直列接続された 2 つの書込トランジスタ T w s を有していてもよいし、上記以外のトランジスタや、容量を有していてもよい。

【 0 0 2 1 】

書込トランジスタ T w s は、映像信号 2 0 A に対応する電圧を保持容量 C s に書き込むトランジスタである。駆動トランジスタ T d r は、書込トランジスタ T w s によって書き込まれた保持容量 C s の電圧に基づいて有機 E L 素子 1 1 を駆動するトランジスタである。書込トランジスタ T w s および駆動トランジスタ T d r は、例えば、n チャネル M O S 型の薄膜トランジスタ (T F T (Thin Film Transistor)) により構成されている。なお、書込トランジスタ T w s および駆動トランジスタ T d r は、p チャネル M O S 型の T F T により構成されていてもよい。

10

【 0 0 2 2 】

なお、本実施の形態の書込トランジスタ T w s が特許請求の範囲の「第 1 トランジスタ」の一具体例に相当し、本実施の形態の駆動トランジスタ T d r が特許請求の範囲の「第 2 トランジスタ」の一具体例に相当する。また、本実施の形態の保持容量 C s が特許請求の範囲の「保持容量」の一具体例に相当する。

【 0 0 2 3 】

駆動回路 2 0 は、タイミング生成回路 2 1、映像信号処理回路 2 2、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 を有している。駆動回路 2 0 は、また、データ線駆動回路 2 3 の出力に接続されたデータ線 D T L と、ゲート線駆動回路 2 4 の出力に接続されたゲート線 W S L と、ドレイン線駆動回路 2 5 の出力に接続されたドレイン線 D S L とを有している。駆動回路 2 0 は、さらに、有機 E L 素子 1 1 のカソードに接続されたグラウンド線 G N D (図 2 参照) を有している。なお、グラウンド線 G N D は、グラウンドに接続されるものであり、グラウンドに接続されたときにグラウンド電圧となる。

20

【 0 0 2 4 】

タイミング生成回路 2 1 は、例えば、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 が連動して動作するように制御するものである。タイミング生成回路 2 1 は、例えば、外部から入力された同期信号 2 0 B に応じて (同期して)、これらの回路に対して制御信号 2 1 A を出力するようになっている。

30

【 0 0 2 5 】

映像信号処理回路 2 2 は、例えば、外部から入力されたデジタルの映像信号 2 0 A を補正すると共に、補正した後の映像信号をアナログに変換して信号電圧 2 2 B をデータ線駆動回路 2 3 に出力するものである。

【 0 0 2 6 】

データ線駆動回路 2 3 は、制御信号 2 1 A の入力に応じて (同期して)、映像信号処理回路 2 2 から入力されたアナログの信号電圧 2 2 B を、各データ線 D T L を介して、選択対象の表示画素 1 4 (またはサブピクセル 1 3) に書き込むものである。データ線駆動回路 2 3 は、例えば、信号電圧 2 2 B と、映像信号とは無関係の一定電圧とを出力することが可能となっている。

40

【 0 0 2 7 】

ゲート線駆動回路 2 4 は、制御信号 2 1 A の入力に応じて (同期して)、複数のゲート線 W S L に選択パルスを順次印加して、複数の表示画素 1 4 (またはサブピクセル 1 3) をゲート線 W S L 単位で順次選択するものである。ゲート線駆動回路 2 4 は、例えば、書込トランジスタ T w s をオンさせるときに印加する電圧と、書込トランジスタ T w s をオフさせるときに印加する電圧とを出力することが可能となっている。

【 0 0 2 8 】

ドレイン線駆動回路 2 5 は、制御信号 2 1 A の入力に応じて (同期して)、所定の電圧を、各ドレイン線 D S L を介して、各画素回路 1 2 の駆動トランジスタ T d r のドレインに出力するようになっている。ドレイン線駆動回路 2 5 は、例えば、有機 E L 素子 1 1 を

50

発光させるときに印加する電圧と、有機EL素子11を消光させるときに印加する電圧とを出力することが可能となっている。

【0029】

次に、図2、図3を参照して、各構成要素の接続関係および配置について説明する。なお、図3は、サブピクセル13のレイアウトの一例を表したものである。

【0030】

ゲート線WSLは、行方向に延在して形成されており、コンタクト37Aを介して、書込トランジスタTwsのゲート31Aに接続されている。ドレイン線DSLも行方向に延在して形成されており、コンタクト37Bを介して、駆動トランジスタTdrのドレイン32Cに接続されている。データ線DTLは列方向に延在して形成されており、コンタクト37Cを介して、書込トランジスタTwsのドレイン31Cに接続されている。

10

【0031】

書込トランジスタTwsのソース31Bは、コンタクト37Dを介して、駆動トランジスタTdrのゲート32Aと、保持容量Csの一端(端子33A)に接続されている。駆動トランジスタTdrのソース32Bと保持容量Csの他端(端子33B)とが、コンタクト37Eを介して、有機EL素子11のアノード35Aに接続されている。有機EL素子11の有機層35Cはアノード35A上であって、かつ書込トランジスタTwsおよび駆動トランジスタTdrと非対向の領域に配置されている。有機EL素子11のカソード35Bは、有機層35C上に配置されており、かつ、グラウンド線GNDに接続されている。カソード35Bは、例えば、表示領域10A全面に渡って形成されている。

20

【0032】

次に、表示パネル10における書込トランジスタTwsおよびその近傍の断面構成について説明する。図4は、図3のサブピクセル13のA-A矢視方向の断面構成の一例を表したものである。表示パネル10は、例えば、図4に示したように、書込トランジスタTwsおよびその近傍において、基板41上に、書込トランジスタTws、保持容量Csおよびデータ線DTLを有している。表示パネル10は、例えば、図4に示したように、書込トランジスタTwsおよびその近傍において、ゲート絶縁層42、絶縁層43、絶縁層44、導電層45、カラーフィルタ46、絶縁層47、絶縁層48、カソード35B、絶縁層49および基板50を基板41側からこの順に有している。

30

【0033】

絶縁層43は開口43Aを有しており、表示パネル10は、開口43Aにコンタクト37C、37Dを有している。表示パネル10は、コンタクト37Cの直上に、コンタクト37Cを介してデータ線DTLおよびドレイン31Cと電氣的に接続されたドレイン引出電極31Eを有している。また、表示パネル10は、コンタクト37Dの直上に、コンタクト37Dを介してソース31Bおよび保持容量Csの端子33Aと電氣的に接続されたソース引出電極31Fを有している。

【0034】

絶縁層44は、ドレイン引出電極31Eおよびソース引出電極31Fおよび絶縁層43の表面全体を覆っており、ドレイン引出電極31Eおよびソース引出電極31Fと、導電層45とを互いに絶縁分離している。導電層45は、カラーフィルタ46よりも導電性の高い材料で構成されたものである。導電層45は、例えば、ITO(Indium Tin Oxide; 酸化インジウムスズ)などの透明導電性材料によって構成されている。導電層45が透明導電性材料によって構成されている場合には、サブピクセル13の開口部分にも形成することが可能である。なお、導電層45は、例えば、金属材料によって構成されていてもよい。ただし、その場合には、例えば、図3に示したように、導電層45は、書込トランジスタTwsの直上(または、ドレイン引出電極31Eおよびソース引出電極31Fの直上)だけに形成され、サブピクセル13の開口部分を避けるように形成されていることが好ましい。

40

【0035】

導電層45は、例えば、図4に示したように、少なくとも、書込トランジスタTwsと

50

カラーフィルタ４６とが互いに対向する領域のうち、少なくとも書込トランジスタＴｗｓのチャンネル３１Ｄを覆っている。導電層４５は、例えば、図４に示したように、少なくとも、書込トランジスタＴｗｓとカラーフィルタ４６とが互いに対向する領域のうち、少なくともチャンネル３１Ｄ、およびドレイン引出電極３１Ｅおよびソース引出電極３１Ｆのうち外部から信号が入力される方とは反対側の端子であるソース引出電極３１Ｆを覆っていることが好ましい。導電層４５は、例えば、他の導電性部材と接しておらず、電氣的にフローティングしている。なお、導電層４５は、必ず電氣的にフローティングしていなければいけない訳ではなく、例えば、導電層４５とは異なる導電性部材と電氣的に接続され、所定の電位となっていてよい。

【００３６】

10

カラーフィルタ４６は、例えば、図３に示したように、サブピクセル１３全体を覆っている。カラーフィルタ４６は、基板４１と有機ＥＬ素子１１との間に形成されると共に画素回路１２の直上にも形成されており、カラーフィルタ４６は、例えば、図４に示したように、書込トランジスタＴｗｓの直上にも形成されている。しかし、本実施の形態では、カラーフィルタ４６と書込トランジスタＴｗｓとの間には、導電層４５が設けられており、導電層４５は、カラーフィルタ４６が、有機ＥＬ素子１１から発せられたＥＬ光を受け、帯電した場合であっても、その影響が画素回路１２（特に書込トランジスタＴｗｓ）に及びにくくなっている。

【００３７】

20

次に、表示パネル１０における駆動トランジスタＴｄｒおよびその近傍の断面構成について説明する。図５は、図３のサブピクセル１３のＢ－Ｂ矢視方向の断面構成の一例を表したものである。表示パネル１０は、例えば、図５に示したように、駆動トランジスタＴｄｒおよびその近傍において、基板４１上に、駆動トランジスタＴｄｒ、保持容量Ｃｓおよびデータ線ＤＴＬを有している。表示パネル１０は、例えば、図５に示したように、駆動トランジスタＴｄｒおよびその近傍において、ゲート絶縁層４２、絶縁層４３、絶縁層４４、カラーフィルタ４６、絶縁層４７、絶縁層４８、有機ＥＬ素子１１、絶縁層４９および基板５０を基板４１側からこの順に有している。

【００３８】

絶縁層４３は開口４３Ａを有しており、表示パネル１０は、開口４３Ａにコンタクト３７Ｃを有している。表示パネル１０は、図示しないが、コンタクト３７Ｂ（図３参照）の直上に、コンタクト３７Ｂを介して、駆動トランジスタＴｄｒのドレイン３２Ｃと電氣的に接続されたドレイン引出電極を有している。また、表示パネル１０は、コンタクト３７Ｅ（図３参照）の直上に、コンタクト３７Ｅを介して、駆動トランジスタＴｄｒのソース３２Ｂと電氣的に接続されたソース引出電極３２Ｅを有している。

30

【００３９】

有機ＥＬ素子１１では、アノード３５Ａが、絶縁層４７およびカラーフィルタ４６に形成された開口４７Ａを介して、ソース引出電極３２Ｅと接続されている。アノード３５Ａは、絶縁層４７の平坦面上に形成された平坦な領域を有しており、有機層３５Ｃは、アノード３５Ａの平坦な領域に接して形成されている。カソード３５Ｂは、少なくとも有機層３５Ｃの上面に接して形成されており、例えば、有機層３５Ｃおよび絶縁層４８を含む表面全体に形成された共通電極として機能する。

40

【００４０】

ここで、基板４１は、ＥＬ光に対して透明な基板、例えば、ガラス基板や樹脂基板などからなる。基板５０は、例えば、ガラス基板、シリコン（Ｓｉ）基板あるいは樹脂基板などからなる。アノード３５Ａは、可視光に対して透明な導電性材料、例えばＩＴＯによって構成されている。有機層３５Ｃは、例えば、アノード３５Ａ側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを有している。カソード３５Ｂは、金属材料で構成されており、反射ミラーとして機能する。これにより、有機ＥＬ素子１１の有機層３５Ｃから発せられた光は、アノード３５Ａ

50

、絶縁層 4 8、カラーフィルタ 4 6、絶縁層 4 4、絶縁層 4 3、絶縁層 4 2 および基板 4 1 を介して外部に出力されるようになっている。従って、基板 4 1 の裏面（駆動トランジスタ T_{dr} とは反対側の面）が映像表示面 S となっており、表示パネル 1 0 は、ボトムエミッション構造となっている。

【 0 0 4 1 】

〔動作〕

次に、本実施の形態の表示装置 1 の動作の一例について説明する。

【 0 0 4 2 】

この表示装置 1 では、映像信号 2 0 A に対応する信号電圧 2 2 B がデータ線駆動回路 2 3 によって各データ線 DTL に印加されると共に、制御信号 2 1 A に応じた選択パルスがゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 によって複数のゲート線 WSL およびドレイン線 DSL に順次印加される。実際には、以下に説明する動作を経て映像が表示される。

【 0 0 4 3 】

図 6 は、ある画素回路 1 2 に印加される電圧波形の一例と、駆動トランジスタ T_{dr} のゲート電圧 V_g およびソース電圧 V_s の変化の一例とを表したものである。図 6 (A) にはデータ線 DTL に、信号電圧 V_{sig} と、オフセット電圧 V_{ofs} が印加されている様子が示されている。図 6 (B) にはゲート線 WSL に、書込トランジスタ T_{ws} をオンする電圧 V_{on} と、書込トランジスタ T_{ws} をオフする電圧 V_{off} が印加されている様子が示されている。図 6 (C) にはドレイン線 DSL に、電圧 V_{cc} と、電圧 V_{ini} が印加されている様子が示されている。さらに、図 6 (D) , (E) には、ドレイン線 DSL 、データ線 DTL およびゲート線 WSL への電圧印加に応じて、駆動トランジスタ T_{dr} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

【 0 0 4 4 】

（閾値補正準備期間）

まず、閾値補正の準備を行う。具体的には、ゲート線 WSL の電圧が V_{off} となっており、ドレイン線 DSL の電圧が V_{cc} となっている時（つまり有機 EL 素子 1 1 が発光している時）に、ドレイン線駆動回路 2 5 がドレイン線 DSL の電圧を V_{cc} から V_{ini} に下げる（ T_1 ）。すると、ソース電圧 V_s が V_{ini} となり、有機 EL 素子 1 1 が消光する。その後、データ線 DTL の電圧が V_{ofs} となっている時にゲート線駆動回路 2 4 がゲート線 WSL の電圧を V_{off} から V_{on} に上げ、駆動トランジスタ T_{dr} のゲートを V_{ofs} とする。

【 0 0 4 5 】

（最初の閾値補正期間）

次に、閾値の補正を行う。具体的には、書込トランジスタ T_{ws} がオンしており、データ線 DTL の電圧が V_{ofs} となっている間に、ドレイン線駆動回路 2 5 がドレイン線 DSL の電圧を V_{ini} から V_{cc} に上げる（ T_2 ）。すると、駆動トランジスタ T_{dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、データ線駆動回路 2 3 がデータ線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、ゲート線駆動回路 2 4 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる（ T_3 ）。すると、駆動トランジスタ T_{dr} のゲートがフローティングとなり、閾値の補正が休止する。

【 0 0 4 6 】

（最初の閾値補正休止期間）

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行（画素）とは異なる他の行（画素）において、データ線 DTL の電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行（画素）において、ソース電圧 V_s が $V_{ofs} - V_{th}$ （ V_{th} は駆動トランジスタ T_{dr} の閾値電圧）よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行（画素）において、駆動トランジスタ T_{dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

10

20

30

40

50

【 0 0 4 7 】

(2 回目の閾値補正期間)

次に、閾値補正を再び行う。具体的には、データ線 D T L の電圧が V o f s となっており、閾値補正が可能となっている時に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o f f から V o n に上げ、駆動トランジスタ T d r のゲート電圧を V o f s にする (T 4)。このとき、ソース電圧 V s が V o f s - V t h よりも低い場合 (閾値補正がまだ完了していない場合) には、駆動トランジスタ T d r がカットオフするまで (ゲート - ソース間電圧 V g s が V t h になるまで)、駆動トランジスタ T d r のドレイン - ソース間に電流 I d s が流れる。その後、データ線駆動回路 2 3 がデータ線 D T L の電圧を V o f s から V s i g に切り替える前に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o n から V o f f に下げる (T 5)。すると、駆動トランジスタ T d r のゲートがフローティングとなるので、ゲート - ソース間電圧 V g s をデータ線 D T L の電圧の大きさに拘わらず一定に維持することができる。

10

【 0 0 4 8 】

なお、この閾値補正期間において、保持容量 C s が V t h に充電され、ゲート - ソース間電圧 V g s が V t h となった場合には、駆動回路 2 0 は、閾値補正を終了する。しかし、ゲート - ソース間電圧 V g s が V t h にまで到達しない場合には、駆動回路 2 0 は、ゲート - ソース間電圧 V g s が V t h に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

【 0 0 4 9 】

(書き込み・移動度補正期間)

閾値補正休止期間が終了した後、書き込みと移動度補正を行う。具体的には、データ線 D T L の電圧が V s i g となっている間に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o f f から V o n に上げ (T 6)、駆動トランジスタ T d r のゲートをデータ線 D T L に接続する。すると、駆動トランジスタ T d r のゲート電圧 V g がデータ線 D T L の電圧 V s i g となる。このとき、有機 E L 素子 1 1 のアノード電圧はこの段階ではまだ有機 E L 素子 1 1 の閾値電圧 V e l よりも小さく、有機 E L 素子 1 1 はカットオフしている。そのため、電流 I d s は有機 E L 素子 1 1 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V s が ΔV だけ上昇し、やがてゲート - ソース間電圧 V g s が $V s i g + V t h - \Delta V$ となる。このようにして、書き込みと同時に移動度補正が行われる。ここで、駆動トランジスタ T d r の移動度が大きい程、 ΔV も大きくなるので、ゲート - ソース間電圧 V g s を発光前に ΔV だけ小さくすることにより、サブピクセル 1 3 ごとの移動度のばらつきを取り除くことができる。

20

30

【 0 0 5 0 】

(ブートストラップ期間)

最後に、ゲート線駆動回路 2 4 がゲート線 W S L の電圧を V o n から V o f f に下げる (T 7)。すると、駆動トランジスタ T d r のゲートがフローティングとなり、駆動トランジスタ T d r のドレイン - ソース間に電流 I d s が流れ、ソース電圧 V s が上昇する。その結果、有機 E L 素子 1 1 に閾値電圧 V e l 以上の電圧が印加され、有機 E L 素子 1 1 が所望の輝度で発光を開始する。

40

【 0 0 5 1 】

このように、本実施の形態の表示装置 1 では、各サブピクセル 1 3 において画素回路 1 2 がオンオフ制御され、各サブピクセル 1 3 の有機 E L 素子 1 1 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル 1 0 の表示領域 1 0 A において画像が表示される。

【 0 0 5 2 】

[効果]

次に、本実施の形態の表示装置 1 の効果について説明する。

【 0 0 5 3 】

一般に、E L 光の光取出し構造としてボトムエミッション方式が用いられている場合に

50

は、TFT回路上にカラーフィルタが形成される。例えば、図14に示したように、カラーフィルタ46がドレイン引出電極31Eおよびソース引出電極31Fに直接接していたり、例えば、図15に示したように、カラーフィルタ46が薄い絶縁層44を介してドレイン引出電極31Eおよびソース引出電極31Fに接していたりしている。しかし、カラーフィルタは、有機EL素子から発せられたEL光を受けると、帯電する性質があるため、カラーフィルタに帯電した電荷の影響により、TFTの特性が変化してしまうという問題があった。

【0054】

例えば、図16に示したように、nチャネルトランジスタ上のカラーフィルタにEL光が照射されている場合には、TFTの特性が、nチャネルトランジスタの近傍にカラーフィルタが存在していない場合とは異なっていることがわかる。具体的には、TFTの閾値電圧が負方向に変位し、また、オフ状態でのリーク電流が大きくなっている。このような特性に変化したTFTが画素回路の書き込みトランジスタに適用されると、発光期間中に、画素回路内の保持容量に保持した電荷がリークし、輝度が低下してしまうという問題が生じる。

10

【0055】

一方、本実施の形態では、ボトムエミッション方式の表示パネル10において、カラーフィルタ46よりも導電性の高い導電層45が、画素回路12とカラーフィルタ46との間に形成されている。これにより、カラーフィルタ46が、有機EL素子11から発せられたEL光を受け、帯電した場合であっても、その影響が画素回路12に及びにくい。その結果、カラーフィルタ46の帯電の影響により書き込みトランジスタTwsの特性が変化することを低減することができる。

20

【0056】

[変形例]

上記実施の形態では、導電層45は、少なくとも、書き込みトランジスタTwsとカラーフィルタ46とが互いに対向する領域のうち、少なくとも書き込みトランジスタTwsのチャンネル31Dを覆っていた。しかし、導電層45は、書き込みトランジスタTwsとカラーフィルタ46とが互いに対向する領域のうち、少なくとも書き込みトランジスタTwsのチャンネル31Dの一部を覆っていればよい。例えば、図7に示したように、導電層45は、書き込みトランジスタTwsとカラーフィルタ46とが互いに対向する領域のうち、チャンネル31Dの一部を覆っているだけでもよい。そのようにした場合であっても、導電層45が全く存在していない場合と比べて、カラーフィルタ46の帯電の影響により書き込みトランジスタTwsの特性が変化することを低減することができる。

30

【0057】

<2. モジュールおよび適用例>

以下、上記実施の形態およびその変形例で説明した表示装置1の適用例について説明する。表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

40

【0058】

[モジュール]

表示装置1は、例えば、図8に示したようなモジュールとして、後述する適用例1~5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板3の一辺に、表示パネル10を封止する部材(図示せず)から露出した領域210を設け、この露出した領域210に、タイミング生成回路21、映像信号処理回路22、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25の配線を延長して外部接続端子(図示せず)を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC; Flexible Printed Circuit)220が設けられていてもよい。

50

【 0 0 5 9 】

[適用例 1]

図 9 は、表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 3 1 0 およびフィルターガラス 3 2 0 を含む映像表示画面部 3 0 0 を有しており、この映像表示画面部 3 0 0 は、表示装置 1 により構成されている。

【 0 0 6 0 】

[適用例 2]

図 1 0 は、表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 4 1 0、表示部 4 2 0、メニュースイッチ 4 3 0 およびシャッターボタン 4 4 0 を有しており、その表示部 4 2 0 は、表示装置 1 により構成されている。

10

【 0 0 6 1 】

[適用例 3]

図 1 1 は、表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0、文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、表示装置 1 により構成されている。

【 0 0 6 2 】

[適用例 4]

図 1 2 は、表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0、この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0、撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、表示装置 1 により構成されている。

20

【 0 0 6 3 】

[適用例 5]

図 1 3 は、表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部（ヒンジ部）7 3 0 で連結したものであり、ディスプレイ 7 4 0、サブディスプレイ 7 5 0、ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、表示装置 1 により構成されている。

30

【 0 0 6 4 】

以上、上記各実施の形態および適用例を挙げて本発明を説明したが、本発明はそれらに限定されるものではなく、種々変形が可能である。

【 0 0 6 5 】

例えば、上記実施の形態等では、本発明を表示装置に適用した場合について説明したが、それ以外のデバイス、例えば、照明装置などに適用することも可能である。

【 0 0 6 6 】

また、上記実施の形態等では、表示装置がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 2 の構成は上記実施の形態等で説明したものに限られない。従って、必要に応じて容量素子やトランジスタを画素回路 1 2 に追加することが可能である。その場合、画素回路 1 2 の変更に応じて、上述したタイミング生成回路 2 1、映像信号処理回路 2 2、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。

40

【 0 0 6 7 】

また、上記実施の形態等では、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 の駆動をタイミング生成回路 2 1 および映像信号処理回路 2 2 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、データ線駆動回路 2 3、ゲート線駆動回路 2 4 およびドレイン線駆動回路 2 5 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい

50

。

【 0 0 6 8 】

また、上記実施の形態等では、書込トランジスタ T_{ws} のソースおよびドレインや、駆動トランジスタ T_{dr} のソースおよびドレインが固定されたものとして説明されていたが、いうまでもなく、電流の流れる向きによっては、ソースとドレインの対向関係が上記の説明とは逆になることがある。

【 0 0 6 9 】

また、上記実施の形態等では、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} が n チャネル MOS 型の $TFET$ により形成されているものとして説明されていたが、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} の少なくとも一方が p チャネル MOS 型の $TFET$ により形成されていてもよい。なお、駆動トランジスタ T_{dr} が p チャネル MOS 型の $TFET$ により形成されている場合には、上記実施の形態等において、有機 EL 素子 11 のアノード 35 A がカソードとなり、有機 EL 素子 11 のカソード 35 B がアノードとなる。また、上記実施の形態等において、書込トランジスタ T_{ws} および駆動トランジスタ T_{dr} は、常に、アモルファスシリコン型の $TFET$ やマイクロシリコン型の $TFET$ である必要はなく、例えば、低温ポリシリコン型の $TFET$ であってもよい。

【 符号の説明 】

【 0 0 7 0 】

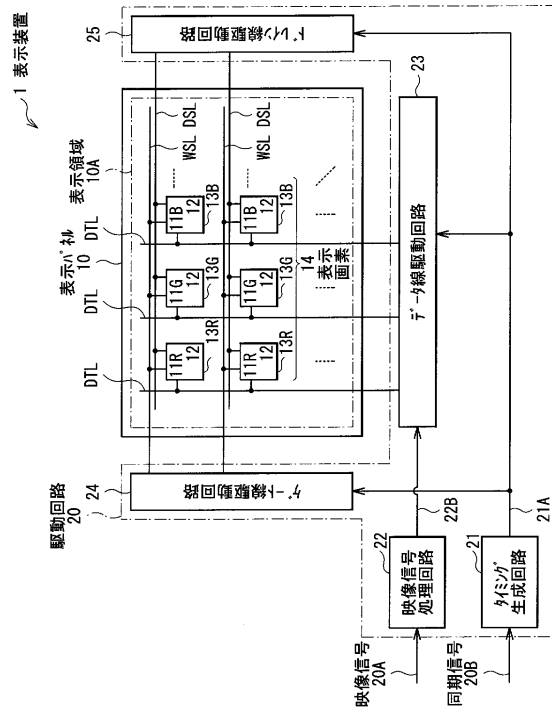
1 ... 表示装置、10 ... 表示パネル、10 A ... 表示領域、11, 11 R, 11 G, 11 B ... 有機 EL 素子、12 ... 画素回路、13, 13 R, 13 G, 13 B ... サブピクセル、14 ... 表示画素、20 ... 駆動回路、21 ... タイミング生成回路、21 A ... 制御信号、22 ... 映像信号処理回路、23 ... データ線駆動回路、24 ... ゲート線駆動回路、25 ... ドレイン線駆動回路、31 A, 32 A ... ゲート、31 B, 32 B ... ソース、31 C, 32 C ... ドレイン、31 D, 32 D ... チャネル、31 E ... ドレイン引出電極、31 F, 32 E ... ソース引出電極、33 A, 33 B ... 端子、35 A ... アノード電極、35 B ... カソード電極、35 C ... 有機層、41, 50 ... 基板、42, 43, 44, 47, 48, 49 ... 絶縁層、45 ... 導電層、46 ... カラーフィルタ、300 ... 映像表示画面部、310 ... フロントパネル、320 ... フィルターガラス、410 ... 発光部、420, 530, 640 ... 表示部、430 ... メニュースイッチ、440 ... シャッターボタン、510 ... 本体、520 ... キーボード、610 ... 本体部、620 ... レンズ、630 ... スタート/ストップスイッチ、710 ... 上側筐体、720 ... 下側筐体、730 ... 連結部、740 ... ディスプレイ、750 ... サブディスプレイ、760 ... ピクチャーライト、770 ... カメラ、Cs ... 保持容量、DSL ... ドレイン線、DTL ... データ線、S ... 映像表示面、Tdr ... 駆動トランジスタ、Tws ... 書込トランジスタ、WSL ... ゲート線。

10

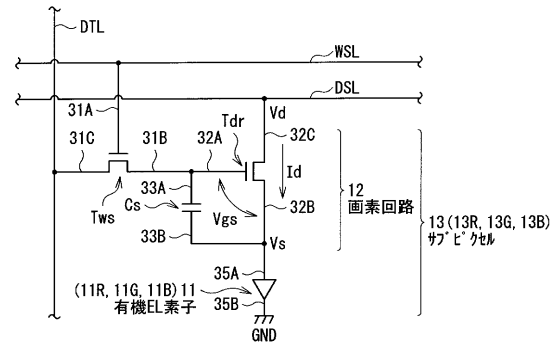
20

30

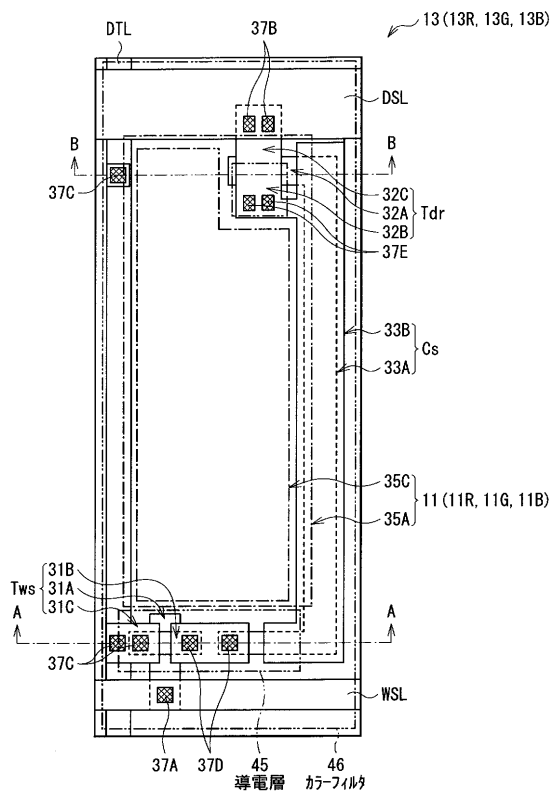
【図 1】



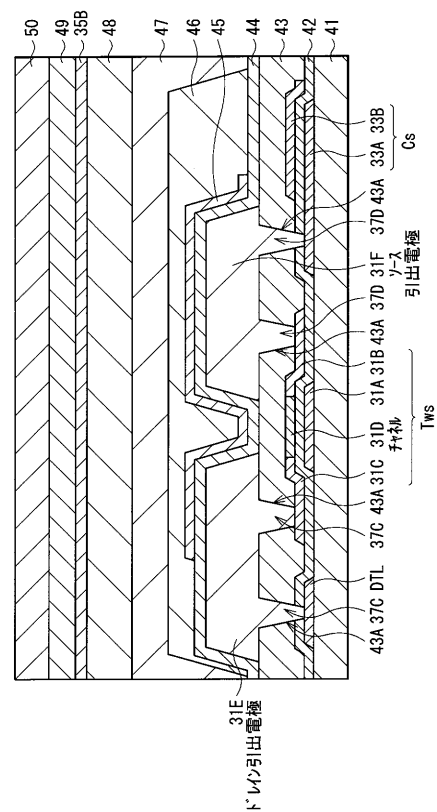
【図 2】



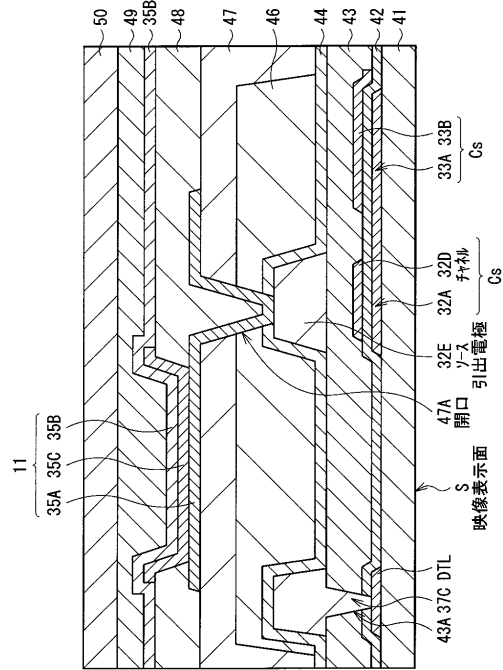
【図 3】



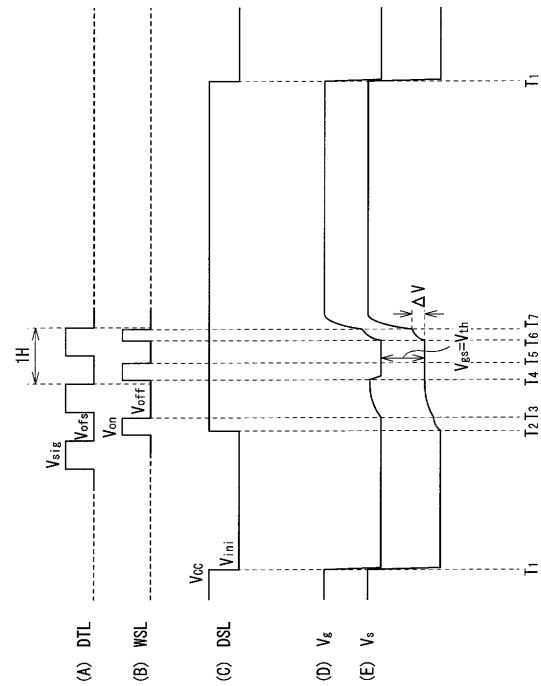
【図 4】



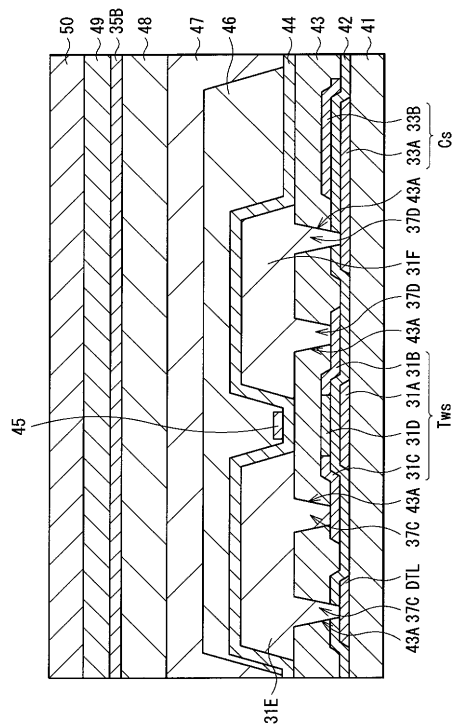
【図 5】



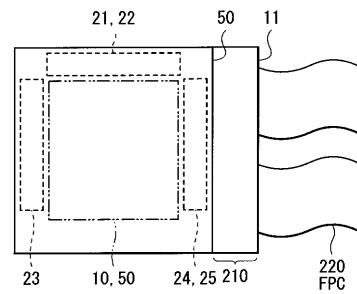
【図 6】



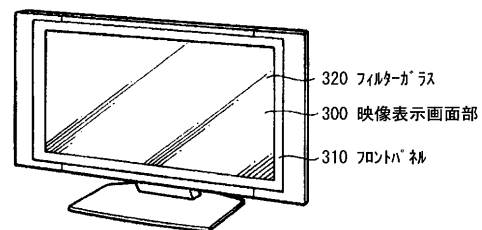
【図 7】



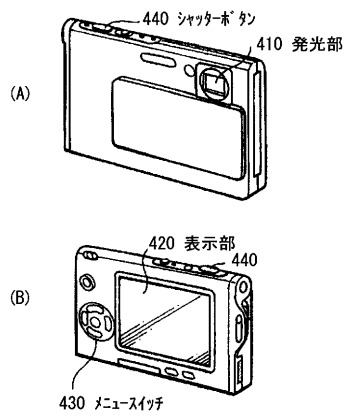
【図 8】



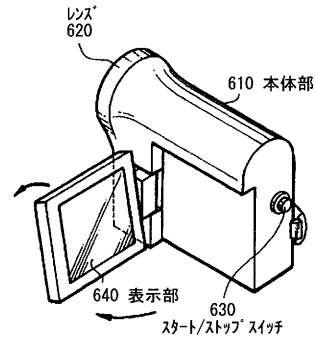
【図 9】



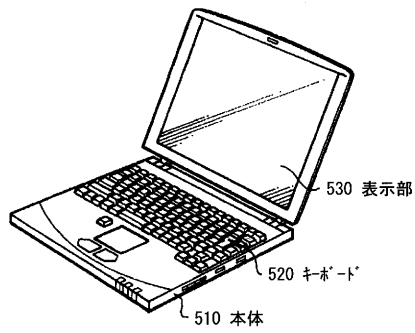
【図 10】



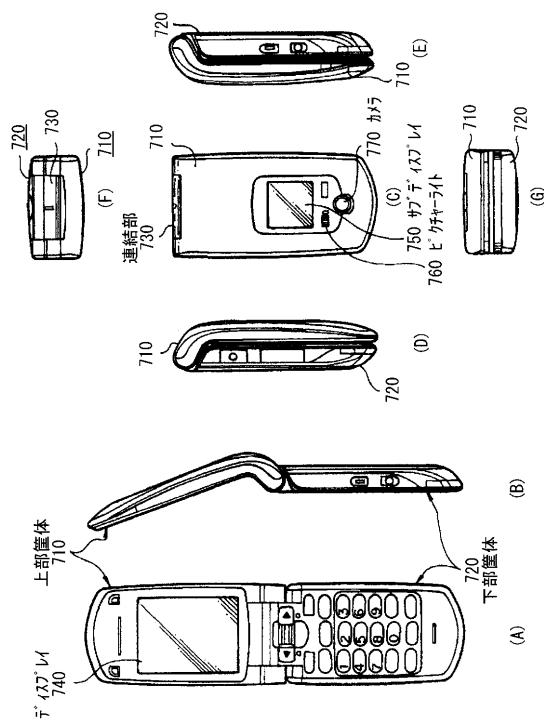
【図 12】



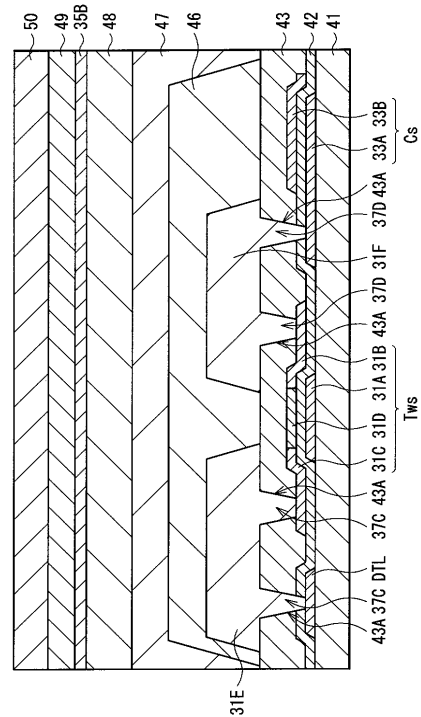
【図 11】



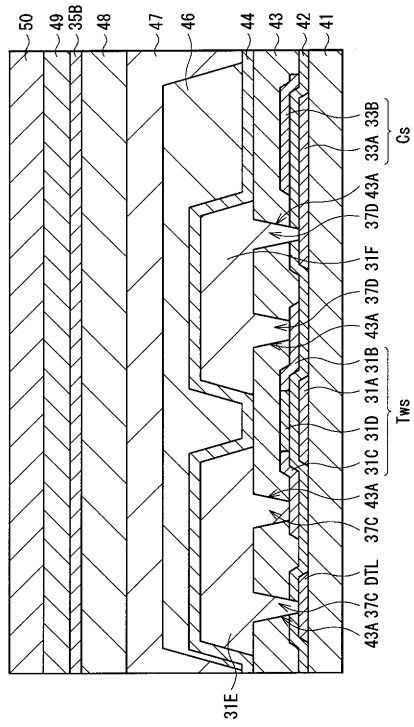
【図 13】



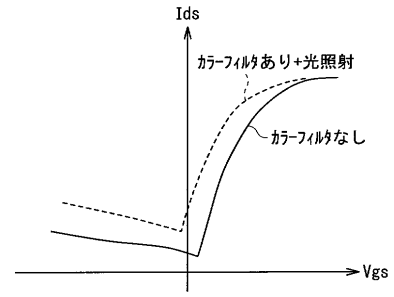
【図 14】



【図 15】



【図 16】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/32</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i> <i>A</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 3 8</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 6 5</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 4 9 B</i>

(56)参考文献 特開 2 0 1 0 - 0 7 2 5 1 2 (J P , A)
 特開 2 0 0 7 - 1 4 0 5 3 0 (J P , A)
 特開 2 0 1 0 - 0 3 2 8 3 0 (J P , A)
 特開 2 0 0 4 - 2 5 2 0 4 7 (J P , A)
 特開 2 0 0 4 - 0 0 4 5 7 2 (J P , A)
 特開 2 0 0 4 - 3 1 1 4 4 0 (J P , A)
 特開 2 0 0 4 - 3 3 4 1 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 B *3 3 / 1 2*
H 0 1 L *5 1 / 5 0*
H 0 1 L *2 7 / 3 2*

专利名称(译)	发光面板，显示装置和电子设备		
公开(公告)号	JP5766491B2	公开(公告)日	2015-08-19
申请号	JP2011087417	申请日	2011-04-11
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	尾本啓介 寺口晋一		
发明人	尾本 啓介 寺口 晋一		
IPC分类号	H05B33/12 G09G3/30 G09G3/20 H01L51/50 G09F9/30 H01L27/32		
CPC分类号	G09G3/30 H01L27/322 H01L27/3262 H01L27/3272		
FI分类号	H05B33/12.E G09G3/30.J G09G3/20.680.H G09G3/20.624.B G09G3/20.670.K H05B33/14.A G09F9/30.338 G09F9/30.365 G09F9/30.349.B G09F9/30.365.Z G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/DD02 3K107/EE03 3K107/EE04 3K107/EE22 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD29 5C080/FF11 5C080/KK43 5C080/KK47 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA24 5C094/DA13 5C094/EA10 5C094/ED02 5C094/HA08 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB42 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA10 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD01 5C380/CA04 5C380/CA12 5C380/CB20 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/DA06 5C380/DA47		
其他公开文献	JP2012221798A JP2012221798A5		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2011-87417 (P2011-87417) (22) 出願日 平成23年4月11日 (2011. 4. 11) (65) 公開番号 特開2012-221798 (P2012-221798A) (43) 公開日 平成24年11月12日 (2012. 11. 12) 審査請求日 平成26年4月4日 (2014. 4. 4)	(73) 特許権者 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番地 (74) 代理人 110001357 特許業務法人つばき国際特許事務所 (72) 発明者 尾本 啓介 東京都港区港南1丁目7番1号 ソニー株式会社内 寺口 晋一 東京都港区港南1丁目7番1号 ソニー株式会社内 審査官 大竹 秀紀
要解决的问题：提供一种能够减少由于滤色器的充电的影响而改变有机EL元件的特性变化的发光面板，并提供一种显示装置和包括该发光面板的电子器件。解决方案：在基板41上，提供包括在像素电路12中的写入晶体管Tws。写入晶体管Tws包括栅极31A，源极31B，漏极31C和沟道31D。源极31B经由接触件37D连接到源极引出电极31F，并且漏极31C经由接触件37C连接到漏极引出电极31E。漏极引出电极31E和源极引出电极31F的表面经由绝缘层设置有导电层45。通道31D经由导电层45面对滤色器46。	最終頁に続く	