

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5245195号
(P5245195)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.

F 1

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 611H
G09G 3/20 612T

請求項の数 11 (全 26 頁)

(21) 出願番号

特願2005-328334 (P2005-328334)

(22) 出願日

平成17年11月14日 (2005.11.14)

(65) 公開番号

特開2007-133282 (P2007-133282A)

(43) 公開日

平成19年5月31日 (2007.5.31)

審査請求日

平成20年10月31日 (2008.10.31)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100118290

弁理士 吉井 正明

(74) 代理人 100094363

弁理士 山本 孝久

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

審査官 佐野 潤一

最終頁に続く

(54) 【発明の名称】 画素回路

(57) 【特許請求の範囲】

【請求項 1】

制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、

前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して該信号線から供給された映像信号を該画素容量に印加することでサンプリングし、

前記画素容量は、一端と他端とがそれぞれ該ドライブトランジスタのゲートとソースに接続され、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路であって、

画素回路は、更に、

画素容量の他端と所定の基準電位との間に接続され、導通状態にされることで画素容量の他端に基準電位が印加される第1のスイッチングトランジスタと、ドライブトランジスタと電源との間に接続され、非導通状態とされることで発光素子の発光を停止させる第2のスイッチングトランジスタとを含む、出力電流の該閾電圧に対する依存性を打ち消すた

めに該ドライブトランジスタの閾電圧を検出して該画素容量に書き込む補正手段を備えており、

第1のスイッチングトランジスタが導通状態とされて画素容量の他端に基準電位が印加され次いで第1のスイッチングトランジスタが非導通状態に切り換えられその後サンプリングトランジスタが導通状態とされ画素容量の一端に一定電位が印加されて画素容量にドライブトランジスタの閾電圧よりも高い電圧が充電され、次いで、第2のスイッチングトランジスタが導通状態とされて画素容量がドライブトランジスタの閾電圧になるまで充電された後に第2のスイッチングトランジスタが非導通状態とされ、

次いで、信号線の電位が一定電位から映像電位に変化した後に第2のスイッチングトランジスタが導通状態とされた後サンプリングトランジスタが非導通状態とされ、サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加した状態で、発光素子に電流が流れる画素回路。

【請求項2】

画素容量の一端が一定電位に保持された状態でドライブトランジスタに流れる電流が画素容量の他端に供給されることで、該画素容量は、該画素容量の他端と一端との間の電位差が該閾電圧になるまで充電され、以って、該ドライブトランジスタの閾電圧が検出され該画素容量に書き込まれる請求項1記載の画素回路。

【請求項3】

水平走査期間の前半で該ドライブトランジスタの閾電圧が検出されて該画素容量に書き込まれ、

前記サンプリングトランジスタは、該水平走査期間の後半で該信号線から供給される映像信号を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号に該書き込まれた閾電圧を加えた入力電圧を該ドライブトランジスタのゲートとソース間に印加し、以って出力電流の該閾電圧に対する依存性を打ち消す請求項1記載の画素回路。

【請求項4】

前記第1のスイッチングトランジスタは、該走査線よりも前に走査される他の走査線から供給される制御信号に応じて導通状態とされる請求項1記載の画素回路。

【請求項5】

前記第1のスイッチングトランジスタは、該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に該他の走査線から供給される制御信号に応じて導通状態とされ、以って該画素容量の両端の電位差が該ドライブトランジスタの閾電圧を超えるように設定される請求項4記載の画素回路。

【請求項6】

前記第1のスイッチングトランジスタは、該走査線の直前に位置する他の走査線に割り当てられた直前の水平走査期間に該他の走査線から供給される制御信号に応じて導通状態とされ、以って該画素容量の両端の電位差が該ドライブトランジスタの閾電圧を超えるように設定される請求項5記載の画素回路。

【請求項7】

前記サンプリングトランジスタは、水平走査期間内で該信号線が映像信号の電位になる信号供給期間に、該信号線から供給された映像信号を該画素容量にサンプリングする一方、

前記補正手段は、水平走査期間内で該信号線が一定電位になる信号固定期間に、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込む請求項1記載の画素回路。

【請求項8】

前記補正手段は、他の走査線に割り当てられる水平走査期間内の信号固定期間でも動作し、各信号固定期間で時分割的に該画素容量を該閾電圧まで充電する請求項7記載の画素回路。

【請求項9】

前記信号固定期間は、各走査線に順次割り当てられる各水平走査期間を互いに区切る水

10

20

30

40

50

平プランキング期間であり、

前記補正手段は、各水平プランキング期間で時分割的に該画素容量を該閾電圧まで充電する請求項8記載の画素回路。

【請求項10】

前記補正手段が各信号固定期間で該画素容量を充電したら、該信号線が一定電位から映像信号の電位に切り替わる前に該サンプリングトランジスタを閉じて該画素容量を該信号線から電気的に切り離す請求項8記載の画素回路。

【請求項11】

前記ドライブトランジスタは、その出力電流がチャネル領域の閾電圧に加えキャリア移動度に対しても依存性を有し、

10

前記補正手段は、該出力電流のキャリア移動度に対する依存性を打ち消すために、該水平走査期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する請求項1記載の画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。より詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に適用する画素回路に関する。

20

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

30

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式がある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

【特許文献1】特開2003-255856

40

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと容量部とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。容量部は、

50

サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、容量部に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【0005】

ドライブトランジスタは、容量部に保持された入力電圧をゲートに受けてソース／ドレン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち容量部に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots \text{式1}$$

このトランジスタ特性式1において、 I_{ds} はソース／ドレン間に流れるドレン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式1から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて大きくなると、オン状態となってドレン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式1が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【0007】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式1から明らかな様に、各ドライブトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献3に開示がある。

【0008】

しかしながら、閾電圧のばらつきをキャンセルする機能（閾電圧補正機能）を組み込んだ従来の画素回路は構成が複雑であり、画素の微細化もしくは高精細化の障害になっていた。また従来の閾電圧補正機能を組み込んだ画素回路は、効率的でなく回路設計の複雑化を招いていた。加えて従来の閾電圧補正機能を備えた画素回路は、構成素子数が比較的多いため歩留まりの低下を招いていた。

【課題を解決するための手段】

【0009】

上述した従来の技術の課題に鑑み、本発明は閾電圧補正機能を備えた画素回路の効率化及び簡素化を図り、以って表示装置の高精細化及び歩留まりの改善を達成することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通

10

20

30

40

50

して該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、水平走査期間の一部で動作し、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込んでおく補正手段を備えることを特徴とする。

【0010】

好ましくは前記補正手段は、水平走査期間に該サンプリングトランジスタが導通して該画素容量の一端が該信号線により一定電位に保持された状態で動作し、該画素容量の他端から該一定電位に対する電位差が該閾電圧になるまで該画素容量を充電する。又前記補正手段は、水平走査期間の前半で該ドライブトランジスタの閾電圧を検出して該画素容量に書き込む一方、前記サンプリングトランジスタは、該水平走査期間の後半で該信号線から供給される映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に該書き込まれた閾電圧を足し込んだ入力電圧を該ドライブトランジスタのゲートとソース間に印加し、以って出力電流の該閾電圧に対する依存性を打ち消す。又前記補正手段は、水平走査期間よりも前に導通して、該画素容量の両端の電位差が該閾電圧を超えるように設定する第1のスイッチングトランジスタと、該水平走査期間に導通して、該画素容量の両端の電位差が該閾電圧になるまで該画素容量を充電する第2のスイッチングトランジスタとを含む。又前記第1のスイッチングトランジスタは、該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以って該画素容量の両端の電位差が該閾電圧を超えるように設定する。又前記第1のスイッチングトランジスタは、該走査線の直前に位置する他の走査線に割り当てられた直前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以って該画素容量の両端の電位差が該閾電圧を超えるように設定する。又前記サンプリングトランジスタは、水平走査期間内で該信号線が映像信号の電位になる信号供給期間に、該信号線から供給された映像信号を該画素容量にサンプリングする一方、前記補正手段は、水平走査期間内で該信号線が一定電位になる信号固定期間に、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込む。又前記補正手段は、他の走査線に割り当てられる水平走査期間内の信号固定期間でも動作し、各信号固定期間で時分割的に該画素容量を該閾電圧まで充電する。又前記信号固定期間は、各走査線に順次割り当てられる各水平走査期間を互いに区切る水平プランキング期間であり、前記補正手段は、各水平プランキング期間で時分割的に該画素容量を該閾電圧まで充電する。又前記補正手段が各信号固定期間で該画素容量を充電したら、該信号線が一定電位から映像信号の電位に切り替わる前に該サンプリングトランジスタを閉じて該画素容量を該信号線から電気的に切り離す。又前記ドライブトランジスタは、その出力電流がチャネル領域の閾電圧に加えキャリア移動度に対しても依存性を有し、前記補正手段は、該出力電流のキャリア移動度に対する依存性を打ち消すために、該水平走査期間の一部で動作し、該映像信号がサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する。

【0011】

本発明は又、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタの

10

20

30

40

50

チャネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込んでおく補正手段を備えており、前記補正手段は、第1のスイッチングトランジスタと第2のスイッチングトランジスタとを含み、前記第1のスイッチングトランジスタは、該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以って該画素容量の両端の電位差が該閾電圧を超えるように設定し、前記第2のスイッチングトランジスタは、該水平走査期間に導通して、該画素容量の両端の電位差が該閾電圧になるまで該画素容量を充電することを特徴とする。

10

【0012】

好ましくは前記第1のスイッチングトランジスタは、該走査線の直前に位置する他の走査線に割り当てられた直前の水平走査期間に該他の走査線から供給される制御信号に応じて導通し、以って該画素容量の両端の電位差が該閾電圧を超えるように設定する。

【0013】

本発明は更に、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、該走査線に割り当てられた水平走査期間に該走査線から供給される制御信号に応じ導通して該信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、所定の発光期間中該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域の閾電圧に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、出力電流の該閾電圧に対する依存性を打ち消すために、あらかじめ該映像信号のサンプリングに先立って、該ドライブトランジスタの閾電圧を検出して該画素容量に書き込んでおく補正手段を備えており、前記補正手段は、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に該画素容量を該閾電圧まで充電することを特徴とする。

20

【0014】

好ましくは前記サンプリングトランジスタは、該走査線に割り当てられた該水平走査期間内で該信号線が映像信号の電位になる信号供給期間に、該信号線から供給された映像信号を該画素容量にサンプリングする一方、前記補正手段は、複数の走査線に割り当てられた各水平走査期間内で該信号線が一定電位になる各信号固定期間に、該ドライブトランジスタの閾電圧を検出して時分割的に該画素容量を該閾電圧まで充電する。又前記信号固定期間は、各走査線に順次割り当てられる各水平走査期間を互いに区切る水平プランギング期間であり、前記補正手段は、各水平プランギング期間で時分割的に該画素容量を該閾電圧まで充電する。又前記補正手段が各信号固定期間で該画素容量を充電したら、該信号線が一定電位から映像信号の電位に切り替わる前に該サンプリングトランジスタを閉じて該画素容量を該信号線から電気的に切り離す。

30

【発明の効果】

【0015】

本発明にかかる画素回路は、発光素子に供給する出力電流の閾電圧に対する依存性を打ち消すために、補正手段を備えている。特徴事項として、この補正手段は、水平走査期間の一部で動作し、予めドライブトランジスタの閾電圧を検出して画素容量に書き込んでおく。画素容量に対する映像信号のサンプリングを行う水平走査期間の一部を利用して、閾電圧の補正動作を実行するため、補正手段の構成を簡素化できる。具体的には、本発明にかかる補正手段は、水平走査期間よりも前に導通して画素容量を予めリセットする第1のスイッチングトランジスタと、水平走査期間に導通して、リセットされた画素容量に閾電圧を充電する第2のスイッチングトランジスタとで構成できる。したがって本発明の画素

40

50

回路は、この補正手段を構成する第1及び第2のスイッチングトランジスタと、映像信号をサンプリングするサンプリングトランジスタと、発光素子を駆動するドライブトランジスタとで構成できる。本発明の画素回路はこの様に合計4個のトランジスタで構成でき、素子数を削減可能である。これに伴い電源ラインやゲートライン数を削減でき、配線クロスオーバーを減少させることで歩留まりを改善することが出来る。同時にパネルの高精細化も可能になる。

【0016】

また本発明によれば、上述した第1のスイッチングトランジスタは、当該画素に割り当てられた当該走査線よりも前に位置する他の走査線を、制御用のゲートラインに利用している。具体的には、本発明の補正手段を構成する第1のスイッチングトランジスタは、当該走査線よりも前に位置する他の走査線に割り当てられた前の水平走査期間に、この他の走査線から供給される制御信号に応じて導通し、以って画素容量のリセットを行っている。この様に、補正手段を構成する第1のスイッチングトランジスタのゲートラインとして、前の行に属する走査線を利用することで、トータルのゲートライン数を削減し、これにより配線クロスオーバーを減少させることで歩留まりの改善につながる。同時にパネルの高精細化も可能になる。

【0017】

さらに本発明によれば、画素回路に組み込まれる補正手段が、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に画素容量を閾電圧まで充電する。この様に、閾電圧補正動作を複数の水平走査期間に分散し、複数回に分割することで、1水平走査期間当たりの閾電圧補正時間を短く設定できる。その分1水平走査期間における映像信号のサンプリング時間を十分に確保可能である。したがって高精細で高周波駆動のパネルにおいても、十分に映像信号電位を画素容量に書き込むことが出来る。よって一層表示パネルの高精細化や高周波数での駆動を可能としている。

【発明を実施するための最良の形態】

【0018】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に図1を参照して、閾電圧(Vth)補正機能を備えたアクティブマトリクス表示装置の全体構成を説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セレクタ3、ライトスキャナ4、ドライブスキャナ5、補正用スキャナ7などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素R,G,Bなどで構成されている。カラー表示を可能とする為、RGBの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素R,G,Bは夫々画素回路2で構成されている。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DS及びAZも配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZは補正用スキャナ7によって走査される。ライトスキャナ4、ドライブスキャナ5及び補正用スキャナ7はスキャナ部を構成しており、1水平期間毎画素の行を順次走査する。各画素回路2は走査線WSによって選択された時信号線SLから映像信号をサンプリングする。更に走査線DSによって選択された時、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子を駆動する。加えて画素回路2は走査線AZによって走査された時、あらかじめ決められた補正動作を行なう。

【0019】

上述した画素アレイ1は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路2はアモルファスシリコン薄膜トランジスタ(TFT)又は低温ポリシリコンTFTで形成されている。アモルファスシリコンTFTの場合、スキャナ部はパネルとは別のTABなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンTFTの場合、信号部及びスキャナ部も同じ低温ポリシ

10

20

30

40

50

リコン TFT で形成できるので、フラットパネル上に画素アレイ部と信号部とスキヤナ部を一体的に形成できる。

【0020】

図2は、図1に示した表示装置に組み込まれる画素回路2の第1実施形態を示す回路図である。画素回路2は、4個の薄膜トランジスタTr1, Tr3, Tr4, Trdと1個の容量素子(画素容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1, Tr3, TrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。¹⁰ 1個の容量素子Csは本画素回路2の画素容量を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0021】

画素回路2の中心となるドライブトランジスタTrdはそのゲートGが画素容量Csの一端に接続され、そのソースSが同じく画素容量Csの他端に接続されている。ドライブトランジスタTrdのドレインは第2のスイッチングトランジスタTr4を介して電源Vccに接続されている。このスイッチングトランジスタTr4のゲートは走査線DSに接続している。発光素子ELのアノードはドライブトランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はVcathで表される場合がある。またドライブトランジスタTrdのソースSと所定の基準電位Vssとの間に第1のスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZに接続している。一方サンプリングトランジスタTr1は信号線SLとドライブトランジスタTrdのゲートGとの間に接続されている。サンプリングトランジスタTr1のゲートは走査線WSに接続している。²⁰

【0022】

かかる構成において、サンプリングトランジスタTr1は、走査線WSに割り当てられた水平走査期間(1H)に走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号Vsigを画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号Vsigに応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、所定の発光期間中入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。この出力電流IdsはドライブトランジスタTrdのチャネル領域の閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタTrdから供給された出力電流Idsにより映像信号Vsigに応じた輝度で発光する。³⁰

【0023】

本発明の特徴事項として、画素回路2は第1のスイッチングトランジスタTr3と第2のスイッチングトランジスタTr4とで構成される補正手段を備えている。この補正手段は出力電流Idsの閾電圧Vthに対する依存性を打ち消すために、水平走査期間(1H)の一部で動作し、ドライブトランジスタTrdの閾電圧Vthを検出して画素容量Csに書き込んでおく。この補正手段は、水平走査期間(1H)にサンプリングトランジスタTr1が導通して画素容量Csの一端が信号線SLにより一定電位Vss0に保持された状態で動作し、画素容量Csの他端から一定電位Vss0に対する電位差が閾電圧Vthになるまで画素容量Csを充電する。この補正手段は、水平走査期間(1H)の前半でドライブトランジスタTrdの閾電圧Vthを検出して画素容量Csに書き込む一方、サンプリングトランジスタTr1は水平走査期間(1H)の後半で信号線SLから供給される映像信号Vsigを画素容量Csにサンプリングする。画素容量Csは、サンプリングされた映像信号Vsigに予め書き込まれた閾電圧Vthを足し込んだ入力電圧VgsをドライブトランジスタTrdのゲートGとソースS間に印加し、以って出力電流Idsの閾電圧Vthに対する依存性を打ち消す。この補正手段は、水平走査期間(1H)よりも前に導通して画素容量Csの両端の電位差が閾電圧Vthを越える様に設定(リセット)する第1のスイッチングトランジスタTr3と、水平走査期間(1H)に導通して、画素容⁴⁰⁵⁰

量 C_s の両端の電位差が閾電圧 V_{th} になるまで画素容量 C_s を充電する第 2 のスイッチングトランジスタ T_{rd} とを含む。サンプリングトランジスタ T_{r1} は、水平走査期間（1H）内で信号線 S_L が映像信号 V_{sig} の電位になる信号供給期間に、信号線 S_L から供給された映像信号 V_{sig} を画素容量 C_s にサンプリングする一方、補正手段は水平走査期間（1H）内で信号線 S_L が一定電位 V_{ss0} になる信号固定期間に、ドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出して画素容量 C_s に書き込む。

【0024】

本実施形態では、ドライブトランジスタ T_{rd} は、その出力電流 I_{ds} がチャネル領域の閾電圧 V_{th} に加えキャリア移動度 μ に対しても依存性を有する。これに対処するため、本発明の補正手段は、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すべく水平走査期間（1H）の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正する。
10

【0025】

図3は、図2に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にする為、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。また、各トランジスタのゲートに接続される走査線 WS 、 DS 、 AZ も書き込んである。この画素回路2は、水平走査期間内に V_{th} 補正動作と映像信号書き込み動作を行う。これにより、画素回路2は4個のトランジスタ T_{r1} 、 T_{r3} 、 T_{r4} 、 T_{rd} と1個の画素容量 C_s と1個の発光素子 EL とで構成可能である。従来の V_{th} 補正機能を組み込んだ画素回路に比べ、少なくともトランジスタを1個削減可能である。これにより、電源ラインを1本とゲートライン（走査線）を少なくとも1本ずつ削減することができ、パネルの歩留まりの改善につながる。また、画素回路のレイアウトを簡素化することで、高精細化も可能である。
20

【0026】

図4は、図2及び図3に示した画素回路のタイミングチャートである。図4を参照して、図2及び図3に示した画素回路の動作を具体的且つ詳細に説明する。図4は、時間軸 T に沿って各走査線 WS 、 AZ 及び DS に印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で示してある。合わせて信号線に印加される映像信号 V_{sig} の波形も時間軸 T に沿って示してある。図示する様に、この映像信号 V_{sig} は各水平走査期間 H の前半で一定電位 V_{ss0} となり後半で信号電位となる。トランジスタ T_{r1} 及び T_{r3} はNチャネル型なので、走査線 WS 、 AZ がそれぞれハイレベルのときオンし、ローレベルのときオフする。一方トランジスタ T_{r4} はPチャネル型なので、走査線 DS がハイレベルのときオフし、ローレベルのときオンする。なおこのタイミングチャートは、各制御信号 WS 、 AZ 、 DS の波形や映像信号 V_{sig} の波形と共に、ドライブトランジスタ T_{rd} のゲート G の電位変化及びソース S の電位変化も表してある。
30

【0027】

図4のタイミングチャートではタイミング T_1 ～ T_8 までを1フィールド（1f）としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、一行分の画素に印加される各制御信号 WS 、 AZ 、 DS の波形を表してある。
40

【0028】

当該フィールドが始まる前のタイミング T_0 で、全ての制御信号 WS 、 AZ 、 DS がローレベルにある。したがってNチャネル型のトランジスタ T_{r1} 及び T_{r3} はオフ状態にある一方、Pチャネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。したがってタイミング T_0 で発光素子 EL は発光している。このときドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位と（G）ソース電位（S）の差で表さ
50

れる。

【0029】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切換る。これによりトランジスタTr4がオフし、ドライブトランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。タイミングT1に入ると、全てのトランジスタTr1, Tr3, Tr4がオフ状態になる。

【0030】

続いてタイミングT2になると制御信号AZがローレベルからハイレベルに立ち上がり、スイッチングトランジスタTr3がオンになる。これにより、画素容量Csの他端及びドライブトランジスタTrdのソースSに基準電位Vssを書き込む。このときドライブトランジスタTrdのゲート電位はハイインピーダンスなので、ソース電位(S)の降下に追随してゲート電位(G)も低下する。10

【0031】

この後制御信号AZがローレベルに戻ってスイッチングトランジスタTr3がオフした後、タイミングTaで制御信号WSがハイレベルになり、サンプリングトランジスタTr1が導通する。このとき、信号線に現れる電位は、所定の一定電位Vss0に設定されている。ここでVss0 - Vss > Vthを満たすようにVss0及びVssが設定されている。Vss0 - VssはドライブトランジスタTrdの入力電圧Vgsとなっている。ここではVgs > Vthとすることで、その後のVth補正動作の準備を行っている。換言するとタイミングTaで画素容量Csの両端はVgsを越える電圧に設定され、Vth補正動作に先立って画素容量Csにリセットがかけられる。また発光素子ELの閾電圧をVthELとすると、VthEL > Vssと設定することで、発光素子ELに逆バイアスを印加する。これは、その後のVth補正動作を正常に行うために必要である。20

【0032】

続いてタイミングT3で制御信号DSをローレベルに切換え、スイッチングトランジスタTr4をオンして、Vth補正を実行する。このとき信号線の電位はVth補正を正確に行うため、依然として一定電位Vss0に保持されている。スイッチングトランジスタTr4がオンすることで、ドライブトランジスタTrdが電源Vccに接続され、出力電流Idsが流れる。これに伴い画素容量Csは充電されていく、その他端に接続されたソース電位(S)が上昇していく。一方画素容量Csの一端の電位(ゲート電位G)はVss0に固定されている。したがって画素容量Csの充電に伴いソース電位(S)が上昇して行き、入力電圧Vgsが丁度Vthに達したところでドライブトランジスタTrdがカットオフする。ドライブトランジスタTrdがカットオフすると、そのソース電位(S)はタイミングチャートに示したようにVss0 - Vthになる。30

【0033】

この後タイミングT4で制御信号DSをハイレベルに戻し、スイッチングトランジスタTr4をオフすることでVth補正動作は終了する。この補正動作により、画素容量Csに閾電圧Vth相当の電圧が書き込まれる。

【0034】

この様にタイミングT3 ~ T4でVth補正を行った後、1水平走査期間(1H)の半分が経過し、信号線の電位がVss0からVsigに変化する。これにより映像信号Vsigが画素容量Csに書き込まれる。発光素子ELの等価容量Coldに比べて画素容量Csは十分に小さい。この結果、映像信号Vsigのほとんど大部分が画素容量Csに書き込まれる。したがってドライブトランジスタTrdのゲートGとソースS間の電圧Vgsは、先に検出保持されたVthと今回サンプリングされたVsigを加えたレベル(Vsig + Vth)となる。ゲート/ソース間電圧Vgsは図4のタイミングチャートに示すようにVsig + Vthとなる。かかる映像信号Vsigのサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。即ちタイミングT5 ~ T7がサンプリング期間に相当する。40

【0035】

この様に本発明では、V_{t h}補正期間T₃ - T₄とサンプリング期間T₅ - T₇が、1水平走査期間(1H)に含まれる。1Hの間、サンプリング用の制御信号WSはハイレベルにある。本発明ではサンプリングトランジスタTr1がオンした状態でV_{t h}補正及びV_{s i g}書き込みを行っている。これにより画素回路2の構成を簡素化している。

【0036】

本実施形態では、上述したV_{t h}補正に加え移動度μの補正も同時に行っている。但し本発明はこれに限られるものではなく、移動度μ補正を行わない単純なV_{t h}補正動作のみの画素回路にも適用可能であることは言うまでもない。また本実施形態の画素回路2は、ドライブトランジスタTrd以外のトランジスタはNチャネル型とPチャネル型が混在しているが、本発明はこれに限られるものではなくNチャネル型トランジスタのみまたはPチャネル型トランジスタのみで構成することも可能である。

10

【0037】

移動度μの補正是タイミングT₆ ~ T₇で行われる。以下この点につき詳細に説明する。サンプリング期間の終了するタイミングT₇より前のタイミングT₆で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタTrdが電源Vccに接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T₆ ~ T₇で、ドライブトランジスタTrdの移動度補正を行う。即ち本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T₆ ~ T₇で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T₆ ~ T₇では、ドライブトランジスタTrdのゲートGが映像信号V_{s i g}のレベルに固定された状態で、ドライブトランジスタTrdにドレイン電流I_{d s}が流れる。ここでV_{s s 0} - V_{t h} < V_{t h}ELと設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタTrdに流れる電流I_{d s}は画素容量Csと発光素子ELの等価容量Col edの両者を結合した容量C = Cs + Col edに書き込まれていく。これによりドライブトランジスタTrdのソース電位(S)は上昇していく。図4のタイミングチャートではこの上昇分をVで表してある。この上昇分Vは結局画素容量Csに保持されたゲート/ソース間電圧Vgsから差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタTrdの出力電流I_{d s}と同じくドライブトランジスタTrdの入力電圧Vgsに負帰還する事で、移動度μを補正する事が可能である。なお負帰還量Vは移動度補正期間T₆ ~ T₇の時間幅tを調整する事で最適化可能である。

20

【0038】

タイミングT₇では制御信号WSがローレベルとなりサンプリングトランジスタTr1がオフする。この結果ドライブトランジスタTrdのゲートGは信号線SLから切り離される。映像信号V_{s i g}の印加が解除されるので、ドライブトランジスタTrdのゲート電位(G)は上昇可能となり、ソース電位(S)と共に上昇していく。その間画素容量Csに保持されたゲート/ソース間電圧Vgsは(V_{s i g} - V + V_{t h})の値を維持する。ソース電位(S)の上昇に伴い、発光素子ELの逆バイアス状態は解消されるので、出力電流I_{d s}の流入により発光素子ELは実際に発光を開始する。この時のドレイン電流I_{d s}対ゲート電圧Vgsの関係は、先のトランジスタ特性式1のVgsにV_{s i g} - V + V_{t h}を代入する事で、以下の式2のように与えられる。

30

$$I_{d s} = k \mu (V_{g s} - V_{t h})^2 = k \mu (V_{s i g} - V)^2 \quad \dots \text{式2}$$

40

上記式2において、k = (1/2)(W/L)Cxである。この特性式2からV_{t h}の項がキャンセルされており、発光素子ELに供給される出力電流I_{d s}はドライブトランジスタTrdの閾電圧V_{t h}に依存しない事が分かる。基本的にドレイン電流I_{d s}は映像信号の信号電圧V_{s i g}によって決まる。換言すると、発光素子ELは映像信号V_{s i g}に応じた輝度で発光する事になる。その際V_{s i g}は帰還量Vで補正されている。

50

この補正量 V は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0039】

最後にタイミング T_8 に至ると制御信号 D_S がハイレベルとなってスイッチングトランジスタ T_{r4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0040】

図 5 は、移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を示す回路図である。10 図示するように、移動度補正期間 $T_6 - T_7$ では、サンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r4} がオンしている一方、残りのスイッチングトランジスタ T_{r3} がオフしている。この状態でドライブトランジスタ T_{r4} のソース電位 (S) は $V_{ss} - V_{th}$ である。このソース電位 S は発光素子 EL のアノード電位でもある。前述したように $V_{ss} - V_{th} < V_{th} EL$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{olead} との合成容量 $C = C_s + C_{olead}$ に流れ込む事になる。換言すると、ドレン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0041】

図 6 は上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取つてある。このグラフの下方に特性式 2 も合わせて示してある。図 6 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素 2 に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素 1, 2 に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 I_{ds1}' は、移動度 μ の小さい画素 2 に流れる出力電流 I_{ds2}' に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。20

【0042】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図 6 のグラフに示すように、移動度 μ の大きな画素 1 の負帰還量 V_1 は移動度の小さな画素 2 の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくかかる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素 1 で V_1 の補正をかけると、出力電流は I_{ds1}' から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素 2 の補正量 V_2 は小さいので、出力電流 I_{ds2}' は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の補正量 V_1 は移動度の小さい画素 2 の補正量 V_2 に対して 大きくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。40

【0043】

以下参考の為図 7 を参照して、上述した移動度補正の数値解析を行う。図 7 に示すように、トランジスタ T_{r1} 及び T_{r4} がオンした状態で、ドライブトランジスタ T_{rd} のソ

10

20

30

40

50

ース電位を変数 V に取って解析を行う。ドライブトランジスタ T r d のソース電位 (S) を V とすると、ドライブトランジスタ T r d を流れるドレン電流 I_{ds} は以下の式 3 に示す通りである。

【数 1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0044】

またドレン電流 I_{ds} と容量 C ($= C_s + C_{load}$) の関係により、以下の式 4 に示す様に $I_{ds} = dQ/dt = CdV/dt$ が成り立つ。 10

【数 2】

$$\begin{aligned} I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4} \\ &\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\ &\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\ &\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \end{aligned}$$

10

20

【0045】

式 4 に式 3 を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 (T6 T7) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の式 5 のように与えられる。

【数 3】

30

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【0046】

図 8 は、式 5 をグラフ化した図であり、縦軸に出力電流 I_{ds} を取り、横軸に映像信号 V_{sig} を取ってある。パラメータとして移動度補正期間 $t = 0 \mu s$ 、 $2.5 \mu s$ 及び $5 \mu s$ の場合を設定している。さらに、移動度 μ もパラメータとして比較的大きい場合 1.2μ と比較的小さい場合 0.8μ をパラメータにとってある。 $t = 0 \mu s$ として実質的に移動度補正をかけない場合に比べ、 $t = 2.5 \mu s$ では移動度ばらつきに対する補正が十分にかかっていることがわかる。移動度補正なしでは I_{ds} に 40 % のばらつきがあったものが、移動度補正をかけると 10 % 以下に抑えられる。但し $t = 5 \mu s$ として補正期間を長くすると逆に移動度 μ の違いによる出力電流 I_{ds} のばらつきが大きくなってしまう。この様に、適切な移動度補正を掛けるために、 t は最適な値に設定する必要がある。図 8 に示したグラフの場合、最適値は $t = 2.5 \mu s$ の近辺である。 40

【0047】

次に本発明にかかる画素回路の第 2 実施形態を説明する。上述した第 1 実施形態では、図 4 のタイミングチャートに示したように、1 水平走査期間 (1H) 内で V_{th} 補正と V_{sig} 書き込みを行っている。これにより回路素子数を削減している。しかしながら第 1

40

50

実施形態の画素回路では、パネルの画素数が増えて高精細化したり、高画質化のためにフィールド周波数を上げたりした場合、水平走査期間（1H）が短くなる為、十分にVth補正をかけることが出来ない可能性がある。逆にVth補正期間をある程度確保すると、Vsig書き込み時間が圧迫されるため、十分に映像信号を画素容量に書き込めないことも有り得る。本第2実施形態は第1実施形態を改良したもので、パネルの高精細化や高画質化に対応可能となっている。第2実施形態の画素回路構成は基本的に図2に示した第1実施形態の画素回路構成と同じである。但し動作シーケンスが異なっており、図9のタイミングチャートを参照して詳細に説明する。なお理解を容易にするため、第1実施形態の動作を示すタイミングチャート図4と対応する部分には対応する参照符号を用いてある。

【0048】

10

図9を参照すれば明らかな様に、本実施形態ではVth補正期間を複数回に分割している。これにより一回毎のVth補正期間は短くとも、複数回行うことで十分に長いVth補正期間を確保することが出来る。これにより回路素子数を削減した上に、さらにパネルの高精細化及び高周波数化にも対応することが出来る。各々のVth補正期間は数μsと非常に短いものであっても、複数回にわたる補正量を合計することで十分にVthばらつきを補正可能である。

【0049】

20

以下図9のタイミングチャートに則り、第2実施形態の動作を詳細に説明する。まずタイミングT1で制御信号DSをハイレベルにしスイッチングトランジスタTr4をオフする。その後タイミングT2で制御信号AZをハイレベルにしスイッチングトランジスタTr3をオンする。これによりドライブトランジスタTrdのソース電位(S)に基準電位Vssを書き込む。このときゲート電位(G)はハイインピーダンスなので、ソース電位(S)の降下に追随してゲート電位(G)も下がる。

【0050】

この後各水平走査期間を区切る水平プランキング期間でVth補正を時分割的に行う。なお各水平プランキング期間では信号線の電位が一定電位Vss0に設定されている。第1のVth補正期間では、制御信号WSがハイレベルになりサンプリングトランジスタがオンする。このとき前述したように信号線の電位はVss0に設定しておく。ここでVss0 - Vss = Vgs > Vthを満たしており、Vgs > Vthとすることでその後のVth補正の準備を行う。また発光素子ELの閾電圧をVthELとすると、VthEL > Vssと設定することで、発光素子ELに逆バイアスを印加する。これは、その後のVth補正動作及び移動度補正動作を正常に行うために必要である。

30

【0051】

次にサンプリングトランジスタをオン状態にしたまま、タイミングT31で制御信号DSをローレベルに切換えスイッチングトランジスタTr4をオンする。これにより1回目のVth補正が実行される。このとき信号線の電位はVth補正を正確に行うために一定電位Vss0に保持しておく。ドライブトランジスタTrdはスイッチングトランジスタTr4がオンすることでカットオフに向かって出力電流Idsが流れる。その後タイミングT41で制御信号DSをハイレベルに戻し、スイッチングトランジスタTr4をオフして1回目のVth補正を終了する。この後信号線の電位が変わらない内に制御信号WSをローレベルに戻して、サンプリングトランジスタをオフすることが望ましい。但しその様にしなくとも動作上問題はない。

40

【0052】

本実施形態では一回のVth補正期間は例えば水平プランキング期間内に収まる程度に設定している。そのため一回のVth補正動作ではドライブトランジスタTrdはカットオフせず、そのソース電位(S)は途中の動作点にて保持される。

【0053】

50

次の水平プランキング期間が来て信号線の電位が再びVss0になったとき、2回目のVth補正動作を行う。即ちWSをハイレベルに切り換えサンプリングトランジスタTr1を導通させると共に、制御信号DSをローレベルに切換えてスイッチングトランジスタ

T_{r4} を導通させ、以って 2 回目の V_{th} 補正動作を行う。この 2 回目の V_{th} 補正期間が $T_{32} - T_{42}$ で表されている。この一連の V_{th} 補正動作をドライブトランジスタがカットオフするまで複数回行うことで、 V_{th} 補正を完了させる。

【0054】

図 9 のタイミングチャートに示した例では、当該走査線 WS に割り当てられた水平走査期間 (1 H) の先頭に位置する水平プランキング期間で 3 回目の V_{th} 補正を行った後、映像信号 V_{sig} を画素容量に書き込み、さらにその後移動度 μ の補正を行っている。3 回目の V_{th} 補正期間は $T_{33} - T_{43}$ で表されている。この 3 回目の V_{th} 補正が完了すると、ゲート電位 (G) とソース電位 (S) との間の差が丁度 V_{th} に設定される。

【0055】

以上のように本実施形態では、画素回路 2 に組み込まれた補正手段は、複数の走査線に割り当てられた複数の水平走査期間内で動作し、時分割的に画素容量 C_s を閾電圧 V_{th} まで充電する。サンプリングトランジスタは当該走査線 WS に割り当てられた当該水平走査期間 (1 H) 内で信号線 SL が映像信号の電位 V_{sig} になる信号供給期間に、信号線 SL から供給された映像信号を画素容量 C_s にサンプリングする一方、補正手段は複数の走査線 WS に割り当てられた各水平走査期間内で信号線 SL が一定電位 V_{ss0} になる信号固定期間に、ドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出して時分割的に画素容量 C_s を閾電圧 V_{th} まで充電する。この信号固定期間は、各走査線 WS に順次割り当られる各水平走査期間を互いに区切る水平プランキング期間である。補正手段は、各水平プランキング期間で時分割的に画素容量 C_s を閾電圧 V_{th} まで充電する。かかる補正手段が各信号固定期間で画素容量 C_s を充電したら、信号線 SL が一定電位 V_{ss0} から映像信号の電位 V_{sig} に切り換る前にサンプリングトランジスタ T_{r1} を閉じて画素容量 C_s を信号線 SL から電気的に切り離しておくことが好ましい。

【0056】

図 10 は本発明の第 3 実施形態にかかる表示装置を示す模式的なブロック図である。理解を容易にするため、図 1 に示した第 1 実施形態にかかる表示装置と対応する部分には対応する参照番号を付してある。異なる点は、第 1 実施形態が 3 本の走査線 (ゲートライン) WS , DS , AZ を含んでいたのに対し、この第 3 実施形態は画素アレイ 1 の走査線を WS , DS の 2 本とし、更なるゲートラインの削減を図っていることである。具体的には、走査線 AZ を削減し、この代わりに前段の走査線 WS を当段の走査線 AZ の代わりとして利用していることである。これによりゲートラインを 1 本削減できると共に、補正用スキャナも不要になる。

【0057】

図 11 は、図 10 に示した表示装置の画素アレイに含まれる画素回路を前段分 1 個、当段分 1 個の計 2 個を模式的に表したものである。個々の画素回路 2 の構成は、基本的に図 2 に示した第 1 実施形態と類似しており、対応する部分には対応する参照番号を付してある。各画素回路 2 はサンプリングトランジスタ T_{r1} 、ドライブトランジスタ T_{rd} 、第 1 スイッチングトランジスタ T_{r3} 、第 2 スイッチングトランジスタ T_{r4} 、画素容量 C_s 、発光素子 EL で構成されている。異なる点は、第 1 スイッチングトランジスタ T_{r3} のゲートに前段の走査線 WS が接続されていることである。但し最初の段の画素回路 2 では前段の走査線 WS がないので、別途供給する必要がある。

【0058】

図 12 は、図 11 に示した画素アレイからさらに 1 個分の画素回路を取り出した模式図である。理解を容易にするため、サンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 C_{oleo} などを書き加えてある。また、サンプリングトランジスタ T_{r1} のゲートに接続する当該段の走査線を WS_n で表し、第 1 スイッチングトランジスタ T_{r3} のゲートに接続する前段の走査線を WS_{n-1} で表し、第 2 スイッチングトランジスタ T_{r4} のゲートに接続する走査線を DS で表してある。

10

20

30

40

50

【0059】

図13は、図12に示した画素回路の動作を示すタイミングチャートである。理解を容易にするため、図4に示した第1実施形態のタイミングチャートと対応する部分には対応する参照符号を用いてある。このタイミングチャートは、時間軸Tに沿って各走査線WS_n, WS_{n-1}, DSに印加される制御信号の波形を表してある。表記を簡略化するため、制御信号も対応する走査線の符号と同じ符号で表してある。なおこのタイミングチャートは、各制御信号WS_n, WS_{n-1}, DSの波形と共に、ドライブトランジスタTrdのゲートGの電位変化及びソースSの電位変化と、信号線に印加される映像信号Vsigの波形も表してある。図示する様に、映像信号Vsigは各水平走査期間の前半で一定電位Vss0に固定され、後半で映像信号電位になる。タイミングT1で制御信号DSがハイレベルとなりスイッチングトランジスタTr4がオフして画素回路は非発光状態に入る。タイミングT2で前段の制御信号WSn-1がハイレベルになり、スイッチングトランジスタTr3がオンする。これにより画素容量Csがリセットされ、Vgs > Vthが設定される。即ちVth補正の準備動作が行われる。タイミングTaで当段の制御信号WSnがハイレベルに立ち上がり、サンプリングトランジスタTr1が導通する。続いてタイミングT3で制御信号DSがローレベルとなり第2スイッチングトランジスタTr4がオンする。これにより画素容量Csの一端を一定電位Vss0に固定した状態で画素容量Csの充電を行って、Vthを書き込む。即ちVth補正動作を行う。続いてタイミングT5で映像信号Vsigを画素容量Csに書き込む。さらにタイミングT6で移動度μの補正動作を行い発光状態に入る。

10

20

【0060】

以上説明したように本第3実施形態は、出力電流IdSの閾電圧Vthに対する依存性を打ち消すために、ドライブトランジスタTrdの閾電圧Vthを検出して画素容量Csに書き込んでおく補正手段を備えている。この補正手段は、第1のスイッチングトランジスタTr3と第2のスイッチングトランジスタTr4とを含む。第1のスイッチングトランジスタTr3は、自段の走査線WSnよりも前に位置する他の走査線WSn-1に割り当てられた前の水平走査期間に他の走査線WSn-1から供給される制御信号WSn-1に応じて導通し、以って画素容量Csの両端の電位差が閾電圧Vthを越えるように設定する。第2のスイッチングトランジスタTr4は、当段に割り当てられた水平走査期間(1H)に導通して、画素容量Csの両端の電位差(Vgs)が閾電圧Vthになるまで画素容量Csを充電する。図13に示した実施形態では、前段の走査線として当段の走査線WSnの直前に位置する走査線WSn-1を用いている。場合によってはこれに代えて、さらにその前の走査線WSn-2やもっと前の走査線を第1のスイッチングトランジスタTr3のゲートラインに用いることが出来る。この様に本実施形態は走査線WSを2つの画素間で共有化することで、さらに1本のゲートラインを削減することができ、パネルの歩留まりの改善につながると共に、レイアウトの簡素化によりパネルの高精細化も可能にしている。

30

【0061】

図14は画素回路の参考例を示すブロック図である。理解を容易にするため、図2に示した第1実施形態と対応する部分には対応する参照番号を付してある。異なる点は本参考例が水平走査期間よりも前にVth補正動作を行っていることである。この為、Vth補正準備用に、スイッチングトランジスタTr3の他にさらにもう1個スイッチングトランジスタTr2が必要になる。一方のトランジスタTr3は画素容量Csのソース側端子をリセットする一方、追加のトランジスタTr2は画素容量Csのゲート側端子をリセットしている。追加のスイッチングトランジスタTr2を駆動するため、追加の走査線AZ1や追加の補正用スキャナ71が必要になる。本発明では、画素容量Csのゲート側端子のセッティングを水平走査期間内で行うことにより、トランジスタTr2を不要にしている。トランジスタTr2はゲートGに電源電圧Vss1を書き込んでいる。これに対し本発明では信号線SLから供給される固定電位Vss0を水平走査期間中に書き込んでいる。

40

50

【0062】

以下図14に示した参考例の動作を説明する。このアクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路部とで構成されている。周辺の回路部は水平セレクタ3、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71、第二補正用スキャナ72などを含んでいる。画素アレイ1は行状の走査線WSと列状の信号線SLと両者の交差する部分にマトリクス状に配列した画素回路2とで構成されている。図では理解を容易にする為、1個の画素回路2のみを拡大表示してある。信号線SLは水平セレクタ3によって駆動される。水平セレクタ3は信号部を構成し、信号線SLに映像信号を供給する。走査線WSはライトスキャナ4によって走査される。なお、走査線WSと平行に別の走査線DS、AZ1及びAZ2も配線されている。走査線DSはドライブスキャナ5によって走査される。走査線AZ1は第一補正用スキャナ71によって走査される。走査線AZ2は第二補正用スキャナ72によって走査される。ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72はスキャナ部を構成しており、1水平期間ごと画素の行を順次走査する。各画素回路2は走査線WSによって選択されたとき信号線SLから映像信号をサンプリングする。さらに走査線DSによって選択されたとき、サンプリングされた映像信号に応じて画素回路2内に含まれている発光素子ELを駆動する。加えて画素回路2は走査線AZ1、AZ2によって走査された時、予め決められた補正動作を行う。

【0063】

画素回路2は、5個の薄膜トランジスタTr1～Tr4及びTrdと1個の容量素子(画素容量)Csと1個の発光素子ELとで構成されている。トランジスタTr1～Tr3とTrdはNチャネル型のポリシリコン TFTである。トランジスタTr4のみPチャネル型のポリシリコン TFTである。1個の容量素子Csは本画素回路2の容量部を構成している。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機EL素子である。

【0064】

画素回路2の中心となるドライブトランジスタTrdはそのゲートGが画素容量Csの一端に接続され、そのソースSが同じく画素容量Csの他端に接続されている。またドライブトランジスタTrdのゲートGはスイッチングトランジスタTr2を介して別の基準電位Vss1に接続されている。ドライブトランジスタTrdのドレインはスイッチングトランジスタTr4を介して電源Vccに接続されている。このスイッチングトランジスタTr4のゲートは走査線AZ1に接続されている。スイッチングトランジスタTr4のゲートは走査線DSに接続している。発光素子ELのアノードはドライブトランジスタTrdのソースSに接続し、カソードは接地されている。この接地電位はVcathで表される場合がある。また、ドライブトランジスタTrdのソースSと所定の基準電位Vss2との間にスイッチングトランジスタTr3が介在している。このトランジスタTr3のゲートは走査線AZ2に接続している。一方サンプリングトランジスタTr1は信号線SLとドライブトランジスタTrdのゲートGとの間に接続されている。サンプリングトランジスタTr1のゲートは走査線WSに接続している。

【0065】

かかる構成において、サンプリングトランジスタTr1は、所定のサンプリング期間に走査線WSから供給される制御信号WSに応じ導通して信号線SLから供給された映像信号Vsigを容量部Csにサンプリングする。容量部Csは、サンプリングされた映像信号Vsigに応じてドライブトランジスタのゲートGとソースS間に入力電圧Vgsを印加する。ドライブトランジスタTrdは、所定の発光期間中入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。なおこの出力電流(ドレン電流)IdsはドライブトランジスタTrdのチャネル領域のキャリア移動度μ及び閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタTrdから供給された出力電流Idsにより映像信号Vsigに応じた輝度で発光する。

【0066】

10

20

30

40

50

画素回路 2 はスイッチングトランジスタ Tr 2 ~ Tr 4 で構成される補正手段を備えており、出力電流 Ids のキャリア移動度 μ に対する依存性を打ち消す為に、予め発光期間の先頭で容量部 Cs に保持された入力電圧 Vgs を補正する。具体的には、この補正手段 (Tr 2 ~ Tr 4) は、走査線 WS 及び DS から供給される制御信号 WS, DS に応じてサンプリング期間の一部で動作し、映像信号 Vsig がサンプリングされている状態でドライブトランジスタ Trd から出力電流 Ids を取り出し、これを容量部 Cs に負帰還して入力電圧 Vgs を補正する。さらにこの補正手段 (Tr 2 ~ Tr 4) は、出力電流 Ids の閾電圧 Vth に対する依存性を打ち消すために、予めサンプリング期間に先立ってドライブトランジスタ Trd の閾電圧 Vth を検出し、且つ検出された閾電圧 Vth を入力電圧 Vgs に足し込む様にしている。

10

【0067】

ドライブトランジスタ Trd は N チャネル型トランジスタでドレインが電源 Vcc 側に接続する一方、ソース S が発光素子 EL 側に接続している。この場合、前述した補正手段は、サンプリング期間の後部分に重なる発光期間の先頭部分でドライブトランジスタ Trd から出力電流 Ids を取り出して、容量部 Cs 側に負帰還する。その際本補正手段は、発光期間の先頭部分でドライブトランジスタ Trd のソース S 側から取り出した出力電流 Ids が、発光素子 EL の有する容量に流れ込むようにしている。具体的には、発光素子 EL はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ Trd のソース S に接続する一方カソード側が接地されている。この構成で、本補正手段 (Tr 2 ~ Tr 4) は、予め発光素子 EL のアノード / カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ Trd のソース S 側から取り出した出力電流 Ids が発光素子 EL に流れ込む時、このダイオード型の発光素子 EL を容量性素子として機能させている。なお本補正手段は、サンプリング期間内でドライブトランジスタ Trd から出力電流 Ids を取り出す時間幅 t を調整可能であり、これにより容量部 Cs に対する出力電流 Ids の負帰還量を最適化している。

20

【0068】

図 15 は、図 14 に示した表示装置から画素回路の部分を取り出した模式図である。理解を容易にする為、サンプリングトランジスタ Tr 1 によってサンプリングされる映像信号 Vsig や、ドライブトランジスタ Trd の入力電圧 Vgs 及び出力電流 Ids 、さらには発光素子 EL が有する容量成分 Col edなどを書き加えてある。以下図 15 に基づいて、本画素回路 2 の基本的な動作を説明する。

30

【0069】

図 16 は、図 15 に示した画素回路のタイミングチャートである。図 16 を参照して、図 15 に示した画素回路の動作をより具体的且つ詳細に説明する。図 16 は、時間軸 T に沿って各走査線 WS, AZ1, AZ2 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ Tr1, Tr2, Tr3 は N チャネル型なので、走査線 WS, AZ1, AZ2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ Tr4 は P チャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS, AZ1, AZ2, DS の波形と共に、ドライブトランジスタ Trd のゲート G の電位変化及びソース S の電位変化も表してある。

40

【0070】

図 16 のタイミングチャートではタイミング T1 ~ T8 までを 1 フィールド (1f) としてある。1 フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1 行分の画素に印加される各制御信号 WS, AZ1, AZ2, DS の波形を表してある。

【0071】

当該フィールドが始まる前のタイミング T0 で、全ての制御線号 WS, AZ1, AZ2, DS がローレベルにある。したがって N チャネル型のトランジスタ Tr1, Tr2, Tr3 はオフ状態にある一方、P チャネル型のトランジスタ Tr4 のみオン状態である。し

50

たがってドライブトランジスタ T_{r d} はオン状態のトランジスタ T_{r 4} を介して電源 V_{c c} に接続しているので、所定の入力電圧 V_{g s} に応じて出力電流 I_{d s} を発光素子 E_L に供給している。したがってタイミング T₀ で発光素子 E_L は発光している。この時ドライブトランジスタ T_{r d} に印加される入力電圧 V_{g s} は、ゲート電位 (G) とソース電位 (S) の差で表される。

【0072】

当該フィールドが始まるタイミング T₁ で、制御信号 D_S がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r 4} がオフし、ドライブトランジスタ T_{r d} は電源 V_{c c} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T₁ に入ると、全てのトランジスタ T_{r 1} ~ T_{r 4} がオフ状態になる。

10

【0073】

続いてタイミング T₂ に進むと、制御信号 A_{Z 1} 及び A_{Z 2} がハイレベルになるので、スイッチングトランジスタ T_{r 2} 及び T_{r 3} がオンする。この結果、ドライブトランジスタ T_{r d} のゲート G が基準電位 V_{s s 1} に接続し、ソース S が基準電位 V_{s s 2} に接続される。ここで V_{s s 1} - V_{s s 2} > V_{t h} を満たしており、V_{s s 1} - V_{s s 2} = V_{g s} > V_{t h} とする事で、その後タイミング T₃ で行われる V_{t h} 補正の準備を行う。換言すると期間 T₂ ~ T₃ は、ドライブトランジスタ T_{r d} のリセット期間に相当する。また、発光素子 E_L の閾電圧を V_{t h E L} とすると、V_{t h E L} > V_{s s 2} に設定されている。これにより、発光素子 E_L にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{t h} 補正動作及び移動度補正動作を正常に行うために必要である。

20

【0074】

タイミング T₃ では制御信号 A_{Z 2} をローレベルにし且つ直後制御信号 D_S もローレベルにしている。これによりトランジスタ T_{r 3} がオフする一方トランジスタ T_{r 4} がオンする。この結果ドレン電流 I_{d s} が画素容量 C_s に流れ込み、V_{t h} 補正動作を開始する。この時ドライブトランジスタ T_{r d} のゲート G は V_{s s 1} に保持されており、ドライブトランジスタ T_{r d} がカットオフするまで電流 I_{d s} が流れる。カットオフするとドライブトランジスタ T_{r d} のソース電位 (S) は V_{s s 1} - V_{t h} となる。ドレン電流がカットオフした後のタイミング T₄ で制御信号 D_S を再びハイレベルに戻し、スイッチングトランジスタ T_{r 4} をオフする。さらに制御信号 A_{Z 1} もローレベルに戻し、スイッチングトランジスタ T_{r 2} もオフする。この結果、画素容量 C_s に V_{t h} が保持固定される。この様にタイミング T₃ ~ T₄ はドライブトランジスタ T_{r d} の閾電圧 V_{t h} を検出する期間である。ここでは、この検出期間 T₃ ~ T₄ を V_{t h} 補正期間と呼んでいる。

30

【0075】

この様に V_{t h} 補正を行った後タイミング T₅ で制御信号 W_S をハイレベルに切り替え、サンプリングトランジスタ T_{r 1} をオンして映像信号 V_{s i g} を画素容量 C_s に書き込む。発光素子 E_L の等価容量 C_{o l e d} に比べて画素容量 C_s は充分に小さい。この結果、映像信号 V_{s i g} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、V_{s s 1} に対する V_{s i g} の差分 V_{s i g} - V_{s s 1} が画素容量 C_s に書き込まれる。したがってドライブトランジスタ T_{r d} のゲート G とソース S 間の電圧 V_{g s} は、先に検出保持された V_{t h} と今回サンプリングされた V_{s i g} - V_{s s 1} を加えたレベル (V_{s i g} - V_{s s 1} + V_{t h}) となる。以降説明簡易化の為 V_{s s 1} = 0 V とすると、ゲート / ソース間電圧 V_{g s} は図 7 のタイミングチャートに示すように V_{s i g} + V_{t h} となる。かかる映像信号 V_{s i g} のサンプリングは制御信号 W_S がローレベルに戻るタイミング T₇ まで行われる。すなわちタイミング T₅ ~ T₇ がサンプリング期間に相当する。

40

【0076】

サンプリング期間の終了するタイミング T₇ より前のタイミング T₆ で制御信号 D_S がローレベルとなりスイッチングトランジスタ T_{r 4} がオンする。これによりドライブトランジスタ T_{r d} が電源 V_{c c} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r 1} がまだオン状態で且つスイッチングトラン

50

ジスタ T_r4 がオン状態に入った期間 T₆ ~ T₇ で、ドライブトランジスタ T_rd の移動度補正を行う。即ち本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 T₆ ~ T₇ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 E_L は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 T₆ ~ T₇ では、ドライブトランジスタ T_rd のゲート G が映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_rd にドレイン電流 I_{ds} が流れる。ここで V_{ss1} - V_{th} < V_{th} E_L と設定しておく事で、発光素子 E_L は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T_rd に流れる電流 I_{ds} は画素容量 C_s と発光素子 E_L の等価容量 C_{oled} の両者を結合した容量 C = C_s + C_{oled} に書き込まれていく。これによりドライブトランジスタ T_rd のソース電位 (S) は上昇していく。図 16 のタイミングチャートではこの上昇分を V で表してある。この上昇分 V は結局画素容量 C_s に保持されたゲート / ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_rd の出力電流 I_{ds} を同じくドライブトランジスタ T_rd の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 T₆ ~ T₇ の時間幅 t を調整する事で最適化可能である。

【0077】

タイミング T₇ では制御信号 W_S がローレベルとなりサンプリングトランジスタ T_r1 がオフする。この結果ドライブトランジスタ T_rd のゲート G は信号線 S_L から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_rd のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート / ソース間電圧 V_{gs} は (V_{sig} - V + V_{th}) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式 1 の V_{gs} に V_{sig} - V + V_{th} を代入する事で、以下の式 2 のように与えられる。

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - V)^2 \dots \text{式 2}$$

上記式 2 において、k = (1/2)(W/L)C_{ox} である。この特性式 2 から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} はドライブトランジスタ T_rd の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 V で補正されている。この補正量 V は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0078】

最後にタイミング T₈ に至ると制御信号 D_S がハイレベルとなってスイッチングトランジスタ T_r4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【図面の簡単な説明】

【0079】

【図 1】本発明にかかる表示装置を示すブロック図である。

【図 2】図 1 に示した表示装置に含まれる画素回路の第 1 実施形態を示す回路図である。

【図 3】図 2 に示した表示装置に含まれる画素回路を取り出した模式図である。

【図 4】図 3 に示した画素回路の動作説明に供するタイミングチャートである。

【図 5】図 3 に示した画素回路の動作説明に供する模式図である。

【図 6】同じく動作説明に供するグラフである。

【図 7】同じく動作説明に供する模式図である。

【図8】図7に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。

【図9】本発明にかかる画素回路の第2実施形態を示すタイミングチャートである。

【図10】本発明にかかる表示装置を示すブロック図である。

【図11】図10に示した表示装置に含まれる画素回路の第3実施形態を示す回路図である。

【図12】図11に示した表示装置に含まれる画素回路を取り出した模式図である。

【図13】図12に示した画素回路の動作説明に供するタイミングチャートである。

【図14】参考例にかかる表示装置を示すブロック図である。

【図15】図14に示した表示装置に含まれる画素回路を取り出した模式図である。 10

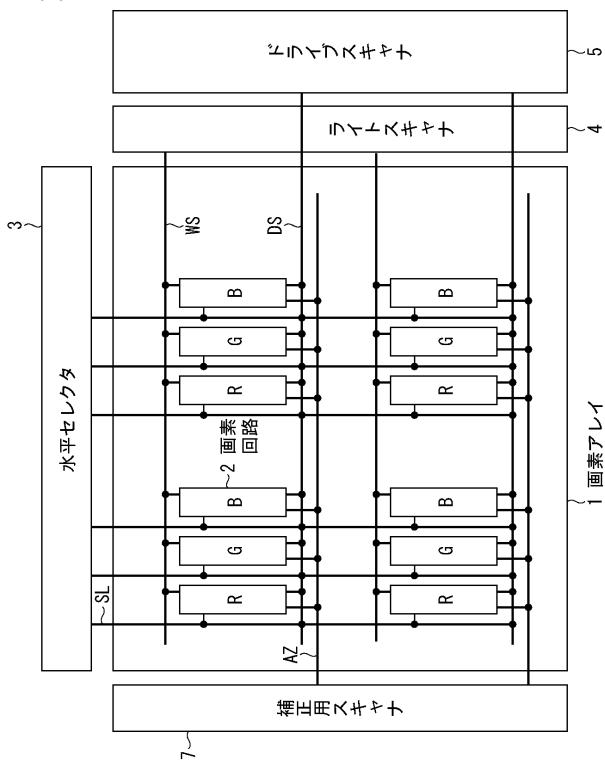
【図16】図15に示した画素回路の動作説明に供するタイミングチャートである。

【符号の説明】

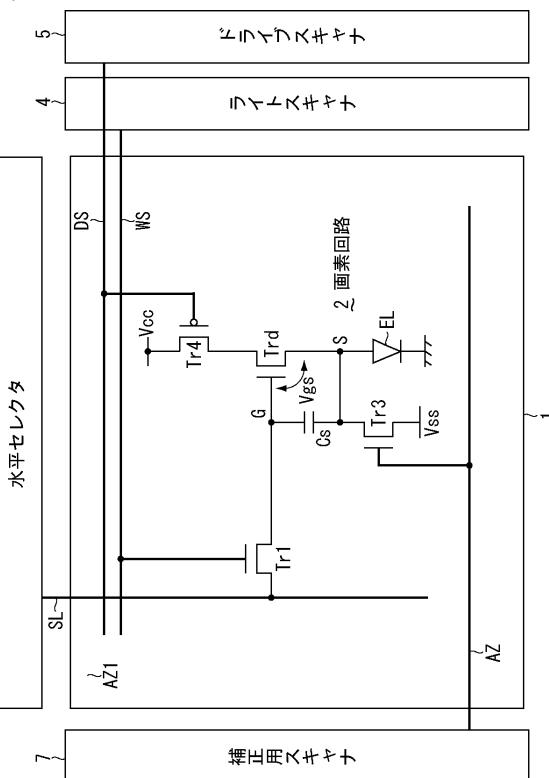
【0080】

1 … 画素アレイ、2 … 画素回路、3 … 水平セレクタ、4 … ライトスキヤナ、5 … ドライブスキヤナ、7 … 補正用スキヤナ、Tr1 … サンプリングトランジスタ、Tr3 … スイッチングトランジスタ、Tr4 … スイッチングトランジスタ、Trd … ドライブトランジスタ、EL … 発光素子、Cs … 容量素子

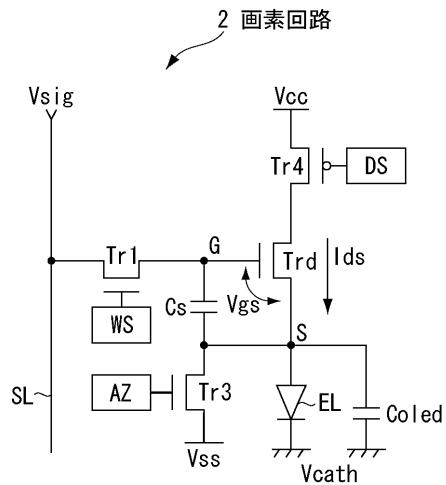
【図1】



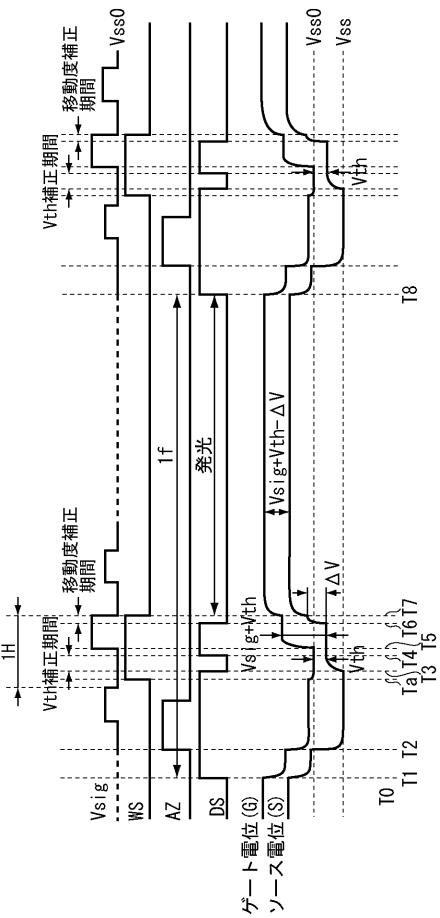
【図2】



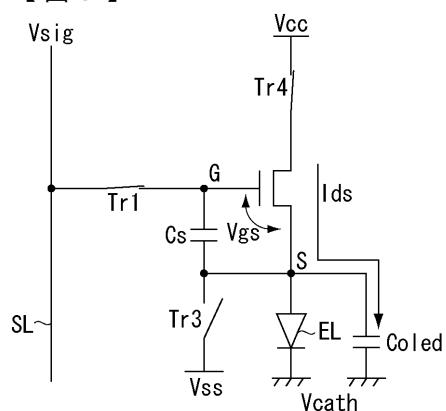
【図3】



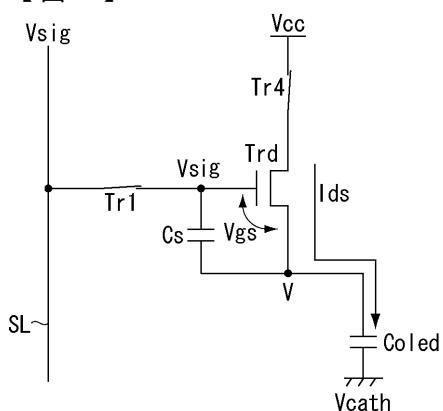
【図4】



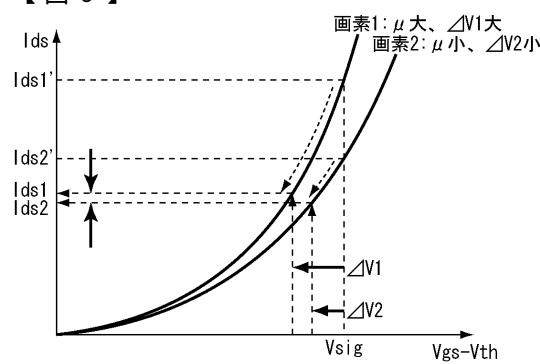
【図5】



【図7】

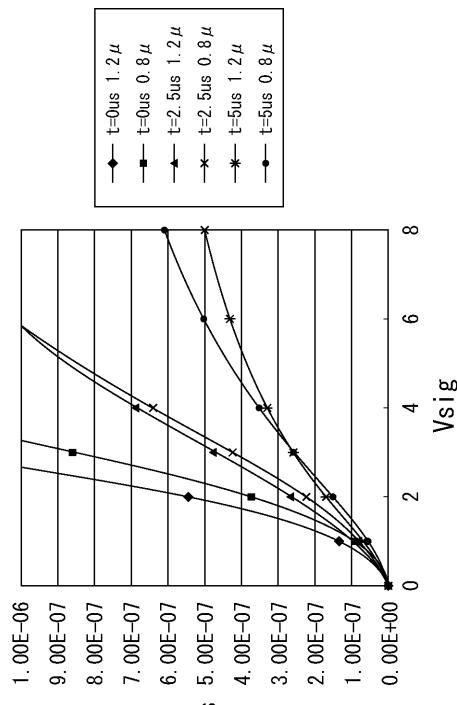


【図6】

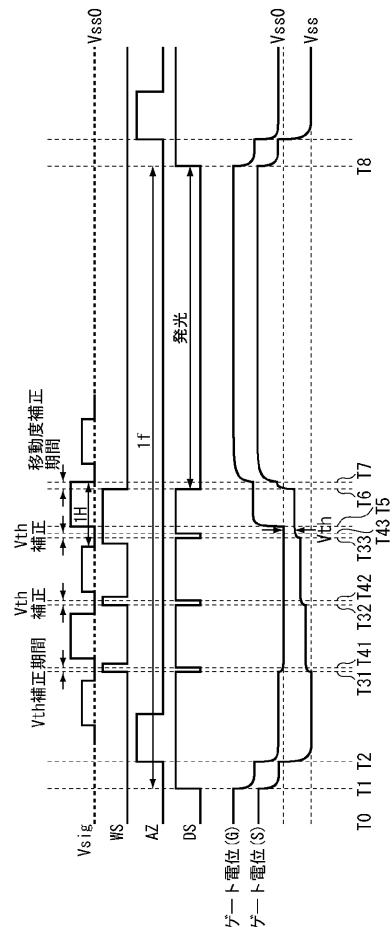


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

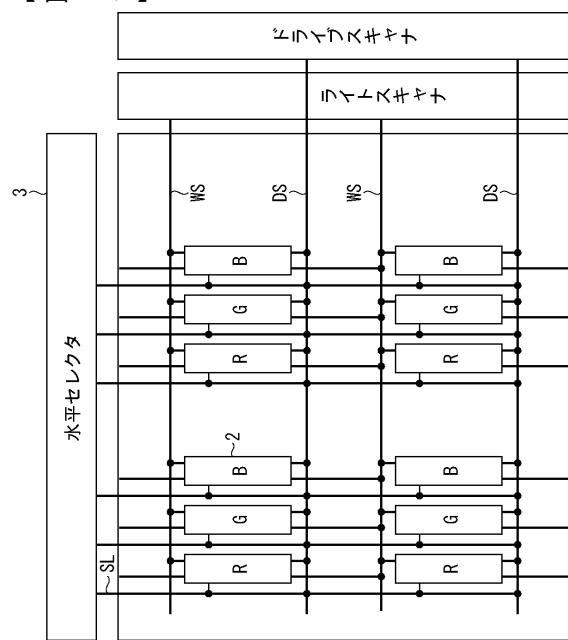
【図8】



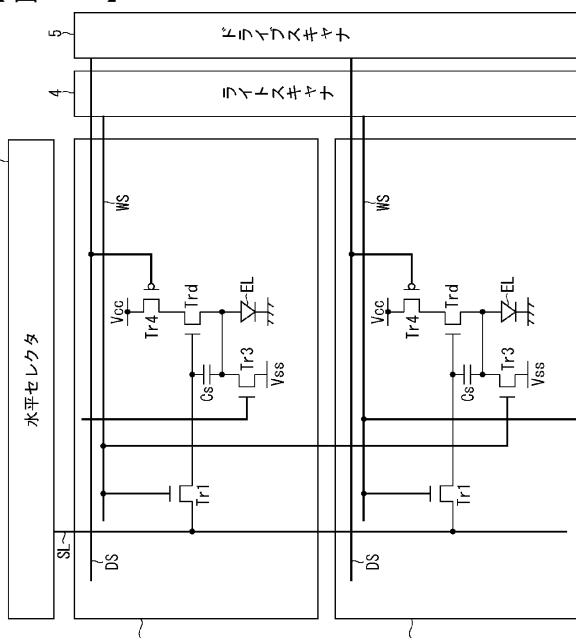
【図9】



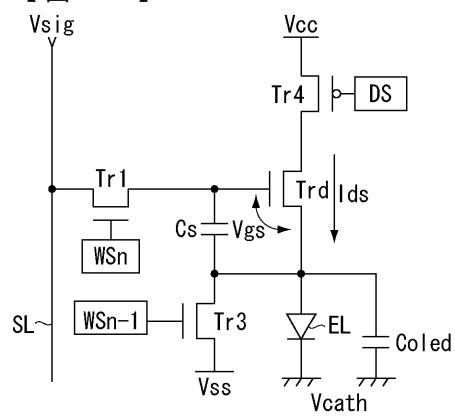
【図10】



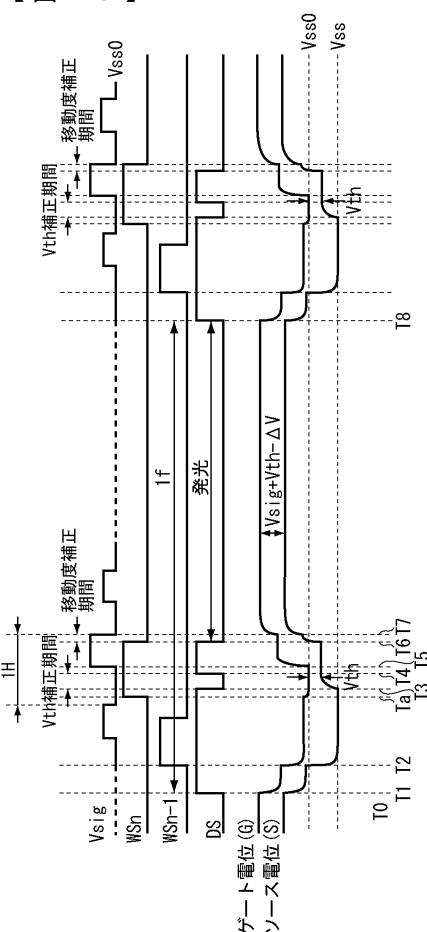
【図11】



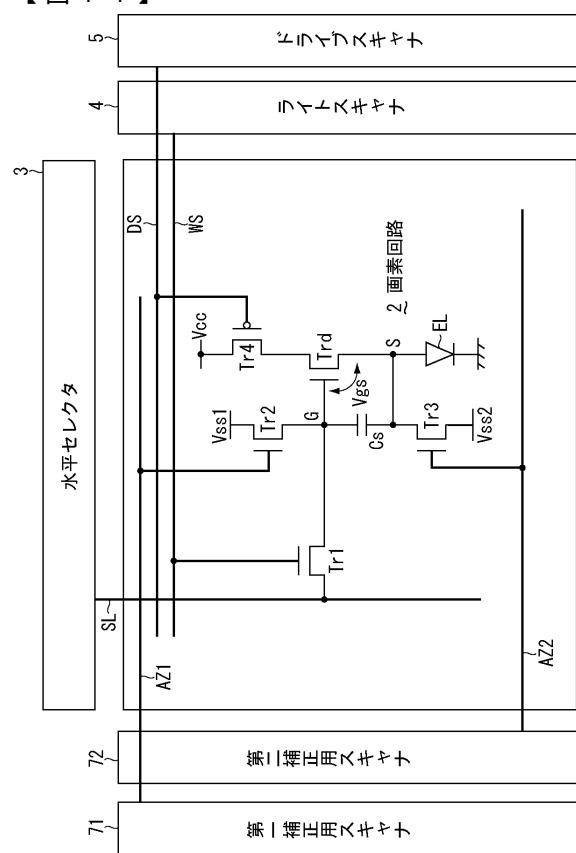
【図 1 2】



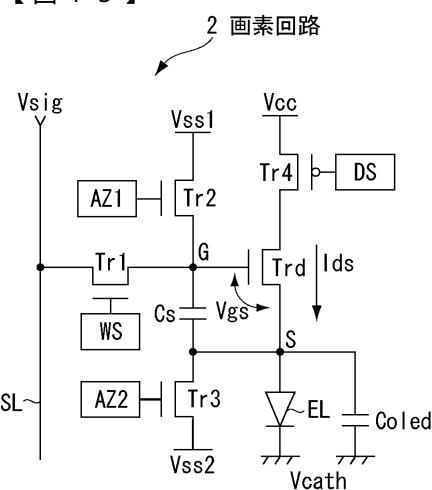
【図 1 3】



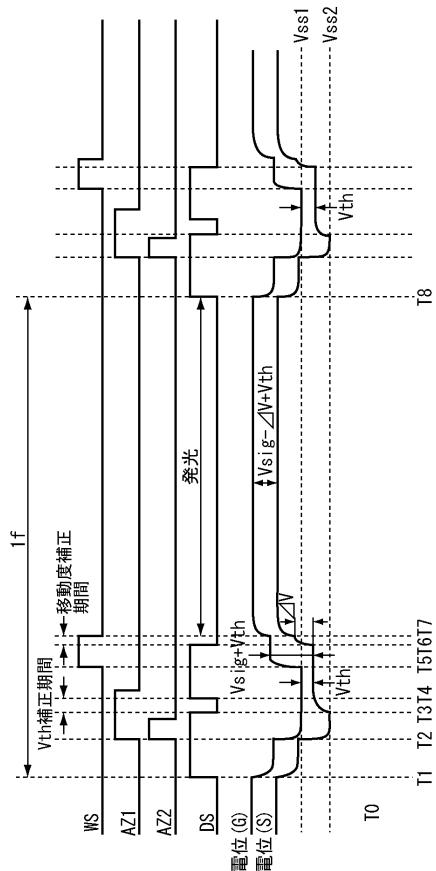
【図 1 4】



【図 1 5】



【図16】



フロントページの続き

(56)参考文献 特開2003-271095(JP,A)
特開2002-082651(JP,A)
特開2005-172917(JP,A)
特開2005-195756(JP,A)
特開2005-202255(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 30
G 09 G 3 / 20

专利名称(译)	画素回路		
公开(公告)号	JP5245195B2	公开(公告)日	2013-07-24
申请号	JP2005328334	申请日	2005-11-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.612.T G09G3/3233 G09G3/3266 G09G3 /3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080 /JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB18 5C380 /CB26 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC55 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC71 5C380/CD014 5C380 /CD015 5C380/CD024 5C380/CD025 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47		
代理人(译)	吉井正明 山本隆久		
审查员(译)	佐野純一		
其他公开文献	JP2007133282A		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得具有阈值电压校正功能的有效且简化的像素电路。
 解决方案：根据在水平扫描时段中从扫描线WS提供的控制信号来导通采样晶体管Tr1，并且将从信号线SL提供的视频信号采样到像素电容器Cs。像素电容器Cs根据采样的视频信号将输入电压Vgs施加到驱动晶体管Trd的栅极。驱动晶体管Trd根据输入电压Vgs将输出电流提供给发光元件EL。输出电流取决于驱动晶体管Trd的阈值电压Vth。为了补偿输出电流对阈值电压Vth的依赖性，像素电路具有校正装置(Tr3, Tr4)，其在水平扫描周期的一部分中操作以检测驱动晶体管Trd的阈值电压Vth和写入像素电容Cs。 }

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$