

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5014338号  
(P5014338)

(45) 発行日 平成24年8月29日 (2012. 8. 29)

(24) 登録日 平成24年6月15日 (2012. 6. 15)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 4 2 A

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

請求項の数 5 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2008-517777 (P2008-517777)  
 (86) (22) 出願日 平成18年12月18日 (2006. 12. 18)  
 (86) 国際出願番号 PCT/JP2006/325186  
 (87) 国際公開番号 W02007/138729  
 (87) 国際公開日 平成19年12月6日 (2007. 12. 6)  
 審査請求日 平成20年9月3日 (2008. 9. 3)  
 (31) 優先権主張番号 特願2006-149142 (P2006-149142)  
 (32) 優先日 平成18年5月30日 (2006. 5. 30)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100104695  
 弁理士 島田 明宏  
 (72) 発明者 仙田 孝裕  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 電流駆動型表示装置

(57) 【特許請求の範囲】

【請求項 1】

電流駆動型の表示装置であって、  
 複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、  
 前記走査線と平行に配置された複数の第1の制御線と、  
 前記走査線と平行に配置された複数の第2の制御線と、  
 前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記第1および第2の  
 制御線の電位を制御する走査信号出力回路と、  
 前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、  
 前記画素回路は、  
 第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、  
 前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設け  
 られた駆動素子と、  
 前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、  
 前記コンデンサの第2の電極と前記データ線との間に設けられ、制御端子が前記走査  
 線に接続された第1のスイッチング素子と、  
 前記コンデンサの第2の電極と第3の電源配線との間に設けられ、制御端子が前記走  
 査線に接続された第2のスイッチング素子と、  
 前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、  
 制御端子が前記第1の制御線に接続された第3のスイッチング素子と、

10

20

前記第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第2の制御線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線には、前記駆動素子を導通状態とする電位が印加され、

前記画素回路に対する書き込み時には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする、表示装置。

10

【請求項2】

前記第3の電源配線の電位は、制御可能に構成されていることを特徴とする、請求項1に記載の表示装置。

【請求項3】

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線と平行に配置された複数の第1の制御線と、

前記走査線と平行に配置された複数の第2の制御線と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記第1および第2の制御線の電位を制御する走査信号出力回路と、

20

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられ、制御端子が前記走査線に接続された第1のスイッチング素子と、

前記コンデンサの第2の電極と所定の電源配線との間に設けられ、制御端子が前記走査線に接続された第2のスイッチング素子と、

30

前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、制御端子が前記第1の制御線に接続された第3のスイッチング素子と、

第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第2の制御線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線には、前記駆動素子を導通状態とする電位が印加され、

前記画素回路に対する書き込み時には、

前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御され、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

40

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする、表示装置。

【請求項4】

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線と平行に配置された複数の制御線と、

前記走査線と平行に配置された複数の第3の電源配線と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記制御線の電位を制

50

御する走査信号出力回路と、

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路と、

前記第3の電源配線の電位を制御する基準電位制御回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられ、制御端子が前記走査線に接続された第1のスイッチング素子と、

前記コンデンサの第2の電極と前記第1の電源配線との間に設けられ、制御端子が前記走査線に接続された第2のスイッチング素子と、

前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、制御端子が前記制御線に接続された第3のスイッチング素子と、

前記第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第3の電源配線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線の電位は、前記第4のスイッチング素子および前記駆動素子を導通状態にする電位と前記第4のスイッチング素子を非導通状態にする電位との間で切り替えられ、

前記画素回路に対する書き込み時には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする、表示装置。

【請求項5】

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第5のスイッチング素子をさらに含む、請求項4に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機ELディスプレイやFEDなどの電流駆動型表示装置に関する。

【背景技術】

【0002】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) に関する研究開発が活発に行われている。

【0003】

有機ELディスプレイに含まれる有機EL素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機EL素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機ELディスプレイに電圧制御型の駆動方式を適用すると、有機EL素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機EL素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機ELディスプレイには電流制御型の駆動方式を適用することが好ましい。

【0004】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成されたTFT (Thin Film Transistor :

10

20

30

40

50

薄膜トランジスタ)を用いて構成される。ところが、TFTの特性(例えば、閾値電圧や移動度)には、ばらつきが生じやすい。そこで、有機ELディスプレイの画素回路にはTFTの特性のばらつきを補償する回路が設けられ、この回路の作用により有機EL素子の輝度のばらつきが抑えられる。

#### 【0005】

電流駆動型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

10

#### 【0006】

ところが、電流プログラム方式には、第1に、非常に微少量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

#### 【0007】

電流駆動型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図17は、特許文献1に記載された画素回路の回路図である。図17に示す画素回路910は、駆動用TFT911、スイッチ用TFT912~914、コンデンサ915、916、および、有機EL素子917を備えている。画素回路910に含まれるTFTは、いずれもpチャンネル型である。

20

#### 【0008】

画素回路910では、電源配線Vp(電位をVDDとする)とグランドとの間に、駆動用TFT911、スイッチ用TFT914および有機EL素子917が直列に設けられている。駆動用TFT911のゲート端子とデータ線Sjとの間には、コンデンサ915およびスイッチ用TFT912が直列に設けられている。駆動用TFT911のゲート端子とドレイン端子との間にはスイッチ用TFT913が設けられ、駆動用TFT911のゲート端子と電源配線Vpとの間にはコンデンサ916が設けられている。スイッチ用TFT912のゲート端子は走査線Giに接続され、スイッチ用TFT913のゲート端子はオートゼロ線AZiに接続され、スイッチ用TFT914のゲート端子は照明線Liに接続されている。

30

#### 【0009】

図18は、画素回路910のタイミングチャートである。時刻t0より前では、走査線Giとオートゼロ線AZiの電位はハイレベルに、照明線Liの電位はローレベルに、データ線Sjの電位は基準電位Vstdに制御される。時刻t0において走査線Giの電位がローレベルに変化すると、スイッチ用TFT912が導通状態に変化する。次に時刻t1においてオートゼロ線AZiの電位がローレベルに変化すると、スイッチ用TFT913が導通状態に変化する。これにより、駆動用TFT911のゲート端子とドレイン端子は同電位となる。

40

#### 【0010】

次に時刻t2において照明線Liの電位がハイレベルに変化すると、スイッチ用TFT914が非導通状態に変化する。このとき、電源配線Vpから駆動用TFT911とスイッチ用TFT913を経由して駆動用TFT911のゲート端子に電流が流れ込み、駆動用TFT911のゲート端子電位は駆動用TFT911が導通状態である間は上昇する。駆動用TFT911は、ゲート-ソース間電圧が閾値電圧Vth(負の値)になる(すなわち、ゲート端子電位が(VDD+Vth)になると、非導通状態に変化する。したがって、駆動用TFT911のゲート端子電位は(VDD+Vth)まで上昇する。

50

## 【 0 0 1 1 】

次に時刻  $t_3$  においてオートゼロ線  $AZ_i$  の電位がハイレベルに変化すると、スイッチ用 T F T 9 1 3 が非導通状態に変化する。このときコンデンサ 9 1 5 には、駆動用 T F T 9 1 1 のゲート端子とデータ線  $S_j$  との電位差 ( $V_{DD} + V_{th} - V_{std}$ ) が保持される。

## 【 0 0 1 2 】

次に時刻  $t_4$  においてデータ線  $S_j$  の電位が基準電位  $V_{std}$  からデータ電位  $V_{data}$  に変化すると、駆動用 T F T 9 1 1 のゲート端子電位は、同じ量 ( $V_{data} - V_{std}$ ) だけ変化して ( $V_{DD} + V_{th} + V_{data} - V_{std}$ ) となる。次に時刻  $t_5$  において走査線  $G_i$  の電位がハイレベルに変化すると、スイッチ用 T F T 9 1 2 が非導通状態に変化する。このときコンデンサ 9 1 6 には、駆動用 T F T 9 1 1 のゲート - ソース間電圧 ( $V_{th} + V_{data} - V_{std}$ ) が保持される。

10

## 【 0 0 1 3 】

次に時刻  $t_6$  において照明線  $IL_i$  の電位がローレベルに変化すると、スイッチ用 T F T 9 1 4 が導通状態に変化する。これにより、電源配線  $V_p$  から駆動用 T F T 9 1 1 とスイッチ用 T F T 9 1 4 を経由して有機 E L 素子 9 1 7 に電流が流れる。駆動用 T F T 9 1 1 を流れる電流の量はゲート端子電位 ( $V_{DD} + V_{th} + V_{data} - V_{std}$ ) に応じて増減するが、閾値電圧  $V_{th}$  が異なっても電位差 ( $V_{data} - V_{std}$ ) が同じであれば電流量は同じである。したがって、閾値電圧  $V_{th}$  の値にかかわらず、有機 E L 素子 9 1 7 には電位  $V_{data}$  に応じた量の電流が流れ、有機 E L 素子 9 1 7 はデータ電位  $V_{data}$  に応じた輝度で発光する。

20

## 【 0 0 1 4 】

このように画素回路 9 1 0 によれば、駆動用 T F T 9 1 1 の閾値電圧のばらつきを補償し、有機 E L 素子 9 1 7 を所望の輝度で発光させることができる。

## 【 0 0 1 5 】

図 1 9 は、特許文献 2 に記載された画素回路の回路図である。図 1 9 に示す画素回路 9 2 0 は、駆動用 T F T 9 2 1、スイッチ用 T F T 9 2 2 ~ 9 2 5、コンデンサ 9 2 6、および、有機 E L 素子 9 2 7 を備えている。スイッチ用 T F T 9 2 3、9 2 5 は n チャンネル型、他の T F T は p チャンネル型である。

## 【 0 0 1 6 】

画素回路 9 2 0 では、電源配線  $V_p$  と共通陰極  $V_{com}$  (電位をそれぞれ  $V_{DD}$ 、 $V_{SS}$  とする) との間に、駆動用 T F T 9 2 1、スイッチ用 T F T 9 2 5 および有機 E L 素子 9 2 7 が直列に設けられている。駆動用 T F T 9 2 1 のゲート端子とデータ線  $S_j$  との間には、コンデンサ 9 2 6 およびスイッチ用 T F T 9 2 2 が直列に設けられている。以下、駆動用 T F T 9 2 1 とコンデンサ 9 2 6 の接続点を A、コンデンサ 9 2 6 とスイッチ用 T F T 9 2 2 の接続点を B という。接続点 B と電源配線  $V_p$  との間にはスイッチ用 T F T 9 2 3 が設けられ、接続点 A と駆動用 T F T 9 2 1 のドレイン端子の間にはスイッチ用 T F T 9 2 4 が設けられている。スイッチ用 T F T 9 2 2 ~ 9 2 5 のゲート端子は、いずれも走査線  $G_i$  に接続されている。

30

## 【 0 0 1 7 】

図 2 0 は、画素回路 9 2 0 のタイミングチャートである。時刻  $t_0$  より前では、走査線  $G_i$  の電位はハイレベルに制御される。時刻  $t_0$  において走査線  $G_i$  の電位がローレベルに変化すると、スイッチ用 T F T 9 2 2、9 2 4 は導通状態、スイッチ用 T F T 9 2 3、9 2 5 は非導通状態に変化する。これにより、接続点 B は電源配線  $V_p$  から切り離され、スイッチ用 T F T 9 2 2 を介してデータ線  $S_j$  に接続される。また、駆動用 T F T 9 2 1 のゲート端子とドレイン端子は同電位となる。このため、電源配線  $V_p$  から駆動用 T F T 9 2 1 とスイッチ用 T F T 9 2 4 を経由して駆動用 T F T 9 2 1 のゲート端子に電流が流れ込み、接続点 A の電位は駆動用 T F T 9 2 1 が導通状態である間は上昇する。駆動用 T F T 9 2 1 は、ゲート - ソース間電圧が閾値電圧  $V_{th}$  (負の値) になる (すなわち、接続点 A の電位が ( $V_{DD} + V_{th}$ ) になる) と、非導通状態に変化する。したがって、接

40

50

続点 A の電位は  $(V_{DD} + V_{th})$  まで上昇する。

【0018】

次に時刻  $t_1$  において、データ線  $S_j$  の電位が前回のデータ電位  $V_{data0}$  (1 行上の画素回路に書き込まれたデータ電位) から今回のデータ電位  $V_{data}$  に変化すると、接続点 B の電位は  $V_{data}$  に変化する。したがって、時刻  $t_2$  直前におけるコンデンサ 926 の電極間電圧は、接続点 A と接続点 B の電位差  $(V_{DD} + V_{th} - V_{data})$  となる。

【0019】

次に時刻  $t_2$  において走査線  $G_i$  の電位がハイレベルに変化すると、スイッチ用 TFT 922、924 は非導通状態、スイッチ用 TFT 923、925 は導通状態に変化する。これにより、駆動用 TFT 921 のゲート端子はドレイン端子から切り離される。また、接続点 B はデータ線  $S_j$  から切り離され、スイッチ用 TFT 923 を介して電源配線  $V_p$  に接続される。これにより、接続点 B の電位は  $V_{data}$  から  $V_{DD}$  に変化し、これに伴い、接続点 A の電位は同じ量  $(V_{DD} - V_{data}$ ; 以下、 $V_B$  という) だけ変化して  $(V_{DD} + V_{th} + V_B)$  となる。

【0020】

また、時刻  $t_2$  以降、スイッチ用 TFT 925 が導通状態となるので、電源配線  $V_p$  から駆動用 TFT 921 とスイッチ用 TFT 925 を経由して有機 EL 素子 927 に電流が流れる。駆動用 TFT 921 を流れる電流の量は、ゲート端子電位  $(V_{DD} + V_{th} + V_B)$  に応じて増減するが、閾値電圧  $V_{th}$  が異なっても電位差  $V_B$  が同じであれば電流量は同じである。したがって、閾値電圧  $V_{th}$  の値にかかわらず、有機 EL 素子 927 には電位  $V_{data}$  に応じた量の電流が流れ、有機 EL 素子 927 はデータ電位  $V_{data}$  に応じた輝度で発光する。

【0021】

このように画素回路 920 によれば、画素回路 910 と同様に、駆動用 TFT 921 の閾値電圧のばらつきを補償し、有機 EL 素子 927 を所望の輝度で発光させることができる。また、画素回路 920 には、画素回路 910 と比べてコンデンサ 916、オートゼロ線  $AZ_i$  および照明線  $IL_i$  がない分、回路規模が小さいという利点もある。なお、画素回路 920 では、p チャネル型の駆動用 TFT 921 を導通状態にするために、電位差  $V_B$  は負 (すなわち、 $V_{data} > V_{DD}$ ) である必要がある。

【特許文献 1】国際公開第 98 / 48403 号パンフレット

【特許文献 2】日本国特開 2005 - 157308 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、画素回路 920 には、駆動用 TFT 921 の閾値電圧のばらつきを正しく補償できないことがあるという問題がある。例えば、前フレームでは駆動用 TFT 921 に電流がほとんど流れない場合 (黒表示を行う場合)、図 20 の時刻  $t_0$  における接続点 A の電位  $V_A$  はほぼ  $(V_{DD} + V_{th})$  となる。接続点 B の電位が時刻  $t_0$  から時刻  $t_1$  の間に  $V_{DD}$  から  $V_{data}$  に変化すると、これに伴い接続点 A の電位も変化する。ところが、上述したように  $V_{data} > V_{DD}$  であるので、接続点 A の電位がほぼ  $(V_{DD} + V_{th})$  であるときに接続点 B の電位が  $V_{DD}$  から  $V_{data}$  に上昇すると、接続点 A の電位は  $(V_{DD} + V_{th})$  よりも高くなる。このため、駆動用 TFT 921 は、電流をほとんど流さない状態からさらに電流を流さない状態に制御され、導通状態にならない。この場合、上記の方法で駆動用 TFT 921 の閾値電圧のばらつきを補償することができない。

【0023】

特許文献 2 には、画素回路 920 に加えて、図 21 に示す画素回路 930 も記載されている。画素回路 930 では、スイッチ用 TFT 922、924 のゲート端子は走査線  $G_i$  に接続され、スイッチ用 TFT 923、925 のゲート端子は制御線  $E_i$  に接続されてい

る。画素回路 930 によれば、スイッチ用 TFT 924 を導通状態に変化させた後にスイッチ用 TFT 925 を非導通状態に変化させることにより、駆動用 TFT 921 のゲート端子電位を共通陰極 Vcom の電位 VSS に引き込むことができる。このとき駆動用 TFT 921 は導通状態となるので、上記の方法で駆動用 TFT 921 の閾値電圧のばらつきを補償することができる。なお、特許文献 2 には、画素回路 930 の構成は記載されているが、画素回路 930 を上記のタイミングで動作させることは明記されていない。

#### 【0024】

ところが、画素回路 930 を上記のタイミングで動作させると、駆動用 TFT 921 のゲート端子電位を共通陰極 Vcom の電位 VSS に引き込むときに、有機 EL 素子 927 に電流が流れ、有機 EL 素子 927 が発光する。このときの駆動用 TFT 921 のゲート端子電位は外部から正確に制御できないので、画素回路 930 を外部から制御しても有機 EL 素子 927 の不要な発光を抑えることはできない。このため、画素回路 930 を上記のタイミングで動作させると、正確な階調表示が困難になる。また、黒表示のときにも有機 EL 素子 927 が発光するので、表示画面のコントラストが低下する。

#### 【0025】

また、画素回路 920 では、走査線 Gi の電位がローレベルである間（1 水平走査期間内）に、駆動用 TFT の閾値電圧のばらつきを補償する処理が完了する。したがって、駆動用 TFT 921 のゲート端子電位（接続点 A の電位）は、1 水平走査期間内に以前の電位から閾値状態の電位（ $VDD + V_{th}$ ）に変化する必要がある。

#### 【0026】

ところが、図 20 の時刻  $t_0$  における接続点 A の電位 VA は、画素回路 920 に前回書き込まれたデータ電位によってすべて異なる。接続点 A の電位は、例えば、時刻  $t_0$  より前に有機 EL 素子 927 が最大輝度で発光するときに（ $VDD + V_{th}$ ）から最も離れ、時刻  $t_0$  より前に有機 EL 素子 927 が発光しないときに（ $VDD + V_{th}$ ）に最も近づく。しかし、いずれの場合においても、接続点 A の電位は、1 水平走査期間内に（ $VDD + V_{th}$ ）に変化する必要がある。このため、1 水平走査期間が短い高精細の表示装置では、駆動用 TFT の閾値電圧のばらつきを正確に補償することが困難になる。

#### 【0027】

それ故に、本発明は、駆動素子の閾値電圧のばらつきを正しく補償すると共に、電気光学素子の不要な発光を防止した表示装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0028】

本発明の第 1 の局面は、電流駆動型の表示装置であって、  
複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、  
前記走査線と平行に配置された複数の第 1 の制御線と、  
前記走査線と平行に配置された複数の第 2 の制御線と、  
前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記第 1 および第 2 の制御線の電位を制御する走査信号出力回路と、

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、  
前記画素回路は、

第 1 の電源配線と第 2 の電源配線との間に設けられた電気光学素子と、

前記第 1 の電源配線と前記第 2 の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第 1 の電極が接続されたコンデンサと、

前記コンデンサの第 2 の電極と前記データ線との間に設けられ、制御端子が前記走査線に接続された第 1 のスイッチング素子と、

前記コンデンサの第 2 の電極と第 3 の電源配線との間に設けられ、制御端子が前記走査線に接続された第 2 のスイッチング素子と、

前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、制御端子が前記第 1 の制御線に接続された第 3 のスイッチング素子と、

10

20

30

40

50

前記第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第2の制御線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線には、前記駆動素子を導通状態とする電位が印加され、

前記画素回路に対する書き込み時には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする。

10

【0037】

本発明の第2の局面は、本発明の第1の局面において、

前記第3の電源配線の電位は、制御可能に構成されていることを特徴とする。

【0039】

本発明の第3の局面は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線と平行に配置された複数の第1の制御線と、

前記走査線と平行に配置された複数の第2の制御線と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記第1および第2の制御線の電位を制御する走査信号出力回路と、

20

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられ、制御端子が前記走査線に接続された第1のスイッチング素子と、

前記コンデンサの第2の電極と所定の電源配線との間に設けられ、制御端子が前記走査線に接続された第2のスイッチング素子と、

30

前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、制御端子が前記第1の制御線に接続された第3のスイッチング素子と、

第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第2の制御線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線には、前記駆動素子を導通状態とする電位が印加され、

前記画素回路に対する書き込み時には、

前記第2の電源配線の電位は、前記電気光学素子への印加電圧が発光閾値電圧より低くなるように制御され、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

40

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする。

【0040】

本発明の第4の局面は、電流駆動型の表示装置であって、

複数の走査線と複数のデータ線の各交差点に対応して配置された複数の画素回路と、

前記走査線と平行に配置された複数の制御線と、

前記走査線と平行に配置された複数の第3の電源配線と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、前記制御線の電位を制

50



御する走査信号出力回路と、

前記データ線に対して、表示データに応じた電位を与える表示信号出力回路と、

前記第3の電源配線の電位を制御する基準電位制御回路とを備え、

前記画素回路は、

第1の電源配線と第2の電源配線との間に設けられた電気光学素子と、

前記第1の電源配線と前記第2の電源配線との間に、前記電気光学素子と直列に設けられた駆動素子と、

前記駆動素子の制御端子に第1の電極が接続されたコンデンサと、

前記コンデンサの第2の電極と前記データ線との間に設けられ、制御端子が前記走査線に接続された第1のスイッチング素子と、

前記コンデンサの第2の電極と前記第1の電源配線との間に設けられ、制御端子が前記走査線に接続された第2のスイッチング素子と、

前記駆動素子の制御端子と前記電気光学素子側の電流入出力端子との間に設けられ、制御端子が前記制御線に接続された第3のスイッチング素子と、

前記第3の電源配線と前記駆動素子の制御端子との間に設けられ、制御端子が前記第3の電源配線に接続された第4のスイッチング素子とを含み、

前記第3の電源配線の電位は、前記第4のスイッチング素子および前記駆動素子を導通状態にする電位と前記第4のスイッチング素子を非導通状態にする電位との間で切り替えられ、

前記画素回路に対する書き込み時には、

第1の期間では、前記第1および第4のスイッチング素子が導通状態に、前記第2および第3のスイッチング素子が非導通状態に制御され、

次に第2の期間では、前記第4のスイッチング素子が非導通状態に、前記第3のスイッチング素子が導通状態に制御され、

次に第3の期間では、前記第1および第3のスイッチング素子が非導通状態に、前記第2のスイッチング素子が導通状態に制御されることを特徴とする。

【0041】

本発明の第5の局面は、本発明の第4の局面において、

前記画素回路は、前記駆動素子と前記電気光学素子との間に設けられた第5のスイッチング素子をさらに含む。

【発明の効果】

【0043】

本発明の第1の局面によれば、駆動素子を導通状態とする電位を第3の電源配線に印加し、第4のスイッチング素子を導通状態に制御することにより、駆動素子の制御端子に第3の電源配線の電位を与え、画素回路の以前の状態にかかわらず、駆動素子を必ず導通状態に設定することができる。したがって、第3のスイッチング素子を導通状態に制御したときに、駆動素子を確実に閾値状態（閾値電圧が印加された状態）に設定し、駆動素子の閾値電圧のばらつきを正しく補償することができる。第1の期間では、コンデンサの第1の電極には第3の電源配線の電位が与えられ、コンデンサの第2の電極には表示データに応じた電位（以下、データ電位ともいう）が与えられ、コンデンサにはこれら2つの電位の差が保持される。第2の期間では、駆動素子が閾値状態となるまでコンデンサの第1の電極の電位が変化し、これに伴い、コンデンサに保持された電位差は、データ電位と駆動素子の閾値電圧との差に変化する。第3の期間では、コンデンサが上記の電位差を保持したままで、コンデンサの第2の電極の電位が、データ電位から所定の電源配線の電位に変化する。このため、その後の駆動素子の制御端子電位は、駆動素子が閾値状態となる電位に、所定の電源配線の電位とデータ電位の差を加えた電位となる。したがって、駆動素子に流れる電流の量は、閾値電圧が異なってもデータ電位が同じであれば、同じになる。このようにして駆動素子の閾値電圧のばらつきを補償することができる。また、第4のスイッチング素子が非導通状態に変化した後に、第3のスイッチング素子が導通状態に変化するので、第1の電源配線から駆動素子と第3および第4のスイッチング素子を經由し

10

20

30

40

50

て第3の電源配線に電流が流れ込むことを防止し、第3の電源配線の電位を安定に保つことができる。また、第2のスイッチング素子を導通状態に制御することにより、コンデンサの第2の電極に第3の電源配線の電位を与えることができる。したがって、コンデンサの第1の電極に接続された駆動素子の制御端子の電位を、表示データに応じたレベルに保つことができる。

【0051】

本発明の第2の局面によれば、駆動素子の制御端子電位は、第3の電源配線の電位とデータ電位の差に応じて増減するので、第3の電源配線の電位を制御することにより、すべての電気光学素子の輝度を一律に調整することができる。したがって、少量の回路を追加するだけで、表示データを変更することなく、ピーク輝度調整を容易に行うことができる。

10

【0053】

本発明の第3の局面によれば、第1の局面と同様に、第3のスイッチング素子を導通状態に制御したときに、駆動素子を確実に閾値状態に設定し、駆動素子の閾値電圧のばらつきを正しく補償することができる。また、画素回路に対する書き込み時に、第2の電源配線の電位を制御することにより、第1の電源配線と第2の電源配線との間にスイッチング素子を設けなくても、電気光学素子に電流が流れないようにすることができる。これにより、より少ない回路量で、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

【0054】

20

本発明の第4の局面によれば、第1の局面と同様に、第3のスイッチング素子を導通状態に制御したときに、駆動素子を確実に閾値状態に設定し、駆動素子の閾値電圧のばらつきを正しく補償することができる。また、第4のスイッチング素子を第3の電源配線にダイオード接続し、第3の電源配線の電位を所定のレベル間で切り替えることにより、第4のスイッチング素子を導通状態および非導通状態に切り替え、駆動素子を導通状態に設定することができる。したがって、第4のスイッチング素子を制御する配線が不要となるので、表示装置の回路規模を削減することができる。

【0055】

本発明の第5の局面によれば、画素回路に対する書き込み時に、第5のスイッチング素子を非導通状態に制御することにより、駆動素子から電気光学素子に流れる電流を遮断することができる。これにより、駆動素子を正しく閾値状態に設定すると共に、電気光学素子の不要な発光を防止することができる。

30

【図面の簡単な説明】

【0057】

【図1】本発明の第1～第4（第2を除く）の実施形態に係る表示装置の構成を示すブロック図である。

【図2】本発明の第1の参考例に係る表示装置に含まれる画素回路の回路図である。

【図3】図2に示す画素回路のタイミングチャートである。

【図4】本発明の第1の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図5】図4に示す画素回路のタイミングチャートである。

40

【図6】第2の参考例に係る表示装置に含まれる画素回路の回路図である。

【図7】図6に示す画素回路のタイミングチャートである。

【図8】本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

【図9】本発明の第2の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図10】図9に示す画素回路のタイミングチャートである。

【図11】本発明の第3の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図12】図11に示す画素回路のタイミングチャートである。

【図13】本発明の第4の実施形態に係る表示装置に含まれる画素回路の回路図である。

【図14】図13に示す画素回路のタイミングチャートである。

【図15】第3の参考例に係る表示装置に含まれる画素回路の回路図である。

50

【図 1 6】図 1 5 に示す画素回路のタイミングチャートである。

【図 1 7】従来の表示装置に含まれる画素回路（第 1 の例）の回路図である。

【図 1 8】図 1 7 に示す画素回路のタイミングチャートである。

【図 1 9】従来の表示装置に含まれる画素回路（第 2 の例）の回路図である。

【図 2 0】図 1 9 に示す画素回路のタイミングチャートである。

【図 2 1】従来の表示装置に含まれる画素回路（第 3 の例）の回路図である。

【符号の説明】

【 0 0 5 8 】

1 0、4 0 ... 表示装置

1 1 ... 表示制御回路

1 2 ... ゲートドライバ回路

1 3 ... ソースドライバ回路

1 4 ... 基準電源調整回路

2 1 ... シフトレジスタ

2 2 ... レジスタ

2 3 ... ラッチ回路

2 4 ... D / A コンバータ

4 8 ... 基準電位制御回路

1 0 0、2 0 0、3 0 0、4 0 0、5 0 0、6 0 0、7 0 0 ... 画素回路

1 1 0、2 1 0、3 1 0、4 1 0、5 1 0、6 1 0、7 1 0 ... 駆動用 T F T

1 1 1 ~ 1 1 5、2 1 1 ~ 2 1 4、3 1 1 ~ 3 1 5、4 1 1 ~ 4 1 5、5 1 1 ~ 5 1 5  
、6 1 1 ~ 6 1 5、7 1 1 ~ 7 1 5 ... スイッチ用 T F T

1 2 0、2 2 0、3 2 0、4 2 0、5 2 0、6 2 0、7 2 0 ... コンデンサ

1 3 0、2 3 0、3 3 0、4 3 0、5 3 0、6 3 0、7 3 0 ... 有機 E L 素子

V p ... 電源配線

V s ... 基準電源配線

V c o m ... 共通陰極

C A i ... 陰極配線

W i、R i、E i ... 制御線

G i ... 走査線

S j ... データ線

【発明を実施するための最良の形態】

【 0 0 5 9 】

以下、図 1 ~ 図 1 6 を参照して、本発明の第 1 ~ 第 4 の実施形態に係る表示装置と 3 種類の参考例に係る表示装置について説明する。各実施形態に係る表示装置は、電気光学素子、駆動素子、コンデンサおよび複数のスイッチング素子を含む画素回路を備えている。画素回路は、電気光学素子として有機 E L 素子を含み、駆動素子およびスイッチング素子として C G シリコン T F T で構成された駆動用 T F T およびスイッチ用 T F T を含んでいる。なお、駆動素子およびスイッチング素子は、C G シリコン T F T 以外にも、例えばアモルファスシリコン T F T や低温ポリシリコン T F T などによって構成することができる。駆動素子およびスイッチング素子を T F T で構成することにより、画素回路を容易かつ高精度で製造することができる。

【 0 0 6 0 】

C G シリコン T F T の構成は、Inukai、他 7 名、“4.0-in. TFT-OLED Displays and a Novel Digital Driving Method”、SID'00 Digest、pp.924-927 に開示されている。C G シリコン T F T の製造プロセスは、Takayama、他 5 名、“Continuous Grain Silicon Technology and Its Applications for Active Matrix Display”、AMD-LCD 2000、pp.25-28 に開示されている。有機 E L 素子の構成は、Friend、“Polymer Light-Emitting Diodes for use in Flat Panel Display”、AM-LCD'01、pp.211-214 に開示されている。そこで、これらの事項については説明を省略する。

## 【0061】

図1は、本発明の第1～第4（第2を除く）の実施形態および第1～第3の参考例に係る表示装置の構成を示すブロック図である。図1に示す表示装置10は、複数の画素回路 $A_{ij}$ （ $i$ は1以上 $n$ 以下の整数、 $j$ は1以上 $m$ 以下の整数）、表示制御回路11、ゲートドライバ回路12、ソースドライバ回路13、および、基準電源調整回路14を備えている。表示装置10には、互いに平行な複数の走査線 $G_i$ と、走査線 $G_i$ と直交する互いに平行な複数のデータ線 $S_j$ とが設けられる。画素回路 $A_{ij}$ は、走査線 $G_i$ とデータ線 $S_j$ の各交差点に対応してマトリクス状に配置されている。

## 【0062】

これに加えて表示装置10には、互いに平行な複数の制御線（ $W_i$ 、 $R_i$ など；図示せず）が走査線 $G_i$ と平行に配置されている。走査線 $G_i$ と制御線はゲートドライバ回路12に接続され、データ線 $S_j$ はソースドライバ回路13に接続されている。ゲートドライバ回路12とソースドライバ回路13は、画素回路 $A_{ij}$ の駆動回路として機能する。

## 【0063】

表示制御回路11は、ゲートドライバ回路12に対してタイミング信号 $OE$ 、スタートパルス $YI$ およびクロック $YCK$ を出力し、ソースドライバ回路13に対してスタートパルス $SP$ 、クロック $CLK$ 、表示データ $DA$ およびラッチパルス $LP$ を出力し、基準電源調整回路14に対して電圧制御信号 $PDA$ を出力する。

## 【0064】

ゲートドライバ回路12は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロック $YCK$ に同期してスタートパルス $YI$ を順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号 $OE$ との間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 $G_i$ や制御線 $W_i$ 、 $R_i$ などに与えられる。このようにゲートドライバ回路12は、走査線 $G_i$ を用いて書き込み対象の画素回路を選択する走査信号出力回路として機能する。

## 【0065】

ソースドライバ回路13は、 $m$ ビットのシフトレジスタ21、レジスタ22、ラッチ回路23、および、 $m$ 個の $D/A$ コンバータ24を含んでいる。シフトレジスタ21は、縦続接続された $m$ 個の1ビットレジスタを含んでいる。シフトレジスタ21は、クロック $CLK$ に同期してスタートパルス $SP$ を順次転送し、各段のレジスタからタイミングパルス $DL P$ を出力する。タイミングパルス $DL P$ の出力タイミングに合わせて、レジスタ22には表示データ $DA$ が供給される。レジスタ22は、タイミングパルス $DL P$ に従い、表示データ $DA$ を記憶する。レジスタ22に1行分の表示データ $DA$ が記憶されると、表示制御回路11はラッチ回路23に対してラッチパルス $LP$ を出力する。ラッチ回路23は、ラッチパルス $LP$ を受け取ると、レジスタ22に記憶された表示データを保持する。 $D/A$ コンバータ24は、各データ線 $S_j$ に1つずつ設けられる。 $D/A$ コンバータ24は、ラッチ回路23に保持された表示データをアナログ信号電圧に変換し、対応するデータ線 $S_j$ に与える。このようにソースドライバ回路13は、データ線 $S_j$ に対して表示データに応じた電位を与える表示信号出力回路として機能する。

## 【0066】

なお、表示装置10を小型、低コスト化するために、ゲートドライバ回路12やソースドライバ回路13の全部または一部を、 $CG$ シリコン $TFT$ や多結晶シリコン $TFT$ などを用いて画素回路 $A_{ij}$ と同じ基板上に形成することが好ましい。

## 【0067】

基準電源調整回路14は、電圧制御信号 $PDA$ に基づき、基準電源配線 $V_s$ に印加される電位（以下、基準電位 $V_{std}$ という）のレベルを調整する。すべての画素回路 $A_{ij}$ は、基準電源配線 $V_s$ に接続されており、基準電源調整回路14から基準電位 $V_{std}$ の供給を受ける。また、図1では省略されているが、画素回路 $A_{ij}$ の配置領域には、画素回路 $A_{ij}$ に電源電圧を供給するために、電源配線 $V_p$ と共通陰極 $V_{com}$ （または陰極

10

20

30

40

50

配線 C A i ) が配置されている。

【 0 0 6 8 】

以下、各実施形態に係る表示装置に含まれる画素回路 A i j の詳細を説明する。以下の説明では、スイッチ用 T F T のゲート端子に与えられるハイレベル電位を G H、ローレベル電位を G L という。また、以下の説明では、各 T F T のチャネル型は固定的に決定されているが、各 T F T のゲート端子に適切な制御信号を供給できるのであれば、各 T F T は p チャネル型でも n チャネル型でもよい。

【 0 0 6 9 】

( 第 1 の参考例 )

図 2 は、第 1 の参考例に係る表示装置に含まれる画素回路の回路図である。図 2 に示す画素回路 1 0 0 は、駆動用 T F T 1 1 0、スイッチ用 T F T 1 1 1 ~ 1 1 5、コンデンサ 1 2 0、および、有機 E L 素子 1 3 0 を備えている。スイッチ用 T F T 1 1 1、1 1 4 は n チャネル型、他の T F T は p チャネル型である。

10

【 0 0 7 0 】

画素回路 1 0 0 は、電源配線 V p、基準電源配線 V s、共通陰極 V c o m、走査線 G i、制御線 W i、R i、および、データ線 S j に接続されている。このうち、電源配線 V p ( 第 1 の電源配線 ) と共通陰極 V c o m ( 第 2 の電源配線 ) にはそれぞれ一定の電位 V D D、V S S が印加され、基準電源配線 V s ( 第 3 の電源配線 ) には基準電源調整回路 1 4 で得られた基準電位 V s t d が印加される。共通陰極 V c o m は、表示装置内のすべての有機 E L 素子 1 3 0 の共通電極となる。

20

【 0 0 7 1 】

画素回路 1 0 0 では、電源配線 V p と共通陰極 V c o m とを結ぶ経路上に電源配線 V p 側から順に、駆動用 T F T 1 1 0、スイッチ用 T F T 1 1 5 および有機 E L 素子 1 3 0 が直列に設けられている。駆動用 T F T 1 1 0 のゲート端子には、コンデンサ 1 2 0 の一方の電極が接続されている。コンデンサ 1 2 0 の他方の電極とデータ線 S j との間には、スイッチ用 T F T 1 1 1 が設けられている。以下、駆動用 T F T 1 1 0 とコンデンサ 1 2 0 の接続点を A、コンデンサ 1 2 0 とスイッチ用 T F T 1 1 1 の接続点を B という。接続点 B と電源配線 V p との間にはスイッチ用 T F T 1 1 2 が設けられ、接続点 A と駆動用 T F T 1 1 0 のドレイン端子との間にはスイッチ用 T F T 1 1 3 が設けられ、接続点 A と基準電源配線 V s との間にはスイッチ用 T F T 1 1 4 が設けられている。

30

【 0 0 7 2 】

スイッチ用 T F T 1 1 1、1 1 2、1 1 5 のゲート端子は走査線 G i に接続され、スイッチ用 T F T 1 1 3 のゲート端子は制御線 W i に接続され、スイッチ用 T F T 1 1 4 のゲート端子は制御線 R i に接続されている。走査線 G i および制御線 W i、R i の電位はゲートドライバ回路 1 2 によって制御され、データ線 S j の電位はソースドライバ回路 1 3 によって制御される。

【 0 0 7 3 】

図 3 は、画素回路 1 0 0 のタイミングチャートである。図 3 には、走査線 G i、制御線 W i、R i およびデータ線 S j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 3 では、時刻 t 0 から時刻 t 5 ままでが 1 水平走査期間に相当する。以下、図 3 を参照して、画素回路 1 0 0 の動作を説明する。

40

【 0 0 7 4 】

時刻 t 0 より前では、走査線 G i と制御線 R i の電位は G L ( ローレベル ) に、制御線 W i の電位は G H ( ハイレベル ) に、データ線 S j の電位は前回の表示データ ( 1 行上の画素回路に書き込まれた表示データ ) に応じたレベルに制御される。このため、スイッチ用 T F T 1 1 2、1 1 5 は導通状態、スイッチ用 T F T 1 1 1、1 1 3、1 1 4 は非導通状態となる。また、接続点 A の電位は画素回路 1 0 0 に前回書き込まれた表示データに応じた電位となり、接続点 B の電位は V D D となる。

【 0 0 7 5 】

時刻 t 0 において走査線 G i の電位が G H に変化すると、スイッチ用 T F T 1 1 1 が導

50

通状態に、スイッチ用TFT112、115が非導通状態に変化する。走査線Giの電位がGHである間(時刻t0から時刻t5までの間)、スイッチ用TFT115は非導通状態にあるので、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

【0076】

走査線Giの電位がGHである間、データ線Sjの電位は今回の表示データに応じたレベル電位(以下、データ電位Vdataという)に制御される。この間、接続点Bはスイッチ用TFT111を介してデータ線Sjに接続されるので、接続点Bの電位はVdataとなる。また、時刻t0から時刻t1までの間、スイッチ用TFT113、114は非導通状態であるので、接続点Bの電位がVDDからVdataに変化すると、接続点Aの電位も同じ量(Vdata - VDD)だけ変化する。

10

【0077】

次に時刻t1において制御線Riの電位がGHに変化すると、スイッチ用TFT114が導通状態に変化する。これにより、接続点Aはスイッチ用TFT114を介して基準電源配線Vsに接続されるので、接続点Aの電位はVstdに変化する。このとき接続点Bはスイッチ用TFT111を介してデータ線Sjに接続されているので、接続点Aの電位が変化しても、接続点Bの電位はVdataのままである。

【0078】

基準電源配線Vsの基準電位Vstdは、ゲート端子に基準電位Vstdを印加したときに駆動用TFT110が導通状態となるように決定される。したがって、時刻t1以降、駆動用TFT110は必ず導通状態となる。なお、駆動用TFT110が導通状態となってもスイッチ用TFT115が非導通状態である間は、有機EL素子130に電流は流れず、有機EL素子130は発光しない。

20

【0079】

次に時刻t2において制御線Riの電位がGLに変化すると、スイッチ用TFT114が非導通状態に変化する。これにより、接続点Aは基準電源配線Vsから切り離され、接続点Aの電位は固定される。このときコンデンサ120には、接続点AとBの電位差(Vstd - Vdata)が保持される。

【0080】

次に時刻t3において制御線Wiの電位がGLに変化すると、スイッチ用TFT113が導通状態に変化する。これにより駆動用TFT110のゲート端子とドレイン端子が短絡され、駆動用TFT110はダイオード接続となる。時刻t1から時刻t2までの間、接続点Aには基準電位Vstdが印加され、時刻t2以降も接続点Aの電位はコンデンサ120によってVstdに保たれる。したがって、時刻t3以降も、駆動用TFT110は必ず導通状態となる。

30

【0081】

また、電源配線Vpから駆動用TFT110とスイッチ用TFT113を経由して接続点Aに電流が流れ込み、接続点Aの電位(駆動用TFT110のゲート端子電位)は駆動用TFT110が導通状態である間は上昇する。駆動用TFT110は、ゲート-ソース間電圧が閾値電圧Vth(負の値)になる(すなわち、接続点Aの電位が(VDD + Vth)になると、非導通状態に変化する。したがって、接続点Aの電位は(VDD + Vth)まで上昇し、駆動用TFT110は閾値状態(ゲート-ソース間に閾値電圧が印加された状態)となる。

40

【0082】

次に時刻t4において制御線Wiの電位がGHに変化すると、スイッチ用TFT113が非導通状態に変化する。このときコンデンサ120には、接続点AとBの電位差(VDD + Vth - Vdata)が保持される。

【0083】

次に時刻t5において走査線Giの電位がGLに変化すると、スイッチ用TFT112、115が導通状態に、スイッチ用TFT111が非導通状態に変化する。これにより、接続点Bは、データ線Sjから切り離され、スイッチ用TFT112を介して電源配線V

50

pに接続される。このため、接続点Bの電位は $V_{data}$ から $V_{DD}$ に変化し、これに伴い、接続点Aの電位も同じ量( $V_{DD} - V_{data}$ ; 以下、 $V_B$ という)だけ変化して( $V_{DD} + V_{th} + V_B$ )となる。

#### 【0084】

時刻 $t_5$ 以降ではスイッチ用TFT115は導通状態にあるので、電源配線 $V_p$ から駆動用TFT110とスイッチ用TFT115を経由して有機EL素子130に電流が流れる。駆動用TFT110を流れる電流の量は、ゲート端子電位( $V_{DD} + V_{th} + V_B$ )に応じて増減するが、閾値電圧 $V_{th}$ が異なっても電位差 $V_B (= V_{DD} - V_{data})$ が同じであれば電流量は同じである。したがって、駆動用TFT110の閾値電圧 $V_{th}$ の値にかかわらず、有機EL素子130にはデータ電位 $V_{data}$ に応じた量の電流が流れ、有機EL素子130は指定された輝度で発光する。

10

#### 【0085】

上記の動作では、時刻 $t_2$ においてスイッチ用TFT114が非導通状態に変化した後に、時刻 $t_3$ においてスイッチ用TFT113が導通状態に変化する。これにより、電源配線 $V_p$ から駆動用TFT110とスイッチ用TFT113、114を経由して基準電源配線 $V_s$ に電流が流れ込むことを防止し、基準電源配線 $V_s$ の電位を安定に保つことができる。また、時刻 $t_2$ においてコンデンサ120に保持された電位差が変化しないので、閾値電圧のばらつきを正確に補償することができる。

#### 【0086】

また、上記の動作では、時刻 $t_4$ においてスイッチ用TFT113が非導通状態に変化した後に、時刻 $t_5$ においてスイッチ用TFT111が非導通状態に、スイッチ用TFT112が導通状態に変化する。これにより、電源配線 $V_p$ から駆動用TFT110とスイッチ用TFT113を経由して接続点Aに電流が流れ込むことを防止し、駆動用TFT110のゲート端子電位を正確に保持することができる。

20

#### 【0087】

以上に示すように、本参考例に係る表示装置によれば、駆動用TFT110を導通状態とする基準電位 $V_{std}$ を基準電源配線 $V_s$ に印加し、スイッチ用TFT114を導通状態に制御することにより、駆動用TFT110のゲート端子に基準電位 $V_{std}$ を与え、画素回路の以前の状態にかかわらず、駆動用TFT110を必ず導通状態に設定することができる。

30

#### 【0088】

したがって、その後にスイッチ用TFT113を導通状態に、スイッチ用TFT115を非導通状態に制御したときに、駆動用TFT110を確実に閾値状態に設定し、駆動用TFT110から有機EL素子130に流れる電流を遮断することができる。よって、駆動用TFT110を正しく閾値状態に設定すると共に、有機EL素子130の不要な発光を防止することができる。不要な発光を防止できれば、表示画面のコントラストが向上し、有機EL素子130の寿命も長くなる。

#### 【0089】

また、pチャネル型の駆動用TFT110を導通状態に設定するためには、ゲート端子に印加される基準電位 $V_{std}$ を駆動用TFT110のソース端子電位よりも閾値電圧 $V_{th}$ の分以上低くする必要がある。ところが、基準電位 $V_{std}$ を低くしすぎると、駆動用TFT110が閾値状態になるまでに時間がかかり、駆動用TFT110の閾値電圧のばらつきを補償する処理が1水平走査期間内に完了しないことがある。このため、基準電位 $V_{std}$ は、ゲート端子に与えたときに駆動用TFT110が導通状態になるという条件を満たす限り、( $V_{DD} + V_{th}$ )にできるだけ近い電位であることが好ましい。

40

#### 【0090】

画素回路100は外部から与えられた基準電位 $V_{std}$ に基づき動作するので、基準電源調整回路14などを用いて基準電位 $V_{std}$ のレベルを自由に設定することができる。したがって、本参考例に係る表示装置によれば、( $V_{DD} + V_{th}$ )に近い基準電位 $V_{std}$ を用いることにより、駆動用TFTの閾値電圧のばらつきを短時間で補償することが

50

できる。

#### 【0091】

また、駆動用TFT110を閾値状態にする前に、コンデンサ120には電位差( $V_{std} - V_{data}$ )が保持されるが、この電位差はすべての画素回路で同じである。したがって、仮に駆動用TFT110を完全に閾値状態に設定できない場合でも、有機EL素子の輝度のばらつきを小さくすることができる。

#### 【0092】

(第1の実施形態)

図4は、本発明の第1の実施形態に係る表示装置に含まれる画素回路の回路図である。

図4に示す画素回路200は、駆動用TFT210、スイッチ用TFT211~214、コンデンサ220、および、有機EL素子230を備えている。スイッチ用TFT211、214はnチャネル型、他のTFTはpチャネル型である。

10

#### 【0093】

画素回路200は、第1の参考例に係る画素回路100(図2)に対して、スイッチ用TFT115を削除し、有機EL素子130のカソード端子を陰極配線CAi(第2の電源配線)に接続する変更を施したものである。画素回路200では、電源配線Vpと陰極配線CAiとを結ぶ経路上に電源配線Vp側から順に、駆動用TFT210および有機EL素子230が直列に設けられている。以上の点を除き、画素回路200の構成は画素回路100と同じである。陰極配線CAiの電位は、表示装置10に含まれる電源切替回路(図示せず)によって制御される。

20

#### 【0094】

図5は、画素回路200のタイミングチャートである。図5には、走査線Gi、制御線Wi、Ri、陰極配線CAiおよびデータ線Sjに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図5では、時刻t0から時刻t5までが1水平走査期間に相当する。

#### 【0095】

図5に示すように、陰極配線CAiの電位は、時刻t0から時刻t5までの間は所定のレベルVchに、それ以外の場合はVSSに制御される。電位Vchは、駆動用TFT210と有機EL素子230を直列に接続した回路の一端に電位VDDを印加し、他端に電位Vchを印加したときに、有機EL素子230への印加電圧が有機EL素子230の発光閾値電圧より低くなるように決定される。このため、陰極配線CAiの電位がVchである間(時刻t0から時刻t5までの間)、有機EL素子230に発光に寄与する電流は流れず、有機EL素子230は発光しない。以上の点を除き、画素回路200の動作は画素回路100と同じである。

30

#### 【0096】

以上に示すように、本実施形態に係る表示装置では、画素回路に対する書き込み時には、陰極配線CAiの電位は有機EL素子230に電流が流れないレベルに制御される。したがって、電源配線Vpと陰極配線CAiとを結ぶ経路上にスイッチ用TFTを設けなくても、第1の参考例と同じ効果(駆動用TFTの閾値電圧のばらつきを正しく短時間で補償し、有機EL素子の不要な発光を防止する)を得ることができる。

40

#### 【0097】

(第2の参考例)

図6は、第2の参考例に係る表示装置に含まれる画素回路の回路図である。図6に示す画素回路300は、駆動用TFT310、スイッチ用TFT311~315、コンデンサ320、および、有機EL素子330を備えている。画素回路300に含まれるTFTは、いずれもpチャネル型である。

#### 【0098】

画素回路300は、第1の参考例に係る画素回路100(図2)に対して、nチャネル型のTFTをpチャネル型のTFTに変更し、各TFTのゲート端子を適切な信号線に接続する変更を施したものである。画素回路300では、スイッチ用TFT311、313

50



のゲート端子は走査線  $G_i$  に接続され、スイッチ用  $TFT_{312}$ 、 $315$  のゲート端子は制御線  $E_i$  に接続され、スイッチ用  $TFT_{314}$  のゲート端子は制御線  $R_i$  に接続されている。以上の点を除き、画素回路  $300$  の構成は画素回路  $100$  と同じである。制御線  $E_i$  の電位は、ゲートドライバ回路  $12$  によって制御される。

【0099】

図7は、画素回路  $300$  のタイミングチャートである。図7には、走査線  $G_i$ 、制御線  $E_i$ 、 $R_i$  およびデータ線  $S_j$  に印加される電位の変化と、接続点  $A$ 、 $B$  の電位の変化とが示されている。図7では、時刻  $t_0$  から時刻  $t_4$  まだが1水平走査期間に相当する。以下、図7を参照して、画素回路  $300$  の動作を説明する。

【0100】

時刻  $t_0$  より前では、走査線  $G_i$  と制御線  $R_i$  の電位は  $GH$  に、制御線  $E_i$  の電位は  $GL$  に、データ線  $S_j$  の電位は前回の表示データに応じたレベルに制御される。このため、スイッチ用  $TFT_{312}$ 、 $315$  は導通状態、スイッチ用  $TFT_{311}$ 、 $313$ 、 $314$  は非導通状態となる。また、接続点  $A$  の電位は画素回路  $300$  に前回書き込まれた表示データに応じた電位となり、接続点  $B$  の電位は  $VDD$  となる。

【0101】

時刻  $t_0$  において制御線  $E_i$  の電位が  $GH$  に変化すると、スイッチ用  $TFT_{312}$ 、 $315$  が非導通状態に変化する。制御線  $E_i$  の電位が  $GH$  である間（時刻  $t_0$  から時刻  $t_4$  までの間）、スイッチ用  $TFT_{315}$  は非導通状態にあるので、有機  $EL$  素子  $330$  に電流は流れず、有機  $EL$  素子  $330$  は発光しない。

【0102】

制御線  $E_i$  の電位が  $GH$  である間、データ線  $S_j$  の電位はデータ電位  $Vdata$  に制御される。時刻  $t_0$  から時刻  $t_1$  までの間、接続点  $A$ 、 $B$  は電位が印加された配線から切り離されるので、接続点  $A$ 、 $B$  の電位は不定となる（実際には時刻  $t_0$  のレベルから変化しない）。

【0103】

次に時刻  $t_1$  において走査線  $G_i$  と制御線  $R_i$  の電位が  $GL$  に変化すると、スイッチ用  $TFT_{311}$ 、 $313$ 、 $314$  が導通状態に変化する。これにより、接続点  $B$  はスイッチ用  $TFT_{311}$  を介してデータ線  $S_j$  に接続されるので、接続点  $B$  の電位は  $Vdata$  に変化する。接続点  $A$  はスイッチ用  $TFT_{314}$  を介して基準電源配線  $Vs$  に接続されるので、接続点  $A$  の電位は  $Vstd$  に変化する。基準電源配線  $Vs$  の基準電位  $Vstd$  は、第1の参考例と同様に、ゲート端子に基準電位  $Vstd$  を印加したときに駆動用  $TFT_{310}$  が導通状態となるように決定される。したがって、時刻  $t_1$  以降、駆動用  $TFT_{310}$  は必ず導通状態となる。なお、駆動用  $TFT_{310}$  が導通状態となってもスイッチ用  $TFT_{315}$  が非導通状態である間は、有機  $EL$  素子  $330$  に電流は流れず、有機  $EL$  素子  $330$  は発光しない。

【0104】

一方、スイッチ用  $TFT_{313}$  が導通状態になると、駆動用  $TFT_{310}$  のゲート端子とドレイン端子が短絡され、駆動用  $TFT_{310}$  はダイオード接続となる。このため、電源配線  $Vp$  から駆動用  $TFT_{310}$  とスイッチ用  $TFT_{313}$  を経由して接続点  $A$  に電流が流れ込み、接続点  $A$  の電位はその分だけ上昇する。したがって、接続点  $A$  の電位は、正確に言うと、基準電位  $Vstd$  よりも少し高い電位（ $Vstd +$  ）になる。

【0105】

次に時刻  $t_2$  において制御線  $R_i$  の電位が  $GH$  に変化すると、スイッチ用  $TFT_{314}$  が非導通状態に変化する。これにより、基準電源配線  $Vs$  からスイッチ用  $TFT_{314}$  を経由して接続点  $A$  に流れる電流は遮断される。これに代えて、電源配線  $Vp$  から駆動用  $TFT_{310}$  とスイッチ用  $TFT_{313}$  を経由して接続点  $A$  に電流が流れ込み、接続点  $A$  の電位（駆動用  $TFT_{310}$  のゲート端子電位）は駆動用  $TFT_{310}$  が導通状態である間は上昇する。駆動用  $TFT_{310}$  は、ゲート-ソース間電圧が閾値電圧  $Vth$ （負の値）になる（すなわち、接続点  $A$  の電位が（ $VDD + Vth$ ）になる）と、非導通状態に変化

10

20

30

40

50

する。したがって、接続点 A の電位は  $(V_{DD} + V_{th})$  まで上昇し、駆動用 T F T 3 1 0 は閾値状態となる。

【0106】

次に時刻  $t_3$  において走査線  $G_i$  の電位が  $G_H$  に変化すると、スイッチ用 T F T 3 1 1、3 1 3 が非導通状態に変化する。このときコンデンサ 3 2 0 には、接続点 A と B の電位差  $(V_{DD} + V_{th} - V_{data})$  が保持される。

【0107】

次に時刻  $t_4$  において制御線  $E_i$  の電位が  $G_L$  に変化すると、スイッチ用 T F T 3 1 2、3 1 5 が導通状態に変化する。これにより、接続点 B はスイッチ用 T F T 3 1 2 を介して電源配線  $V_p$  に接続される。このとき、接続点 B の電位は  $V_{data}$  から  $V_{DD}$  に変化し、これに伴い、接続点 A の電位は同じ量  $(V_{DD} - V_{data})$  ; 以下、 $V_B$  という) だけ変化して  $(V_{DD} + V_{th} + V_B)$  となる。

【0108】

時刻  $t_4$  以降ではスイッチ用 T F T 3 1 5 は導通状態にあるので、電源配線  $V_p$  から駆動用 T F T 3 1 0 とスイッチ用 T F T 3 1 5 を経由して有機 E L 素子 3 3 0 に電流が流れる。駆動用 T F T 3 1 0 を流れる電流の量は、ゲート端子電位  $(V_{DD} + V_{th} + V_B)$  に応じて増減するが、閾値電圧  $V_{th}$  が異なっても電位差  $V_B (= V_{DD} - V_{data})$  が同じであれば電流量は同じである。したがって、駆動用 T F T 3 1 0 の閾値電圧  $V_{th}$  の値にかかわらず、有機 E L 素子 3 3 0 にはデータ電位  $V_{data}$  に応じた量の電流が流れ、有機 E L 素子 3 3 0 は指定された輝度で発光する。

【0109】

以上に示すように、画素回路 3 0 0 では、駆動用 T F T 3 1 0 およびすべてのスイッチ用 T F T 3 1 1 ~ 3 1 5 が同じチャネル型のトランジスタで構成されている。このような画素回路 3 0 0 を備えた本参考例に係る表示装置でも、各 T F T のゲート端子に適切な制御信号を供給することにより、第 1 の参考例と同じ効果を得ることができる。また、同じチャネル型のトランジスタは同じマスクを用いて同じプロセスで製造できるので、表示装置のコストを下げることができる。また、同じチャネル型のトランジスタは異なるチャネル型のトランジスタよりも接近して配置できるので、その分だけ画素回路の面積を他の用途に利用することができる。

【0110】

(第 2 の実施形態)

図 8 は、本発明の第 2 の実施形態に係る表示装置の構成を示すブロック図である。図 8 に示す表示装置 4 0 は、図 1 に示す表示装置 1 0 において、基準電源調整回路 1 4 を基準電位制御回路 4 8 に置換したものである。表示装置 4 0 では、画素回路  $A_{ij}$  に基準電位を供給するために、すべての画素回路  $A_{ij}$  に接続された基準電源配線  $V_s$  に代えて、各行の画素回路  $A_{ij}$  に接続された  $n$  本の制御線  $R_i$  が使用される。

【0111】

基準電位制御回路 4 8 は、電圧制御信号  $PDA$  に基づき、2 種類の基準電位 (以下、 $V_{sh}$ 、 $V_{sl}$  という) のレベルを調整する。基準電位制御回路 4 8 は、 $n$  本の制御線  $R_i$  に接続されており、制御線  $R_i$  の電位を個別に  $V_{sh}$  と  $V_{sl}$  の間で切り替える。

【0112】

図 9 は、本発明の第 2 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 9 に示す画素回路 4 0 0 は、駆動用 T F T 4 1 0、スイッチ用 T F T 4 1 1 ~ 4 1 5、コンデンサ 4 2 0、および、有機 E L 素子 4 3 0 を備えている。スイッチ用 T F T 4 1 1 は  $n$  チャネル型、他の T F T は  $p$  チャネル型である。

【0113】

画素回路 4 0 0 は、第 1 の参考例に係る画素回路 1 0 0 (図 2) に対して、スイッチ用 T F T 1 1 4 を  $p$  チャネル型の T F T に変更し、変更後の T F T を制御線  $R_i$  にダイオード接続する変更を施したものである。画素回路 4 0 0 では、スイッチ用 T F T 4 1 4 のゲート端子とドレイン端子はいずれも制御線  $R_i$  (第 3 の電源配線) に接続されている。以

上の点を除き、画素回路 400 の構成は画素回路 100 と同じである。

#### 【0114】

図 10 は、画素回路 400 のタイミングチャートである。図 10 には、走査線  $G_i$ 、制御線  $W_i$ 、 $R_i$  およびデータ線  $S_j$  に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 10 では、時刻  $t_0$  から時刻  $t_5$  まだが 1 水平走査期間に相当する。以下、図 10 を参照して、画素回路 400 と画素回路 100 の動作の相違点を説明する。

#### 【0115】

図 10 に示すように、制御線  $R_i$  の電位は、時刻  $t_1$  から時刻  $t_2$  までの間は  $V_{s1}$  に、それ以外のときは  $V_{sh}$  に制御される。基準電位  $V_{sh}$ 、 $V_{s1}$  は、後述する条件を満たすように決定される。

10

#### 【0116】

時刻  $t_1$  において制御線  $R_i$  の電位が  $V_{s1}$  に変化すると、スイッチ用 TFT 414 のゲート端子電位とドレイン端子電位はいずれも  $V_{s1}$  に変化する。p チャネル型のスイッチ用 TFT 414 は、ゲート - ソース間電圧が閾値電圧よりも低ければ（すなわち、電位  $V_{s1}$  が接続点 A の電位よりもスイッチ用 TFT 414 の閾値電圧分以上に低ければ）、導通状態となる。

#### 【0117】

また、スイッチ用 TFT 414 が導通状態になると、接続点 A からスイッチ用 TFT 414 を経由して制御線  $R_i$  に電流が流れ出し、接続点 A の電位はスイッチ用 TFT 414 が導通状態である間は下降する。スイッチ用 TFT 414 は、ゲート - ソース間電圧が閾値電圧  $V_{th}'$ （負の値）になる（すなわち、接続点 A の電位が  $(V_{s1} - V_{th}')$  になる）と、非導通状態に変化する。したがって、接続点 A の電位は  $(V_{s1} - V_{th}')$  まで下降する。さらに、このときの接続点 A の電位が駆動用 TFT 410 のソース端子電位よりも閾値電圧  $V_{th}$ （負の値）分以上低ければ（すなわち、 $V_{s1} - V_{th}' < V_{DD} + V_{th}$  が成り立てば）、駆動用 TFT 410 は導通状態となる。

20

#### 【0118】

そこで、基準電位  $V_{s1}$  は、以前の接続点 A の電位にかかわらず、スイッチ用 TFT 414 のゲート端子に基準電位  $V_{s1}$  を印加すると、スイッチ用 TFT 414 が導通状態となり、さらに駆動用 TFT 410 が導通状態となるように決定される。これに対して、基準電位  $V_{sh}$  は、以前の接続点 A の電位にかかわらず、スイッチ用 TFT 414 のゲート端子に基準電位  $V_{sh}$  を印加すると、スイッチ用 TFT 414 が非導通状態となるように決定される。これらの条件を満たす  $V_{sh}$  と  $V_{s1}$  の間で制御線  $R_i$  の電位を切り替えることにより、1 本の制御線だけを用いて駆動用 TFT 410 を導通状態に設定することができる。

30

#### 【0119】

以上に示すように、画素回路 400 では、スイッチ用 TFT 414 を制御線  $R_i$  にダイオード接続した上で、制御線  $E_i$  の電位を  $V_{sh}$  と  $V_{s1}$  の間で切り替えることにより、スイッチ用 TFT 414 を導通状態および非導通状態に切り替え、駆動用 TFT 410 を導通状態に設定することができる。したがって、画素回路 400 を備えた本実施形態に係る表示装置によっても、第 1 の参考例と同じ効果を得ることができる。また、スイッチ用 TFT 414 を制御する配線が不要となるので、表示装置の回路規模を削減することができる。

40

#### 【0120】

（第 3 の実施形態）

図 11 は、本発明の第 3 の実施形態に係る表示装置に含まれる画素回路の回路図である。図 11 に示す画素回路 500 は、駆動用 TFT 510、スイッチ用 TFT 511 ~ 515、コンデンサ 520、および、有機 EL 素子 530 を備えている。スイッチ用 TFT 511、514 は n チャネル型、他の TFT は p チャネル型である。

#### 【0121】

50

画素回路 500 は、第 1 の参考例に係る画素回路 100 (図 2) に対して、スイッチ用 T F T 112 を基準電源配線 V s に接続する変更を施したものである。画素回路 500 では、接続点 B と基準電源配線 V s との間に、スイッチ用 T F T 512 が設けられている。以上の点を除き、画素回路 500 の構成は画素回路 100 と同じである。

#### 【0122】

図 12 は、画素回路 500 のタイミングチャートである。図 12 には、走査線 G i、制御線 W i、R i およびデータ線 S j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 12 では、時刻 t 0 から時刻 t 5 までは 1 水平走査期間に相当する。以下、図 12 を参照して、画素回路 500 と画素回路 100 の動作の相違点を説明する。

#### 【0123】

図 12 に示すように、画素回路 500 は、時刻 t 0 から時刻 t 5 までの間、画素回路 100 と同じように動作する。時刻 t 5 において走査線 G i の電位が G L に変化すると、スイッチ用 T F T 512、515 が導通状態に、スイッチ用 T F T 511 が非導通状態に変化する。これにより、接続点 B は、データ線 S j から切り離され、スイッチ用 T F T 512 を介して基準電源配線 V s に接続される。このため、接続点 B の電位は V d a t a から V s t d に変化し、これに伴い、接続点 A の電位も同じ量 ( $V s t d - V d a t a$ ; 以下、V C という) だけ変化して ( $V D D + V t h + V C$ ) となる。

#### 【0124】

時刻 t 5 以降ではスイッチ用 T F T 515 は導通状態にあるので、電源配線 V p から駆動用 T F T 510 とスイッチ用 T F T 515 を経由して有機 E L 素子 530 に電流が流れる。駆動用 T F T 510 を流れる電流の量は、ゲート端子電位 ( $V D D + V t h + V C$ ) に応じて増減するが、閾値電圧 V t h が異なっても電位差 V C ( $= V s t d - V d a t a$ ) が同じであれば電流量は同じである。したがって、駆動用 T F T 510 の閾値電圧 V t h の値にかかわらず、有機 E L 素子 530 にはデータ線 S j に印加された電位 V d a t a に応じた量の電流が流れ、有機 E L 素子 530 は指定された輝度で発光する。

#### 【0125】

以上に示すように、画素回路 500 では、スイッチ用 T F T 512 は、接続点 B と基準電源配線 V s との間に設けられている。このような画素回路 500 を備えた本実施形態に係る表示装置によっても、駆動用 T F T 510 のゲート端子電位はデータ電位 V d a t a に応じたレベルに保持されるので、第 1 の参考例と同じ効果を得ることができる。これに加えて本実施形態に係る表示装置によれば、以下に示すように、表示品位を向上させるためのピーク輝度調整を容易に行うことができる。

#### 【0126】

従来の表示装置でピーク輝度調整を行うためには、例えば、表示データをメモリなどに蓄積してピーク輝度を求め、求めたピーク輝度に応じた変換処理を表示データに施し、変換後の表示データに応じた電位を画素回路に与える必要がある。ところが、これらの処理を行うためには、表示制御回路あるいはソースドライバ回路にメモリや演算回路を追加し、ソースドライバ回路の出力部分にピーク輝度調整に対応した回路を追加する必要がある。このため、従来の表示装置にピーク輝度調整機能を追加すると、表示装置のコストや消費電力が大きく増加する。

#### 【0127】

これに対して、本実施形態に係る表示装置では、駆動用 T F T 510 のゲート端子電位は ( $V D D + V t h + V C$ ) であり、電位 V D D、V t h は固定値であるので、有機 E L 素子 530 の輝度は電位差 V C ( $= V s t d - V d a t a$ ) に応じて増減する。したがって、データ電位 V d a t a を個別に変更しなくても、基準電源調整回路 14 でピーク輝度に応じた基準電位 V s t d を調整することにより、有機 E L 素子 530 の輝度を一律に調整することができる。この場合、ソースドライバ回路の出力部に回路を追加する必要はない。したがって、本実施形態に係る表示装置によれば、少量の回路を追加するだけで、表示データを変更することなく、ピーク輝度調整を容易に行うことができる。

10

20

30

40

50

## 【0128】

(第4の実施形態)

図13は、本発明の第4の実施形態に係る表示装置に含まれる画素回路の回路図である。図13に示す画素回路600は、駆動用TFT610、スイッチ用TFT611~615、コンデンサ620、および、有機EL素子630を備えている。スイッチ用TFT612、614、615はpチャネル型、他のTFTはnチャネル型である。

## 【0129】

画素回路600は、第3の実施形態に係る画素回路500(図11)に対して、駆動用TFT510とスイッチ用TFT513をnチャネル型のTFTに、スイッチ用TFT514をpチャネル型のTFTに変更し、電源配線Vpと共通陰極Vcomとを結ぶ経路上の素子の配置順序を変える変更を施したものである。画素回路600では、電源配線Vpと共通陰極Vcomとを結ぶ経路上に電源配線Vp側から順に、有機EL素子630、スイッチ用TFT615および駆動用TFT610が直列に設けられている。以上の点を除き、画素回路600の構成は画素回路500と同じである。

10

## 【0130】

図14は、画素回路600のタイミングチャートである。図14には、走査線Gi、制御線Wi、Riおよびデータ線Sjに印加される電位の変化と、接続点A、Bの電位の変化とが示されている。図14では、時刻t0から時刻t5までが1水平走査期間に相当する。以下、図14を参照して、画素回路600の動作を説明する。

## 【0131】

時刻t0より前では、走査線Giと制御線Wiの電位はGLに、制御線Riの電位はGHに、データ線Sjの電位は前回の表示データに応じたレベルに制御される。このため、スイッチ用TFT612、615は導通状態、スイッチ用TFT611、613、614は非導通状態となる。また、接続点Aの電位は画素回路600に前回書き込まれたデータに応じた電位となり、接続点Bの電位はVstdとなる。

20

## 【0132】

時刻t0において走査線Giの電位がGHに変化すると、スイッチ用TFT611が導通状態に、スイッチ用TFT612、615が非導通状態に変化する。走査線Giの電位がGHである間(時刻t0から時刻t5までの間)、スイッチ用TFT615は非導通状態にあるので、有機EL素子630に電流は流れず、有機EL素子630は発光しない。

30

## 【0133】

走査線Giの電位がGHである間、データ線Sjの電位はデータ電位Vdataに制御される。この間、接続点Bはスイッチ用TFT611を介してデータ線Sjに接続されるので、接続点Bの電位はVdataとなる。また、時刻t0から時刻t1までの間、スイッチ用TFT613、614は非導通状態であるので、接続点Bの電位がVstdからVdataに変化すると、接続点Aの電位も同じ量(Vdata - Vstd)だけ変化する。

## 【0134】

次に時刻t1において制御線Riの電位がGLに変化すると、スイッチ用TFT614が導通状態に変化する。これにより、接続点Aはスイッチ用TFT614を介して基準電源配線Vsに接続されるので、接続点Aの電位はVstdに変化する。このとき接続点Bはスイッチ用TFT611を介してデータ線Sjに接続されているので、接続点Aの電位が変化しても、接続点Bの電位はVdataのままである。

40

## 【0135】

基準電源配線Vsの基準電位Vstdは、ゲート端子に基準電位Vstdを印加したときに駆動用TFT610が導通状態となるように決定される。したがって、時刻t1以降、駆動用TFT610は必ず導通状態となる。なお、駆動用TFT610が導通状態となってもスイッチ用TFT615が非導通状態である間は、有機EL素子630に電流は流れず、有機EL素子630は発光しない。

## 【0136】

50

次に時刻  $t_2$  において制御線  $R_i$  の電位が  $GH$  に変化すると、スイッチ用  $TF T 6 1 4$  が非導通状態に変化する。これにより、接続点  $A$  は基準電源配線  $V_s$  から切り離され、接続点  $A$  の電位は固定される。このときコンデンサ  $6 2 0$  には、接続点  $A$  と  $B$  の電位差 ( $V_{std} - V_{data}$ ) が保持される。

【0137】

次に時刻  $t_3$  において制御線  $W_i$  の電位が  $GH$  に変化すると、スイッチ用  $TF T 6 1 3$  が導通状態に変化する。これにより駆動用  $TF T 6 1 0$  のゲート端子とドレイン端子が短絡され、駆動用  $TF T 6 1 0$  はダイオード接続となる。時刻  $t_1$  から時刻  $t_2$  までの間、接続点  $A$  には基準電位  $V_{std}$  が印加され、時刻  $t_2$  以降も接続点  $A$  の電位はコンデンサ  $6 2 0$  によって  $V_{std}$  に保たれる。したがって、時刻  $t_3$  以降も、駆動用  $TF T 6 1 0$

10

【0138】

また、接続点  $A$  からスイッチ用  $TF T 6 1 3$  と駆動用  $TF T 6 1 0$  を経由して共通陰極  $V_{com}$  に電流が流れ出し、接続点  $A$  の電位 (駆動用  $TF T 6 1 0$  のゲート端子電位) は駆動用  $TF T 6 1 0$  が導通状態である間は下降する。駆動用  $TF T 6 1 0$  は、ゲート - ソース間電圧が閾値電圧  $V_{th}$  (正の値) になる (すなわち、接続点  $A$  の電位が ( $V_{SS} + V_{th}$ ) になる) と、非導通状態に変化する。したがって、接続点  $A$  の電位は ( $V_{SS} + V_{th}$ ) まで下降し、駆動用  $TF T 6 1 0$  は閾値状態となる。

【0139】

次に時刻  $t_4$  において制御線  $W_i$  の電位が  $GL$  に変化すると、スイッチ用  $TF T 6 1 3$  が非導通状態に変化する。このときコンデンサ  $6 2 0$  には、接続点  $A$  と  $B$  の電位差 ( $V_{SS} + V_{th} - V_{data}$ ) が保持される。

20

【0140】

次に時刻  $t_5$  において走査線  $G_i$  の電位が  $GL$  に変化すると、スイッチ用  $TF T 6 1 2$ 、 $6 1 5$  が導通状態に、スイッチ用  $TF T 6 1 1$  が非導通状態に変化する。これにより、接続点  $B$  は、データ線  $S_j$  から切り離され、スイッチ用  $TF T 6 1 2$  を介して基準電源配線  $V_s$  に接続される。このため、接続点  $B$  の電位は  $V_{data}$  から  $V_{std}$  に変化し、これに伴い、接続点  $A$  の電位も同じ量 ( $V_{std} - V_{data}$ ; 以下、 $VC$  という) だけ変化して ( $V_{SS} + V_{th} + VC$ ) となる。

【0141】

30

時刻  $t_5$  以降ではスイッチ用  $TF T 6 1 5$  は導通状態にあるので、電源配線  $V_p$  からスイッチ用  $TF T 6 1 5$  と駆動用  $TF T 6 1 0$  を経由して共通陰極  $V_{com}$  に流れる電流が有機  $EL$  素子  $6 3 0$  にも流れる。駆動用  $TF T 6 1 0$  を流れる電流の量は、ゲート端子電位 ( $V_{SS} + V_{th} + VC$ ) に応じて増減するが、閾値電圧  $V_{th}$  が異なっても電位差  $VC$  ( $= V_{std} - V_{data}$ ) が同じであれば電流量は同じである。したがって、駆動用  $TF T 6 1 0$  の閾値電圧  $V_{th}$  の値にかかわらず、有機  $EL$  素子  $6 3 0$  にはデータ線  $S_j$  に印加された電位  $V_{data}$  に応じた量の電流が流れ、有機  $EL$  素子  $6 3 0$  は指定された輝度で発光する。

【0142】

以上に示すように、画素回路  $6 0 0$  は、 $n$ チャネル型の駆動用  $TF T 6 1 0$  を含んでいる。このような画素回路  $6 0 0$  を備えた本実施形態に係る表示装置によっても、第3の実施形態と同様に、第1の参考例と同じ効果と、ピーク輝度調整を容易に行えるという効果を得ることができる。

40

【0143】

(第3の参考例)

図15は、第3の参考例に係る表示装置に含まれる画素回路の回路図である。図15に示す画素回路  $7 0 0$  は、駆動用  $TF T 7 1 0$ 、スイッチ用  $TF T 7 1 1 \sim 7 1 5$ 、コンデンサ  $7 2 0$ 、および、有機  $EL$  素子  $7 3 0$  を備えている。スイッチ用  $TF T 7 1 1$ 、 $7 1 4$  は  $n$ チャネル型、他の  $TF T$  は  $p$ チャネル型である。

【0144】

50

画素回路 700 は、第 3 の実施形態に係る画素回路 500 (図 11) に対して、スイッチ用 T F T 514 を異なる箇所に接続する変更を施したものである。図 15 において、駆動用 T F T 710 とスイッチ用 T F T 713、715 の接続点を C という。画素回路 700 では、接続点 C と基準電源配線 V s との間にスイッチ用 T F T 714 が設けられている。以上の点を除き、画素回路 700 の構成は画素回路 500 と同じである。

#### 【0145】

図 16 は、画素回路 700 のタイミングチャートである。図 16 には、走査線 G i、制御線 W i、R i およびデータ線 S j に印加される電位の変化と、接続点 A、B の電位の変化とが示されている。図 16 では、時刻 t 0 から時刻 t 4 まだが 1 水平走査期間に相当する。以下、図 16 を参照して、画素回路 700 と画素回路 500 の動作の相違点を説明する。

10

#### 【0146】

画素回路 700 は、時刻 t 0 から時刻 t 1 までの間、画素回路 500 と同じように (すなわち、画素回路 100 と同じように) 動作する。時刻 t 1 において制御線 W i の電位が G L に、制御線 R i の電位が G H に変化すると、スイッチ用 T F T 713、714 が導通状態に変化する。これにより、接続点 A はスイッチ用 T F T 713、714 を介して基準電源配線 V s に接続されるので、接続点 A の電位は V s t d に変化する。

#### 【0147】

基準電源配線 V s の基準電位 V s t d は、ゲート端子に基準電位 V s t d を印加したときに駆動用 T F T 710 が導通状態となるように決定される。したがって、時刻 t 1 以降、駆動用 T F T 710 は必ず導通状態となる。なお、駆動用 T F T 710 が導通状態となってもスイッチ用 T F T 715 が非導通状態である間は、有機 E L 素子 730 に電流は流れず、有機 E L 素子 730 は発光しない。

20

#### 【0148】

一方、スイッチ用 T F T 713 が導通状態になると、駆動用 T F T 710 のゲート端子とドレイン端子が短絡され、駆動用 T F T 710 はダイオード接続となる。このため、電源配線 V p から駆動用 T F T 710 とスイッチ用 T F T 713 を経由して接続点 A に電流が流れ込み、接続点 A の電位はその分だけ上昇する。したがって、接続点 A の電位は、正確に言うと、V s t d よりも少し高い電位 (V s t d + ) になる。

#### 【0149】

30

次に時刻 t 2 において制御線 R i の電位が G L に変化すると、スイッチ用 T F T 714 が非導通状態に変化する。これにより、基準電源配線 V s からスイッチ用 T F T 714 を経由して接続点 A に流れる電流は遮断される。これに代えて、電源配線 V p から駆動用 T F T 710 とスイッチ用 T F T 713 を経由して接続点 A に電流が流れ込み、接続点 A の電位 (駆動用 T F T 710 のゲート端子電位) は駆動用 T F T 710 が導通状態である間は上昇する。駆動用 T F T 710 は、ゲート - ソース間電圧が閾値電圧 V t h (負の値) になる (すなわち、接続点 A の電位が (V D D + V t h) になる) と、非導通状態に変化する。したがって、接続点 A の電位は (V D D + V t h) まで上昇し、駆動用 T F T 710 は閾値状態となる。

#### 【0150】

40

画素回路 700 は、時刻 t 3 以降、画素回路 500 の時刻 t 4 以降と同じように動作する。時刻 t 4 以降では、駆動用 T F T 710 の閾値電圧 V t h の値にかかわらず、有機 E L 素子 730 にはデータ電位 V d a t a に応じた量の電流が流れ、有機 E L 素子 730 は指定された輝度で発光する。

#### 【0151】

以上に示すように、画素回路 700 では、スイッチ用 T F T 714 は、基準電源配線 V s と、駆動用 T F T 710 のドレイン端子 (スイッチ用 T F T 713 に接続された電流入出力端子) に接続されている。このような画素回路 700 を備えた本参考例に係る表示装置によっても、第 3 の実施形態と同様に、第 1 の参考例と同じ効果と、ピーク輝度調整を容易に行えるという効果を得ることができる。

50

## 【 0 1 5 2 】

また、一般に画素回路では、スイッチング素子にリーク電流が流れるために、コンデンサに保持された電荷は電気光学素子が発光する間に増加または減少し、電気光学素子の輝度が時間の経過と共に変動するという問題がある。ここで、接続点 A に接続されたスイッチ用 T F T の個数は、画素回路 5 0 0 では 2 個であるのに対し、画素回路 7 0 0 では 1 個である。このように画素回路 7 0 0 では、駆動用 T F T 7 1 0 のゲート端子に接続されたスイッチ用 T F T の個数が少ないので、リーク電流も少なく、コンデンサ 7 2 0 に保持された電荷も変動しにくい。したがって、本参考例に係る表示装置によれば、駆動用 T F T 7 1 0 のゲート端子電位の変動を抑制し、表示品位を高めることができる。

## 【 0 1 5 3 】

10

なお、画素回路 7 0 0 は、第 3 の実施形態に係る画素回路 5 0 0 に対して、一方の端子が基準電源配線 V s に接続されたスイッチ用 T F T の他方の端子を駆動用 T F T のドレイン端子に接続する変更を施したものであるが、第 1、第 2 および第 4 の実施形態に係る画素回路に対して同じ変更を施してもよい。変更後の画素回路を備えた表示装置によっても、第 3 の参考例と同様に、駆動用 T F T のゲート端子電位の変動を抑制し、表示品位を高めることができる。

## 【 0 1 5 4 】

以上に示すように、各実施形態に係る表示装置によれば、駆動用 T F T の閾値電圧のばらつきを正しく補償し、有機 E L 素子の不要な発光を防止し、表示画面のコントラストを高め、有機 E L 素子の寿命を延ばすことができる。また、本発明は各実施形態に限定されるものではなく、各実施形態の特徴を適宜組み合わせることもできる。

20

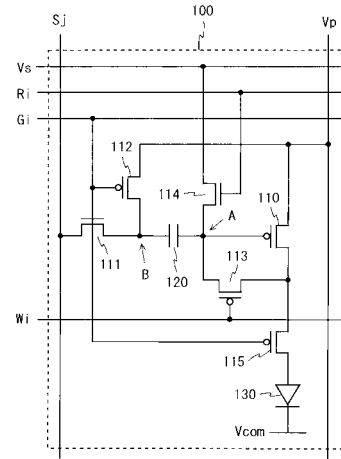
## 【産業上の利用可能性】

## 【 0 1 5 5 】

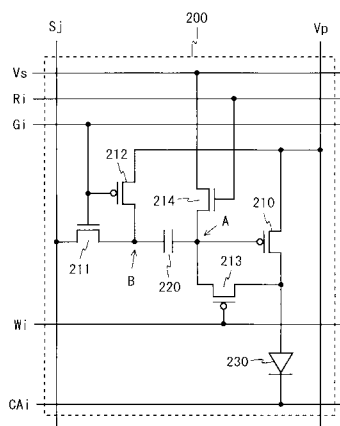
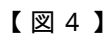
本発明の表示装置は、駆動素子の閾値電圧のばらつきを正しく補償し、電気光学素子の不要な発光を防止できるという効果を奏するので、有機 E L ディスプレイや F E D など、電流駆動型の表示素子を備えた各種の表示装置に利用することができる。



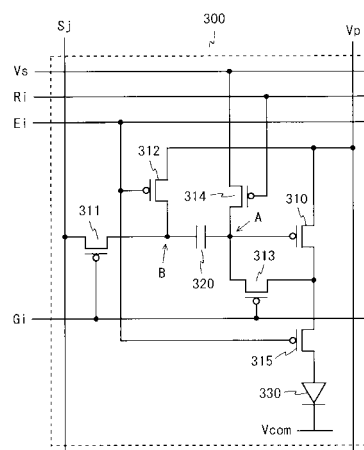
【圖 2】



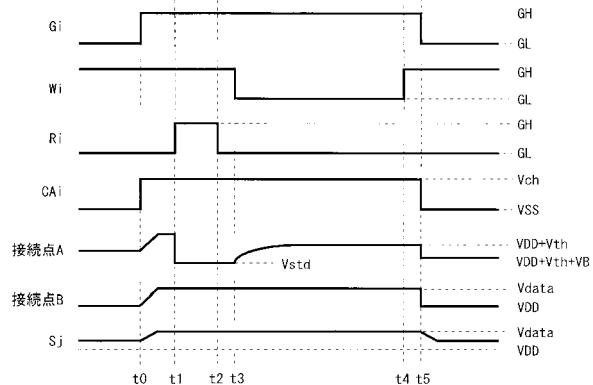
【 図 3 】



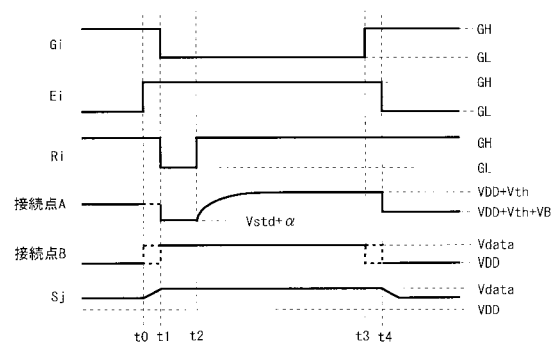
【 図 6 】



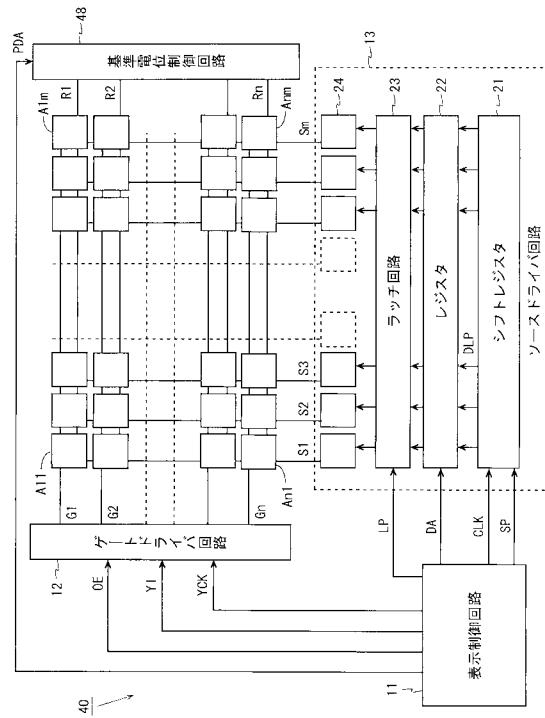
【 図 5 】



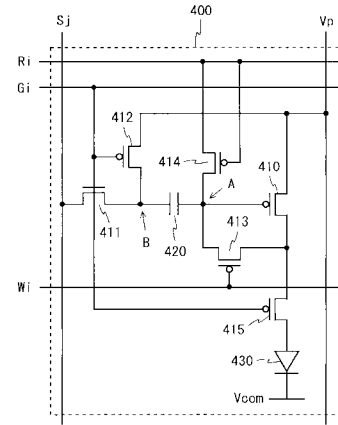
【圖 7】



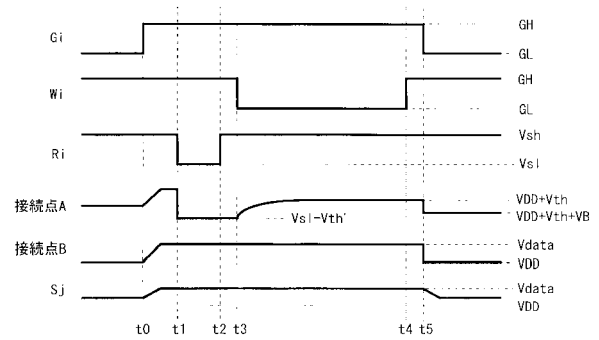
【図 8】



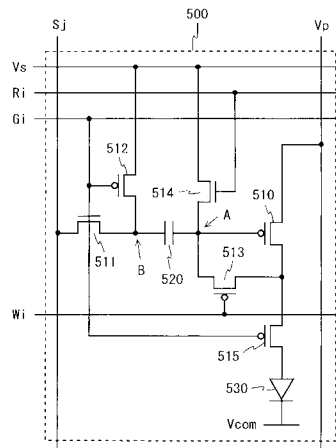
【図 9】



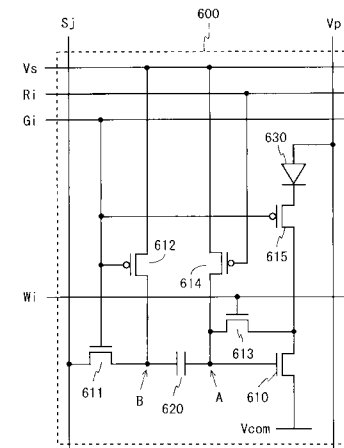
【図 10】



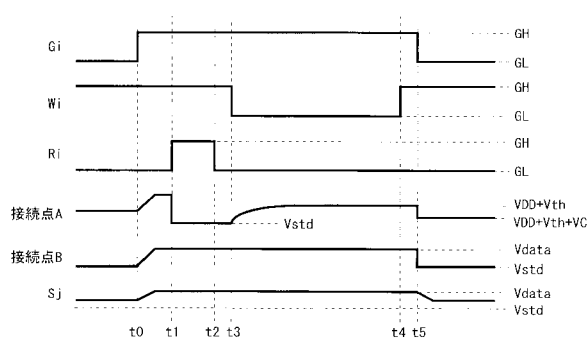
【図 11】



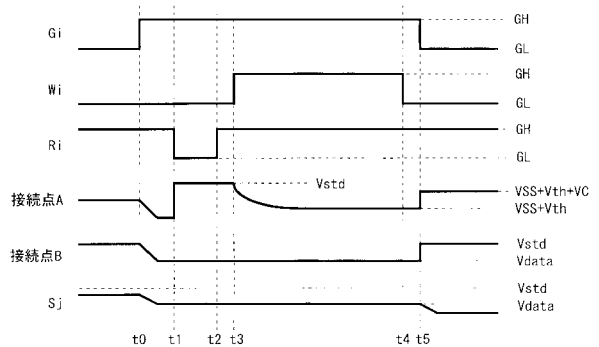
【図 13】



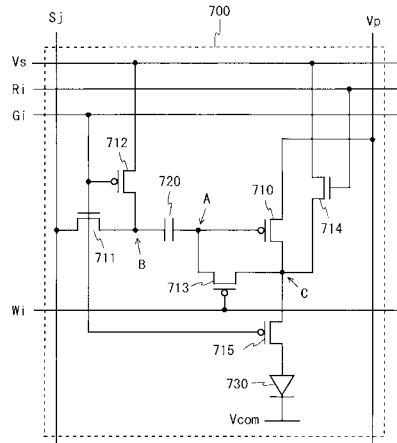
【図 12】



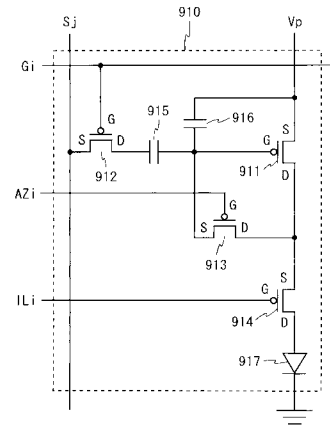
【図 14】



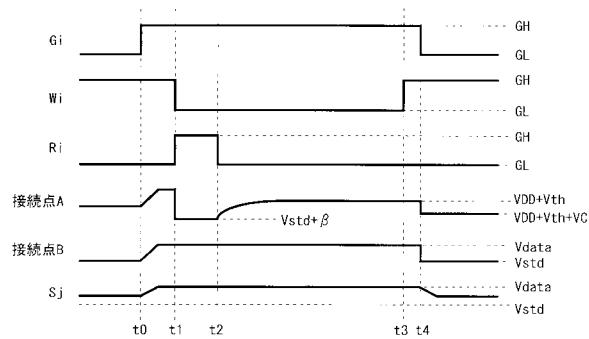
【図 15】



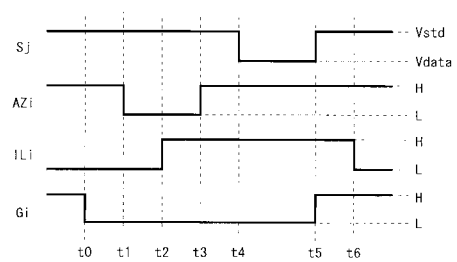
【図 17】



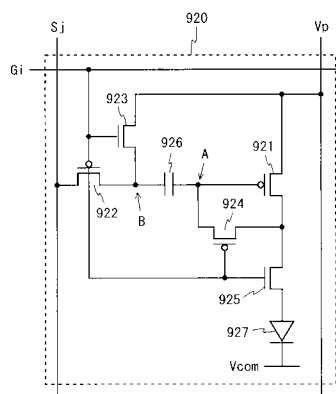
【図 16】



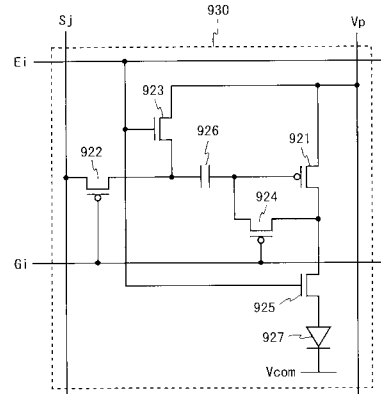
【図 18】



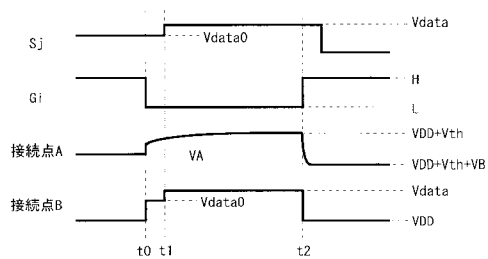
【図 19】



【図 21】



【図 20】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

(56)参考文献 特開 2 0 0 5 - 3 2 6 8 2 8 ( J P , A )  
特開 2 0 0 6 - 0 7 8 9 1 1 ( J P , A )  
特開 2 0 0 3 - 2 2 3 1 3 8 ( J P , A )  
特開 2 0 0 7 - 1 3 3 3 6 9 ( J P , A )  
特開 2 0 0 5 - 1 5 7 2 4 4 ( J P , A )  
特開 2 0 0 5 - 1 5 7 3 0 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/30

G09G 3/20

专利名称(译)	电流驱动型表示装置		
公开(公告)号	<a href="#">JP5014338B2</a>	公开(公告)日	2012-08-29
申请号	JP2008517777	申请日	2006-12-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	仙田孝裕		
发明人	仙田 孝裕		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2320/043 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D H05B33/14.A		
代理人(译)	岛田彰		
审查员(译)	福村 拓		
优先权	2006149142 2006-05-30 JP		
其他公开文献	JPWO2007138729A1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

在像素电路100中，驱动TFT 110，开关TFT 115和有机EL元件130设置在电源布线Vp和公共阴极Vcom之间，并且电容器120和开关TFT 111设置在栅极之间驱动TFT 110的端子和数据线Sj。开关TFT 112设置在电容器120和开关TFT 111之间的连接点B与电源配线Vp之间，开关TFT 113设置在驱动TFT 110的栅极和漏极端子之间，以及开关TFT 114被设置在驱动TFT 110的栅极端子和参考电源布线Vs之间。使驱动TFT 110进入导通状态的电位被施加到参考电源布线Vs。因此，可以适当地补偿驱动元件的阈值电压的变化，并且可以防止来自电光元件的不希望的光发射。

#### 6】

