

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4300492号
(P4300492)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 641D
	G09G 3/20 624B
	G09G 3/20 621A
	G09G 3/30 K
請求項の数 5 (全 21 頁) 最終頁に続く	

(21) 出願番号 特願2007-62777 (P2007-62777)
 (22) 出願日 平成19年3月13日(2007.3.13)
 (65) 公開番号 特開2008-225019 (P2008-225019A)
 (43) 公開日 平成20年9月25日(2008.9.25)
 審査請求日 平成20年4月28日(2008.4.28)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 ディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記画素が、

信号レベル保持用コンデンサと、

書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、

前記信号レベル保持用コンデンサの一端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、

カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、

駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、

制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を第1の固定電位に設定する第4のトランジスタとを有し、

前記駆動回路は、

前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、

第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、

10

20

第 1 ~ 第 5 の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、
 前記第 1 の期間において、
 前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第 1 及び第 4 のトランジスタをオフ状態に設定すると共に前記第 3 のトランジスタをオン状態に設定し、前記信号レベル保持用コンデンサの両端電位差によるゲートソース間電圧に応じた電流値により前記第 2 のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、
 前記第 2 の期間において、
 前記駆動パルス信号により、前記第 3 のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、
 前記第 3 の期間において、
 前記制御信号により前記第 4 のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記第 1 の固定電位に設定した後、前記制御信号により前記第 4 のトランジスタをオフ状態に設定すると共に、前記信号線が前記第 2 の固定電位に設定されている期間で、前記書き込み信号により前記第 1 のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第 2 の固定電位及び所定の電位に設定し、
 前記第 4 の期間において、
 前記信号線で前記第 2 の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第 1 及び前記第 4 のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第 2 の固定電位に設定される期間で、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第 2 のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、
 前記第 5 の期間において、
 前記書き込み信号により前記第 1 のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する
ディスプレイ装置。
 【請求項 2】
 前記第 1 の固定電位が、
 前記電源電圧である
請求項 1 に記載のディスプレイ装置。
 【請求項 3】
 前記駆動回路は、
 前記第 5 の期間において、前記駆動パルス信号により前記第 3 のトランジスタをオン状態に設定した後、一定期間経過して、前記書き込み信号により前記第 1 のトランジスタをオフ状態に設定する
請求項 1 に記載のディスプレイ装置。
 【請求項 4】
 前記駆動回路は、
 複数ラインだけ先行する画素に出力する前記書き込み信号を、前記制御信号として出力する
請求項 1 に記載のディスプレイ装置。
 【請求項 5】
 前記画素、前記駆動回路のトランジスタの全てが、
 Nチャンネル型のトランジスタであり、
 前記画素、前記駆動回路が、
 アモルファスシリコンプロセスにより絶縁基板上に形成された
請求項 1 に記載のディスプレイ装置。
 【発明の詳細な説明】
 【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、ディスプレイ装置に関し、例えば有機 E L (Electro Luminescence) 素子等の電流駆動による自発光型のディスプレイ装置に適用することができる。本発明は、発光素子を駆動するトランジスタのゲート電圧及びソース電位をそれぞれ所定の固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線 S I G 側から設定することにより、従来に比して走査線、固定電位の配線パターン数を少なくすることができるようにする。

【 背景技術 】

【 0 0 0 2 】

従来、有機 E L 素子を用いたディスプレイ装置に関して、例えば U S P 5 , 6 8 4 , 3 6 5、特開平 8 - 2 3 4 6 8 3 号公報等に種々の工夫が提案されている。

10

【 0 0 0 3 】

ここで図 1 4 は、従来の有機 E L 素子を用いたいわゆるアクティブマトリックス型のディスプレイ装置を示すブロック図である。ディスプレイ装置 1 において、画素部 2 は、マトリクス状に画素 (P X) 3 が配置されて形成される。また画素部 2 は、このマトリクス状に配置した画素 3 に対して、走査線 S C N がライン単位で水平方向に設けられ、また走査線 S C N と直交するように信号線 S I G が列毎に設けられる。

【 0 0 0 4 】

ここで図 1 5 に示すように、各画素 3 は、電流駆動による自発光型の発光素子である有機 E L 素子 8 と、この有機 E L 素子 8 を駆動する各画素 3 の駆動回路 (以下、画素回路と呼ぶ) とで形成される。

20

【 0 0 0 5 】

画素回路は、信号レベル保持用コンデンサ C 1 の一端が一定電位に保持され、書き込み信号 W S によりオンオフ動作するトランジスタ T R 1 を介して、この信号レベル保持用コンデンサ C 1 の他端が信号線 S I G に接続される。これにより画素回路は、書き込み信号 W S の立ち上がりによってトランジスタ T R 1 がオン動作し、信号レベル保持用コンデンサ C 1 の他端電位が信号線 S I G の信号レベルに設定され、トランジスタ T R 1 がオン状態からオフ状態に切り換わるタイミングで、信号線 S I G の信号レベルが信号レベル保持用コンデンサ C 1 の他端にサンプルホールドされる。

【 0 0 0 6 】

30

画素回路は、ソースを電源 V c c に接続した P チャンネルトランジスタ T R 2 のゲートに、この信号レベル保持用コンデンサ C 1 の他端が接続され、このトランジスタ T R 2 のドレインが有機 E L 素子 8 のアノードに接続される。ここで画素回路は、このトランジスタ T R 2 が常に飽和領域で動作するように設定され、その結果、トランジスタ T R 2 は、次式で表されるドレインソース電流 I d s による定電流回路を構成する。なおここで V g s は、トランジスタ T R 2 のゲートソース間電圧であり、 μ は移動度である。また W はチャンネル幅、L はチャンネル長、C o x はゲート容量、V t h はトランジスタ T R 2 のしきい値電圧である。これにより各画素回路は、信号レベル保持用コンデンサ C 1 にサンプルホールドされた信号線 S I G の信号レベルに応じた駆動電流 I d s により有機 E L 素子 8 を駆動する。

40

【 0 0 0 7 】

【 数 1 】

$$I d s = \frac{1}{2} \times \mu \times \frac{W}{L} \times C o x \times (V g s - V t h)^2 \quad \dots\dots (1)$$

【 0 0 0 8 】

ディスプレイ装置 1 は、垂直駆動回路 4 のライトスキャン回路 (W S C N) 4 A により、所定のサンプリングパルスを順次転送して、各画素 3 への書き込みを指示するタイミン

50

グ信号である書き込み信号WSを生成する。また水平駆動回路5の水平セクタ(HSEL)5Aにより、所定のサンプリングパルスを順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。これによりディスプレイ装置1は、点順次又は線順次で、各画素3に設けられた信号レベル保持用コンデンサC1の端子電圧を入力信号S1に応じて設定し、入力信号S1による画像を表示する。

【0009】

ここで有機EL素子8は、図16に示すように、使用により電流が流れ難くなる方向に電流電圧特性が経時変化する。なおこの図16において、符号L1が初期の特性を示し、符号L2が経時変化による特性を示すものである。しかしながら図15に示す回路構成によりPチャンネルトランジスタTR2で有機EL素子8を駆動する場合には、信号線SIGの信号レベルに応じて設定されたゲートソース間電圧VgsによりトランジスタTR2が有機EL素子8を駆動することにより、電流電圧特性の経時変化による各画素の輝度変化を防止することができる。

【0010】

ところで画素回路、水平駆動回路、垂直駆動回路を構成するトランジスタの全てをNチャンネルトランジスタで構成すれば、アモルファスシリコンプロセスでこれらの回路をまとめてガラス基板等の絶縁基板上に作成することができ、ディスプレイ装置を簡易に作成することができる。

【0011】

しかしながら図15との対比により図17に示すように、トランジスタTR2にNチャンネル型を適用して各画素13を形成し、この画素13による画素部12でディスプレイ装置11を構成した場合、トランジスタTR2のソースが有機EL素子8に接続されることにより、図16に示す電流電圧特性の変化によって、トランジスタTR2のゲートソース間電圧Vgsが変化することになる。これによりこの場合、使用により有機EL素子8に流れる電流が徐々に減少し、各画素の輝度が徐々に低下することになる。またこの図17に示す構成では、トランジスタTR2の特性のばらつきにより画素毎に発光輝度がばらつくことになる。なおこの発光輝度のばらつきは、表示画面における均一性を乱し、表示画面のムラ、ざらつきにより知覚される。

【0012】

このためこのような有機EL素子の経時変化による発光輝度の低下、特性のばらつきによる発光輝度のばらつきを防止する工夫として図18に示す構成が提案されている。

【0013】

ここでこの図18に示すディスプレイ装置21において、画素部22は、画素23をマトリックス状に配置して形成される。ここで画素23は、信号レベル保持用コンデンサC1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素23は、書き込み信号WSに応じて信号レベル保持用コンデンサC1の他端の電圧が、信号線SIGの信号レベルに設定される。

【0014】

画素23は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素23は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。なおここでVcatは、有機EL素子8のカソード電位である。また駆動パルス信号DSは、各画素23の発光期間を制御するタイミング信号であり、ドライブスキャン回路(DSCN)24Bで所定のサンプリングパルスを順次転送して生成される。

【0015】

また画素23は、それぞれ制御信号AZ1、AZ2によりオンオフ動作するトランジス

10

20

30

40

50

タTR4、TR5を介して、信号レベル保持用コンデンサC1の両端が所定の固定電位Vofs、Vssに接続される。ここでこれら制御信号AZ1、AZ2は、それぞれ垂直駆動回路24に設けられた制御信号生成回路(AZ1、AZ2)24C、24Dで所定のサンプリングパルスを順次転送して生成されるタイミング信号である。

【0016】

ここで図19は、このディスプレイ装置21における1つの画素23のタイミングチャートである。なおこの図19では、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。図20に示すように、有機EL素子8を発光させる発光期間T1において、画素23は、書き込み信号WS、制御信号AZ1、AZ2(図19(A)~(C))の信号レベルが立ち下げられてトランジスタTR1、TR4、TR5がオフ状態に設定されると共に、駆動パルス信号DS(図19(D))信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。

10

【0017】

これにより画素23は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、このゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させ、有機EL素子8の経時変化による輝度低下が防止される。なおここでこのドレインソース電流Idsは、図15について説明した(1)式で表される。また以下においては、適宜、トランジスタをスイッチの符号で示す。

【0018】

20

画素23は、発光期間T1が終了すると、続く期間T2において、図21に示すように、トランジスタTR4、TR5がオン状態に設定される。これにより画素回路23では、信号レベル保持用コンデンサC1の両端電位が所定の固定電位Vofs、Vssに設定され(図19(E)及び(F))、これら固定電位Vofs、Vssの電位差Vofs-Vssによるゲートソース間電圧Vgsに応じたドレインソース電流Idsが、トランジスタTR2からトランジスタTR5に流れる。なおこの期間T2の間、有機EL素子8の両端電位差が有機EL素子8のしきい値電圧Vthelより小さくなって有機EL素子8が発光しないように、またトランジスタTR2が飽和領域で動作するように、固定電位Vofs、Vssが設定される。

【0019】

30

続いて画素23は、所定期間T3の間、図22に示すように、トランジスタTR5がオフ状態に設定される。これにより画素23は、図22において破線で示すように、トランジスタTR2のドレインソース電流Idsで信号レベル保持用コンデンサC1のトランジスタTR5側端電圧が上昇する。

【0020】

ここで図23に示すように、有機EL素子8は、ダイオードと容量Celのコンデンサとの並列回路で等価回路が表される。これによりトランジスタTR2のドレインソース電流Idsにより、トランジスタTR2のソース電圧Vsは、この期間T3において、図24に示すように徐々に上昇してゆく。これにより画素23は、信号レベル保持用コンデンサC1の両端電位差が、トランジスタTR2のしきい値電圧Vthに設定され、信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧が、固定電位VofsからトランジスタTR2のしきい値電圧Vthを減算した電圧Vofs-Vthに設定される。なおここでこの状態で、有機EL素子8のアノード電位Velは、 $Vel = Vofs - Vth$ で表され、ディスプレイ装置21では、 $Vel = Vcat + Vthel$ となるように固定電位Vofsが設定されて、この期間T3で有機EL素子8が発光しないように設定される。

40

【0021】

続いて画素23は、続く期間T4で、図25に示すように、トランジスタTR3、TR4が順次オフ状態に設定される。なおトランジスタTR4より先にトランジスタTR3をオフ状態に設定することで、トランジスタTR2のゲート電圧Vgの変動を抑圧すること

50

ができる。また画素23は、続いてトランジスタTR1がオン状態に設定され、これにより信号レベル保持用コンデンサC1のトランジスタTR5側の端子電圧を電圧 $V_{ofs} - V_{th}$ に設定した状態で、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧を信号線SIGの信号レベル V_{sig} に設定する。

【0022】

なおここでこの場合、トランジスタTR2のゲートソース間電圧 V_{gs} は、正確には、次式で表される。ここでC2は、トランジスタTR2のゲートソース間容量である。しかしながら有機EL素子8の寄生容量 C_{e1} は、信号レベル保持用コンデンサC1の容量、トランジスタTR2のゲートソース間容量C2に比して大きく、これによりトランジスタTR2のゲートソース間電圧 V_{gs} は、実用上十分な精度で、電圧 $V_{sig} + V_{th}$ に設定される。

10

【0023】

【数2】

$$V_{gs} = \frac{C_{e1}}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs}) + V_{th} \quad \dots (2)$$

【0024】

これにより画素23では、トランジスタTR2のゲートソース間電圧 V_{gs} が、信号線SIGの信号レベル V_{sig} にしきい値電圧 V_{th} を加算した電圧 $V_{sig} + V_{th}$ に設定される。これによりディスプレイ装置21では、トランジスタTR2の特性の1つであるしきい値電圧 V_{th} のばらつきによる発光輝度のばらつきを防止することができる。

20

【0025】

画素23は、続いて一定期間T5の間、図26に示すように、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定される。これにより画素23は、信号レベル保持用コンデンサC1の両端電圧差によるゲートソース電圧 V_{gs} によりトランジスタTR2がドレインソース電流 I_{ds} を流出させる。このときトランジスタTR2のソース電圧 V_s が、有機EL素子8のしきい値電圧 V_{thel} とカソード電圧 V_{cat} との和電圧より小さく、有機EL素子8に流出する電流が小さい場合、図27に示すように、トランジスタTR2のドレインソース電流 I_{ds} によりトランジスタTR2のソース電圧 V_s が電圧 V_{s0} から徐々に上昇することになる。なおここで電圧 V_{s0} は次式により表される。

30

【0026】

【数3】

$$V_{s0} = V_{ofs} - V_{th} + \frac{C_{e1}}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

40

..... (3)

【0027】

ここでこのソース電圧 V_s の上昇速度は、トランジスタTR2の移動度 μ に依存したものとなり、符号 V_{s1} 及び V_{s2} によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧 V_s の上昇速度は速くなる。

【0028】

これにより画素23は、一定の期間T5の間だけ、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3をオン状態に設定して、トランジスタTR2の

50

特性の1つである移動度のばらつきによる発光輝度のばらつきが防止される。

【0029】

その後、画素23は、図20に示すように、トランジスタTR1がオフ状態に設定され、しきい値電圧 V_{th} 、移動度 μ を補正して設定されたゲートソース間電圧 V_{gs} により有機EL素子8を駆動する。なおこれによりトランジスタTR2のソース電圧 V_s は、トランジスタTR1のオフにより、有機EL素子8にトランジスタTR2のドレインソース電流 I_{ds} が流れる電圧まで上昇して、有機EL素子8が発光を開始することになり、これに伴ってトランジスタTR2のゲート電圧 V_g も上昇することになる。

【0030】

この図18に示す構成によれば、有機EL素子8の経時変化により発光輝度の低下を防止することができ、またトランジスタTR2の特性のばらつきにより発光輝度のばらつきを防止することができる。

10

【0031】

しかしながらこの図18に示す構成の場合、1つの画素23に対して、1本の信号線SIG、制御信号AZ2、AZ1、駆動パルス信号DS、書き込み信号WSによる4本の走査線、固定電位Vcc、Vofs、Vss、Vcatの4本の配線パターンを設ける必要がある。ここで固定電位Vcatの配線パターンは、パネル全面に金属膜を蒸着して形成される。従って赤色、青色、緑色の画素で走査線を共通化しても、赤色、青色、緑色の1組の画素に対して、4本の走査線の配線パターンと3×3本の固定電位用の配線パターンとが必要になる。

20

【0032】

これによりNチャンネルトランジスタを用いた従来のディスプレイ装置では、走査線、固定電位用の配線パターン数が多くなる問題があった。なおこのように配線パターン数が多くなると、画素を高密度に効率良く配置することが困難になり、高精細のディスプレイ装置を、高い歩留まりで作成することが困難になる。

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0033】

30

本発明は以上の点を考慮してなされたもので、従来に比して走査線、固定電位の配線パターン数を少なくすることができるディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0034】

上記の課題を解決するため請求項1の発明は、画素をマトリックス状に配置した画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、前記画素が、信号レベル保持用コンデンサと、書き込み信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を、信号線に接続する第1のトランジスタと、前記信号レベル保持用コンデンサの前記第1のトランジスタ側端をゲートに接続し、前記信号レベル保持用コンデンサの他端をソースに接続する第2のトランジスタと、カソードがカソード電位に保持され、アノードを前記第2のトランジスタのソースに接続する電流駆動型の自発光素子と、駆動パルス信号によりオンオフ動作して、前記第2のトランジスタのドレインを電源電圧に接続する第3のトランジスタと、制御信号によりオンオフ動作して、前記信号レベル保持用コンデンサの一端を第1の固定電位に設定する第4のトランジスタとを有し、前記駆動回路は、前記書き込み信号、前記駆動パルス信号、前記制御信号を出力し、第2の固定電位の期間を間に挟んで、前記信号線に接続された各画素の階調に対応する信号レベルに前記信号線の信号レベルを順次設定し、第1～第5の期間の設定を順次循環的に繰り返して、前記画素部を駆動し、前記第1の期間において、前記書き込み信号、前記駆動パルス信号、前記制御信号により、前記第1及び第4のトランジスタをオフ状態に設定すると共に前記第3のトランジスタをオン状態に設定し、前記信号レベル保持用コンデン

40

50

サの両端電位差によるゲートソース間電圧に応じた電流値により前記第2のトランジスタで前記自発光素子を駆動して前記自発光素子を発光させ、前記第2の期間において、前記駆動パルス信号により、前記第3のトランジスタをオフ状態に設定して前記自発光素子の発光を停止させ、前記第3の期間において、前記制御信号により前記第4のトランジスタをオン状態に設定して、前記信号レベル保持用コンデンサの一端を前記第1の固定電位に設定した後、前記制御信号により前記第4のトランジスタをオフ状態に設定すると共に、前記信号線が前記第2の固定電位に設定されている期間で、前記書き込み信号により前記第1のトランジスタをオン状態に設定することにより、前記信号レベル保持用コンデンサの一端及び他端をそれぞれ前記第2の固定電位及び所定の電位に設定し、前記第4の期間において、前記信号線で前記第2の固定電位が複数回繰り返される期間の間、前記書き込み信号及び制御信号により前記第1及び前記第4のトランジスタをオン状態及びオフ状態に設定した状態で、前記信号線の信号レベルが前記第2の固定電位に設定される期間で、前記駆動パルス信号により前記第3のトランジスタをオン状態に設定して前記信号レベル保持用コンデンサの両端電位差を、前記第2のトランジスタのしきい値電圧とほぼ等しい電圧に設定し、前記第5の期間において、前記書き込み信号により前記第1のトランジスタをオン状態からオフ状態に設定して、前記信号レベル保持用コンデンサの一端に前記信号線の信号レベルを設定する。

10

【0035】

請求項1の構成によれば、自発光素子を駆動する第2のトランジスタのゲート電圧は、第1の固定電位に設定された後、第2の固定電位に設定される。これに対応して第2のトランジスタのソース電圧は、自発光素子の特性で決まる電位に設定され、ゲート電圧の変化に連動していわゆるカップリングにより変化して所定の電位に設定される。これにより事前に、信号レベル保持用コンデンサの両端電位差を、第2のトランジスタのしきい値電圧以上に設定した後、ソース電圧を立ち上げて信号レベル保持用コンデンサの両端電位差を第2のトランジスタのしきい値電圧とほぼ等しい電圧に設定することができる。これにより第2のトランジスタのゲート電圧及びソース電位をそれぞれ所定の固定電位に設定して、この第2のトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線側から設定することができ、ソース側を所定電位に設定する固定電源用の配線パターン、この固定電位の第2のトランジスタへの設定を制御する制御信号の走査線を省略することができ、これにより従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

20

30

【発明の効果】

【0036】

本発明によれば、従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

【発明を実施するための最良の形態】

【0037】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0038】

図1は、図18との対比により本発明の実施例1のディスプレイ装置を示すブロック図である。このディスプレイ装置31において、図14、図18等を用いて上述したディスプレイ装置1、11、21と同一の構成は対応する符号を付して示し、重複した説明は省略する。このディスプレイ装置31は、全てのトランジスタがNチャンネル型で形成され、アモルファスシリコンプロセスにより、透明絶縁基板であるガラス基板上に、画素部32、水平駆動回路35、垂直駆動回路34が一体に形成される。

40

【0039】

ここで水平駆動回路35は、水平セレクタ(HSEL)35Aにより、所定のサンプリングパルスをクロックで順次転送してタイミング信号を生成し、このタイミング信号を基準にして各信号線SIGを入力信号S1の信号レベルに設定する。このとき図2に示すよ

50

うに、1水平走査期間(1H)のほぼ前半の期間の間、信号線SIGの信号レベルを図18について上述した画素23における所定の固定電位Vofsに設定し、続く1水平走査期間のほぼ後半の期間の間、信号線SIGの信号レベルを、各信号線SIGに接続された画素33の階調に対応する信号レベルVsigに順次設定する(図2(A))。なおこの図2においては、対応する信号によりオンオフ動作するトランジスタの符号を各信号に併記して示す。

【0040】

またこの水平駆動回路35の構成に対応して垂直駆動回路34は、制御信号AZ2を出力する制御信号生成回路(AZ2)が省略されて、ライトスキャン回路(WSCN)34A、ドライブスキャン回路(DSCN)34B、制御信号生成回路34Cによりそれぞれ書き込み信号WS、駆動パルス信号DS、制御信号AZ1を生成する。

10

【0041】

画素部32は、画素33をマトリックス状に配置して形成される。画素33は、信号レベル保持用コンデンサC1の一端が有機EL素子8のアノードに接続され、書き込み信号WSに応じてオンオフ動作するトランジスタTR1を介して、この信号レベル保持用コンデンサC1の他端が信号線SIGに接続される。これにより画素33は、書き込み信号WSに応じて信号レベル保持用コンデンサC1の他端の電圧が、信号線SIGの信号レベルに設定される。

【0042】

画素33は、この信号レベル保持用コンデンサC1の両端がトランジスタTR2のソース及びゲートに接続され、駆動パルス信号DSによりオンオフ動作するトランジスタTR3を介して、このトランジスタTR2のドレインが電源Vccに接続される。これにより画素33は、ゲート電位が信号線SIGの信号レベルに設定されたソースフォロワ回路構成のトランジスタTR2により有機EL素子8を駆動する。

20

【0043】

また画素33は、制御信号AZ1によりオンオフ動作するトランジスタTR4を介して、トランジスタTR2のベースが固定電位Vddに接続される。ここでこの固定電位Vddは、画素33において十分に高い電圧に設定され、この実施例ではトランジスタTR4のドレインが固定電位Vddに接続されて、この固定電位Vddは電源Vccの電位に設定される。

30

【0044】

画素33は、図3に示すように、有機EL素子8を発光させる発光期間T11において、書き込み信号WS、制御信号AZ1(図2(B)及び(C))の信号レベルが立ち下げられてトランジスタTR1、TR4がオフ状態に設定される。また駆動パルス信号DS(図2(D))の信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。画素33は、この状態で、トランジスタTR2が飽和領域で動作するように設定されている。

【0045】

これにより画素33は、信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧Vgsに応じた定電流回路をトランジスタTR2、信号レベル保持用コンデンサC1で構成し、ゲートソース間電圧Vgsで決まるドレインソース電流Idsで有機EL素子8を発光させる。これによりこのディスプレイ装置31は、有機EL素子8の経時変化による輝度低下を防止する。なおここでこのドレインソース電流Idsは、(1)式で表される。

40

【0046】

画素33は、発光期間T11が終了すると、続く一定期間T12において、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図4に示すように、トランジスタTR3がオフ状態に設定される。これによりこの期間T12では、トランジスタTR2への電源Vccの供給が停止されて有機EL素子8が発光を停止する。また有機EL素子8の寄生容量Celに保持された電荷が放電してトランジスタTR2のソース電圧Vsが徐々に

50

立ち下がり、トランジスタTR2のソース電圧 V_s は、有機EL素子8のカソード電位 V_{cat} に有機EL素子8のしきい値電圧 V_{thel} を加算した電圧 $V_{cat} + V_{thel}$ に設定される。

【0047】

画素33は、続いて期間T13の間、制御信号AZ1が立ち上げられ、図5に示すようにトランジスタTR4がオン状態に設定される。これにより画素33は、信号レベル保持用コンデンサC1のトランジスタTR4側端の電圧が、固定電位 V_{dd} に立ち上げられる。ここで固定電位 V_{dd} は、電源電圧 V_{cc} であることから、トランジスタTR2のソース電圧 V_s は、この固定電位 V_{dd} の立ち上げに連動して、一時的に、上昇するものの、その後、徐々に立ち下がって電圧 $V_{cat} + V_{thel}$ に戻る。

10

【0048】

画素33は、続く期間T14において、制御信号AZ1の信号レベルが立ち下げられてトランジスタTR4がオフ状態に設定された後、信号線SIGの信号レベルが固定電位 V_{ofs} に設定される期間で、書き込み信号WSが立ち上げられ、図6に示すように、トランジスタTR1がオン状態に設定される。これにより画素33は、トランジスタTR2のゲート電圧 V_g が、信号線SIGの信号レベル V_{ofs} に立ち下がる。またこのゲート電圧 V_g の変化が信号レベルを立ち下げる方向の変化であることから、トランジスタTR2のソース電圧 V_s は、信号レベル保持用コンデンサC1の容量、有機EL素子8の寄生容量 C_{el} 、のゲートソース間容量C2のカップリングにより、有機EL素子8を逆バイアスする方向に電位が変化することになる。より具体的に、トランジスタTR2のソース電圧 V_s は、次式により示すように、信号レベル保持用コンデンサC1の容量、有機EL素子8の寄生容量 C_{el} 、トランジスタTR2のゲートソース間容量C2によってゲート電圧 V_g の変化を容量分割した分だけ立ち下がることになる。なおここで V_s は、ゲート電圧 V_g の変化によるソース電圧 V_s の電圧変化を示し、 V_{gs} は、この電圧変化によるトランジスタTR2のゲートソース間電圧である。

20

【0049】

【数4】

$$\Delta V_s = \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times (V_{ofs} - V_{dd})$$

30

…… (4)

【0050】

【数5】

$$V_{gs} = \frac{C_{el}}{C_{el} + C_1 + C_2} \times V_{ofs} + \frac{C_1 + C_2}{C_{el} + C_1 + C_2} \times V_{dd}$$

40

…… (5)

【0051】

続いて画素33は、期間T15において、発光期間T11を開始する時点から所定数の水平走査期間だけ逆上った時点の、信号線SIGの信号レベルが固定電位 V_{ofs} に設定されている期間が開始するタイミングで、駆動パルス信号DSが立ち上げられ、図7に示

50

すようにトランジスタTR3がオン状態に設定される。これにより画素33は、矢印により示すように電流が流れて、信号レベル保持用コンデンサC1の両端電位差がトランジスタTR2のしきい値電圧V_{th}となる方向に、トランジスタTR2のソース電圧V_sが徐々に上昇する。

【0052】

なおこの図7に示す状態において、画素33は、 $V_{e1} = V_{cat} + V_{th e1}$ に保持され、この電位V_{e1}はトランジスタTR2のドレインソース電流I_{ds}に比して非常に小さな電流を流す電圧に設定される。従ってトランジスタTR2のドレインソース電流I_{ds}は、信号レベル保持用コンデンサC1と、有機EL素子8の容量を充電するために使用され、有機EL素子8は発光を停止した状態に保持される。

10

【0053】

画素33は、続いて信号線SIGの信号レベルが階調に対応する信号レベルV_{sig}に立ち上がるタイミングで、駆動パルス信号DSの信号レベルが立ち下げられ、これにより図8に示すように、トランジスタTR3がオフ状態に設定され、トランジスタTR2のゲート電圧V_gが、電圧V_{ofs}から所定ライン数だけ前の画素の階調に対応する信号レベルV_{sig}に立ち上がる。なおこの場合も、画素33は、 $V_{e1} = V_{cat} + V_{th e1}$ に保持され、有機EL素子8は発光を停止した状態に保持される。また、トランジスタTR2のソース電圧V_sの変化は、次式により表されることになる。

【0054】

【数6】

20

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{sig} - V_{ofs})$$

…… (6)

【0055】

また、一定時間経過後、再び信号線SIGの信号レベルが固定電位V_{ofs}に設定され、トランジスタTR2のゲートに入力される。この場合、トランジスタTR2のソース電圧V_sの変化は次式により表されることになる。

30

【0056】

【数7】

$$\Delta V_s = \frac{C_1 + C_2}{C_{e1} + C_1 + C_2} \times (V_{ofs} - V_{sig})$$

…… (7)

40

【0057】

画素33は、駆動パルス信号DSの信号レベルを立ち上げた図7に示す状態と、駆動パルス信号DSの信号レベルを立ち下げた図8に示す状態とが所定回数だけ繰り返され、徐々にトランジスタTR2のソース電圧V_sを立ち上げて、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧V_{th}に設定する。なおこれにより有機EL素子8のアノード電位V_{e1}は、 $V_{e1} = V_{ofs} - V_{th} - V_{cat} + V_{th e1}$ に設定される。

【0058】

50

これにより図2に示す例では、期間TA、TB、TCで、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧V_{th}に設定する。なお図9は、信号線SIGの信号レベル及び駆動パルス信号DSを長時間、固定電位V_{ofs}に保持した場合の、トランジスタTR2のソース電圧の変化を示す特性曲線図であり、最終的にトランジスタTR2のゲートソース間電圧V_{gs}は、電位V_{th}となる。なおこれによりディスプレイ装置31は、信号レベル保持用コンデンサC1の両端電位差をトランジスタTR2のしきい値電圧V_{th}に設定するのに十分な回数だけ、図7及び図8に示す状態を繰り返すように設定される。

【0059】

このようにして画素33は、トランジスタTR2のしきい値電圧V_{th}を信号レベル保持用コンデンサC1にセットすると、続く期間T16において、信号線SIGの信号レベルが対応する画素の信号レベルV_{sig}に設定されている期間で、図10に示すように、駆動パルス信号DSの信号レベルが立ち上げられてトランジスタTR3がオン状態に設定される。またその後、書き込み信号WSの信号レベルが立ち下げられてトランジスタTR1がオフ状態に設定され、これにより直前の、トランジスタTR1がオン状態に設定されている時点の、信号線SIGの信号レベルV_{sig}が信号レベル保持用コンデンサC1にサンプルホールドされて、図3について上述した接続に戻る。

【0060】

ここで信号を入力したときは、トランジスタTR2のゲートソース間電圧V_{gs}は、正確には、(2)式で表されるものの、有機EL素子8の寄生容量C_{e1}が、信号レベル保持用コンデンサC1の容量、トランジスタTR2のゲートソース間容量C₂に比して大きいことにより、実用上十分な精度で、電圧V_{sig}+V_{th}に設定される。

【0061】

次に画素33は、この期間T16の間、トランジスタTR1をオン状態に設定したままの状態、トランジスタTR3がオン状態に設定され、図11に示すように、トランジスタTR2の移動度に応じてトランジスタTR2のソース電圧V_sが変化してトランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止する。なおこの図11において、符号V_{s1}及びV_{s2}によりそれぞれ移動度が大きい場合と小さい場合とを示すように、移動度が大きい場合程、ソース電圧V_sの上昇速度は速くなる。

【0062】

(2)実施例の動作

以上の構成において、このディスプレイ装置31では(図2)、垂直駆動回路34による走査線の駆動により順次ライン単位で画素部32の画素33に信号線SIGの信号レベルが設定されると共に、この設定された信号レベルにより各画素33が発光し、所望の画像が画素部32で表示される。

【0063】

すなわちディスプレイ装置31では、トランジスタTR1がオン状態に設定され、これにより信号線SIGの信号レベルが信号レベル保持用コンデンサC1にセットされる。またトランジスタTR1、TR4をオフ状態に設定すると共に、トランジスタTR3をオン状態に設定し、この信号レベル保持用コンデンサC1にセットされた電圧によりトランジスタTR2で有機EL素子8を発光させる(図2、期間T11)。

【0064】

このディスプレイ装置31では、この有機EL素子8を駆動するトランジスタTR2のゲート及びソースに、信号レベル保持用コンデンサC1の両端が接続されて、このトランジスタTR2のソースが有機EL素子8のアノードに接続されて画素33が形成される。これによりこのディスプレイ装置31では、信号レベル保持用コンデンサC1に信号線SIGの信号レベルがセットされた後、この信号レベル保持用コンデンサC1の両端電位差によるゲートソース間電圧V_{gs}により有機EL素子8を駆動し、このディスプレイ装置31を構成する全てのトランジスタをNチャンネル型で構成した場合であっても、有機EL素子8の経時変化による発光輝度の低下が防止される。

10

20

30

40

50

【 0 0 6 5 】

これに対して有機 E L 素子 8 の発光を停止させて信号線 S I G の信号レベルを信号レベル保持用コンデンサ C 1 にセットする際に、トランジスタ T R 1、T R 3、T R 4 のオンオフ制御により、有機 E L 素子 8 を駆動するトランジスタ T R 2 のソース電圧 V s 及びゲート電圧 V g を一旦所定電位にセットした後、徐々にソース電圧 V s を立ち上げて、信号レベル保持用コンデンサ C 1 の両端電位差をトランジスタ T R 2 のしきい値電圧 V t h にセットする（期間 T A、T B、T C）。またその後、信号レベル保持用コンデンサ C 1 に信号線 S I G の信号レベル V s i g をセットし、これによりトランジスタ T R 2 の特性の 1 つであるしきい値電圧 V t h のばらつきにより発光輝度のばらつきが防止される。

【 0 0 6 6 】

しかしながらこのように信号レベル保持用コンデンサ C 1 にトランジスタ T R 2 のしきい値電圧 V t h をセットする場合、トランジスタ T R 2 のゲート及びソースをそれぞれ所定のタイミングで所定電位に設定することが必要なことにより、電源電圧 V c c も含めて、固定電位の配線パターン数が 3 本必要になる。なお有機 E L 素子 8 のカソード電圧 V c a t の配線パターンは除く（図 1 8）。また走査線の数も多くなる。

【 0 0 6 7 】

そこでこのディスプレイ装置 3 1 では、電源 V c c からトランジスタ T R 2 を切り離してトランジスタ T R 2 のソース側電圧を所定電位（V c a t + V t h e l）に保持するようにして、制御信号 A Z 1 によりトランジスタ T R 4 をオン状態に設定してトランジスタ T R 2 のゲート電圧 V g が固定電圧 V d d に立ち上げられる。

【 0 0 6 8 】

また固定電位 V o f s を間に挟んで、信号線 S I G の信号レベルを順次各画素の階調を示す信号レベルに設定して、トランジスタ T R 4 をオフ状態に設定した後、信号線 S I G の信号レベルがこの固定電位 V o f s に設定される期間で、書き込み信号 W S によりトランジスタ T R 1 がオン状態に設定され、トランジスタ T R 2 のゲート電圧 V g が固定電位 V o f s に設定される。このとき信号レベル保持用コンデンサ C 1、トランジスタ T R 2 のゲートソース間容量 C 2、有機 E L 素子 8 の寄生容量 C e l によるカップリングにより、トランジスタ T R 2 のソース電圧 V s が低下して所定電位に設定される。

【 0 0 6 9 】

これによりこのディスプレイ装置 3 1 では、トランジスタ T R 3 のソース側固定電位を信号線 S I G 側から設定するようにして、このソース側固定電位（図 1 8 においては V s s）に係る配線パターンを省略することができ、従来に比して固定電位の配線パターン数を低減することができる。またこのソース側固定電位に係るトランジスタ T R 5、このトランジスタ T R 5 をオンオフ制御する制御信号 A Z 2 を省略することができ（図 1 8）、これにより走査線の数を低減し、さらには各画素 3 3 の構成を簡略化することができる。これによりこのディスプレイ装置 3 1 では、高密度、かつ効率良く画素 3 3 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

【 0 0 7 0 】

またディスプレイ装置 3 1 では、制御信号 A Z 1 によりトランジスタ T R 2 のゲートに設定される固定電位 V d d が、電源 V c c であることから、これによってもこの固定電圧 V d d の配線パターンを省略することができ、これによっても画素 3 3 の構成を簡略化し、さらには高密度、かつ効率良く画素 3 3 を配置して、高い歩留りで高精彩のディスプレイ装置を提供することができる。

【 0 0 7 1 】

また発光期間 T 1 1 を開始するとき、駆動パルス信号 D S を立ち上げた後、書き込み信号 W S を立ち下げることにより、トランジスタ T R 2 の特性の 1 つである移動度のばらつきによる発光輝度のばらつきを防止することができる。

【 0 0 7 2 】

（ 3 ）実施例の効果

以上の構成によれば、発光素子を駆動するトランジスタのゲート電圧及びソース電位を

10

20

30

40

50

それぞれ所定の固定電位に設定して、このトランジスタのしきい値電圧のばらつきにより発光輝度のばらつきを補正するようにして、このソース側の固定電位を信号線SIG側から設定することにより、従来に比して走査線、固定電位の配線パターン数を少なくすることができる。

【0073】

また駆動パルス信号DSによりトランジスタTR3をオン状態に設定した後、一定期間経過して、書き込み信号WSによりトランジスタTR1をオフ状態に設定することにより、トランジスタTR2の移動度のばらつきによる発光輝度のばらつきを防止することができる。

【0074】

また画素回路、駆動回路のトランジスタの全てをNチャンネル型のトランジスタで形成し、アモルファスシリコンプロセスにより絶縁基板上に形成することにより、簡易な工程でディスプレイ装置を製造することができる。

【実施例2】

【0075】

図12は、図1との対比により本発明の実施例2のディスプレイ装置を示すブロック図である。このディスプレイ装置41は、制御信号AZ1に関する構成が異なる点を除いて、実施例1のディスプレイ装置31と同一に構成される。

【0076】

このディスプレイ装置41において、垂直駆動回路44は、制御信号生成回路が省略され、ライトスキャン回路44Aで制御信号AZ1を生成する。ここで図13に示すように、ライトスキャン回路44Aは、画素部32の走査線への配線により、複数ラインだけ先行する画素33に出力する書き込み信号WS2を、制御信号AZ1として出力する。従ってライトスキャン回路44Aから、1ライン分の書き込み信号WSは、対応する画素33に書き込み信号として出力されると共に、この画素33より複数ラインだけ後行する画素33に制御信号AZ1として出力される。

【0077】

これによりこのディスプレイ装置41では、垂直駆動回路44の構成を簡略化して、いわゆる狭額縁化できるように構成される。

【0078】

図12の構成によれば、複数ラインだけ先行する画素33に出力する書き込み信号WS2を、制御信号AZ1として使用することにより、垂直駆動回路の構成を簡略化することができる。

【実施例3】

【0079】

なお上述の実施例においては、有機EL素子による発光素子を電流駆動する場合について述べたが、本発明はこれに限らず、電流駆動に係る種々の発光素子によるディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【0080】

本発明は、ディスプレイ装置に関し、例えば有機EL表示装置等の電流駆動による自発光型素子のディスプレイ装置に適用することができる。

【図面の簡単な説明】

【0081】

【図1】本発明の実施例1のディスプレイ装置を示すブロック図である。

【図2】図1のディスプレイ装置のタイミングチャートである。

【図3】図2の期間T11における画素の設定を示す接続図である。

【図4】図2の期間T12における画素の設定を示す接続図である。

【図5】図2の期間T13における画素の設定を示す接続図である。

【図6】図2の期間T14における画素の設定を示す接続図である。

10

20

30

40

50

【図 7】図 6 の続きの設定を示す接続図である。

【図 8】図 7 の続きの設定を示す接続図である。

【図 9】しきい値電圧の補正の説明に供する特性曲線図である。

【図 10】図 2 の期間 T 1 5 における画素の設定を示す接続図である。

【図 11】移動度の補正の説明に供する特性曲線図である。

【図 12】本発明の実施例 2 のディスプレイ装置を示すブロック図である。

【図 13】図 12 のディスプレイ装置のタイミングチャートである。

【図 14】従来のディスプレイ装置を示すブロック図である。

【図 15】図 14 のディスプレイ装置を詳細に示すブロック図である。

【図 16】有機 E L 素子の経時変化を示す特性曲線図である。

10

【図 17】図 14 の構成に N チャンネルトランジスタを使用した場合を示すブロック図である。

【図 18】N チャンネルトランジスタを用いた従来のディスプレイ装置を示す接続図である。

【図 19】図 18 のディスプレイ装置のタイミングチャートである。

【図 20】図 19 の期間 T 1 における画素の設定を示す接続図である。

【図 21】図 19 の期間 T 2 における画素の設定を示す接続図である。

【図 22】図 19 の期間 T 3 における画素の設定を示す接続図である。

【図 23】図 22 の続きを示す接続図である。

【図 24】しきい値電圧の補正の説明に供する特性曲線図である。

20

【図 25】図 19 の期間 T 4 における画素の設定を示す接続図である。

【図 26】図 19 の期間 T 5 における画素の設定を示す接続図である。

【図 27】移動度の補正の説明に供する特性曲線図である。

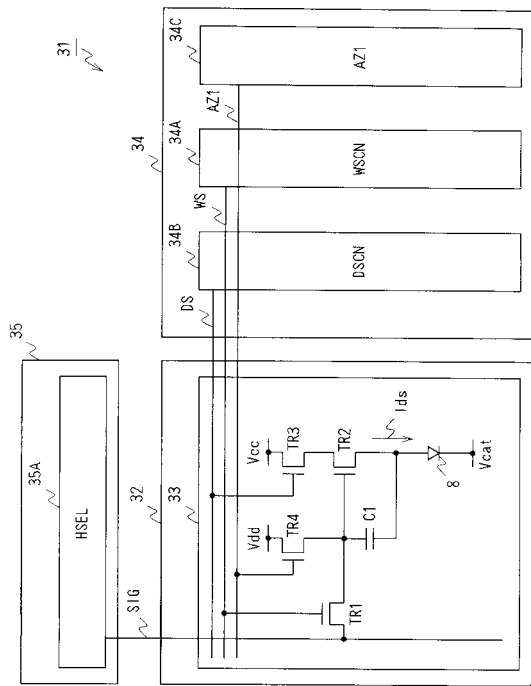
【符号の説明】

【 0 0 8 2 】

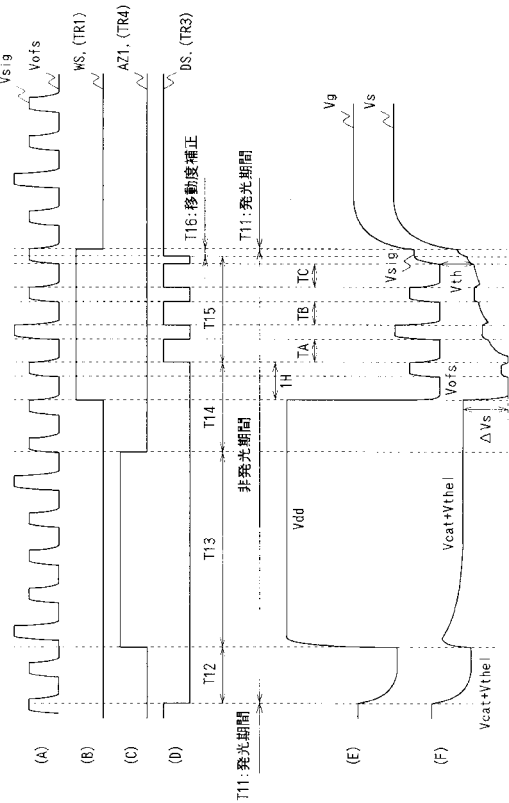
1、1 1、2 1、3 1、4 1 ……ディスプレイ装置、2、1 2、2 2、3 2 ……画素部、3、1 3、2 3、3 3 ……画素、4、2 4、3 4、4 4 ……垂直駆動回路、5、3 5、……水平駆動回路、8 ……有機 E L 素子、C 1 ……信号レベル保持用コンデンサ、T R 1 ~ T R 5 ……トランジスタ

30

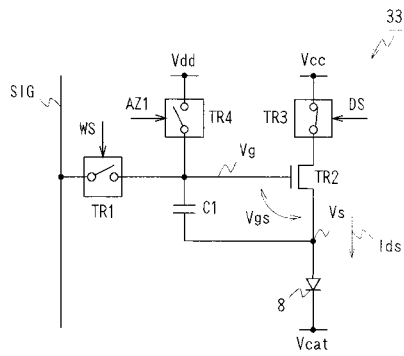
【図1】



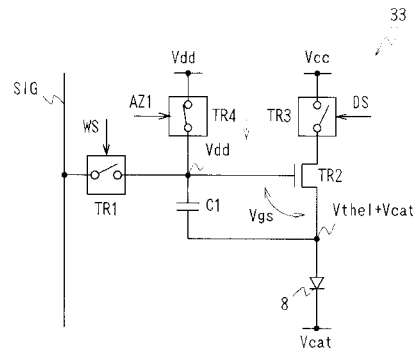
【図2】



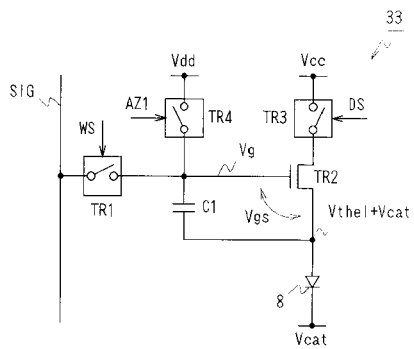
【図3】



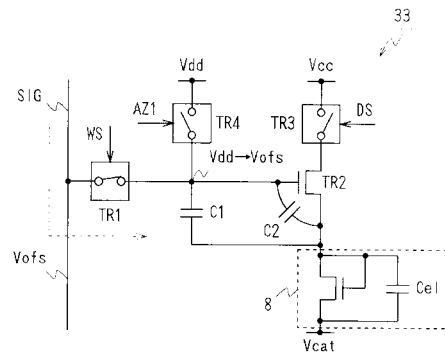
【図5】



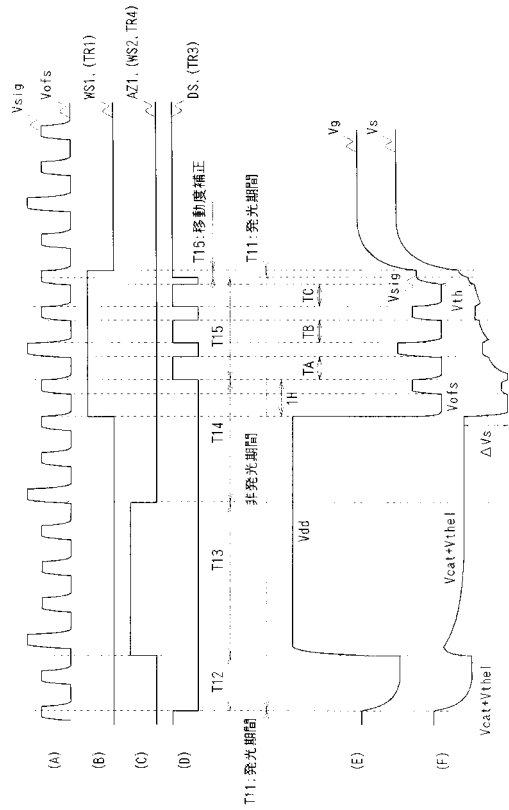
【図4】



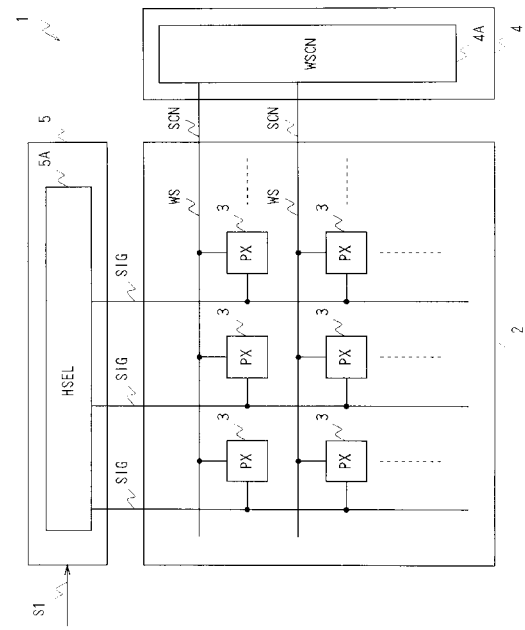
【図6】



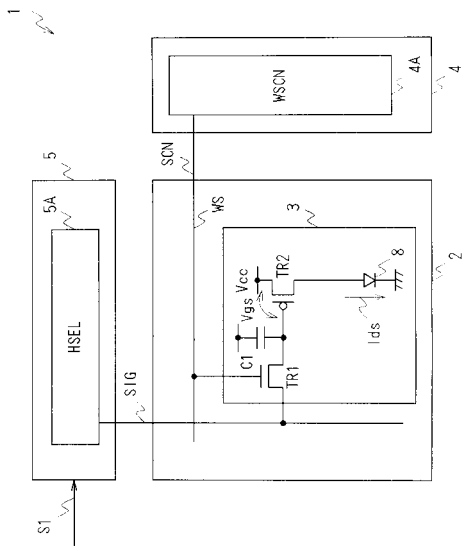
【図13】



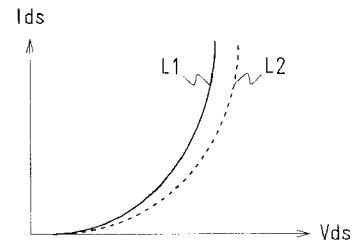
【図14】



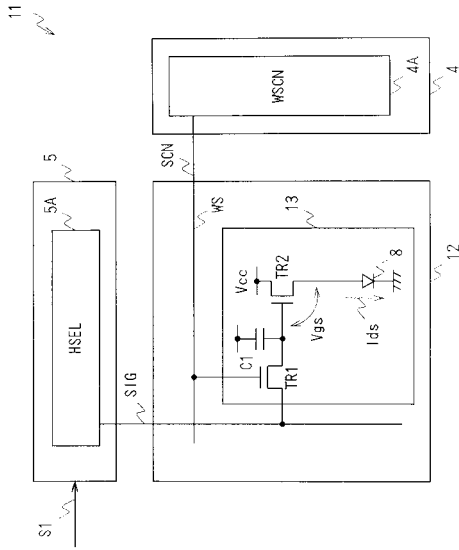
【図15】



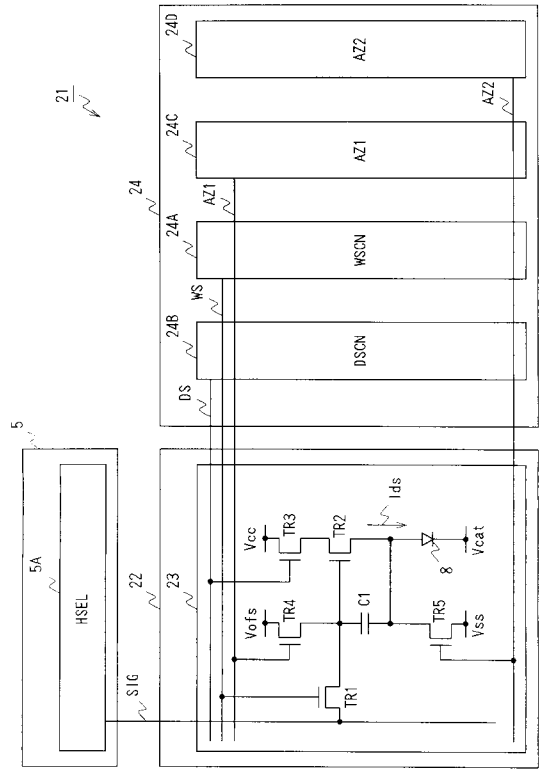
【図16】



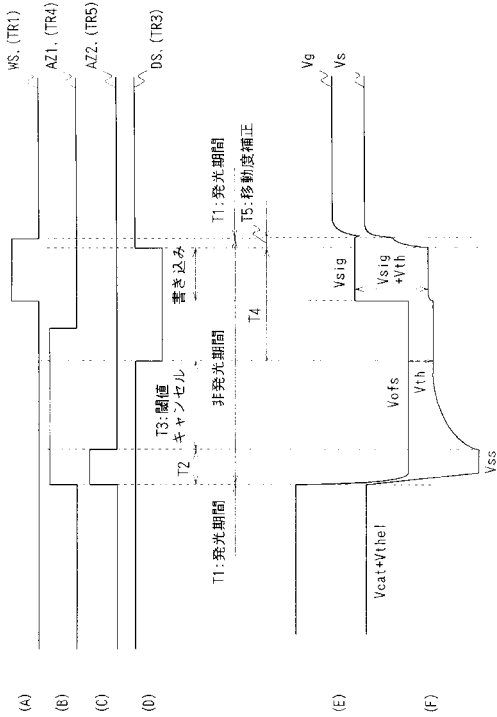
【図17】



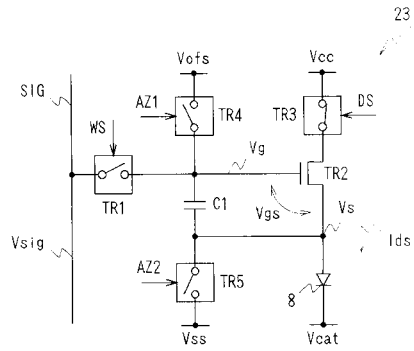
【図18】



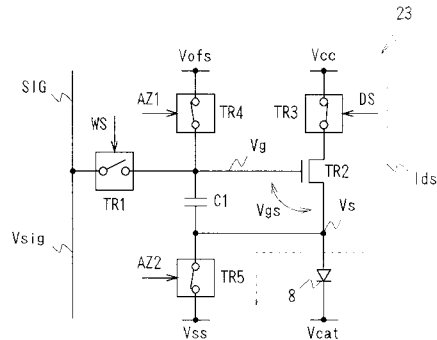
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/20	6 1 2 E

審査官 中村 直行

(56)参考文献 特開2007-034000(JP,A)

特開2006-227238(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 9 F	9 / 3 0		
H 0 1 L	2 7 / 3 2		
H 0 1 L	5 1 / 5 0		

专利名称(译)	显示设备		
公开(公告)号	JP4300492B2	公开(公告)日	2009-07-22
申请号	JP2007062777	申请日	2007-03-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎 山下淳一		
发明人	内野 勝秀 山本 哲郎 山下 淳一		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0809 G09G2310/0216 G09G2310/0262 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.621.A G09G3/30.K G09G3/20.611.H G09G3/20.642.A G09G3/20.670.J G09G3/20.612.E G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB34 5C380/BA12 5C380/BA13 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC55 5C380/CC61 5C380/CC62 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CD024 5C380/CD026 5C380/CD035 5C380/CD036 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA05		
审查员(译)	中村直之		
其他公开文献	JP2008225019A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，例如，通过应用于诸如有机EL（电致发光）元件的电流驱动的自发光显示装置，进一步减小固定电位和扫描线的数量。。

ŽSOLUTION：在显示装置中，驱动发光元件8的晶体管TR2的源极电压Vs被设定为预定电位，并且通过晶体管的阈值电压Vth的变化来校正发光亮度的变化。然后，从信号线SIG侧提供TR2，然后提供预定电位。Ž

