

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4131227号

(P4131227)

(45) 発行日 平成20年8月13日(2008.8.13)

(24) 登録日 平成20年6月6日(2008.6.6)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09F 9/30 (2006.01)

G09F 9/30 338

G09G 3/20 (2006.01)

G09G 3/20 611H

H01L 29/786 (2006.01)

G09G 3/20 624B

H01L 51/50 (2006.01)

G09G 3/20 670J

請求項の数 13 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2003-380171 (P2003-380171)
 (22) 出願日 平成15年11月10日(2003.11.10)
 (65) 公開番号 特開2005-141163 (P2005-141163A)
 (43) 公開日 平成17年6月2日(2005.6.2)
 審査請求日 平成17年3月16日(2005.3.16)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山本 哲郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、
 輝度情報に応じたデータ信号が供給されるデータ線と、
 第1、第2、第3、および第4のノードと、
 第1および第2の基準電位と、
 所定の基準電流を供給する基準電流供給手段と、
 上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、
 第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御
 端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
 上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、
 上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、
 上記第1のノードと固定電位との間に接続された第3のスイッチと、
 上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
 上記データ線と上記第4のノードとの間に接続された第5のスイッチと、
 上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、
 上記第4のノードに接続された結合容量素子と、
 上記結合容量素子と上記第2のノードとの間に接続された電氣的接続手段と、を有し、
 上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ライ
 ンが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続

10

20

されている

画素回路。

【請求項 2】

上記電氣的接続手段は、上記第 2 のノードと上記結合容量素子とを直接接続する配線を含む

請求項 1 記載の画素回路。

【請求項 3】

上記電氣的接続手段は、上記第 2 のノードと上記結合容量素子とを選択的に接続する第 7 のスイッチを含む

請求項 1 記載の画素回路。

10

【請求項 4】

上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、
上記第 1 のノードと上記データ線との間に接続された第 8 のスイッチと、を含む
請求項 1 記載の画素回路。

【請求項 5】

上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、
上記第 1 のノードと上記第 4 のノードとの間に接続された第 8 のスイッチと、を含む
請求項 1 記載の画素回路。

【請求項 6】

上記第 1 のノードと上記電気光学素子との間に接続された第 8 のスイッチと、
上記第 1 のノードと上記データ線との間に接続された第 9 のスイッチと、を含む
請求項 3 記載の画素回路。

20

【請求項 7】

上記第 1 のノードと上記電気光学素子との間に接続された第 8 のスイッチと、
上記第 1 のノードと上記第 4 のノードとの間に接続された第 9 のスイッチと、を含む
請求項 3 記載の画素回路。

【請求項 8】

上記所定の電位線は、上記データ線と共用されている
請求項 1 記載の画素回路。

【請求項 9】

上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第 3 のノードに接続され、ドレインが上記第 1 の基準電位に接続されている

請求項 1 記載の画素回路。

30

【請求項 10】

上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 1、第 2、第 4、第 5 および第 6 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

第 2 ステージとして、上記第 2、第 4、および上記第 6 のスイッチが導通状態に保持されて、所定電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、

40

第 3 ステージとして、上記第 2 および第 6 のスイッチが非導通状態に保持され、さらに第 4 のスイッチが非導通状態に保持され、上記第 5 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 2 のノードに入力された後、上記第 5 のスイッチが非導通状態に保持され、

第 4 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 3 のスイッチが非導通状態に保持される

請求項 2 記載の画素回路。

【請求項 11】

上記電気光学素子を駆動する場合、

50

第 1 ステージとして、上記第 1、第 2、第 4、第 5、第 6、および第 7 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

第 2 ステージとして、上記第 2、第 4、第 6、および第 7 のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、

第 3 ステージとして、上記第 2 および第 6 のスイッチが非導通状態に保持され、さらに第 4 のスイッチが非導通状態に保持され、上記第 5 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 4 のノードを介して第 2 のノードに入力された後、上記第 5 および第 7 のスイッチが非導通状態に保持され、

10

第 4 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 3 のスイッチが非導通状態に保持される

請求項 3 記載の画素回路。

【請求項 1 2】

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

第 1 および第 2 の基準電位と、を有し、

所定の基準電流を供給する基準電流供給手段と、

上記画素回路は、

20

流れる電流によって輝度が変化する電気光学素子と、

第 1、第 2、第 3、および第 4 のノードと、

上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードと上記第 3 のノードとの間に接続された第 1 のスイッチと、

上記第 3 のノードと上記第 4 のノードとの間に接続された第 2 のスイッチと、

上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、

上記第 2 のノードと所定の電位線との間に接続された第 4 のスイッチと、

30

上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、

上記第 3 のノードと上記基準電流供給手段との間に接続された第 6 のスイッチと、

上記第 4 のノードに接続された結合容量素子と、

上記結合容量素子と上記第 2 のノードとの間に接続された電氣的接続手段と、を有し、

上記第 1 の基準電位と上記第 3 のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第 1 のノードと上記第 2 の基準電位との間に上記電気光学素子が接続されている

表示装置。

【請求項 1 3】

40

流れる電流によって輝度が変化する電気光学素子と、

輝度情報に応じたデータ信号が供給されるデータ線と、

第 1、第 2、第 3、および第 4 のノードと、

第 1 および第 2 の基準電位と、

所定の基準電流を供給する基準電流供給手段と、

上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第 1 のノードと上記第 3 のノードとの間に接続された第 1 のスイッチと、

上記第 3 のノードと上記第 4 のノードとの間に接続された第 2 のスイッチと、

50

上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、
 上記第 2 のノードと所定の電位線との間に接続された第 4 のスイッチと、
 上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、
 上記第 3 のノードと上記基準電流供給手段との間に接続された第 6 のスイッチと、
上記第 4 のノードに接続された結合容量素子と、
上記結合容量素子と上記第 2 のノードとの間に接続された電氣的接続手段と、を有し、
 上記第 1 の基準電位と上記第 3 のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、
上記第 1 のノードと上記第 2 の基準電位との間に上記電気光学素子が接続
 されている画素回路の駆動方法であって、

上記第 1、第 2、第 4、第 5 および第 6 のスイッチが非導通状態に保持した状態で、上記第 3 のスイッチを導通状態に保持させて、上記第 1 のノードを固定電位に接続し、

上記第 2、第 4、および上記第 6 のスイッチを導通状態に保持して、所定電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、

上記第 2 および第 6 のスイッチを非導通状態に保持し、さらに第 4 のスイッチを非導通状態に保持し、上記第 5 のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記第 2 のノードに入力させた後、上記第 5 のスイッチを非導通状態に保持し、

上記第 1 のスイッチを導通状態に保持し、上記第 3 のスイッチを非導通状態に保持する画素回路の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【背景技術】

【0002】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。

これは有機 EL ディスプレイなどにおいても同様であるが、有機 EL ディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機 EL ディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般には TFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図 4 1 は、一般的な有機 EL 表示装置の構成を示すブロック図である。

この表示装置 1 は、図 4 1 に示すように、画素回路 (PXC) 2a が $m \times n$ のマトリクス状に配列された画素アレイ部 2、水平セクタ (HSEL) 3、ライトスキャナ (WSCN) 4、水平セクタ 3 により選択され輝度情報に応じたデータ信号が供給されるデ

10

20

30

40

50

ータ線 DTL1 ~ DTLn、およびライトスキャナ 4 により選択駆動される走査線 WSL1 ~ WSLm を有する。

なお、水平セクタ 3、ライトスキャナ 4 に関しては、多結晶シリコン上に形成する場合や、MOSIC 等で画素の周辺に形成することもある。

【0005】

図 42 は、図 41 の画素回路 2a の一構成例を示す回路図である（たとえば特許文献 1、2 参照）。

図 42 の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる 2 トランジスタ駆動方式の回路である。

【0006】

図 42 の画素回路 2a は、p チャネル薄膜電界効果トランジスタ（以下、TFT という）11 および TFT12、キャパシタ C11、発光素子である有機 EL 子（OLED）13 を有する。また、図 42 において、DTL はデータ線を、WSL は走査線をそれぞれ示している。

有機 EL 素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがあり、図 42 その他では発光素子としてダイオードの記号を用いているが、以下の説明において OLED には必ずしも整流性を要求するものではない。

図 42 では TFT11 のソースが電源電位 VCC に接続され、発光素子 13 のカソード（陰極）は接地電位 GND に接続されている。図 42 の画素回路 2a の動作は以下の通りである。

【0007】

ステップ ST1 :

走査線 WSL を選択状態（ここでは低レベル）とし、データ線 DTL に書き込み電位 Vdata を印加すると、TFT12 が導通してキャパシタ C11 が充電または放電され、TFT11 のゲート電位は Vdata となる。

【0008】

ステップ ST2 :

走査線 WSL を非選択状態（ここでは高レベル）とすると、データ線 DTL と TFT11 とは電氣的に切り離されるが、TFT11 のゲート電位はキャパシタ C11 によって安定に保持される。

【0009】

ステップ ST3 :

TFT11 および発光素子 13 に流れる電流は、TFT11 のゲート・ソース間電圧 Vgs に応じた値となり、発光素子 13 はその電流値に応じた輝度で発光し続ける。

上記ステップ ST1 のように、走査線 WSL を選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図 42 の画素回路 2a では、一度 Vdata の書き込みを行えば、次に書き換えられるまでの間、発光素子 13 は一定の輝度で発光を継続する。

【0010】

上述したように、画素回路 2a では、ドライフトランジスタである TFT11 のゲート印加電圧を変化させることで、EL 発光素子 13 に流れる電流値を制御している。

このとき、p チャネルのドライフトランジスタのソースは電源電位 VCC に接続されており、この TFT11 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【0011】

(数 1)

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【0012】

ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、 V_{gs} は TFT11 のゲート・ソース間電圧を、 V_{th} は TFT1

10

20

30

40

50

1のしきい値をそれぞれ示している。

【0013】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0014】

図43は、有機EL素子の電流-電圧($I-V$)特性の経時変化を示す図である。図43において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

10

【0015】

一般的に、有機EL素子の $I-V$ 特性は、図43に示すように、時間が経過すると劣化してしまう。

しかしながら、図42の2トランジスタ駆動は定電流駆動のために有機EL素子には上述したように定電流が流れ続け、有機EL素子の $I-V$ 特性が劣化してもその発光輝度は経時劣化することはない。

【0016】

ところで、図42の画素回路2aは、pチャネルのTFTにより構成されているが、nチャネルのTFTにより構成することができれば、TFT作製において従来のアモルファスシリコン(a-Si)プロセスを用いることができるようになる。これにより、TFT

20

基板の低コスト化が可能となる。

【0017】

次に、トランジスタをnチャネルTFTに置き換えた画素回路について考察する。

【0018】

図44は、図42の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

【0019】

図44の画素回路2bは、nチャネルTFT21およびTFT22、キャパシタC21、発光素子である有機EL素子(LED)23を有する。また、図44において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

30

【0020】

この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側が電源電位VCCに接続され、ソースはEL素子23のアノードに接続されており、ソースフォロワー回路を形成している。

【0021】

図45は、初期状態におけるドライブトランジスタとしてのTFT21とEL素子23の動作点を示す図である。図45において、横軸はTFT21のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

【0022】

図45に示すように、ソース電圧はドライブトランジスタであるTFT21とEL素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

40

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対する V_{gs} に関して上記式1に示した方程式の電流値の電流 I_{ds} を流す。

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、ここでも同様にEL素子の $I-V$ 特性は経時劣化してしまう。図46に示すように、この経時劣化により動作点の変動が起きてしまい、同じゲート電圧を印加してい

50

てもそのソース電圧は変動する。

これにより、ドライブトランジスタであるTFT21のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時にEL素子23に流れる電流値も変化するので、EL素子23のI-V特性が劣化すると、図44のソースフォロワー回路ではその発光輝度は経時変化してしまう。

【0024】

また、図47に示すように、ドライブトランジスタとしてのnチャネルTFT31のソースを接地電位GNDに接続し、ドレインをEL素子33のカソードに接続し、EL素子33のアノードを電源電位VCCに接続する回路構成も考えられる。

【0025】

この方式では、図42のpチャネルTFTによる駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとしてTFT31は定電流源として動作して、EL素子33のI-V特性の劣化による輝度変化も防止できる。

【0026】

しかしながら、この方式ではドライブトランジスタをEL素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

以上より、従来方式では輝度変化のない、nチャネルトランジスタ使用の有機EL素子の開発はなされていなかった。

【0027】

また、たとえ、輝度変化のない、nチャネルトランジスタ使用の有機EL素子の開発がなされたとしても、TFTトランジスタは一般的に移動度 μ やしきい値 V_{th} のばらつきが大きいことが特徴であることから、駆動トランジスタのゲートに同じ値の電圧が印加されても、画素ごとに電流値は駆動トランジスタの移動度 μ やしきい値 V_{th} によってばらついてしまい、均一な画質を得ることができない。

【0028】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタを電気光学素子の駆動素子として用いることができ、しかも、画素内部の能動素子のしきい値や移動度のばらつきによらず均一で高品位の画像を表示することが可能な画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【課題を解決するための手段】

【0029】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、上記第4のノードに接続された結合容量素子と、上記結合容量素子と上記第2のノードとの間に接続された電氣的接続手段と、を有し、上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続されて

10

20

30

40

50

いる。

【 0 0 3 0 】

好適には、上記電氣的接続手段は、上記第 2 のノードと上記結合容量素子とを直接接続する配線を含む。

【 0 0 3 1 】

好適には、上記電氣的接続手段は、上記第 2 のノードと上記結合容量素子とを選択的に接続する第 7 のスイッチを含む。

【 0 0 3 2 】

好適には、上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、上記第 1 のノードと上記データ線との間に接続された第 8 のスイッチと、を含む。

10

また、上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、上記第 1 のノードと上記第 4 のノードとの間に接続された第 8 のスイッチと、を含む。

【 0 0 3 3 】

好適には、上記所定の電位線は、上記データ線と共用されている。

【 0 0 3 4 】

また、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第 3 のノードに接続され、ドレインが上記第 1 の基準電位に接続されている。

【 0 0 3 5 】

好適には、上記電気光学素子を駆動する場合、第 1 ステージとして、上記第 1、第 2、第 4、第 5 および第 6 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、第 2 ステージとして、上記第 2、第 4、および上記第 6 のスイッチが導通状態に保持されて、所定電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、第 3 ステージとして、上記第 2 および第 6 のスイッチが非導通状態に保持され、さらに第 4 のスイッチが非導通状態に保持され、上記第 5 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 2 のノードに入力された後、上記第 5 のスイッチが非導通状態に保持され、第 4 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 3 のスイッチが非導通状態に保持される。

20

【 0 0 3 6 】

また、好適には、上記電気光学素子を駆動する場合、第 1 ステージとして、上記第 1、第 2、第 4、第 5、第 6、および第 7 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

30

第 2 ステージとして、上記第 2、第 4、第 6、および第 7 のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、第 3 ステージとして、上記第 2 および第 6 のスイッチが非導通状態に保持され、さらに第 4 のスイッチが非導通状態に保持され、上記第 5 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 4 のノードを介して第 2 のノードに入力された後、上記第 5 および第 7 のスイッチが非導通状態に保持され、第 4 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 3 のスイッチが非導通状態に保持される。

40

【 0 0 3 7 】

本発明の第 2 の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、第 1 および第 2 の基準電位と、を有し、所定の基準電流を供給する基準電流供給手段と、上記画素回路は、流れる電流によって輝度が変化する電気光学素子と、第 1、第 2、第 3、および第 4 のノードと、上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第 1 のノードと上記第 3 のノードとの間に接続された第 1 のスイッチと、上記第 3 のノードと上記第 4 のノードとの間に接続された第 2 のスイッチ

50

と、上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、上記第 2 のノードと所定の電位線との間に接続された第 4 のスイッチと、上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、上記第 3 のノードと上記基準電流供給手段との間に接続された第 6 のスイッチと、上記第 4 のノードに接続された結合容量素子と、上記結合容量素子と上記第 2 のノードとの間に接続された電氣的接続手段と、を有し、上記第 1 の基準電位と上記第 3 のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第 1 のノードと上記第 2 の基準電位との間に上記電気光学素子が接続されている。

【0038】

本発明の第 3 の観点は、流れる電流によって輝度が変化する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第 1、第 2、第 3、および第 4 のノードと、第 1 および第 2 の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第 1 のノードと上記第 3 のノードとの間に接続された第 1 のスイッチと、上記第 3 のノードと上記第 4 のノードとの間に接続された第 2 のスイッチと、上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、上記第 2 のノードと所定の電位線との間に接続された第 4 のスイッチと、上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、上記第 3 のノードと上記基準電流供給手段との間に接続された第 6 のスイッチと、上記第 4 のノードに接続された結合容量素子と、上記結合容量素子と上記第 2 のノードとの間に接続された電氣的接続手段と、を有し、上記第 1 の基準電位と上記第 3 のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第 1 のノードと上記第 2 の基準電位との間に上記電気光学素子が接続されている画素回路の駆動方法であって、上記第 1、第 2、第 4、第 5 および第 6 のスイッチが非導通状態に保持した状態で、上記第 3 のスイッチを導通状態に保持させて、上記第 1 のノードを固定電位に接続し、上記第 2、第 4、および上記第 6 のスイッチを導通状態に保持して、所定電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、上記第 2 および第 6 のスイッチを非導通状態に保持し、さらに第 4 のスイッチを非導通状態に保持し、上記第 5 のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記第 2 のノードに入力させた後、上記第 5 のスイッチを非導通状態に保持し、上記第 1 のスイッチを導通状態に保持し、上記第 3 のスイッチを非導通状態に保持する。

【0039】

本発明によれば、たとえば電気光学素子の発光状態時は、第 1 のスイッチがオン状態（導通状態）に保持され、第 2～第 7 のスイッチがオフ状態（非導通状態）に保持される。

ドライブ（駆動）トランジスタは飽和領域で動作するように設計されており、電気光学素子に流れる電流 I_{ds} は、上記式 1 で示される値をとる。

次に、第 1 のスイッチがオフとなり、第 2、第 4～第 7 のスイッチはオフ状態に保持されたままで、第 3 のスイッチがオンする。

このとき、第 3 のスイッチを介して電流が流れ、第 1 のノードの電位は接地電位 GND まで下降する。そのため、電気光学素子に印加される電圧も 0 V となり、電気光学素子は発光しなくなる。

次に、第 3 のスイッチがオン状態、第 1 および第 5 のスイッチがオフ状態に保持されたままで、第 2、第 4、第 6、第 7 のスイッチがオンする。

これにより、たとえば所定電位 V_0 あるいはデータ線を伝播された入力電圧 V_{in} が第 2 のノードに入力し、これと並行して、基準電流供給手段により基準電流が第 3 のノードに流れる。その結果、駆動トランジスタのゲート・ソース間電圧 V_{gs} が、結合容量素子に充電される。

このとき、駆動トランジスタは飽和領域で動作することから、駆動トランジスタのゲート・ソース間電圧 V_{gs} は、移動度 μ およびしきい値 V_{th} を含んだ項となる。また、こ

10

20

30

40

50

のとき、画素容量素子には V_0 または V_{in} が充電される。

【0040】

次に、第2および第6のスイッチがオフする。これによって、駆動トランジスタのソース電位（第3のノードの電位）は、たとえば（ V_0 または $V_{in} - V_{th}$ ）まで上昇する。

そして、さらに、第3および第7のスイッチがオン状態、第1、第2、第6のスイッチがオフ状態に保持されたままで、第5のスイッチがオンし、第4のスイッチがオフする。第5のスイッチがオンすることにより、第5のスイッチを介してデータ線を伝播された入力電圧 V_{in} が結合容量素子を通して駆動トランジスタのゲートに電圧 V をカップリングさせる。

10

このカップリング量 V は、第1のノードと第2のノード間の電圧変化量（駆動トランジスタの V_{gs} ）と、画素容量素子、結合容量素子、および駆動トランジスタの寄生容量によって決まり、画素容量素子と寄生容量に比べて結合容量素子の容量を大きくすれば変化量のほぼ全てが駆動トランジスタのゲートにカップリングされ、駆動トランジスタのゲート電位は（ V_0 または $V_{in} + V_{gs}$ ）となる。

書き込み終了後、第5および第7のスイッチがオフし、さらに、第1のスイッチがオンして、第3のスイッチがオフする。

これによって、駆動トランジスタのソース電位は一旦接地電位 GND に降下、その後上昇し、電気光学素子にも電流が流れ始める。駆動トランジスタのソース電位は変動するにも関わらず、そのゲート・ソース間には画素容量素子があり、また、画素容量素子の容量を駆動トランジスタの寄生容量よりも大きくすることでゲート・ソース電位は常に（ $V_{in} + V_{gs}$ ）という一定値に保たれる。

20

このとき、駆動トランジスタは飽和領域で駆動するので、駆動トランジスタに流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} は電気光学素子にも同様に流れ、電気光学素子は発光する。

【発明の効果】

【0041】

本発明によれば、EL発光素子の $I-V$ 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、 n チャネルトランジスタをEL発光素子の駆動素子として用いることができる。

30

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行っていることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数増加を抑えることができる。

また、画素内の容量設計が容易に行え、尚且つ容量は小さくすることができるので画素面積を縮小することができ、パネルの高精細化が可能となる。

また、入力電圧を入力する時に電圧変化量のほぼ全てを駆動トランジスタのゲートにカップリングさせることができるので、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

40

さらに駆動トランジスタのゲートに固定電位を入力して基準電流 I_{ref} を流すことで画素内に信号線からの入力電圧が入力されている時間を短くすることができ、画素に高速に書き込むことができ、3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することが可能となる。

また、 n チャネルのみで画素回路のトランジスタを構成することができ、TFT作成において $a-Si$ プロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

【発明を実施するための最良の形態】

50

【 0 0 4 2 】

以下、本発明の実施形態を添付図面に関連付けて説明する。

【 0 0 4 3 】

第 1 実施形態

図 1 は、本第 1 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

図 2 は、図 1 の有機 E L 表示装置において本第 1 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 4 4 】

この表示装置 1 0 0 は、図 1 および図 2 に示すように、画素回路 (P X L C) 1 0 1 が $m \times n$ のマトリクス状に配列された画素アレイ部 1 0 2、水平セクタ (H S E L) 1 0 3、ライトスキャナ (W S C N) 1 0 4、第 1 のドライブスキャナ (D S C N 1) 1 0 5、第 2 のドライブスキャナ (D S C N 2) 1 0 6、第 3 のドライブスキャナ (D S C N 3) 1 0 7、第 4 のドライブスキャナ (D S C N 4) 1 0 8、第 5 のドライブスキャナ (D S C N 5) 1 0 9、第 6 のドライブスキャナ (D S C N 6) 1 1 0、リファレンス定電流源 (R C I S) 1 1 1、水平セクタ 1 0 3 により選択され輝度情報に応じたデータ信号が供給されるデータ線 D T L 1 0 1 ~ D T L 1 0 n、ライトスキャナ 1 0 4 により選択駆動される走査線 W S L 1 0 1 ~ W S L 1 0 m、第 1 のドライブスキャナ 1 0 5 により選択駆動される駆動線 D S L 1 0 1 ~ D S L 1 0 m、第 2 のドライブスキャナ 1 0 6 により選択駆動される駆動線 D S L 1 1 1 ~ D S L 1 1 m、第 3 のドライブスキャナ 1 0 7 により選択駆動される駆動線 D S L 1 2 1 ~ D S L 1 2 m、第 4 のドライブスキャナ 1 0 8 により選択駆動される駆動線 D S L 1 3 1 ~ D S L 1 3 m、第 5 のドライブスキャナ 1 0 9 により選択駆動される駆動線 D S L 1 4 1 ~ D S L 1 4 m、第 6 のドライブスキャナ 1 1 0 により選択駆動される駆動線 D S L 1 5 1 ~ D S L 1 5 m、および定電流源 1 1 1 による基準電流 I r e f が供給される基準電流供給線 I S L 1 0 1 ~ I S L 1 0 n を有する。

【 0 0 4 5 】

なお、画素アレイ部 1 0 2 において、画素回路 1 0 1 は $m \times n$ のマトリクス状に配列されるが、図 1 においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図 2 においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【 0 0 4 6 】

本第 1 の実施形態に係る画素回路 1 0 1 は、図 2 に示すように、 n チャンネル T F T 1 1 1 ~ T F T 1 1 8、キャパシタ C 1 1 1、C 1 1 2、有機 E L 素子 (O L E D : 電気光学素子) からなる発光素子 1 1 9、第 1 のノード N D 1 1 1、第 2 の N D 1 1 2、第 3 のノード N D 1 1 3、および第 4 のノード N D 1 1 4 を有する。

また、図 2 において、D T L 1 0 1 はデータ線を、W S L 1 0 1 は走査線を、D S L 1 0 1、D S L 1 1 1、D S L 1 2 1、D S L 1 3 1、D S L 1 4 1、D S L 1 5 1 は駆動線をそれぞれ示している。

これらの構成要素のうち、T F T 1 1 1 が本発明に係る電界効果トランジスタ (ドライブ (駆動) トランジスタ) を構成し、T F T 1 1 2 が第 1 のスイッチを構成し、T F T 1 1 3 が第 2 のスイッチを構成し、T F T 1 1 4 が第 3 のスイッチを構成し、T F T 1 1 5 が第 4 のスイッチを構成し、T F T 1 1 6 が第 5 のスイッチを構成し、T F T 1 1 7 が第 6 のスイッチを構成し、T F T 1 1 8 が電氣的接続手段としての第 7 のスイッチを構成し、キャパシタ C 1 1 1 が本発明に係る画素容量素子を構成し、キャパシタ C 1 1 2 が本発明に係る結合容量素子を構成している。

また、電源電圧 V C C の供給ライン (電源電位) が第 1 の基準電位に相当し、接地電位 G N D が第 2 の基準電位に相当している。

また、本第 1 の実施形態においては、データ線と所定電位線とが共用されている。

【 0 0 4 7 】

画素回路 101 において、第 1 の基準電位（本実施形態では電源電位 VCC）と第 2 の基準電位（本実施形態では接地電位 GND）との間に、ドライブトランジスタとしての TFT111、第 3 のノード ND113、第 1 のスイッチとしての TFT112、第 1 のノード ND111、および発光素子（OLED）119 が直列に接続されている。

具体的には、発光素子 119 のカソードが接地電位 GND に接続され、アノードが第 1 のノード ND111 に接続され、TFT112 のソースが第 1 のノード ND111 に接続され、第 1 のノード ND111 と第 3 のノード ND113 との間に TFT112 のソース・ドレインが接続され、TFT111 のソースが第 3 のノード ND113 に接続され、TFT111 のドレインが電源電位 VCC が接続されている。

そして、TFT111 のゲートが第 2 のノード ND112 に接続され、TFT112 のゲートが第 2 のドライブスキャナ 106 により駆動される駆動線 DSL111 に接続されている。

10

第 3 のノード ND113 と第 4 のノード ND114 との間に第 2 のスイッチとしての TFT113 のソース・ドレインが接続され、TFT113 のゲートが第 5 のドライブスキャナ 109 により駆動される駆動線 DSL141 に接続されている。

第 3 のスイッチとしての TFT114 のドレインが第 1 のノード ND111 およびキャパシタ C111 の第 1 電極に接続され、ソースが固定電位（本実施形態では接地電位 GND）に接続され、TFT114 のゲートが第 6 のドライブスキャナにより駆動されるゲートが駆動線 DSL151 に接続されている。また、キャパシタ C111 の第 2 電極が第 2 のノード ND112 に接続されている。

20

第 2 のノード ND112 とキャパシタ C112 の第 1 電極に第 7 のスイッチとしての TFT118 のソース・ドレインが接続され、TFT118 の第 3 のドライブスキャナにより駆動されるゲートが駆動線 DSL121 に接続されている。

データ線（所定電位線）DTL101 と第 2 のノード ND112 に第 4 のスイッチとしての TFT115 のソース・ドレインがそれぞれ接続され、TFT115 のゲートが第 4 のドライブスキャナ 108 に駆動される駆動線 DSL131 に接続されている。

データ線 DTL101 と第 4 のノード ND114 に第 5 のスイッチとしての TFT116 のソース・ドレインがそれぞれ接続されている。そして、TFT116 のゲートがライトスキャナ 104 により駆動される走査線 WSL101 に接続されている。

さらに、第 3 のノード ND113 と基準電流供給線 ISL101 との間に第 6 のスイッチとしての TFT117 のソース・ドレインがそれぞれ接続されている。そして、TFT117 のゲートが第 1 のドライブスキャナ 105 により駆動される駆動線 DSL101 に接続されている。

30

【0048】

このように、本実施形態に係る画素回路 101 は、ドライブトランジスタとしての TFT111 のゲート・ソース間に画素容量としてのキャパシタ C111 が接続され、非発光期間に TFT111 のソース側電位をスイッチトランジスタとしての TFT114 を介して固定電位に接続し、かつ、TFT111 のソース（第 3 のノード ND113）に所定の基準電流（たとえば $2\mu A$ ） I_{ref} を所定のタイミングで供給して、基準電流 I_{ref} に相当する電圧を保持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心に EL 発光素子 119 を駆動し、ドライブトランジスタとしての TFT111 の移動度ばらつきによりユニフォームティばらつきを抑制した画質を得るように構成されている。

40

【0049】

次に、上記構成の動作を、画素回路の動作を中心に、図 3（A）～（I）並びに図 4，図 5 の（A），（B）、および図 6，図 7 に関連付けて説明する。

なお、図 3（A）は画素配列の第 1 行目の駆動線 DSL131 に印加される駆動信号 $d_s[4]$ を、図 3（B）は画素配列の第 1 行目の操作線 WSL101 に印加される走査信号 $w_s[1]$ を、図 3（C）は画素配列の第 1 行目の駆動線 DSL121 に印加される駆動信号 $d_s[3]$ を、図 3（D）は画素配列の第 1 行目の駆動線 DSL141 に印加され

50

る駆動信号 $d s [5]$ を、図 3 (E) は画素配列の第 1 行目の駆動線 $D S L 1 5 1$ に印加される駆動信号 $d s [6]$ を、図 3 (F) は画素配列の第 1 行目の駆動線 $D S L 1 1 1$ に印加される駆動信号 $d s [2]$ を、図 3 (G) は画素配列の第 1 行目の駆動線 $D S L 1 0 1$ に印加される駆動信号 $d s [1]$ を、図 3 (H) はドライブトランジスタとしての $T F T 1 1 1$ のゲート電位 $V g 111$ を、図 3 (I) は第 1 のノード $N D 1 1 1$ の電位 $V N D 111$ をそれぞれ示している。

【 0 0 5 0 】

まず、通常の $E L$ 発光素子 $1 1 9$ の発光状態時は、図 3 (A) ~ (G) に示すように、ライトスキャナ $1 0 4$ より走査線 $W S L 1 0 1$ への走査信号 $w s [1]$ がローレベルに設定され、ドライブスキャナ $1 0 5$ により駆動線 $D S L 1 0 1$ への駆動信号 $d s [1]$ がローレベルに設定され、ドライブスキャナ $1 0 7$ により駆動線 $D S L 1 2 1$ への駆動信号 $d s [3]$ がローレベルに設定され、ドライブスキャナ $1 0 8$ により駆動線 $D S L 1 3 1$ への駆動信号 $d s [4]$ がローレベルに設定され、ドライブスキャナ $1 0 9$ により駆動線 $D S L 1 4 1$ への駆動信号 $d s [5]$ がローレベルに設定され、ドライブスキャナ $1 1 0$ により駆動線 $D S L 1 5 1$ への駆動信号 $d s [6]$ がローレベルに設定され、ドライブスキャナ $1 0 6$ により駆動線 $D S L 1 1 1$ への駆動信号 $d s [2]$ のみが選択的にハイレベルに設定される。

その結果、画素回路 $1 0 1$ においては、図 4 (A) に示すように、 $T F T 1 1 2$ がオン状態（導通状態）に保持され、 $T F T 1 1 3 \sim T F T 1 1 8$ がオフ状態（非導通状態）に保持される。

ドライブトランジスタ $1 1 1$ は飽和領域で動作するように設計されており、 $E L$ 発光素子 $1 1 9$ に流れる電流 $I d s$ は、上記式 1 で示される値をとる。

【 0 0 5 1 】

次に、 $E L$ 発光素子 $1 1 9$ の非発光期間において、図 3 (A) ~ (G) に示すように、ライトスキャナ $1 0 4$ より走査線 $W S L 1 0 1$ への走査信号 $w s [1]$ がローレベルに保持され、ドライブスキャナ $1 0 5$ により駆動線 $D S L 1 0 1$ への駆動信号 $d s [1]$ がローレベルに保持され、ドライブスキャナ $1 0 6$ により駆動線 $D S L 1 1 1$ への駆動信号 $d s [2]$ がローレベルに切り替えられ、ドライブスキャナ $1 0 7$ により駆動線 $D S L 1 2 1$ への駆動信号 $d s [3]$ がローレベルに保持され、ドライブスキャナ $1 0 8$ により駆動線 $D S L 1 3 1$ への駆動信号 $d s [4]$ がローレベルに保持され、ドライブスキャナ $1 0 9$ により駆動線 $D S L 1 4 1$ への駆動信号 $d s [5]$ がローレベルに保持され、ドライブスキャナ $1 1 0$ により駆動線 $D S L 1 5 1$ への駆動信号 $d s [6]$ が選択的にハイレベルに設定される。

その結果、画素回路 $1 0 1$ においては、図 4 (B) に示すように、 $T F T 1 1 2$ がオフとなり、 $T F T 1 1 3$, $T F T 1 1 5 \sim T F T 1 1 8$ はオフ状態に保持されたままで、 $T F T 1 1 4$ がオンする。

このとき、 $T F T 1 1 4$ を介して電流が流れ、図 3 (H) に示すように、第 1 のノード $N D 1 1 1$ の電位 $V N D 111$ は接地電位 $G N D$ まで下降する。そのため、 $E L$ 発光素子 $1 1 9$ に印加される電圧も $0 V$ となり、 $E L$ 発光素子 $1 1 9$ は発光しなくなる。

【 0 0 5 2 】

次に、図 3 (A) ~ (G) に示すように、ライトスキャナ $1 0 4$ より走査線 $W S L 1 0 1$ への走査信号 $w s [1]$ がローレベルに保持され、ドライブスキャナ $1 0 6$ により駆動線 $D S L 1 1 1$ への駆動信号 $d s [2]$ がローレベルに保持され、ドライブスキャナ $1 1 0$ により駆動線 $D S L 1 5 1$ への駆動信号 $d s [6]$ がハイレベルに保持された状態で、ドライブスキャナ $1 0 5$ による駆動線 $D S L 1 0 1$ への駆動信号 $d s [1]$ 、ドライブスキャナ $1 0 7$ による駆動線 $D S L 1 2 1$ への駆動信号 $d s [3]$ 、ドライブスキャナ $1 0 8$ による駆動線 $D S L 1 3 1$ への駆動信号 $d s [4]$ 、ドライブスキャナ $1 0 9$ により駆動線 $D S L 1 4 1$ への駆動信号 $d s [5]$ がそれぞれ選択的にハイレベルに設定される。

その結果、画素回路 $1 0 1$ においては、図 5 (A) に示すように、 $T F T 1 1 4$ がオン状態、 $T F T 1 1 2$, $1 1 6$ がオフ状態に保持されたままで、 $T F T 1 1 3$, $T F T 1 1$

10

20

30

40

50

5, T F T 1 1 7, T F T 1 1 8 がオンする。

これにより、T F T 1 1 5 を介してデータ線 D T L 1 0 1 を伝播された入力電圧 V_{in} が第 2 のノード N D 1 1 2 に入力し、これと並行して、定電流源 1 1 1 により基準電流供給線 I S L 1 0 1 に供給された基準電流 I_{ref} (たとえば $2 \mu A$) が第 3 のノード N D 1 1 3 に流れる。その結果、ドライブトランジスタとしての T F T 1 1 1 のゲート・ソース間電圧 V_{gs} が、キャパシタ C 1 1 2 に充電される。

このとき、T F T 1 1 1 は飽和領域で動作することから、下記の式 (2) で示すように、T F T 1 1 1 のゲート・ソース間電圧 V_{gs} は、移動度 μ およびしきい値 V_{th} を含んだ項となる。また、このとき、キャパシタ C 1 1 1 には V_{in} が充電される。

【 0 0 5 3 】

(数 2)

$$V_{gs} = V_{th} + \{ 2 I_{ds} / (\mu (W / L) C_{ox}) \}^2 \quad \dots (2)$$

【 0 0 5 4 】

次に、キャパシタ C 1 1 1 には V_{in} が充電された後、図 3 (A) ~ (G) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 $w_s [1]$ がローレベルに保持され、ドライブスキャナ 1 0 6 により駆動線 D S L 1 1 1 への駆動信号 $d_s [2]$ がローレベルに保持され、ドライブスキャナ 1 0 7 により駆動線 D S L 1 2 1 への駆動信号 $d_s [3]$ がハイレベルに保持され、ドライブスキャナ 1 0 8 により駆動線 D S L 1 3 1 への駆動信号 $d_s [4]$ がハイレベルに保持され、ドライブスキャナ 1 1 0 により駆動線 D S L 1 5 1 への駆動信号 $d_s [6]$ がハイレベルに保持された状態で、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 への駆動信号 $d_s [1]$ がローレベルに、ドライブスキャナ 1 0 9 により駆動線 D S L 1 4 1 への駆動信号 $d_s [4]$ がローレベルにそれぞれ選択的に設定される。

その結果、画素回路 1 0 1 においては、図 5 (A) の状態から、T F T 1 1 3, T F T 1 1 7 がオフする。これによって、T F T 1 1 1 のソース電位 (第 3 のノード N D 1 1 3 の電位) は、($V_{in} - V_{th}$) まで上昇する。

【 0 0 5 5 】

そして、さらに、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 $w_s [1]$ がハイレベルに切り替えられ、ドライブスキャナ 1 0 8 により駆動線 D S L 1 3 1 への駆動信号 $d_s [4]$ がローレベルに切り替えられる。

その結果、画素回路 1 0 1 においては、図 5 (B) に示すように、T F T 1 1 4, T F T 1 1 8 がオン状態、T F T 1 1 2, T F T 1 1 3, T F T 1 1 7 がオフ状態に保持されたままで、T F T 1 1 6 がオンし、T F T 1 1 5 がオフする。

T F T 1 1 6 がオンすることにより、T F T 1 1 6 を介してデータ線 D T L 1 0 1 を伝播された入力電圧 V_{in} がキャパシタ C 1 1 2 を通して T F T 1 1 1 のゲートに電圧 V をカップリングさせる。

このカップリング量 V は、第 1 のノード N D 1 1 1 と第 2 のノード N D 1 1 2 間の電圧変化量 (T F T 1 1 1 の V_{gs}) と、キャパシタ C 1 1 1、C 1 1 2、および T F T 1 1 1 の寄生容量 C 1 1 3 によって決まり、キャパシタ C 1 1 1 と寄生容量 C 1 1 3 に比べてキャパシタ C 1 1 2 の容量を大きくすれば変化量のほぼ全てが T F T 1 1 1 のゲートに

【 0 0 5 6 】

書き込み終了後、図 3 (A) ~ (G) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 $w_s [1]$ がローレベルに切り替えられ、ドライブスキャナ 1 0 7 により駆動線 D S L 1 2 1 への駆動信号 $d_s [3]$ がローレベルに切り替えられ、さらに、ドライブスキャナ 1 0 6 により駆動線 D S L 1 1 1 への駆動信号 $d_s [2]$ がハイレベルに切り替えられ、ドライブスキャナ 1 1 0 により駆動線 D S L 1 5 1 への駆動信号 $d_s [6]$ がローレベルに切り替えられる。

これにより、画素回路 1 0 1 においては、図 6 に示すように、T F T 1 1 6, T F T 1 1 8 がオフし、さらに、T F T 1 1 2 がオンして、T F T 1 1 4 がオフする。

これによって、 $TFT111$ のソース電位は一旦接地電位 GND に降下、その後上昇し、 EL 発光素子 119 にも電流が流れ始める。 $TFT111$ のソース電位は変動するにも関わらず、そのゲート・ソース間にはキャパシタ $C111$ があり、また、キャパシタ $C111$ の容量を $TFT111$ の寄生容量 $C113$ よりも大きくすることでゲート・ソース電位は常に $(V_{in} + V_{gs})$ という一定値に保たれる。

このとき、 $TFT111$ は飽和領域で駆動するので、 $TFT111$ に流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} は EL 発光素子 119 にも同様に流れ、 EL 発光素子 119 は発光する。

【0057】

この EL 発光素子 119 を含む画素回路 101 の等価回路は図7に示すようになっているため、 $TFT111$ のソース電位は、 EL 発光素子 119 に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタ $C111$ を介して $TFT111$ のゲート電位も同様に上昇する。

これにより、前述した通り $TFT111$ のゲート・ソース間電位は一定に保たれる。

【0058】

ここで、基準電流 I_{ref} について考える。

上述したように、基準電流 I_{ref} を流すことによって、 $TFT111$ のゲート・ソース間電圧を式2で表された値とする。

しかし、 $I_{ref} = 0$ のときは、ゲート・ソース間電圧は V_{th} とはならない。なぜなら、ゲート・ソース間電圧が V_{th} となっても、 $TFT111$ にはわずかにリーク電流が流れてしまうため、図8に示すように、 $TFT111$ のソース電圧は V_{cc} まで上昇してしまうからである。

$TFT111$ のゲート・ソース間電圧を V_{th} とするには、 $TFT113$ をオンしている期間を調節してゲート・ソース間電圧が V_{th} となったところでオフしなくてはならず、実デバイスにおいてこのタイミングはパネル毎に調節しなければならない。

本実施形態のように、基準電流 I_{ref} を流さない場合には、 $TFT113$ のタイミングを調節して、ゲート・ソース間電圧を V_{th} に設定できたとしても、たとえば移動度が異なる画素AとBにおいて、同じ入力電圧 V_{in} が印加されているときも、式1に従い移動度 μ によって、図9に示すように、電流 I_{ds} のばらつきが発生しその画素の輝度が異なってしまう。つまり、電流値が多く流れ、明るくなるにつれて電流値は移動度のバラツキを受けてしまい、ユニフォーミティはバラつき、画質は悪化してしまう。

しかしながら、本実施形態のように、一定量の基準電流 I_{ref} を流すことで、図10に示すように、 $TFT113$ のオン・オフのタイミングによらず $TFT111$ のゲート・ソース間電圧を式2に示される一定値に決定することができ、移動度が異なる画素AとBにおいても、図11に示すように、電流 I_{ds} のばらつきを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。

【0059】

さらに、従来のソースフォロアの問題点に踏まえて本実施形態の回路について考える。本回路においても、 EL 発光素子 119 は発光時間が長くなるに従い、その $I-V$ 特性は劣化する。そのため $TFT111$ が同じ電流値を流したとしても、 EL 発光素子 119 に印加される電位は変化し、第1のノード $ND111$ の電位 V_{ND111} は下降する。

しかしながら、本回路では、 $TFT111$ のゲート・ソース間電位が一定に保たれたまま第1のノード $ND111$ の電位 V_{ND111} は下降するので、 $TFT111$ に流れる電流は変化しない。

よって、 EL 発光素子 119 に流れる電流も変化せず、 EL 発光素子 119 の $I-V$ 特性が劣化しても、ゲート・ソース間電圧に相当した電流が常に流れつづけ、従来の問題は解決できる。

【0060】

以上説明したように、本第1の実施形態によれば、電圧駆動型 TFT アクティブマトリクス有機 EL ディスプレイにおいて、ドライブトランジスタとしての $TFT111$ のゲー

10

20

30

40

50

トとソース間にキャパシタC 1 1 1を接続し、T F T 1 1 1のソース側（第1のノードN D 1 1 1）をT F T 1 1 4を通して固定電位（本実施形態ではG N D）に接続するようにし、かつ、T F T 1 1 1のソース（第3のノードN D 1 3）に所定の基準電流（たとえば $2\mu\text{A}$ ）I r e fを所定のタイミングで供給して、基準電流I r e fに相当する電圧を保持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心にE L発光素子19を駆動するように構成したことから、以下の効果を得ることができる。

【0061】

すなわち、E L発光素子のI - V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

10

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをE L発光素子の駆動素子として用いることができる。

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行っていることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数増加を抑えることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、T F T作成においてa - S iプロセスを用いることができるようになる。これにより、T F T基板の低コスト化が可能となる。

20

【0062】

第2実施形態

図12は、本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図13は、図12の回路のタイミングチャートである。

【0063】

本第2の実施形態が上述した第1の実施形態と異なる点は、第4のスイッチとしてのT F T 1 1 5が接続される所定の電位線をデータ線D T Lと共用せずに、別に設けたことである。

30

【0064】

その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0065】

本第2の実施形態では、ドライバトランジスタとしてのT F T 1 1 1のソースに基準電流I r e fを流す際にT F T 1 1 1のゲート電圧に入力電圧V i nを入力するのではなく、固定電位V 0を入力する。固定電位V 0を入力して基準電流I r e fを流すことによって画素内にV i nが入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1 Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

40

【0066】

第3実施形態

図14は、本第3の実施形態に係る画素回路を採用した有機E L表示装置の構成を示すブロック図である。

図15は、図14の有機E L表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図16は、図15の回路のタイミングチャートである。

【0067】

本第3の実施形態が第1の実施形態と異なる点は、キャパシタC 1 1 2の第1電極と第

50

2のノードND112とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わり、電気配線により直接接続するようにしたことにある。

その結果、第3のドライブスキャナ107と駆動線DSL121が不要となっている。

【0068】

その他の構成は、上述した第2の実施形態と同様である。

【0069】

本第3の実施形態によれば、上述した第1の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【0070】

第4実施形態

10

図17は、本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図18は、図17の回路のタイミングチャートである。

【0071】

本第4の実施形態が上述した第3の実施形態と異なる点は、第4のスイッチとしてのTF T115が接続される所定の電位線をデータ線DTLと共用せずに、別に設けたことある。

【0072】

その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0073】

20

本第4の実施形態では、ドライバトランジスタとしてのTF T111のソースに基準電流Irefを流す際にTF T111のゲート電圧に入力電圧Vinを入力するのではなく、固定電位V0を入力する。固定電位V0を入力して基準電流Irefを流すことによって画素内にVinが入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

【0074】

第5実施形態および第6実施形態

30

図19は、本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図20は、本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0075】

本第5の実施形態が上述した第1の実施形態と異なる点は、第1のノードND111と発光素子119のアノードとの間に第8のスイッチとしてのTF T120を挿入し、かつ、第1のノードND111とデータ線DTL101を第9のスイッチとしてのTF T121により接続し、TF T114のソースを固定電位V0に接続したことにある。

そして、TF T120のゲートが第7のドライブスキャナ(DSCN7)122により駆動される駆動線DSL161(～16m)に接続され、TF T121のゲートが第8のドライブスキャナ(DSCN8)123により駆動される駆動線DSL171(～17m)に接続されている。

40

【0076】

また、第6の実施形態と第5の実施形態が異なる点は、TF T121が第1のノードND111をデータ線DTL101と選択的に接続する代わりに、第1のノードND111を第4のノードND114と選択的に接続するようにしたことにある。

【0077】

第5および第6の実施形態は基本的には、同様に動作する。

図21および図22の(A)～(K)にその動作例のタイミングチャートを示す。

なお、図21、図22の(A)は画素配列の第1行目の駆動線DSL131に印加される駆動信号ds[4]を、(B)は画素配列の第1行目の操作線WSL101に印加される走査信号ws[1]を、(C)は画素配列の第1行目の駆動線DSL121に印加され

50

る駆動信号 $d s [3]$ を、(D) は画素配列の第 1 行目の駆動線 $D S L 1 4 1$ に印加される駆動信号 $d s [5]$ を、(E) は画素配列の第 1 行目の駆動線 $D S L 1 1 1$ に印加される駆動信号 $d s [2]$ を、(F) は画素配列の第 1 行目の駆動線 $D S L 1 0 1$ に印加される駆動信号 $d s [1]$ を、(G) は画素配列の第 1 行目の駆動線 $D S L 1 6 1$ に印加される駆動信号 $d s [7]$ を、(H) は画素配列の第 1 行目の駆動線 $D S L 1 4 1$ に印加される駆動信号 $d s [6]$ を、(I) は画素配列の第 1 行目の駆動線 $D S L 1 7 1$ に印加される駆動信号 $d s [8]$ を、(J) はドライブトランジスタとしての $T F T 1 1 1$ のゲート電位 $V g 111$ を、図 3 (K) は第 1 のノード $N D 1 1 1$ の電位 $V N D 111$ をそれぞれ示している。

【 0 0 7 8 】

10

以下に、図 1 9 の回路の動作を図 2 3 ~ 図 2 6 の (A) , (B) に関連付けて説明する。

【 0 0 7 9 】

まず、通常の E L 発光素子 1 1 9 の発光状態は図 2 3 (A) に示すように、 $T F T 1 1 2$ と $T F T 1 2 0$ がオンした状態である。

次に、E L 発光素子 1 1 9 の非発光期間において、図 2 3 (B) に示すように、 $T F T 1 1 2$ をオンしたままで $T F T 1 2 0$ をオフする

このとき、E L 発光素子 1 1 9 には電流が供給されなくなり、発光しなくなる。

【 0 0 8 0 】

次に、図 2 4 (A) に示すように、 $T F 1 1 5$ 、 $T F T 1 1 8$ 、 $T F T 1 1 3$ 、および $T F T 1 1 7$ をオンして駆動トランジスタである $T F T 1 1 1$ のゲートに入力電圧 (V_{in}) を入力し、電流源から電流 I_{ref} を流すことによって、駆動トランジスタのゲートソース間電圧 V_{gs} をキャパシタ $C 1 1 1$, $C 1 1 2$ に充電する。このとき、 $T F T 1 1 4$ は飽和領域で動作するので、 V_{gs} は式 3 で示すように μ 、 V_{th} を含んだ項となる。

20

【 0 0 8 1 】

(数 3)

$$V_{gs} = V_{th} + [2I / (\mu (W/L) Cox)]^{1/2} \quad \dots (3)$$

【 0 0 8 2 】

キャパシタ $C 1 1 1$, $C 1 1 2$ に V_{gs} が充電された後に $T F T 1 1 3$, $T F T 1 1 2$ オフする。これによってキャパシタ $C 1 1 1$, $C 1 1 2$ に充電されている電圧を V_{gs} に確定させる。

30

その後、図 2 4 (B) に示すように、 $T F T 1 1 7$ をオフして電流の供給を止めることで $T F T 1 1 1$ のソース電位は $V_{in} - V_{th}$ まで上昇する。

さらに、図 2 5 (A) に示すように、 $T F T 1 1 5$ をオフして $T F T 1 1 6$ と $T F T 1 2 1$ をオンする。

$T F T 1 1 6$ と $T F T 1 2 1$ をオンすることで V_{in} をキャパシタ $C 1 1 1$, $C 1 1 2$ を通して駆動トランジスタである $T F T 1 1 1$ のゲートに電圧 V をカップリングさせる。このカップリング量 V は図中 A 点、B 点の電圧変化量 (V_{gs}) とキャパシタ $C 1 1 1$, $C 1 1 2$ の容量 $C 1$, $C 2$ の和、 $T F T 1 1 1$ の寄生容量 $C 3$ の比によって決まり (式 4)、 $C 3$ に比べて $C 1$ 、 $C 2$ の和を大きくすれば変化量のほぼ全てが $T F T 1 1 1$ のゲートにカップリングされ、 $T F T 1 1 1$ のゲート電位は $V_{in} + V_{gs}$ となる。

40

【 0 0 8 3 】

(数 4)

$$V = V_1 + V_2 = \{ (C 1 + C 2) / (C 1 + C 2 + C 3) \} \cdot V_{gs} \quad \dots (4)$$

【 0 0 8 4 】

書き込みが終了した後に、図 2 5 (B) に示すように、 $T F T 1 2 1$ をオフして $T F T 1 1 4$ をオンする。

$T F T 1 1 4$ は V_0 という固定電位に接続されており、オンすることによってノード $N D 1 1 2$ の電圧変化量 ($V_0 - V_{in}$) をキャパシタ $C 1 1 1$ を通して $T F T 1 1$ のゲートに

50

再びカップリングさせる。このカップリング量 V_3 はノードND 1 1 2の電圧変化量とC 1とC 3の和とC 2との比によって決まる(式5)。この比を とすると、TF T 1 1 1のゲート電位は(1-) $V_{in} + V_{gs} + V_0$ となり、キャパシタC 1 1 1に保持されている電圧は V_{gs} から(1-) $(V_{in} - V_0)$ だけ増加する。

【0085】

(数5)

$$V = \{ C 1 / (C 1 + C 2 + C 3) \} \cdot (V_0 - V_{in}) = \dots (5)$$

【0086】

その後、図26(A)に示すように、TF T 1 1 6, TF T 1 1 8をオフして、TF T 1 1 2, TF T 1 2 0をオン、TF T 1 1 4をオフする。これによってTF T 1 1 1のソース電位は一旦 V_0 レベルになり、その後EL発光素子1 1 9に電流が流れ始める。TF T 1 1 1のソース電位は変動するにも関わらず、ゲートソース間にはキャパシタC 1 1 1があり、キャパシタC 1 1 1の容量C 1を寄生容量C 3よりも大きくすることでゲートソース電位は常に一定値に保たれる。

10

このとき、TF T 1 1 1は飽和領域で駆動するので、TF T 1 1 1に流れる電流値 I_{ds} は式1で示された値となり、それはゲートソース間電圧で決定される。この I_{ds} はEL発光素子1 1 9にも同様に流れ、EL発光素子1 1 9は発光する。

素子の等価回路は図26(B)に示すようになっているため、TF T 1 1 1のソース電圧はEL発光素子1 1 9に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタC 1 1 1を介してTF T 1 1 1のゲート電位も同様に上昇する。これにより、前述した通りTF T 1 1 1のゲートソース電位は一定に保たれることとなり、EL発光素子1 1 9が経時劣化してTF T 1 1 1のソース電位が変化してもゲートソース間電圧は一定のままでEL発光素子1 1 9に流れる電流値は変化することはない。

20

【0087】

ここで、キャパシタC 1 1 1, C 1 1 2の容量C 1、C 2について考える。

まずC 1とC 2の和は、 $C 1 + C 2 > C 3$ としなくてはならない。C 3に比べ非常に大きくすることでノードND 1 1 1、ND 1 1 2の電位変化量の全てをTF T 1 1 1のゲートにカップリングさせることができる。

このとき、TF T 1 1 1に流れる電流値は式1で示される値となり、図27のようにTF T 1 1 1のゲートソース間電圧は I_{ref} を流す電圧から $(V_0 - V_{in})$ という一定値だけ大きくなり、移動度が異なる画素AとBにおいても、 I_{ds} のバラツキを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。

30

しかし、 $C 1 + C 2$ を小さくしてしまうと、ノードND 1 1 1、ND 1 1 2の電圧変化量は全てカップリングされず、ゲインをもってしまう。このゲインを とすると、TF T 1 1 1に流れる電流量は式6で表され、T10のゲートソース間電圧は I_{ref} を流す電圧から $V_{in} + (-1) V_{gs}$ という値だけ大きくなるのだが、 V_{gs} は画素ごとに異なる値であるために、 I_{ds} のバラツキを小さく抑えることができなくなる(図28)。これより、 $C 1 + C 2$ はC 3に比べ大きくとらなければならない。

【0088】

(数6)

$$V = \{ C 1 / (C 1 + C 2 + C 3) \} \cdot V_{gs} \dots (6)$$

【0089】

次にC 1の大きさについて考える。

C 1はTF T 1 1 1の寄生容量C 3に比べて非常に大きくなければならない。もしC 1がC 3と同じレベルならば、TF T 1 1 4のソース電位の変動がキャパシタC 1 1 1を通じてTF T 1 1 4のゲートにカップリングされてしまい、キャパシタC 1 1 1に保持されている電圧が変動してしまう。このため、TF T 1 1 1は一定量の電流を流すことができなくなり、画素ごとにバラツキが生じてしまう。これより、C 1はTF T 1 1 1の寄生容量C 3に比べて非常に大きくとらなければならない。

【0090】

40

50

さらに、 C_2 について考える。 $C_2 = C_1$ であるとする、 $TFT114$ をオンして $V_0 - V_{in}$ という電圧変化をキャパシタ C_{111} を通して $TFT111$ のゲートにカップリングさせる際に、キャパシタ C_{111} に保持されている電位差は I_{ref} を $TFT111$ に流して保持された V_{gs} という電位から $V_{in} - V_0$ という一定値だけ増加するので、移動度が異なる画素AとBにおいても、 I_{ds} のバラツキを小さく抑えることができ、ユニフォーミティのバラツキも抑えることができる。

しかしながら、 $C_2 = C_1$ とすると、 I_{ds} のバラツキを小さく抑えることができず、ユニフォーミティのバラツキも抑えることができない。

次に、 $C_2 = C_1$ とすると $TFT114$ をオンした際に、 $V_0 - V_{in}$ という電圧変化が全てキャパシタ C_{111} を通して $TFT111$ のゲートにカップリングされてしまうので、キャパシタ C_{111} に保持されている電圧は V_{gs} から全く変化しない。これより、EL発光素子119には入力電圧に関わらず I_{ref} という一定電流しか流すことができないので画素はラスタ表示しかできない。

以上より、 C_1 と C_2 の大きさは同レベルに設定し、 $TFT114$ をオンすることによるカップリングにおいて一定のゲインを持たせる必要がある。

ここで前述のように C_3 は $TFT114$ の寄生容量であり、その大きさは数10～数100 fFのオーダーであるが、 C_1 、 C_2 、 C_3 の関係は、 $C_2 = C_3$ 、 $C_1 = C_3$ であり、且つ C_1 と C_2 は同レベルでなければならないので C_1 、 C_2 はそれぞれ数100 fF～数pFという大きさでよい。これより、画素内という限られた大きさの中に容量を容易に設定することができ、従来の問題点であった画素ごとに電流値がばらついてしまい画素ムラとなってしまうという問題点も克服することができる。

【0091】

第7実施形態および第8実施形態

図29は、本第7の実施形態に係る画素回路の具体的な構成を示す回路図である。図30は、本第8の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0092】

本第7の実施形態が上述した第5の実施形態と異なる点は、第4のスイッチとしての $TFT115$ が接続される所定の電位線をデータ線 DTL と共用せずに、別に設けたことある。

同様に、本第8の実施形態が上述した第6の実施形態と異なる点は、第4のスイッチとしての $TFT115$ が接続される所定の電位線をデータ線 DTL と共用せずに、別に設けたことある。

【0093】

その他の構成は第5および第6の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0094】

第7および第8の実施形態は基本的には、同様に動作する。

図31および図32の(A)～(K)にその動作例のタイミングチャートを示す。

【0095】

本第4の実施形態では、ドライバトランジスタとしての $TFT111$ のソースに基準電流 I_{ref} を流す際に $TFT111$ のゲート電圧に入力電圧 V_{in} を入力するのではなく、固定電位 V_0 を入力する。固定電位 V_0 を入力して基準電流 I_{ref} を流すことによって画素内に V_{in} が入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

【0096】

第9実施形態および第10実施形態

図33は、本第9の実施形態に係る画素回路の具体的な構成を示す回路図である。図34は、本第10の実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 9 7 】

本第 9 の実施形態が第 5 の実施形態と異なる点は、キャパシタ C 1 1 2 の第 1 電極と第 2 のノード N D 1 1 2 とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ 1 1 8 により構成する代わりに、電気配線により直接接続するようにしたことにある。

本第 1 0 の実施形態が第 6 の実施形態と異なる点は、キャパシタ C 1 1 2 の第 1 電極と第 2 のノード N D 1 1 2 とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ 1 1 8 により構成する代わりに、電気配線により直接接続するようにしたことにある。

その結果、第 3 のドライブスキナ 1 0 7 と駆動線 D S L 1 2 1 が不要となっている。

【 0 0 9 8 】

その他の構成は、上述した第 5 および第 6 の実施形態と同様である。

10

第 9 および第 1 0 の実施形態は基本的には、同様に動作する。

図 3 5 および図 3 6 の (A) ~ (J) にその動作例のタイミングチャートを示す。

【 0 0 9 9 】

本第 9 および第 1 0 の実施形態によれば、上述した第 5 および第 6 の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【 0 1 0 0 】

第 1 1 実施形態および第 1 2 実施形態

図 3 7 は、本第 1 1 の実施形態に係る画素回路の具体的な構成を示す回路図である。図 3 8 は、本第 1 2 の実施形態に係る画素回路の具体的な構成を示す回路図である。

20

【 0 1 0 1 】

本第 1 1 の実施形態が第 7 の実施形態と異なる点は、キャパシタ C 1 1 2 の第 1 電極と第 2 のノード N D 1 1 2 とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ 1 1 8 により構成する代わりに、電気配線により直接接続するようにしたことにある。

本第 1 2 の実施形態が第 8 の実施形態と異なる点は、キャパシタ C 1 1 2 の第 1 電極と第 2 のノード N D 1 1 2 とを接続する電氣的接続手段を、両者間を選択的に接続するスイッチ 1 1 8 により構成する代わりに、電気配線により直接接続するようにしたことにある。

その結果、第 3 のドライブスキナ 1 0 7 と駆動線 D S L 1 2 1 が不要となっている。

【 0 1 0 2 】

その他の構成は、上述した第 7 および第 8 の実施形態と同様である。

30

【 0 1 0 3 】

その他の構成は、上述した第 7 および第 8 の実施形態と同様である。

第 1 1 および第 1 2 の実施形態は基本的には、同様に動作する。

図 3 9 および図 4 0 の (A) ~ (J) にその動作例のタイミングチャートを示す。

【 0 1 0 4 】

本第 1 1 および第 1 2 の実施形態によれば、上述した第 7 および第 8 の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【 図面の簡単な説明 】

【 0 1 0 5 】

40

【 図 1 】 第 1 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

【 図 2 】 図 1 の有機 E L 表示装置において第 1 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【 図 3 】 図 2 の回路の駆動方法を説明するためのタイミングチャートである。

【 図 4 】 図 2 の回路の駆動方法に係る動作を説明するための図である。

【 図 5 】 図 2 の回路の駆動方法に係る動作を説明するための図である。

【 図 6 】 図 2 の回路の駆動方法に係る動作を説明するための図である。

【 図 7 】 図 2 の回路の駆動方法に係る動作を説明するための図である。

【 図 8 】 基準電流を駆動トランジスタのソースに供給する理由を説明するための図である

50

。

【図 9】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

。

【図 10】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 11】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 12】第 2 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 13】図 12 の回路の駆動方法を説明するためのタイミングチャートである。

【図 14】第 3 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。

10

【図 15】図 14 の有機 E L 表示装置において第 3 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 16】図 15 の回路の駆動方法を説明するためのタイミングチャートである。

【図 17】第 4 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 18】図 17 の回路の駆動方法を説明するためのタイミングチャートである。

【図 19】第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 20】第 6 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 21】図 19 の回路のタイミングチャートである。

【図 22】図 20 の回路のタイミングチャートである。

20

【図 23】図 19 の回路の動作を説明するための図である。

【図 24】図 19 回路の動作を説明するための図である。

【図 25】図 19 の回路の動作を説明するための図である。

【図 26】図 19 の回路の動作を説明するための図である。

【図 27】図 19 の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 28】図 19 の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 29】第 7 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 30】第 8 の実施形態に係る画素回路の具体的な構成を示す回路図である。

30

【図 31】図 29 の回路のタイミングチャートである。

【図 32】図 30 の回路のタイミングチャートである。

【図 33】第 9 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 34】第 10 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 35】図 33 の回路のタイミングチャートである。

【図 36】図 34 の回路のタイミングチャートである。

【図 37】第 11 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 38】第 12 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 39】図 37 の回路のタイミングチャートである。

【図 40】図 38 の回路のタイミングチャートである。

40

【図 41】一般的な有機 E L 表示装置の構成を示すブロック図である。

【図 42】図 41 の画素回路の一構成例を示す回路図である。

【図 43】有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。

【図 44】図 42 の回路の p チャンネル T F T を n チャンネル T F T に置き換えた画素回路を示す回路図である。

【図 45】初期状態におけるドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

【図 46】経時変化後のドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

【図 47】ドライブトランジスタとしての n チャンネル T F T のソースを接地電位に接続し

50

た画素回路を示す回路図である。

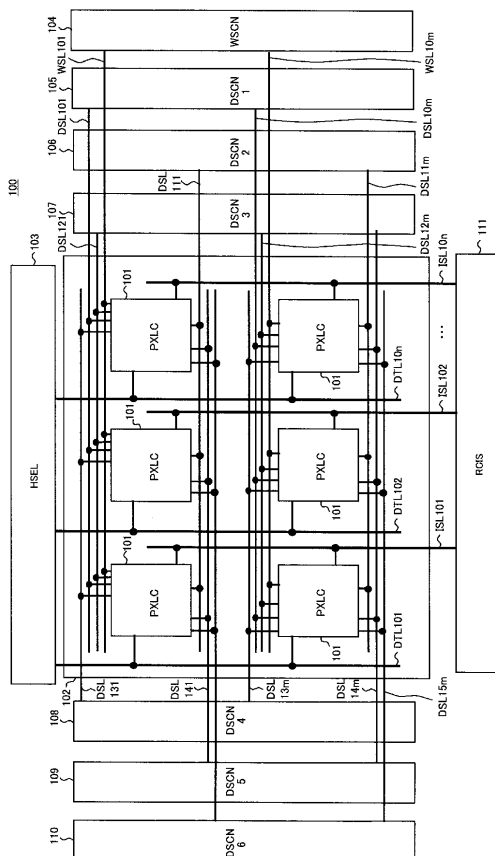
【符号の説明】

【 0 1 0 6 】

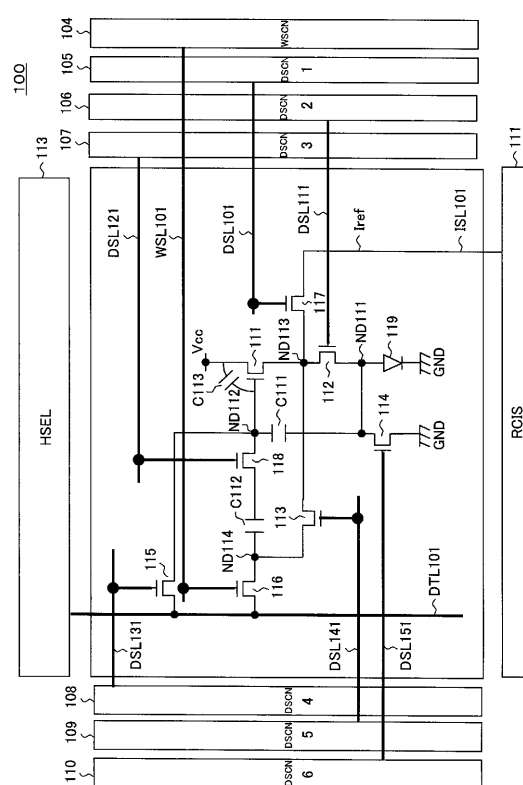
1 0 0 , 1 0 0 A ~ 1 0 0 J ... 表示装置、1 0 1 ... 画素回路 (P X L C)、1 0 2 ... 画素アレイ部、1 0 3 ... 水平セクタ (H S E L)、1 0 4 ... ライトスキャナ (W S C N)、1 0 5 ... 第 1 のドライブスキャナ (D S C N 1)、1 0 6 ... 第 2 のドライブスキャナ (D S C N 2)、1 0 7 ... 第 3 のドライブスキャナ (D S C N 3)、1 0 8 ... 第 4 のドライブスキャナ (D S C N 4)、1 0 9 ... 第 5 のドライブスキャナ (D S C N 5)、1 1 0 ... 第 6 のドライブスキャナ (D S C N 6)、D T L 1 0 1 ~ D T L 1 0 n ... データ線、W S L 1 0 1 ~ W S L 1 0 m ... 走査線、D S L 1 0 1 ~ D S L 1 0 m , D S L 1 1 1 ~ D S L 1 1 m , D S L 1 2 1 ~ D S L 1 2 m , D S L 1 3 1 ~ D S L 1 3 m , D S L 1 4 1 ~ D S L 1 4 m , D S L 1 5 1 ~ D S L 1 5 m , D S L 1 6 1 ~ D S L 1 6 m ... 駆動線、1 1 1 ... ドライブ (駆動) トランジスタとしての T F T、1 1 2 ... 第 1 のスイッチとしての T F T、1 1 3 ... 第 2 のスイッチとしての T F T、1 1 4 ... 第 3 のスイッチとしての T F T、1 1 5 ... 第 4 のスイッチとしての T F T、1 1 6 ... 第 5 のスイッチとしての T F T、1 1 7 ... 第 6 のスイッチとしての T F T、1 1 8 ... 第 7 のスイッチとしての T F T、1 1 9 ... 発光素子、1 2 0 ... 第 7 または第 8 のスイッチとしての T F T、1 2 1 ... 第 8 または第 9 のスイッチとしての T F T、N D 1 1 1 ... 第 1 のノード、N D 1 1 2 ... 第 2 のノード、N D 1 1 3 ... 第 3 のノード、N D 1 1 4 ... 第 4 のノード。

10

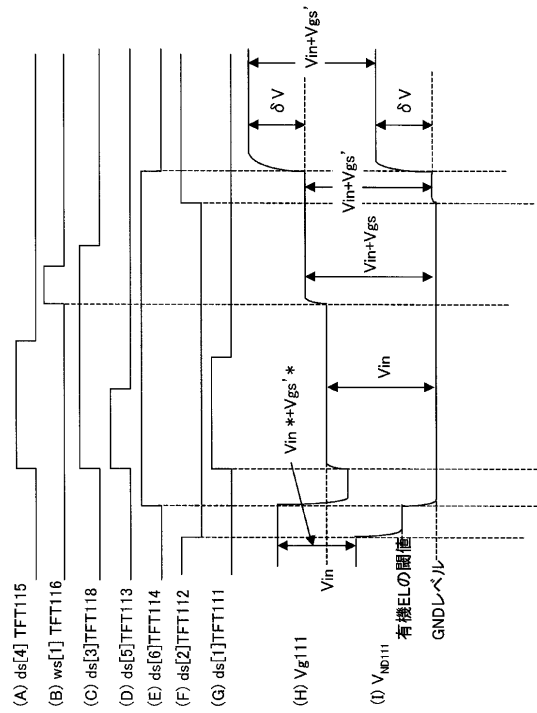
【 図 1 】



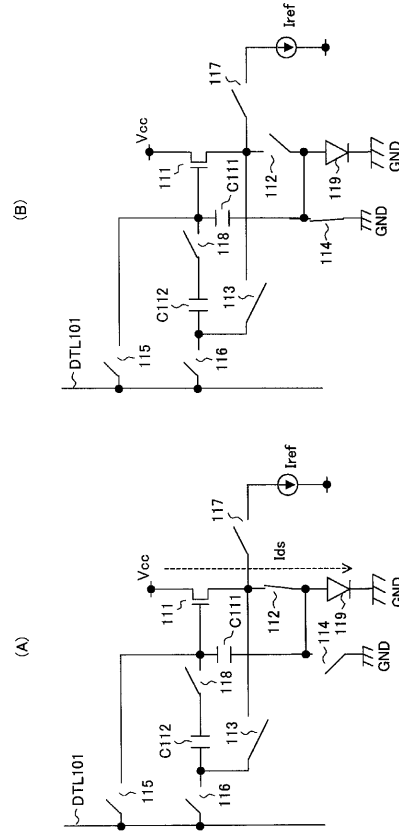
【 図 2 】



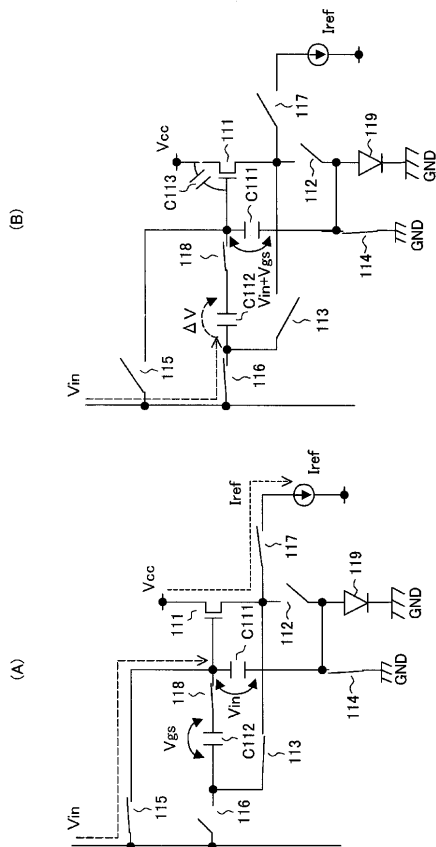
【図 3】



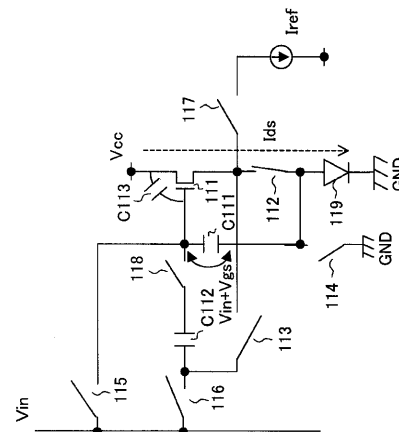
【図 4】



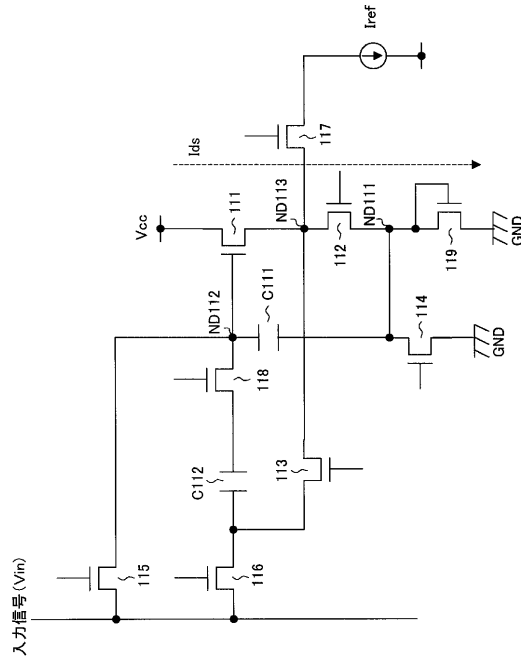
【図 5】



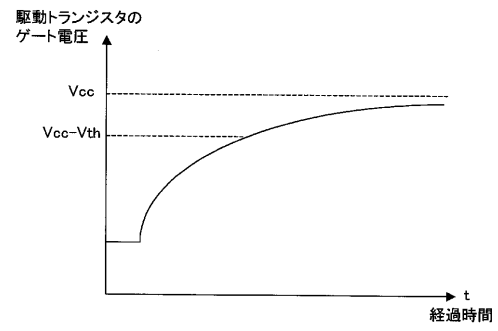
【図 6】



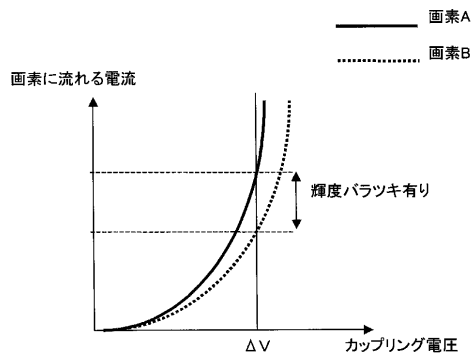
【図 7】



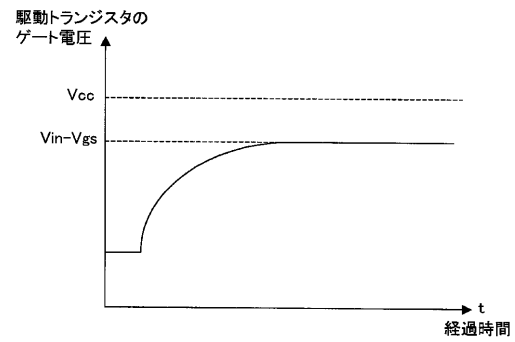
【図 8】



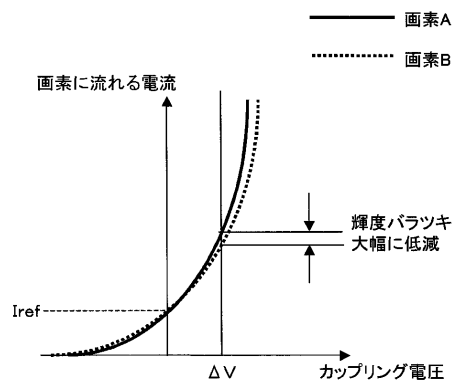
【図 9】



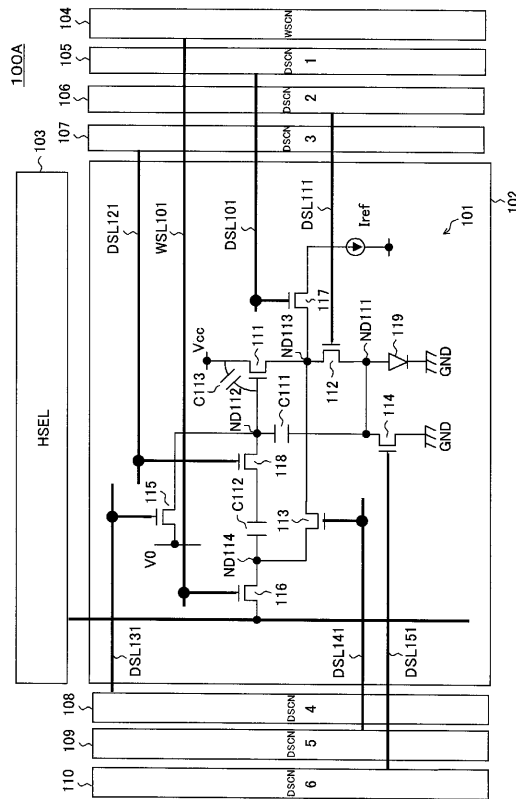
【図 10】



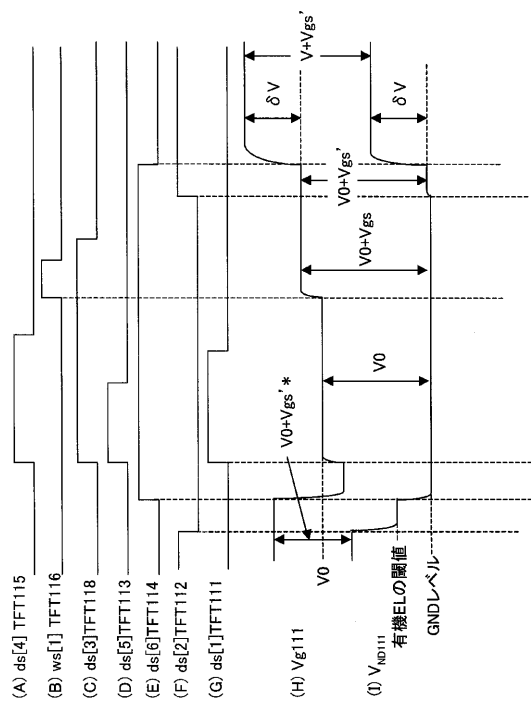
【図 1 1】



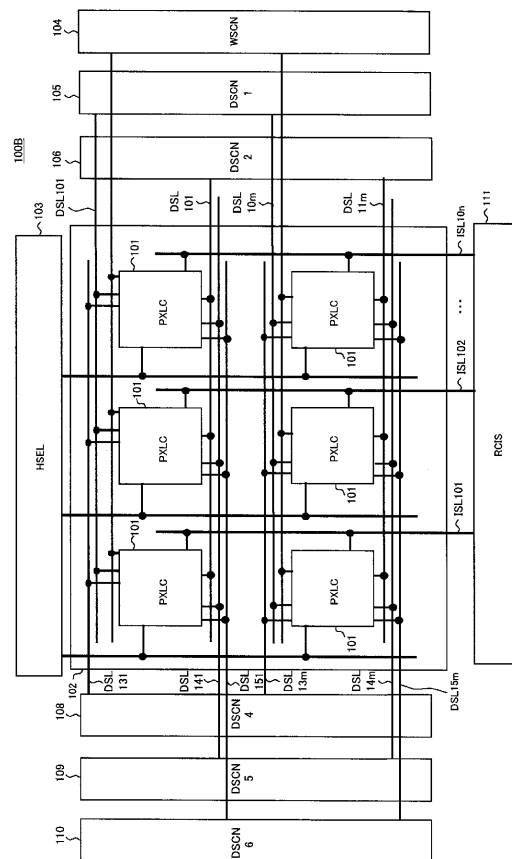
【図 1 2】



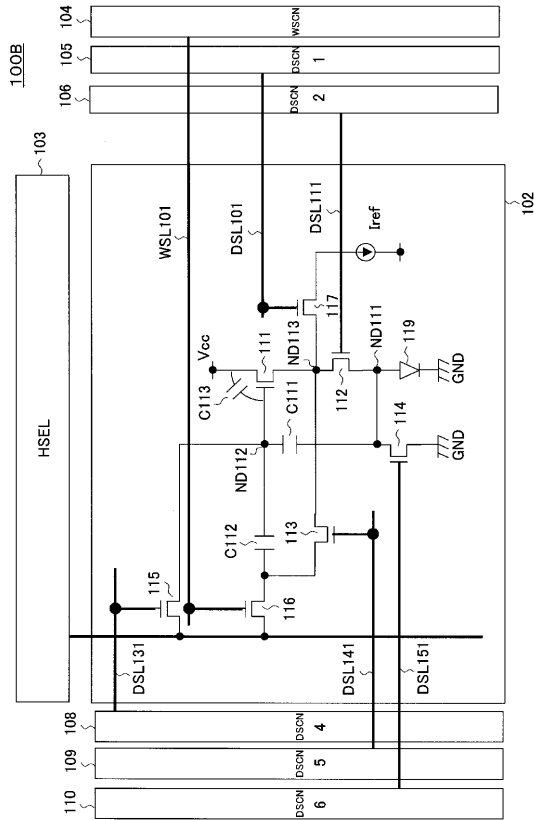
【図 1 3】



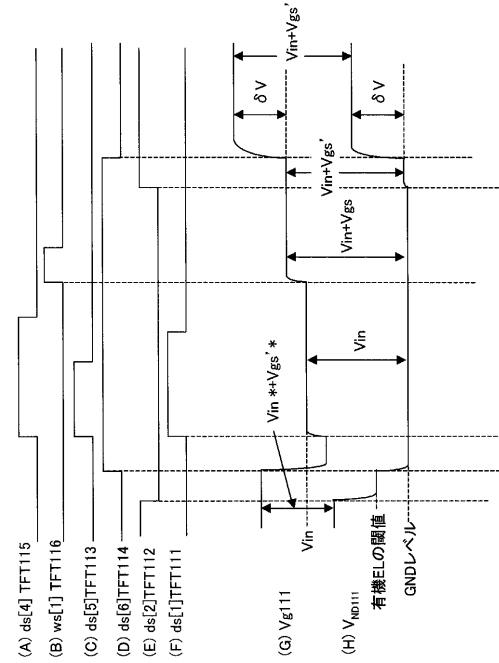
【図 1 4】



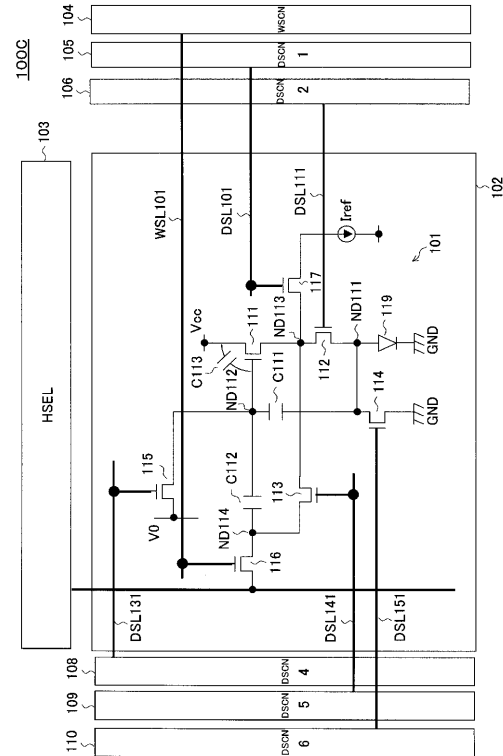
【図 15】



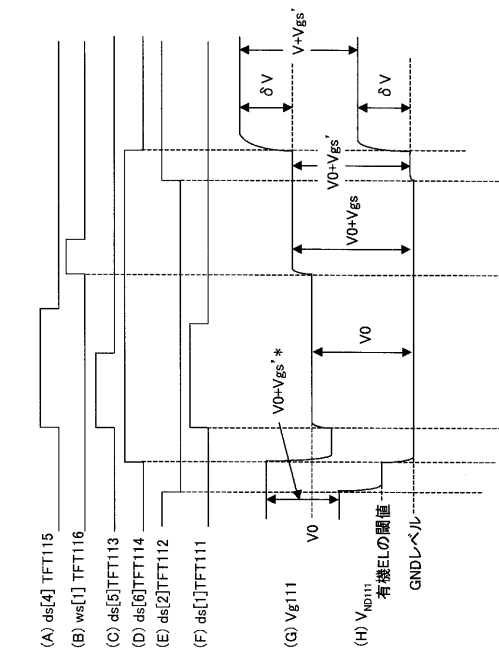
【図 16】



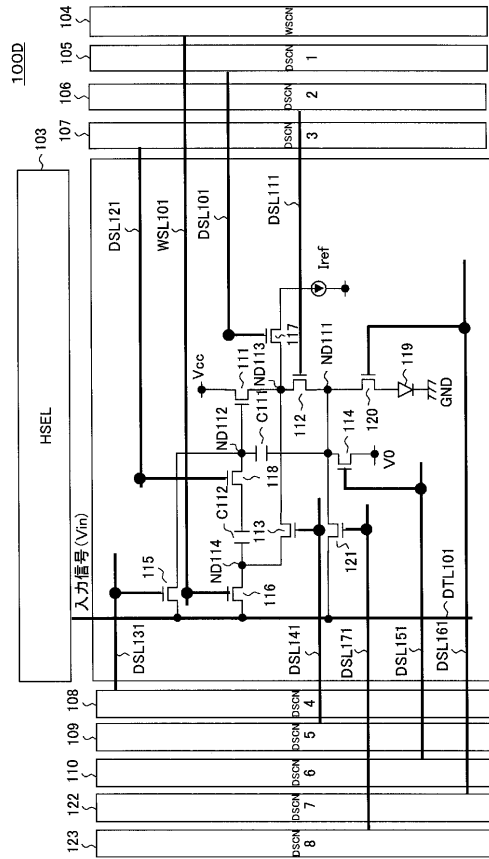
【図 17】



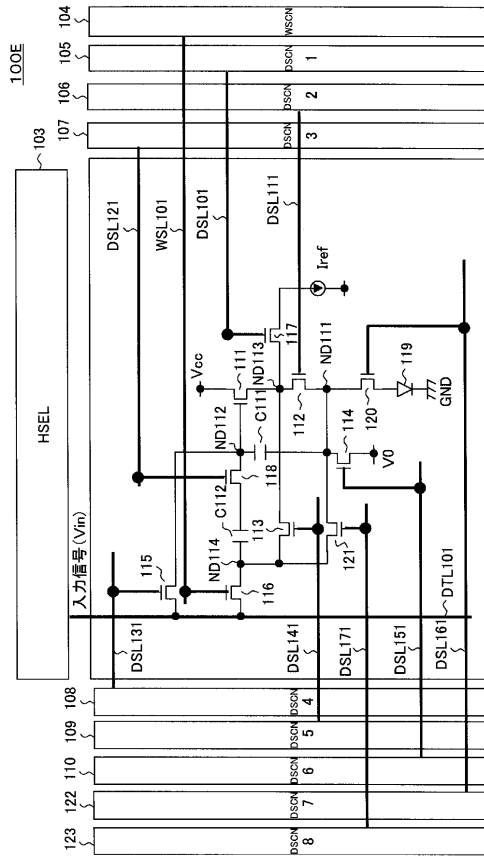
【図 18】



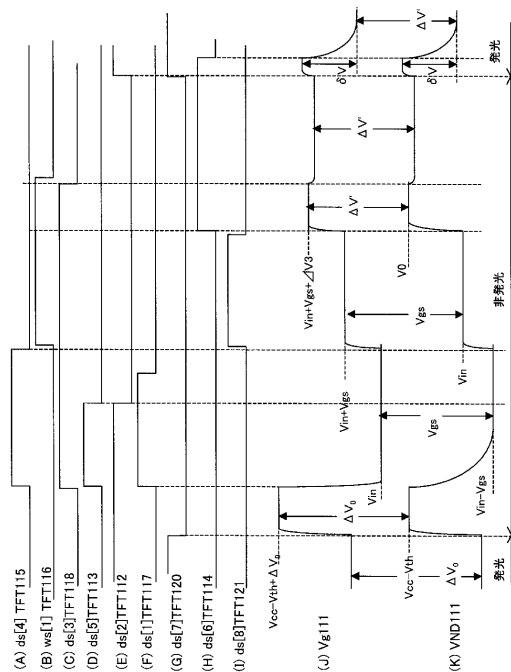
【図 19】



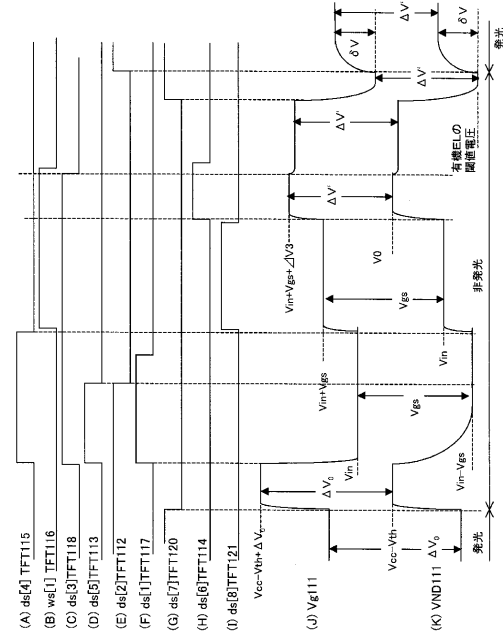
【図 20】



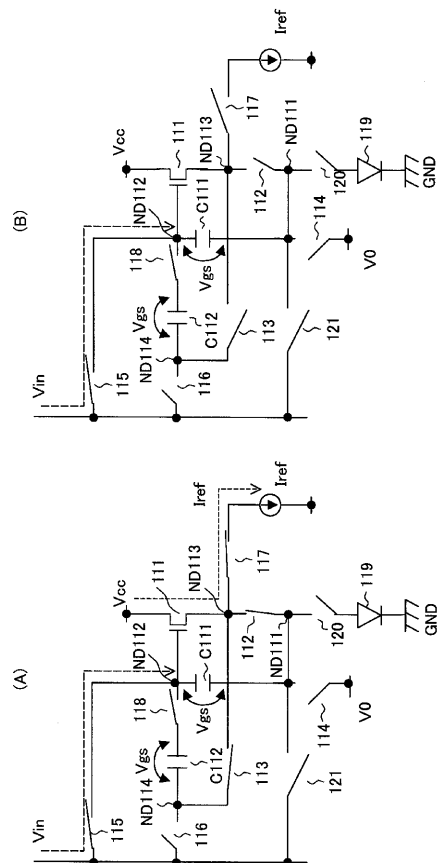
【図 21】



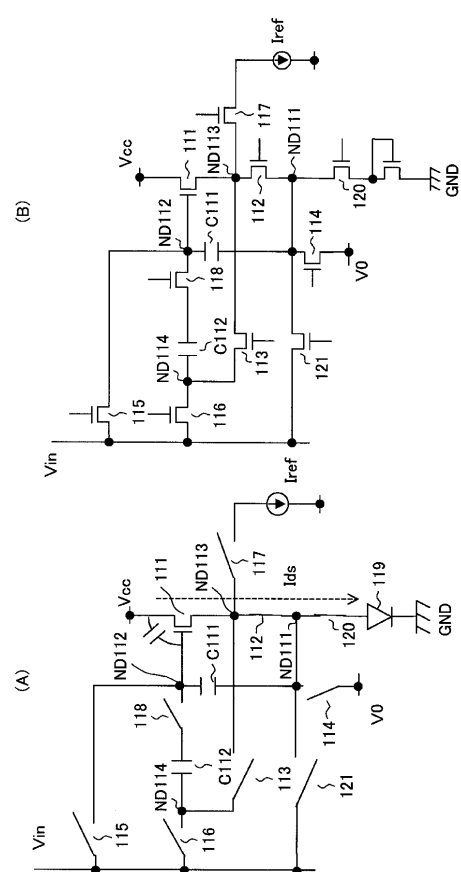
【図 22】



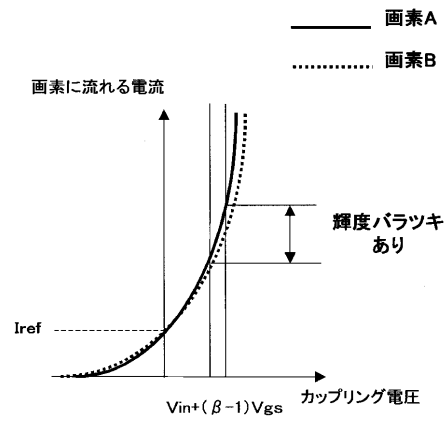
【圖 24】



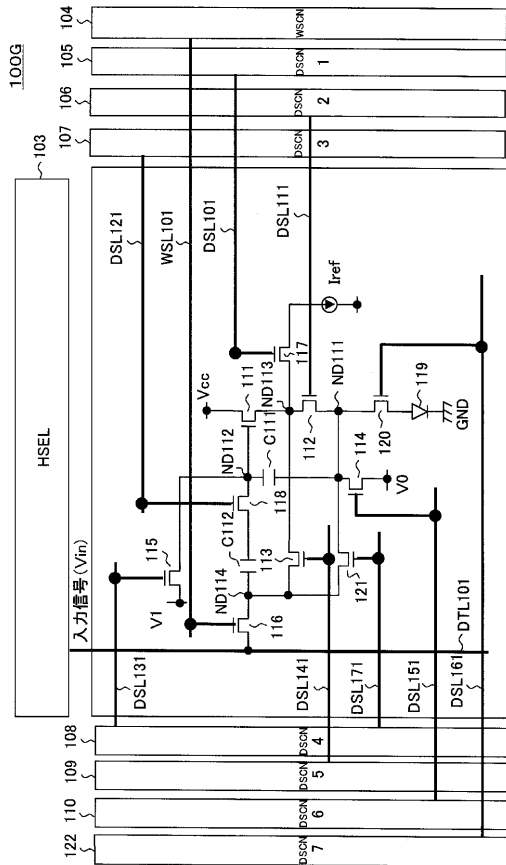
【 図 2 6 】



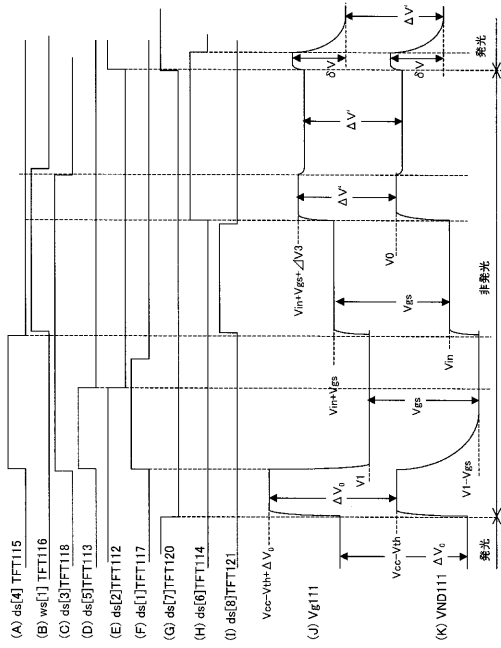
【圖 28】



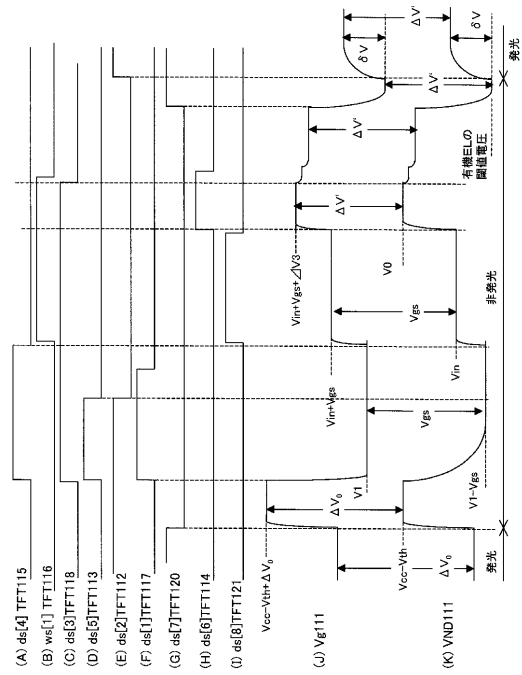
【 図 3 0 】



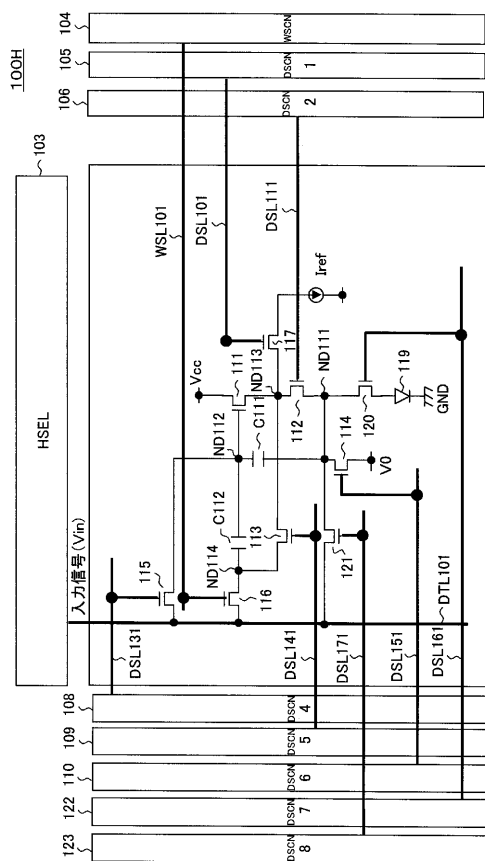
【図 3 1】



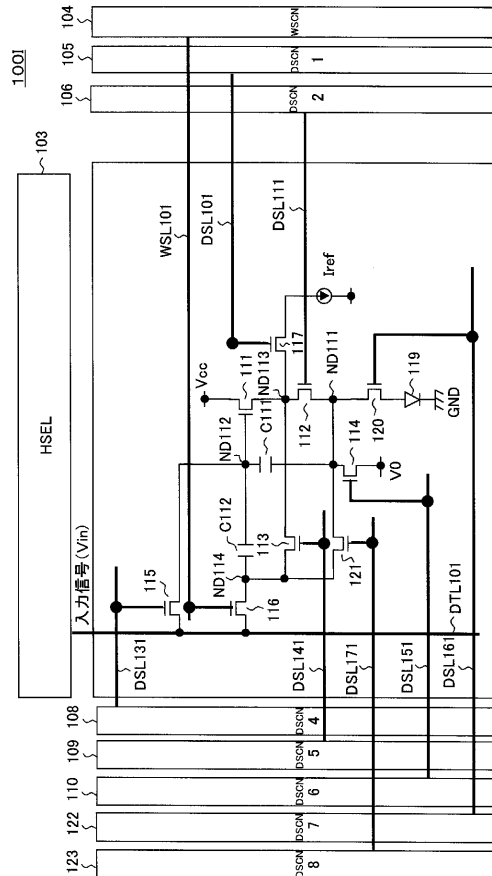
【図 3 2】



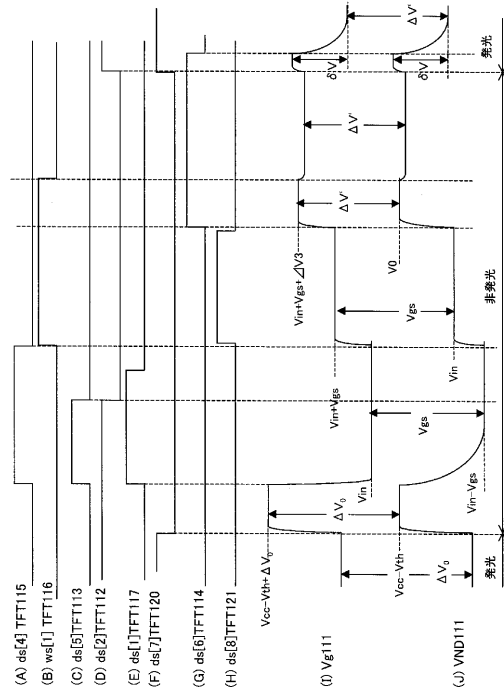
【図 3 3】



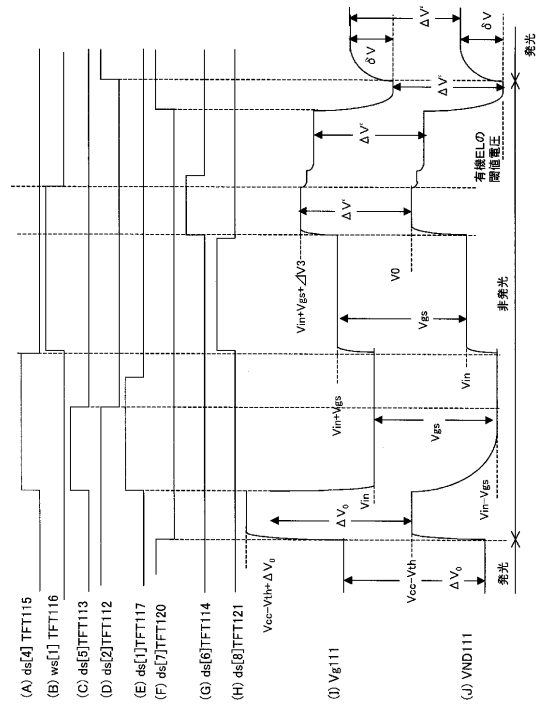
【図 3 4】



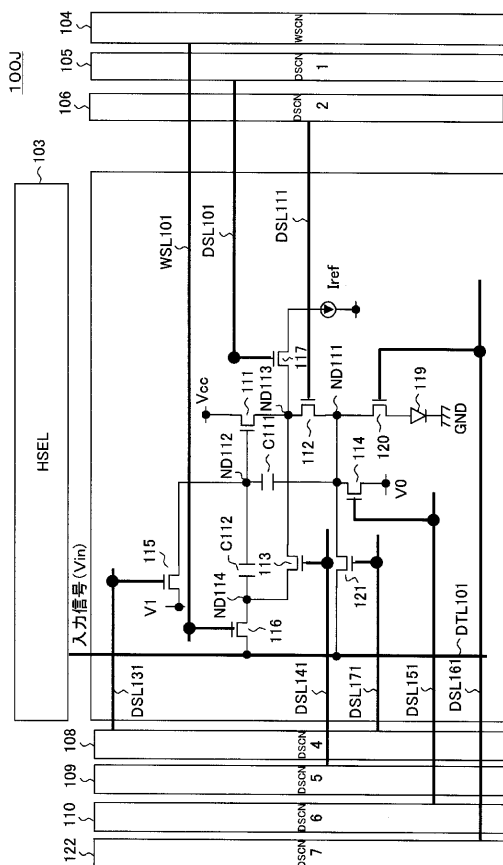
【図 35】



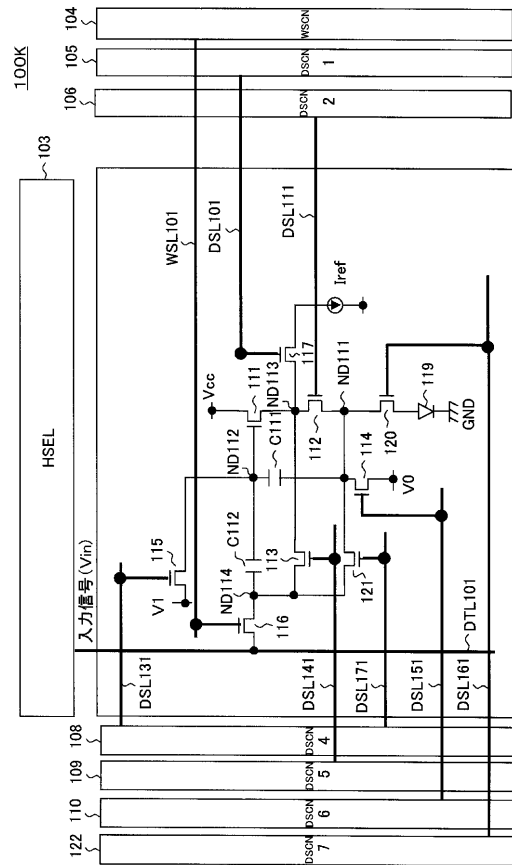
【図 36】



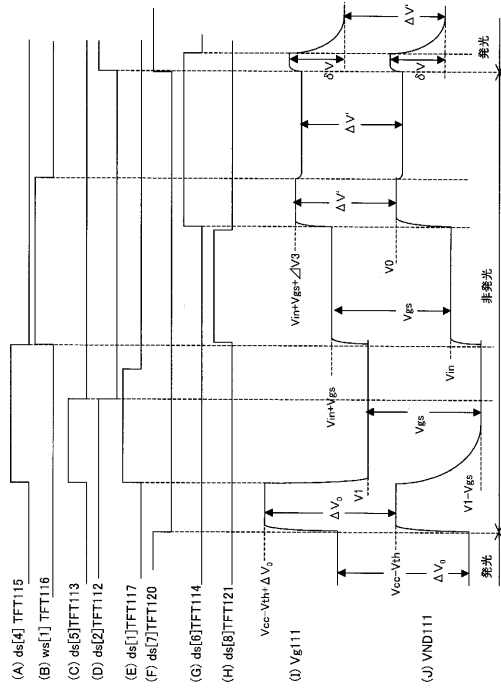
【図 37】



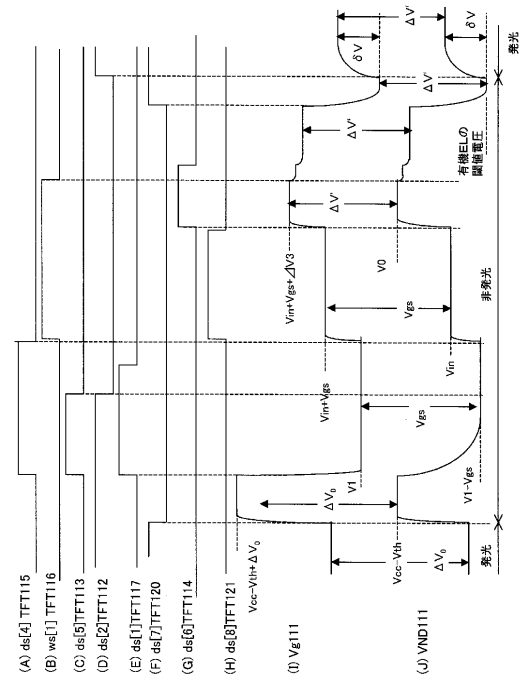
【図 38】



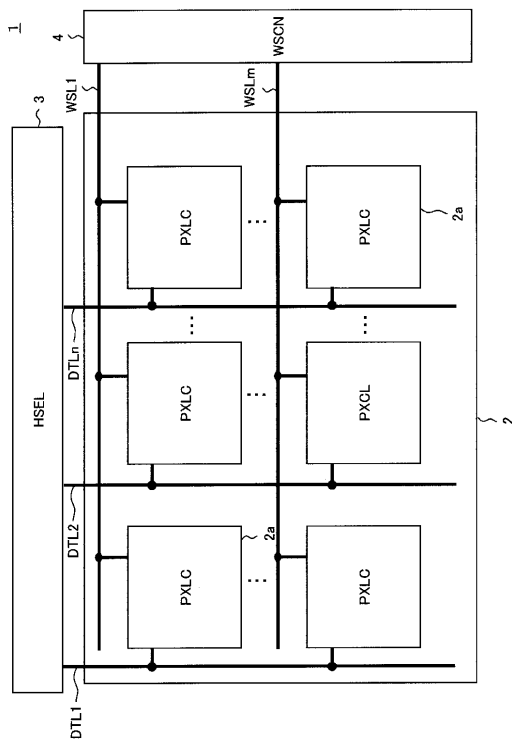
【 図 3 9 】



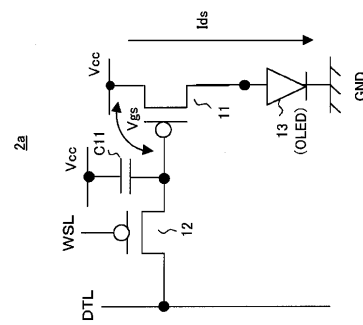
【 図 4 0 】



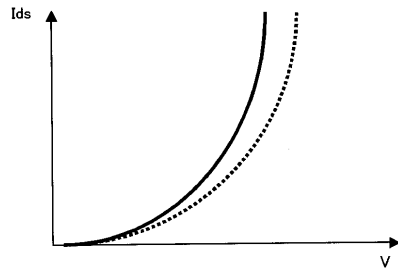
【 図 4 1 】



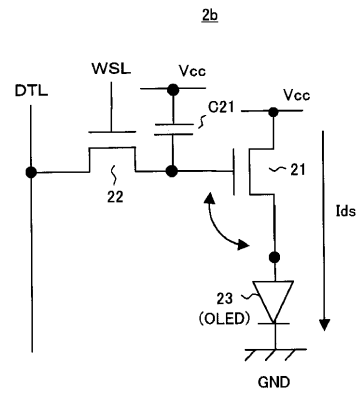
【圖 4 2】



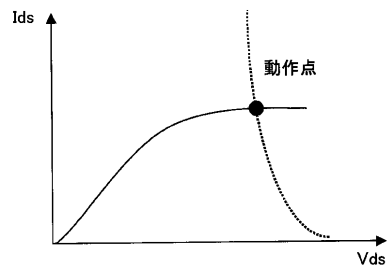
【図 4 3】



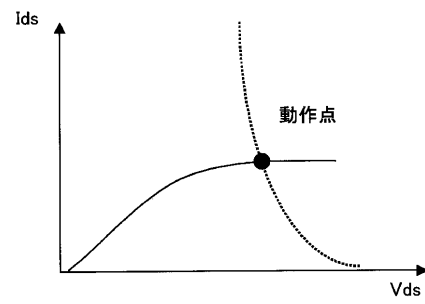
【図 4 4】



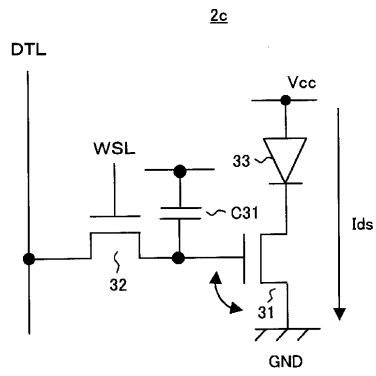
【図 4 5】



【図 4 6】



【図 47】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 1 4
H 0 5 B 33/14 A

審査官 福村 拓

(56)参考文献 特開2003-271095(JP,A)
特開2003-216109(JP,A)
特開2003-195809(JP,A)
特表2002-514320(JP,A)
特開2003-173165(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0
G 0 9 F 9 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	像素电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP4131227B2	公开(公告)日	2008-08-13
申请号	JP2003380171	申请日	2003-11-10
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 山本哲郎		
发明人	内野 勝秀 山下 淳一 山本 哲郎		
IPC分类号	G09G3/30 G09F9/30 G09G3/20 H01L29/786 H01L51/50 G09G3/32 G09G5/10 H05B33/00 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.J G09F9/30.338 G09G3/20.611.H G09G3/20.624.B G09G3/20.670.J H01L29/78.614 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/FB14 5C094/GA10 5C380/AA01 5C380/AB06 5C380/BA11 5C380/BA13 5C380/BA14 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC20 5C380/BD02 5C380/CA10 5C380/CA12 5C380/CA48 5C380/CA54 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC66 5C380/CD012 5C380/CD027 5C380/CD028 5C380/CD029 5C380/CE04 5C380/DA02 5C380/DA06 5C380/HA03 5C380/HA08 5F110/AA14 5F110/BB02 5F110/GG02 5F110/GG15 5F110/NN71 5F110/NN73		
代理人(译)	佐藤隆久		
审查员(译)	福村 拓		
其他公开文献	JP2005141163A5 JP2005141163A		
外部链接	Espacenet		

摘要(译)

要解决的问题：尽管随着时间的推移发光元件的电流 - 电压特性的变化并且可以显示均匀和高等级，提供能够执行源极跟随器输出但没有亮度劣化的像素电路图像中的有源元件的阈值电平和迁移率没有变化的图像，显示装置和像素电路的驱动方法。解决方案：电容器C 111连接在TFT 111的栅极和源极之间，TFT 111的源极侧通过TFT 114连接到固定电位 (GND)。此外，提供规定的参考电流Iref。保持TFT 111的源极的规定定时和对应于参考电流Iref的电压，并且输入信号电压耦合在电压周围，以围绕迁移率变化的中心值驱动EL发光元件19。 Ž

