

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4131227号
(P4131227)

(45) 発行日 平成20年8月13日(2008.8.13)

(24) 登録日 平成20年6月6日(2008.6.6)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09F	9/30	(2006.01)	G09F	9/30	338
G09G	3/20	(2006.01)	G09G	3/20	611H
H01L	29/786	(2006.01)	G09G	3/20	624B
H01L	51/50	(2006.01)	G09G	3/20	670J

請求項の数 13 (全 36 頁) 最終頁に続く

(21) 出願番号

特願2003-380171 (P2003-380171)

(22) 出願日

平成15年11月10日(2003.11.10)

(65) 公開番号

特開2005-141163 (P2005-141163A)

(43) 公開日

平成17年6月2日(2005.6.2)

審査請求日

平成17年3月16日(2005.3.16)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 山本 哲郎

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

(54) 【発明の名称】画素回路、表示装置、および画素回路の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

流れれる電流によって輝度が変化する電気光学素子を駆動する画素回路であつて、輝度情報に応じたデータ信号が供給されるデータ線と、
 第1、第2、第3、および第4のノードと、
 第1および第2の基準電位と、
 所定の基準電流を供給する基準電流供給手段と、
 上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、
 第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
 上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、
 上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、
 上記第1のノードと固定電位との間に接続された第3のスイッチと、
 上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
 上記データ線と上記第4のノードとの間に接続された第5のスイッチと、
 上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、
上記第4のノードに接続された結合容量素子と、
上記結合容量素子と上記第2のノードとの間に接続された電気的接続手段と、を有し、
上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ライ
ンが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続

10

20

されている

画素回路。

【請求項 2】

上記電気的接続手段は、上記第 2 のノードと上記結合容量素子とを直接接続する配線を含む

請求項 1 記載の画素回路。

【請求項 3】

上記電気的接続手段は、上記第 2 のノードと上記結合容量素子とを選択的に接続する第 7 のスイッチを含む

請求項 1 記載の画素回路。

10

【請求項 4】

上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、

上記第 1 のノードと上記データ線との間に接続された第 8 のスイッチと、を含む

請求項 1 記載の画素回路。

【請求項 5】

上記第 1 のノードと上記電気光学素子との間に接続された第 7 のスイッチと、

上記第 1 のノードと上記第 4 のノードとの間に接続された第 8 のスイッチと、を含む

請求項 1 記載の画素回路。

【請求項 6】

上記第 1 のノードと上記電気光学素子との間に接続された第 8 のスイッチと、

20

上記第 1 のノードと上記データ線との間に接続された第 9 のスイッチと、を含む

請求項 3 記載の画素回路。

【請求項 7】

上記第 1 のノードと上記電気光学素子との間に接続された第 8 のスイッチと、

上記第 1 のノードと上記第 4 のノードとの間に接続された第 9 のスイッチと、を含む

請求項 3 記載の画素回路。

【請求項 8】

上記所定の電位線は、上記データ線と共に用されている

請求項 1 記載の画素回路。

30

【請求項 9】

上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第 3 のノードに接続され、ドレインが上記第 1 の基準電位に接続されている

請求項 1 記載の画素回路。

【請求項 10】

上記電気光学素子を駆動する場合、

第 1 ステージとして、上記第 1 、第 2 、第 4 、第 5 および第 6 のスイッチが非導通状態に保持された状態で、上記第 3 のスイッチが導通状態に保持されて、上記第 1 のノードが固定電位に接続され、

第 2 ステージとして、上記第 2 、第 4 、および上記第 6 のスイッチが導通状態に保持されて、所定電位を上記第 2 のノードに入力させ、基準電流を上記第 3 のノードに流し、画素容量素子に所定電位を充電し、

40

第 3 ステージとして、上記第 2 および第 6 のスイッチが非導通状態に保持され、さらに第 4 のスイッチが非導通状態に保持され、上記第 5 のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第 2 のノードに入力された後、上記第 5 のスイッチが非導通状態に保持され、

第 4 ステージとして、上記第 1 のスイッチが導通状態に保持され、上記第 3 のスイッチが非導通状態に保持される

請求項 2 記載の画素回路。

【請求項 11】

上記電気光学素子を駆動する場合、

50

第1ステージとして、上記第1、第2、第4、第5、第6、および第7のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、

第2ステージとして、上記第2、第4、第6、および第7のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、

第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードを介して第2のノードに入力された後、上記第5および第7のスイッチが非導通状態に保持され、

第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される

請求項3記載の画素回路。

【請求項12】

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、

第1および第2の基準電位と、を有し、

所定の基準電流を供給する基準電流供給手段と、

上記画素回路は、

流れる電流によって輝度が変化する電気光学素子と、

第1、第2、第3、および第4のノードと、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、

上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、

上記第1のノードと固定電位との間に接続された第3のスイッチと、

上記第2のノードと所定の電位線との間に接続された第4のスイッチと、

上記データ線と上記第4のノードとの間に接続された第5のスイッチと、

上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、

上記第4のノードに接続された結合容量素子と、

上記結合容量素子と上記第2のノードとの間に接続された電気的接続手段と、を有し、

上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続されている

表示装置。

【請求項13】

流れる電流によって輝度が変化する電気光学素子と、

輝度情報に応じたデータ信号が供給されるデータ線と、

第1、第2、第3、および第4のノードと、

第1および第2の基準電位と、

所定の基準電流を供給する基準電流供給手段と、

上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、

第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、

上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、

10

20

30

40

50

上記第1のノードと固定電位との間に接続された第3のスイッチと、
 上記第2のノードと所定の電位線との間に接続された第4のスイッチと、
 上記データ線と上記第4のノードとの間に接続された第5のスイッチと、
 上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、
上記第4のノードに接続された結合容量素子と、
上記結合容量素子と上記第2のノードとの間に接続された電気的接続手段と、を有し、
上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ライ
ンが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続
 されている画素回路の駆動方法であって、

上記第1、第2、第4、第5および第6のスイッチが非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し、10

上記第2、第4、および上記第6のスイッチを導通状態に保持して、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、

上記第2および第6のスイッチを非導通状態に保持し、さらに第4のスイッチを非導通状態に保持し、上記第5のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記第2のノードに入力させた後、上記第5のスイッチを非導通状態に保持し、

上記第1のスイッチを導通状態に保持し、上記第3のスイッチを非導通状態に保持する画素回路の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、有機EL(Electroluminescence)ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

【背景技術】

【0002】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。30

これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT(Thin Film Transistor、薄膜トランジスタ)によって制御する、アクティブマトリクス方式の開発が盛んに行われている。40

【0004】

図41は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図41に示すように、画素回路(PXLC)2aがm×nのマトリクス状に配列された画素アレイ部2、水平セレクタ(HSEL)3、ライトスキーナ(WSCN)4、水平セレクタ3により選択され輝度情報に応じたデータ信号が供給されるデ50

データ線 D T L 1 ~ D T L n、およびライトスキャナ 4 により選択駆動される走査線 W S L 1 ~ W S L m を有する。

なお、水平セレクタ 3、ライトスキャナ 4 に関しては、多結晶シリコン上に形成する場合や、M O S I C 等で画素の周辺に形成することもある。

【0005】

図 4 2 は、図 4 1 の画素回路 2 a の一構成例を示す回路図である（たとえば特許文献 1、2 参照）。

図 4 2 の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる 2 トランジスタ駆動方式の回路である。

【0006】

図 4 2 の画素回路 2 a は、p チャネル薄膜電界効果トランジスタ（以下、T F T という）1 1 および T F T 1 2、キャパシタ C 1 1、発光素子である有機 E L 子（O L E D ）1 3 を有する。また、図 4 2 において、D T L はデータ線を、W S L は走査線をそれぞれ示している。

有機 E L 素子は多くの場合整流性があるため、O L E D (Organic Light Emitting Diode) と呼ばれることがあり、図 4 2 その他では発光素子としてダイオードの記号を用いているが、以下の説明において O L E D には必ずしも整流性を要求するものではない。

図 4 2 では T F T 1 1 のソースが電源電位 V C C に接続され、発光素子 1 3 のカソード（陰極）は接地電位 G N D に接続されている。図 4 2 の画素回路 2 a の動作は以下の通りである。

【0007】

ステップ S T 1 :

走査線 W S L を選択状態（ここでは低レベル）とし、データ線 D T L に書き込み電位 V data を印加すると、T F T 1 2 が導通してキャパシタ C 1 1 が充電または放電され、T F T 1 1 のゲート電位は V data となる。

【0008】

ステップ S T 2 :

走査線 W S L を非選択状態（ここでは高レベル）とすると、データ線 D T L と T F T 1 1 とは電気的に切り離されるが、T F T 1 1 のゲート電位はキャパシタ C 1 1 によって安定に保持される。

【0009】

ステップ S T 3 :

T F T 1 1 および発光素子 1 3 に流れる電流は、T F T 1 1 のゲート・ソース間電圧 V g s に応じた値となり、発光素子 1 3 はその電流値に応じた輝度で発光し続ける。

上記ステップ S T 1 のように、走査線 W S L を選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図 4 2 の画素回路 2 a では、一度 V data の書き込みを行えば、次に書き換えられるまでの間、発光素子 1 3 は一定の輝度で発光を継続する。

【0010】

上述したように、画素回路 2 a では、ドライブトランジスタである T F T 1 1 のゲート印加電圧を変化させることで、E L 発光素子 1 3 に流れる電流値を制御している。

このとき、p チャネルのドライブトランジスタのソースは電源電位 V C C に接続されており、この T F T 1 1 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【0011】

（数 1 ）

$$I_{ds} = 1 / 2 \cdot \mu (W / L) C_o x (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【0012】

ここで、μ はキャリアの移動度を、C o x は単位面積当たりのゲート容量を、W はゲート幅を、L はゲート長を、V gs は T F T 1 1 のゲート・ソース間電圧を、V th は T F T 1

10

20

30

40

50

1のしきい値をそれぞれ示している。

【0013】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0014】

図43は、有機EL素子の電流-電圧(I-V)特性の経時変化を示す図である。図43において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。10

【0015】

一般的に、有機EL素子のI-V特性は、図43に示すように、時間が経過すると劣化してしまう。

しかしながら、図42の2トランジスタ駆動は定電流駆動のために有機EL素子には上述したように定電流が流れ続け、有機EL素子のI-V特性が劣化してもその発光輝度は経時劣化することはない。

【0016】

ところで、図42の画素回路2aは、pチャネルのTFTにより構成されているが、nチャネルのTFTにより構成することができれば、TFT作製において従来のアモルファスシリコン(a-Si)プロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。20

【0017】

次に、トランジスタをnチャネルTFTに置き換えた画素回路について考察する。

【0018】

図44は、図42の回路のpチャネルTFTをnチャネルTFTに置き換えた画素回路を示す回路図である。

【0019】

図44の画素回路2bは、nチャネルTFT21およびTFT22、キャパシタC21、発光素子である有機EL素子(LED)23を有する。また、図44において、DTLはデータ線を、WSLは走査線をそれぞれ示している。30

【0020】

この画素回路2bでは、ドライブトランジスタとしてTFT21のドレイン側が電源電位VCCに接続され、ソースはEL素子23のアノードに接続されており、ソースフォロワー回路を形成している。

【0021】

図45は、初期状態におけるドライブトランジスタとしてのTFT21とEL素子23の動作点を示す図である。図45において、横軸はTFT21のドレイン・ソース間電圧Vdsを、縦軸はドレイン・ソース間電流Idsをそれぞれ示している。

【0022】

図45に示すように、ソース電圧はドライブトランジスタであるTFT21とEL素子23との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。40

このTFT21は飽和領域で駆動されるので、動作点のソース電圧に対したVgsに関して上記式1に示した方程式の電流値の電流Idsを流す。

【特許文献1】U.S.P.5,684,365

【特許文献2】特開平8-234683号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

しかしながら、ここでも同様にEL素子のI-V特性は経時劣化してしまう。図46に示すように、この経時劣化により動作点が変動してしまい、同じゲート電圧を印加してい50

てもそのソース電圧は変動する。

これにより、ドライブトランジスタである TFT21 のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時に EL 素子 23 に流れる電流値も変化するので、EL 素子 23 の I-V 特性が劣化すると、図 44 のソースフォロワー回路ではその発光輝度は経時変化してしまう。

【0024】

また、図 47 に示すように、ドライブトランジスタとしての n チャネル TFT31 のソースを接地電位 GND に接続し、ドレンを EL 素子 33 のカソードに接続し、EL 素子 33 のアノードを電源電位 VCC に接続する回路構成も考えられる。

【0025】

この方式では、図 42 の p チャネル TFT による駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとして TFT31 は定電流源として動作して、EL 素子 33 の I-V 特性の劣化による輝度変化も防止できる。

【0026】

しかしながら、この方式ではドライブトランジスタを EL 素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。

以上より、従来の方式では輝度変化のない、n チャネルトランジスタ使用の有機 EL 素子の開発はなされていなかった。

【0027】

また、たとえ、輝度変化のない、n チャネルトランジスタ使用の有機 EL 素子の開発がなされたとしても、TFTトランジスタは一般的に移動度 μ やしきい値 V_{th} のばらつきが大きいことが特徴であることから、駆動トランジスタのゲートに同じ値の電圧が印加されても、画素ごとに電流値は駆動トランジスタの移動度 μ やしきい値 V_{th} によってばらついてしまい、均一な画質を得ることができない。

【0028】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いた今まで、n チャネルトランジスタを電気光学素子の駆動素子として用いることができ、しかも、画素内部の能動素子のしきい値や移動度のばらつきによらず均一で高品位の画像を表示することが可能な画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【課題を解決するための手段】

【0029】

上記目的を達成するため、本発明の第 1 の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第 1、第 2、第 3、および第 4 のノードと、第 1 および第 2 の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第 1 のノードと上記第 3 のノードとの間に接続された第 1 のスイッチと、上記第 3 のノードと上記第 4 のノードとの間に接続された第 2 のスイッチと、上記第 1 のノードと固定電位との間に接続された第 3 のスイッチと、上記第 2 のノードと所定の電位線との間に接続された第 4 のスイッチと、上記データ線と上記第 4 のノードとの間に接続された第 5 のスイッチと、上記第 3 のノードと上記基準電流供給手段との間に接続された第 6 のスイッチと、上記第 4 のノードに接続された結合容量素子と、上記結合容量素子と上記第 2 のノードとの間に接続された電気的接続手段と、を有し、上記第 1 の基準電位と上記第 3 のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第 1 のノードと上記第 2 の基準電位との間に上記電気光学素子が接続されて

10

20

30

40

50

いる。

【0030】

好適には、上記電気的接続手段は、上記第2のノードと上記結合容量素子とを直接接続する配線を含む。

【0031】

好適には、上記電気的接続手段は、上記第2のノードと上記結合容量素子とを選択的に接続する第7のスイッチを含む。

【0032】

好適には、上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、上記第1のノードと上記データ線との間に接続された第8のスイッチと、を含む。 10

また、上記第1のノードと上記電気光学素子との間に接続された第7のスイッチと、上記第1のノードと上記第4のノードとの間に接続された第8のスイッチと、を含む。

【0033】

好適には、上記所定の電位線は、上記データ線と共に用されている。

【0034】

また、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第3のノードに接続され、ドレインが上記第1の基準電位に接続されている。

【0035】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1、第2、第4、第5および第6のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、第2ステージとして、上記第2、第4、および上記第6のスイッチが導通状態に保持されて、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第2のノードに入力された後、上記第5のスイッチが非導通状態に保持され、第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される。 20

【0036】

また、好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1、第2、第4、第5、第6、および第7のスイッチが非導通状態に保持された状態で、上記第3のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続され、 30

第2ステージとして、上記第2、第4、第6、および第7のスイッチが導通状態に保持されて、上記データ線を伝播されるデータ電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、第3ステージとして、上記第2および第6のスイッチが非導通状態に保持され、さらに第4のスイッチが非導通状態に保持され、上記第5のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記第4のノードを介して第2のノードに入力された後、上記第5および第7のスイッチが非導通状態に保持され、第4ステージとして、上記第1のスイッチが導通状態に保持され、上記第3のスイッチが非導通状態に保持される。 40

【0037】

本発明の第2の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、第1および第2の基準電位と、を有し、所定の基準電流を供給する基準電流供給手段と、上記画素回路は、流れる電流によって輝度が変化する電気光学素子と、第1、第2、第3、および第4のノードと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチ 50

と、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、上記第4のノードに接続された結合容量素子と、上記結合容量素子と上記第2のノードとの間に接続された電気的接続手段と、を有し、上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続されている。

【0038】

本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1、第2、第3、および第4のノードと、第1および第2の基準電位と、所定の基準電流を供給する基準電流供給手段と、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第3のノードとの間に接続された第1のスイッチと、上記第3のノードと上記第4のノードとの間に接続された第2のスイッチと、上記第1のノードと固定電位との間に接続された第3のスイッチと、上記第2のノードと所定の電位線との間に接続された第4のスイッチと、上記データ線と上記第4のノードとの間に接続された第5のスイッチと、上記第3のノードと上記基準電流供給手段との間に接続された第6のスイッチと、上記第4のノードに接続された結合容量素子と、上記結合容量素子と上記第2のノードとの間に接続された電気的接続手段と、を有し、上記第1の基準電位と上記第3のノードとの間に上記駆動トランジスタの電流供給ラインが接続され、上記第1のノードと上記第2の基準電位との間に上記電気光学素子が接続されている画素回路の駆動方法であって、上記第1、第2、第4、第5および第6のスイッチが非導通状態に保持した状態で、上記第3のスイッチを導通状態に保持させて、上記第1のノードを固定電位に接続し、上記第2、第4、および上記第6のスイッチを導通状態に保持して、所定電位を上記第2のノードに入力させ、基準電流を上記第3のノードに流し、画素容量素子に所定電位を充電し、上記第2および第6のスイッチを非導通状態に保持し、さらに第4のスイッチを非導通状態に保持し、上記第5のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記第2のノードに入力させた後、上記第5のスイッチを非導通状態に保持し、上記第1のスイッチを導通状態に保持し、上記第3のスイッチを非導通状態に保持する。

【0039】

本発明によれば、たとえば電気光学素子の発光状態時は、第1のスイッチがオン状態（導通状態）に保持され、第2～第7のスイッチがオフ状態（非導通状態）に保持される。

ドライブ（駆動）トランジスタは飽和領域で動作するように設計されており、電気光学素子に流れる電流 $I_{d,s}$ は、上記式1で示される値をとる。

次に、第1のスイッチがオフとなり、第2、第4～第7のスイッチはオフ状態に保持されたままで、第3のスイッチがオンする。

このとき、第3のスイッチを介して電流が流れ、第1のノードの電位は接地電位 GND まで下降する。そのため、電気光学素子に印加される電圧も 0V となり、電気光学素子は発光しなくなる。

次に、第3のスイッチがオン状態、第1および第5のスイッチがオフ状態に保持されたままで、第2、第4、第6、第7のスイッチがオンする。

これにより、たとえば所定電位 V_0 あるいはデータ線を伝播された入力電圧 V_{in} が第2のノードに入力し、これと並行して、基準電流供給手段により基準電流が第3のノードに流れる。その結果、駆動トランジスタのゲート・ソース間電圧 V_{gs} が、結合容量素子に充電される。

このとき、駆動トランジスタは飽和領域で動作することから、駆動トランジスタのゲート・ソース間電圧 V_{gs} は、移動度 μ およびしきい値 V_{th} を含んだ項となる。また、こ

10

20

30

40

50

のとき、画素容量素子には V_0 または V_{in} が充電される。

【0040】

次に、第2および第6のスイッチがオフする。これによって、駆動トランジスタのソース電位（第3のノードの電位）は、たとえば（ V_0 または $V_{in} - V_{th}$ ）まで上昇する。

そして、さらに、第3および第7のスイッチがオン状態、第1、第2、第6のスイッチがオフ状態に保持されたままで、第5のスイッチがオンし、第4のスイッチがオフする。第5のスイッチがオンすることにより、第5のスイッチを介してデータ線を伝播された入力電圧 V_{in} が結合容量素子を通して駆動トランジスタのゲートに電圧 V をカップリングさせる。

このカップリング量 V は、第1のノードと第2のノード間の電圧変化量（駆動トランジスタの V_{gs} ）と、画素容量素子、結合容量素子、および駆動トランジスタの寄生容量によって決まり、画素容量素子と寄生容量に比べて結合容量素子の容量を大きくすれば変化量のほぼ全てが駆動トランジスタのゲートにカップリングされ、駆動トランジスタのゲート電位は（ V_0 または $V_{in} + V_{gs}$ ）となる。

書き込み終了後、第5および第7のスイッチがオフし、さらに、第1のスイッチがオンして、第3のスイッチがオフする。

これによって、駆動トランジスタのソース電位は一旦接地電位GNDに降下、その後上昇し、電気光学素子にも電流が流れ始める。駆動トランジスタのソース電位は変動するにも関わらず、そのゲート・ソース間に画素容量素子があり、また、画素容量素子の容量を駆動トランジスタの寄生容量よりも大きくすることでゲート・ソース電位は常に（ $V_{in} + V_{gs}$ ）という一定値に保たれる。

このとき、駆動トランジスタは飽和領域で駆動するので、駆動トランジスタに流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} は電気光学素子にも同様に流れ、電気光学素子は発光する。

【発明の効果】

【0041】

本発明によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行っていることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数増加を抑えることができる。

また、画素内の容量設計が容易に行え、尚且つ容量は小さくすることができるので画素面積を縮小することができ、パネルの高精細化が可能となる。

また、入力電圧を入力する時に電圧変化量のほぼ全てを駆動トランジスタのゲートにカップリングさせることができるので、画素ごとの電流値のバラツキを低減することができ、均一な画質を得ることができる。

さらに駆動トランジスタのゲートに固定電位を入力して基準電流 I_{ref} を流すことでは画素内に信号線からの入力電圧が入力されている時間を短くすることができ、画素に高速に書き込むことができ、3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

【発明を実施するための最良の形態】

【0042】

以下、本発明の実施形態を添付図面に関連付けて説明する。

【0043】**第1実施形態**

図1は、本第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図2は、図1の有機EL表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0044】

この表示装置100は、図1および図2に示すように、画素回路(PXLC)101が¹⁰ $m \times n$ のマトリクス状に配列された画素アレイ部102、水平セレクタ(HSEL)103、ライトスキャナ(WSCN)104、第1のドライブスキャナ(DSCN1)105、第2のドライブスキャナ(DSCN2)106、第3のドライブスキャナ(DSCN3)²⁰ 107、第4のドライブスキャナ(DSCN4)108、第5のドライブスキャナ(DSCN5)109、第6のドライブスキャナ(DSCN6)110、リファレンス定電流源(RCIS)111、水平セレクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL101～DTL10n、ライトスキャナ104により選択駆動される走査線WSL101～WSL10m、第1のドライブスキャナ105により選択駆動される駆動線DSL101～DSL10m、第2のドライブスキャナ106により選択駆動される駆動線DSL111～DSL11m、第3のドライブスキャナ107により選択駆動される駆動線DSL121～DSL12m、第4のドライブスキャナ108により選択駆動される駆動線DSL131～DSL13m、第5のドライブスキャナ109により選択駆動される駆動線DSL141～DSL14m、第6のドライブスキャナ110により選択駆動される駆動線DSL151～DSL15m、および定電流源111による基準電流Irrefが供給される基準電流供給線ISL101～ISL10nを有する。

【0045】

なお、画素アレイ部102において、画素回路101は $m \times n$ のマトリクス状に配列されるが、図1においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図2においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。³⁰

【0046】

本第1の実施形態に係る画素回路101は、図2に示すように、nチャネルTFT111～TFT118、キャパシタC111、C112、有機EL素子(OLED：電気光学素子)からなる発光素子119、第1のノードND111、第2のND112、第3のノードND113、および第4のノードND114を有する。

また、図2において、DTL101はデータ線を、WSL101は走査線を、DSL101、DSL111、DSL121、DSL131、DSL141、DSL151は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタ(ドライブ(駆動)トランジスタ)を構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、TFT114が第3のスイッチを構成し、TFT115が第4のスイッチを構成し、TFT116が第5のスイッチを構成し、TFT117が第6のスイッチを構成し、TFT118が電気的接続手段としての第7のスイッチを構成し、キャパシタC111が本発明に係る画素容量素子を構成し、キャパシタC112が本発明に係る結合容量素子を構成している。⁴⁰

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

また、本第1の実施形態においては、データ線と所定電位線とが共用されている。

【0047】

50

20

30

40

50

画素回路 101において、第1の基準電位（本実施形態では電源電位VCC）と第2の基準電位（本実施形態では接地電位GND）との間に、ドライブトランジスタとしてのTFT111、第3のノードND113、第1のスイッチとしてのTFT112、第1のノードND111、および発光素子（OLED）119が直列に接続されている。

具体的には、発光素子119のカソードが接地電位GNDに接続され、アノードが第1のノードND111に接続され、TFT112のソースが第1のノードND111に接続され、第1のノードND111と第3のノードND113との間にTFT112のソース・ドレンが接続され、TFT111のソースが第3のノードND113に接続され、TFT111のドレンが電源電位VCCが接続されている。

そして、TFT111のゲートが第2のノードND112に接続され、TFT112のゲートが第2のドライブスキャナ106により駆動される駆動線DSL111に接続されている。10

第3のノードND113と第4のノードND114との間に第2のスイッチとしてのTFT113のソース・ドレンが接続され、TFT113のゲートが第5のドライブスキャナ109により駆動される駆動線DSL141に接続されている。

第3のスイッチとしてのTFT114のドレンが第1のノードND111およびキャパシタC111の第1電極に接続され、ソースが固定電位（本実施形態では接地電位GND）に接続され、TFT114のゲートが第6のドライブスキャナにより駆動されるゲートが駆動線DSL151に接続されている。また、キャパシタC111の第2電極が第2のノードND112に接続されている。20

第2のノードND112とキャパシタC112の第1電極に第7のスイッチとしてのTFT118のソース・ドレンが接続され、TFT118の第3のドライブスキャナにより駆動されるゲートが駆動線DL121に接続されている。

データ線（所定電位線）DTL101と第2のノードND112に第4のスイッチとしてのTFT115のソース・ドレンがそれぞれ接続され、TFT115のゲートが第4のドライブスキャナ108に駆動される駆動線DSL131に接続されている。

データ線DTL101と第4のノードND114に第5のスイッチとしてのTFT116のソース・ドレンがそれぞれ接続されている。そして、TFT116のゲートがライトスキャナ104により駆動される走査線WSL101に接続されている。

さらに、第3のノードND113と基準電流供給線ISL101との間に第6のスイッチとしてのTFT117のソース・ドレンがそれぞれ接続されている。そして、TFT117のゲートが第1のドライブスキャナ105により駆動される駆動線DSL101に接続されている。30

【0048】

このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間に画素容量としてのキャパシタC111が接続され、非発光期間にTFT111のソース側電位をスイッチトランジスタとしてのTFT114を介して固定電位に接続し、かつ、TFT111のソース（第3のノードND113）に所定の基準電流（たとえば $2\mu A$ ）Irefを所定のタイミングで供給して、基準電流Irefに相当する電圧を保持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心にEL発光素子19を駆動し、ドライブトランジスタとしてのTFT111の移動度ばらつきによりユニフォーミティばらつきを抑制した画質を得るように構成されている。40

【0049】

次に、上記構成の動作を、画素回路の動作を中心に、図3(A)～(I)並びに図4、図5の(A)、(B)、および図6、図7に関連付けて説明する。

なお、図3(A)は画素配列の第1行目の駆動線DSL131に印加される駆動信号ds[4]を、図3(B)は画素配列の第1行目の操作線WSL101に印加される走査信号ws[1]を、図3(C)は画素配列の第1行目の駆動線DSL121に印加される駆動信号ds[3]を、図3(D)は画素配列の第1行目の駆動線DSL141に印加され50

る駆動信号 d s [5] を、図 3 (E) は画素配列の第 1 行目の駆動線 D S L 1 5 1 に印加される駆動信号 d s [6] を、図 3 (F) は画素配列の第 1 行目の駆動線 D S L 1 1 1 に印加される駆動信号 d s [2] を、図 3 (G) は画素配列の第 1 行目の駆動線 D S L 1 0 1 に印加される駆動信号 d s [1] を、図 3 (H) はドライブトランジスタとしての T F T 1 1 1 のゲート電位 V g 111 を、図 3 (I) は第 1 のノード N D 1 1 1 の電位 V N D 111 をそれぞれ示している。

【 0 0 5 0 】

まず、通常の E L 発光素子 1 1 9 の発光状態時は、図 3 (A) ~ (G) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 w s [1] がローレベルに設定され、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 への駆動信号 d s [1] がローレベルに設定され、ドライブスキャナ 1 0 7 により駆動線 D S L 1 2 1 への駆動信号 d s [3] がローレベルに設定され、ドライブスキャナ 1 0 8 により駆動線 D S L 1 3 1 への駆動信号 d s [4] がローレベルに設定され、ドライブスキャナ 1 0 9 により駆動線 D S L 1 4 1 への駆動信号 d s [5] がローレベルに設定され、ドライブスキャナ 1 1 0 により駆動線 D S L 1 5 1 への駆動信号 d s [6] がローレベルに設定され、ドライブスキャナ 1 0 6 により駆動線 D S L 1 1 1 への駆動信号 d s [2] のみが選択的にハイレベルに設定される。
10

その結果、画素回路 1 0 1 においては、図 4 (A) に示すように、T F T 1 1 2 がオン状態（導通状態）に保持され、T F T 1 1 3 ~ T F T 1 1 8 がオフ状態（非導通状態）に保持される。
20

ドライブトランジスタ 1 1 1 は飽和領域で動作するように設計されており、E L 発光素子 1 1 9 に流れる電流 I d s は、上記式 1 で示される値をとる。

【 0 0 5 1 】

次に、E L 発光素子 1 1 9 の非発光期間において、図 3 (A) ~ (G) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 w s [1] がローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 への駆動信号 d s [1] がローレベルに保持され、ドライブスキャナ 1 0 6 により駆動線 D S L 1 1 1 への駆動信号 d s [2] がローレベルに切り替えられ、ドライブスキャナ 1 0 7 により駆動線 D S L 1 2 1 への駆動信号 d s [3] がローレベルに保持され、ドライブスキャナ 1 0 8 により駆動線 D S L 1 3 1 への駆動信号 d s [4] がローレベルに保持され、ドライブスキャナ 1 0 9 により駆動線 D S L 1 4 1 への駆動信号 d s [5] がローレベルに保持され、ドライブスキャナ 1 1 0 により駆動線 D S L 1 5 1 への駆動信号 d s [6] が選択的にハイレベルに設定される。
30

その結果、画素回路 1 0 1 においては、図 4 (B) に示すように、T F T 1 1 2 がオフとなり、T F T 1 1 3 , T F T 1 1 5 ~ T F T 1 1 8 はオフ状態に保持されたままで、T F T 1 1 4 がオンする。

このとき、T F T 1 1 4 を介して電流が流れ、図 3 (H) に示すように、第 1 のノード N D 1 1 1 の電位 V N D 111 は接地電位 G N D まで下降する。そのため、E L 発光素子 1 1 9 に印加される電圧も 0 V となり、E L 発光素子 1 1 9 は発光しなくなる。

【 0 0 5 2 】

次に、図 3 (A) ~ (G) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 への走査信号 w s [1] がローレベルに保持され、ドライブスキャナ 1 0 6 により駆動線 D S L 1 1 1 への駆動信号 d s [2] がローレベルに保持され、ドライブスキャナ 1 1 0 により駆動線 D S L 1 5 1 への駆動信号 d s [6] がハイレベルに保持された状態で、ドライブスキャナ 1 0 5 による駆動線 D S L 1 0 1 への駆動信号 d s [1] 、ドライブスキャナ 1 0 7 による駆動線 D S L 1 2 1 への駆動信号 d s [3] 、ドライブスキャナ 1 0 8 による駆動線 D S L 1 3 1 への駆動信号 d s [4] 、ドライブスキャナ 1 0 9 により駆動線 D S L 1 4 1 への駆動信号 d s [5] がそれぞれ選択的にハイレベルに設定される。
40

その結果、画素回路 1 0 1 においては、図 5 (A) に示すように、T F T 1 1 4 がオン状態、T F T 1 1 2 , 1 1 6 がオフ状態に保持されたままで、T F T 1 1 3 , T F T 1 1
50

5 , TFT117 , TFT118 がオンする。

これにより、TFT115 を介してデータ線 DTL101 を伝播された入力電圧 Vin が第2のノード ND112 に入力し、これと並行して、定電流源 111 により基準電流供給線 ISL101 に供給された基準電流 Iref (たとえば 2 μA) が第3のノード ND113 に流れる。その結果、ドライブトランジスタとしての TFT111 のゲート・ソース間電圧 Vgs が、キャパシタ C112 に充電される。

このとき、TFT111 は飽和領域で動作することから、下記の式(2)で示すように、TFT111 のゲート・ソース間電圧 Vgs は、移動度 μ およびしきい値 Vth を含んだ項となる。また、このとき、キャパシタ C111 には Vin が充電される。

【0053】

(数2)

$$V_{gs} = V_{th} + \{ 2 I_{ds} / (\mu (W/L) C_{ox}) \}^2 \quad \dots (2)$$

【0054】

次に、キャパシタ C111 には Vin が充電された後、図3(A)～(G)に示すように、ライトスキャナ 104 より走査線 WSL101 への走査信号 ws[1] がローレベルに保持され、ドライブスキャナ 106 により駆動線 DSL111 への駆動信号 ds[2] がローレベルに保持され、ドライブスキャナ 107 により駆動線 DSL121 への駆動信号 ds[3] がハイレベルに保持され、ドライブスキャナ 108 により駆動線 DSL131 への駆動信号 ds[4] がハイレベルに保持され、ドライブスキャナ 110 により駆動線 DSL151 への駆動信号 ds[6] がハイレベルに保持された状態で、ドライブスキャナ 105 により駆動線 DSL101 への駆動信号 ds[1] がローレベルに、ドライブスキャナ 109 により駆動線 DSL141 への駆動信号 ds[4] がローレベルにそれぞれ選択的に設定される。

その結果、画素回路 101においては、図5(A)の状態から、TFT113 . TFT117 がオフする。これによって、TFT111 のソース電位(第3のノード ND113 の電位)は、(Vin - Vth)まで上昇する。

【0055】

そして、さらに、ライトスキャナ 104 より走査線 WSL101 への走査信号 ws[1] がハイレベルに切り替えられ、ドライブスキャナ 108 により駆動線 DSL131 への駆動信号 ds[4] がローレベルに切り替えられる。

その結果、画素回路 101においては、図5(B)に示すように、TFT114 , TFT118 がオン状態、TFT112 , TFT113 , TFT117 がオフ状態に保持されたままで、TFT116 がオンし、TFT115 がオフする。

TFT116 がオンすることにより、TFT116 を介してデータ線 DTL101 を伝播された入力電圧 Vin がキャパシタ C112 を通して TFT111 のゲートに電圧 V をカップリングさせる。

このカップリング量 V は、第1のノード ND111 と第2のノード ND112 間の電圧変化量 (TFT111 の Vgs) と、キャパシタ C111 、 C112 、および TFT111 の寄生容量 C113 によって決まり、キャパシタ C111 と寄生容量 C113 に比べてキャパシタ C112 の容量を大きくすれば変化量のほぼ全てが TFT111 のゲートにカップリングされ、TFT111 のゲート電位は (Vin + Vgs) となる。

【0056】

書き込み終了後、図3(A)～(G)に示すように、ライトスキャナ 104 より走査線 WSL101 への走査信号 ws[1] がローレベルに切り替えられ、ドライブスキャナ 107 により駆動線 DSL121 への駆動信号 ds[3] がローレベルに切り替えられ、さらに、ドライブスキャナ 106 により駆動線 DSL111 への駆動信号 ds[2] がハイレベルに切り替えられ、ドライブスキャナ 110 により駆動線 DSL151 への駆動信号 ds[6] がローレベルに切り替えられる。

これにより、画素回路 101においては、図6に示すように、TFT116 , TFT118 がオフし、さらに、TFT112 がオンして、TFT114 がオフする。

10

20

30

40

50

これによって、TFT111のソース電位は一旦接地電位GNDに降下、その後上昇し、EL発光素子119にも電流が流れ始める。TFT111のソース電位は変動するにも関わらず、そのゲート・ソース間にはキャパシタC111があり、また、キャパシタC111の容量をTFT111の寄生容量C113よりも大きくすることでゲート・ソース電位は常に($V_{in} + V_{gs}$)という一定値に保たれる。

このとき、TFT111は飽和領域で駆動するので、TFT111に流れる電流値 I_{ds} は式1で示された値となり、それはゲート・ソース間電圧で決定される。この I_{ds} はEL発光素子119にも同様に流れ、EL発光素子119は発光する。

【0057】

このEL発光素子119を含む画素回路101の等価回路は図7に示すようになっているため、TFT111のソース電位は、EL発光素子119に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタC111を介してTFT111のゲート電位も同様に上昇する。10

これにより、前述した通りTFT111のゲート・ソース間電位は一定に保たれる。

【0058】

ここで、基準電流 I_{ref} について考える。

上述したように、基準電流 I_{ref} を流すことによって、TFT111のゲート・ソース間電圧を式2で表された値とする。

しかし、 $I_{ref} = 0$ のときは、ゲート・ソース間電圧は V_{th} とはならない。なぜなら、ゲート・ソース間電圧が V_{th} となつても、TFT111にはわずかにリーク電流が流れてしまうため、図8に示すように、TFT111のソース電圧は V_{cc} まで上昇してしまうからである。20

TFT111のゲート・ソース間電圧を V_{th} とするには、TFT113をオンしている期間を調節してゲート・ソース間電圧が V_{th} となつたところでオフしなくてはならず、実デバイスにおいてこのタイミングはパネル毎に調節しなければならない。

本実施形態のように、基準電流 I_{ref} を流さない場合には、TFT113のタイミングを調節して、ゲート・ソース間電圧を V_{th} に設定できたとしても、たとえば移動度が異なる画素AとBにおいて、同じ入力電圧 V_{in} が印加されているときも、式1に従い移動度 μ によって、図9に示すように、電流 I_{ds} のばらつきが発生しその画素の輝度が異なってしまう。つまり、電流値が多く流れ、明るくなるにつれて電流値は移動度のバラツキを受けてしまい、ユニフォーミティはバラつき、画質は悪化してしまう。30

しかしながら、本実施形態のように、一定量の基準電流 I_{ref} を流すことで、図10に示すように、TFT113のオン・オフのタイミングによらずTFT111のゲート・ソース間電圧を式2に示される一定値に決定することができ、移動度が異なる画素AとBにおいても、図11に示すように、電流 I_{ds} のばらつきを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。

【0059】

さらに、従来のソースフォロアの問題点に踏まえて本実施形態の回路について考える。今回路においても、EL発光素子119は発光時間が長くなるに従い、そのI-V特性は劣化する。そのためTFT111が同じ電流値を流したとしても、EL発光素子119に印加される電位は変化し、第1のノードND111の電位VND111は下降する。40

しかしながら、今回路では、TFT111のゲート・ソース間電位が一定に保たれたまま第1のノードND111の電位VND111は下降するので、TFT111に流れる電流は変化しない。

よって、EL発光素子119に流れる電流も変化せず、EL発光素子119のI-V特性が劣化しても、ゲート・ソース間電圧に相当した電流が常に流れづけ、従来の問題は解決できる。

【0060】

以上説明したように、本第1の実施形態によれば、電圧駆動型TFTアクティブマトリクス有機ELディスプレイにおいて、ドライブトランジスタとしてのTFT111のゲー50

トとソース間にキャパシタC111を接続し、TFT111のソース側（第1のノードND111）をTFT114を通して固定電位（本実施形態ではGND）に接続するよう し、かつ、TFT111のソース（第3のノードND13）に所定の基準電流（たとえば2μA）Irefを所定のタイミングで供給して、基準電流Irefに相当する電圧を保 持し、その電圧を中心して入力信号電圧をカップリングさせることで、移動度のばらつきのセンター値を中心にEL発光素子19を駆動するように構成したことから、以下の効果を得ることができる。

【0061】

すなわち、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。10

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、駆動トランジスタのしきい値のばらつきのみならず、移動度のばらつきも大幅に抑えることができ、ユニフォーミティの均一な画質を得ることができる。

また、基準電流を流し駆動トランジスタのしきい値のばらつきのキャンセルを行っていることから、パネル毎にスイッチのオン、オフのタイミングの設定でしきい値をキャンセルする必要がないため、タイミングの設定する工数増加を抑えることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。20

【0062】

第2実施形態

図12は、本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図13は、図12の回路のタイミングチャートである。

【0063】

本第2の実施形態が上述した第1の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共に用せずに、別に設けたことある。30

【0064】

その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0065】

本第2の実施形態では、ドライバトランジスタとしてのTFT111のソースに基準電流Irefを流す際にTFT111のゲート電圧に入力電圧Vinを入力するのではなく、固定電位V0を入力する。固定電位V0を入力して基準電流Irefを流すことによって画素内にVinが入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。40

【0066】

第3実施形態

図14は、本第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図15は、図14の有機EL表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図16は、図15の回路のタイミングチャートである。

【0067】

本第3の実施形態が第1の実施形態と異なる点は、キャパシタC112の第1電極と第50

2のノードN D 1 1 2とを接続する電気的接続手段を、両者間を選択的に接続するスイッチ1 1 8により構成する代わり、電気配線により直接接続するようにしたことがある。

その結果、第3のドライブスキャナ1 0 7と駆動線D S L 1 2 1が不要となっている。

【0068】

その他の構成は、上述した第2の実施形態と同様である。

【0069】

本第3の実施形態によれば、上述した第1の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【0070】

第4実施形態

10

図17は、本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図18は、図17の回路のタイミングチャートである。

【0071】

本第4の実施形態が上述した第3の実施形態と異なる点は、第4のスイッチとしてのT F T 1 1 5が接続される所定の電位線をデータ線D T Lと共に用せずに、別に設けたことある。

【0072】

その他の構成は第1の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0073】

本第4の実施形態では、ドライバトランジスタとしてのT F T 1 1 1のソースに基準電流I r e fを流す際にT F T 1 1 1のゲート電圧に入力電圧V i nを入力するのではなく、固定電位V 0を入力する。固定電位V 0を入力して基準電流I r e fを流すことによって画素内にV i nが入力されている時間を短くすることができ、画素に高速に書き込むことができる。

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

【0074】

第5実施形態および第6実施形態

20

図19は、本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。また、図20は、本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0075】

本第5の実施形態が上述した第1の実施形態と異なる点は、第1のノードN D 1 1 1と発光素子1 1 9のアノードとの間に第8のスイッチとしてのT F T 1 2 0を挿入し、かつ、第1のノードN D 1 1 1とデータ線D T L 1 0 1を第9のスイッチとしてのT F T 1 2 1により接続し、T F T 1 1 4のソースを固定電位V 0に接続したことがある。

そして、T F T 1 2 0のゲートが第7のドライブスキャナ(D S C N 7)1 2 2により駆動される駆動線D S L 1 6 1(~16m)に接続され、T F T 1 2 1のゲートが第8のドライブスキャナ(D S C N 8)1 2 3により駆動される駆動線D S L 1 7 1(~17m)に接続されている。

30

【0076】

また、第6の実施形態と第5の実施形態が異なる点は、T F T 1 2 1が第1のノードN D 1 1 1をデータ線D T L 1 0 1と選択的に接続する代わりに、第1のノードN D 1 1 1を第4のノードN D 1 1 4と選択的に接続するようにしたことがある。

【0077】

第5および第6の実施形態は基本的には、同様に動作する。

図21および図22の(A)~(K)にその動作例のタイミングチャートを示す。

なお、図21、図22の(A)は画素配列の第1行目の駆動線D S L 1 3 1に印加される駆動信号d s [4]を、(B)は画素配列の第1行目の操作線W S L 1 0 1に印加される走査信号w s [1]を、(C)は画素配列の第1行目の駆動線D S L 1 2 1に印加され

40

50

る駆動信号 d s [3] を、 (D) は画素配列の第 1 行目の駆動線 D S L 1 4 1 に印加される駆動信号 d s [5] を、 (E) は画素配列の第 1 行目の駆動線 D S L 1 1 1 に印加される駆動信号 d s [2] を、 (F) は画素配列の第 1 行目の駆動線 D S L 1 0 1 に印加される駆動信号 d s [1] を、 (G) は画素配列の第 1 行目の駆動線 D S L 1 6 1 に印加される駆動信号 d s [7] を、 (H) は画素配列の第 1 行目の駆動線 D S L 1 4 1 に印加される駆動信号 d s [6] を、 (I) は画素配列の第 1 行目の駆動線 D S L 1 7 1 に印加される駆動信号 d s [8] を、 (J) はドライブトランジスタとしての T F T 1 1 1 のゲート電位 V g 111 を、 図 3 (K) は第 1 のノード N D 1 1 1 の電位 V N D 111 をそれぞれ示している。

【 0 0 7 8 】

以下に、図 1 9 の回路の動作を図 2 3 ~ 図 2 6 の (A) , (B) に関連付けて説明する。

【 0 0 7 9 】

まず、通常の E L 発光素子 1 1 9 の発光状態は図 2 3 (A) に示すように、 T F T 1 1 2 と T F T 1 2 0 がオンした状態である。

次に、 E L 発光素子 1 1 9 の非発光期間において、図 2 3 (B) に示すように、 T F T 1 1 2 をオンしたままで T F T 1 2 0 をオフする

このとき、 E L 発光素子 1 1 9 には電流が供給されなくなり、発光しなくなる。

【 0 0 8 0 】

次に、図 2 4 (A) に示すように、 T F T 1 1 5 、 T F T 1 1 8 、 T F T 1 1 3 、および T F T 1 1 7 をオンして駆動トランジスタである T F T 1 1 1 のゲートに入力電圧 (V in) を入力し、電流源から電流 I ref を流すことによって、駆動トランジスタのゲートソース間電圧 Vgs をキャパシタ C 1 1 1 , C 1 1 2 に充電する。このとき、 T F T 1 1 4 は飽和領域で動作するので、 Vgs は式 3 で示すように μ 、 V th を含んだ項となる。

【 0 0 8 1 】

(数 3)

$$V_{gs} = V_{th} + [2I / (\mu (W/L) C_{ox})]^{1/2} \quad \dots (3)$$

【 0 0 8 2 】

キャパシタ C 1 1 1 , C 1 1 2 に Vgs が充電された後に T F T 1 1 3 , T F T 1 1 2 オフする。これによってキャパシタ C 1 1 1 , C 1 1 2 に充電されている電圧を Vgs に確定させる。

その後、図 2 4 (B) に示すように、 T F T 1 1 7 をオフして電流の供給を止めることで T F T 1 1 1 のソース電位は V in - V th まで上昇する。

さらに、図 2 5 (A) に示すように、 T F T 1 1 5 をオフして T F T 1 1 6 と T F T 1 2 1 をオンする。

T F T 1 1 6 と T F T 1 2 1 をオンすることで V in をキャパシタ C 1 1 1 , C 1 1 2 を通して駆動トランジスタである T F T 1 1 1 のゲートに電圧 V をカップリングさせる。このカップリング量 V は図中 A 点、 B 点の電圧変化量 (Vgs) とキャパシタ C 1 1 1 , C 1 1 2 の容量 C 1 , C 2 の和、 T F T 1 1 1 の寄生容量 C 3 の比によって決まり (式 4) 、 C 3 に比べて C 1 、 C 2 の和を大きくすれば変化量のほぼ全てが T F T 1 1 1 のゲートにカップリングされ、 T F T 1 1 1 のゲート電位は V in + Vgs となる。

【 0 0 8 3 】

(数 4)

$$V = V_1 + V_2 = \{ (C_1 + C_2) / (C_1 + C_2 + C_3) \} \cdot V_{gs} \quad \dots (4)$$

【 0 0 8 4 】

書き込みが終了した後に、図 2 5 (B) に示すように、 T F T 1 2 1 をオフして T F T 1 1 4 をオンする。

T F T 1 1 4 は V 0 という固定電位に接続されており、オンすることによってノード N D 1 1 2 の電圧変化量 (V 0 - V in) をキャパシタ C 1 1 1 を通して T F T 1 1 のゲートに

10

20

30

40

50

再びカップリングさせる。このカップリング量 V_3 はノード N D 1 1 2 の電圧変化量と C 1 と C 3 の和と C 2 との比によって決まる(式5)。この比を α とすると、TFT111のゲート電位は $(1 - \alpha)V_{in} + V_{gs} + V_0$ となり、キャパシタ C 1 1 1 に保持されている電圧は V_{gs} から $(1 - \alpha)(V_{in} - V_0)$ だけ増加する。

【0085】

(数5)

$$V = \{C_1 / (C_1 + C_2 + C_3)\} \cdot (V_0 - V_{in}) = \dots (5)$$

【0086】

その後、図26(A)に示すように、TFT116, TFT118をオフして、TFT112, TFT120をオン、TFT114をオフする。これによってTFT111のソース電位は一旦 V_0 レベルになり、その後 EL 発光素子 119 に電流が流れ始める。TFT111のソース電位は変動するにも関わらず、ゲートソース間にはキャパシタ C 1 1 1 があり、キャパシタ C 1 1 1 の容量 C 1 を寄生容量 C 3 よりも大きくすることでゲートソース電位は常に一定値に保たれる。
10

このとき、TFT111は飽和領域で駆動するので、TFT111に流れる電流値 I_{ds} は式1で示された値となり、それはゲートソース間電圧で決定される。この I_{ds} は EL 発光素子 119 にも同様に流れ、EL 発光素子 119 は発光する。

素子の等価回路は図26(B)に示すようになっているため、TFT111のソース電圧は EL 発光素子 119 に電流 I_{ds} が流れるゲート電位まで上昇する。この電位上昇に伴い、キャパシタ C 1 1 1 を介して TFT111 のゲート電位も同様に上昇する。これにより、前述した通り TFT111 のゲートソース電位は一定に保たれることとなり、EL 発光素子 119 が経時劣化して TFT111 のソース電位が変化してもゲートソース間電圧は一定のままで EL 発光素子 119 に流れる電流値は変化することはない。
20

【0087】

ここで、キャパシタ C 1 1 1, C 1 1 2 の容量 C 1, C 2 について考える。

まず C 1 と C 2 の和は、 $C_1 + C_2 = C_3$ としなくてはならない。C 3 に比べ非常に大きくすることでノード N D 1 1 1, N D 1 1 2 の電位変化量の全てを TFT111 のゲートにカップリングさせることができる。

このとき、TFT111に流れる電流値は式1で示される値となり、図27のように TFT111のゲートソース間電圧は I_{ref} を流す電圧から $(V_0 - V_{in})$ という一定値だけ大きくなり、移動度が異なる画素 A と B においても、 I_{ds} のバラツキを小さく抑えることができるので、ユニフォーミティのバラツキも抑えることができる。
30

しかし、 $C_1 + C_2$ を小さくしてしまうと、ノード N D 1 1 1, N D 1 1 2 の電位変化量は全てカップリングされず、ゲインをもってしまう。このゲインを β とすると、TFT111に流れる電流量は式6で表され、T10のゲートソース間電圧は I_{ref} を流す電圧から $V_{in} + (-1)V_{gs}$ という値だけ大きくなるのだが、 V_{gs} は画素ごとに異なる値であるために、 I_{ds} のバラツキを小さく抑えることができなくなる(図28)。これより、 $C_1 + C_2$ は C_3 に比べ大きくとらなければならない。

【0088】

(数6)

$$V = \{C_1 / (C_1 + C_2 + C_3)\} \cdot V_{gs} = \dots (6)$$

【0089】

次に C 1 の大きさについて考える。

C 1 は TFT111 の寄生容量 C 3 に比べて非常に大きくなければならない。もし C 1 が C 3 と同じレベルならば、TFT114 のソース電位の変動がキャパシタ C 1 1 1 を通じて TFT114 のゲートにカップリングされてしまい、キャパシタ C 1 1 1 に保持されている電圧が変動してしまう。このため、TFT111 は一定量の電流を流すことができなくなり、画素ごとにバラツキが生じてしまう。これより、C 1 は TFT111 の寄生容量 C 3 に比べて非常に大きくとらなければならない。

【0090】

さらに、C₂について考える。C₂ C₁であるとすると、TFT114をオンしてV_{0-Vin}という電圧変化をキャパシタC₁₁₁を通してTFT111のゲートにカップリングさせる際に、キャパシタC₁₁₁に保持されている電位差はI_{ref}をTFT111に流して保持されたV_{gs}という電位からV_{in-V0}という一定値だけ増加するので、移動度が異なる画素AとBにおいても、I_{ds}のバラツキを小さく抑えることができ、ユニフォーミティのバラツキも抑えることができる。

しかしながら、C₂ C₁とすると、I_{ds}のバラツキを小さく抑えることができず、ユニフォーミティのバラツキも抑えることができない。

次に、C₂ C₁とするとTFT114をオンした際に、V_{0-Vin}という電圧変化が全てキャパシタC₁₁₁を通してTFT111のゲートにカップリングされてしまうので、キャパシタC₁₁₁に保持されている電圧はV_{gs}から全く変化しない。これより、EL発光素子119には入力電圧に関わらずI_{ref}という一定電流しか流すことができないので画素はラスター表示しかできない。10

以上より、C₁とC₂の大きさは同レベルに設定し、TFT114をオンすることによるカップリングにおいて一定のゲインを持たせる必要がある。

ここで前述のようにC₃はTFT114の寄生容量であり、その大きさは数10～数100fFのオーダーであるが、C₁、C₂、C₃の関係は、C₂ C₃、C₁ C₃であり、且つC₁とC₂は同レベルでなければならないのでC₁、C₂はそれぞれ数100fF～数pFという大きさでよい。これより、画素内という限られた大きさの中に容量を容易に設定することができ、従来の問題点であった画素ごとに電流値がばらついてしまい画素ムラとなってしまうという問題点も克服することができる。20

【0091】

第7実施形態および第8実施形態

図29は、本第7の実施形態に係る画素回路の具体的な構成を示す回路図である。図30は、本第8の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0092】

本第7の実施形態が上述した第5の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共に用せずに、別に設けたことがある。

同様に、本第8の実施形態が上述した第6の実施形態と異なる点は、第4のスイッチとしてのTFT115が接続される所定の電位線をデータ線DTLと共に用せずに、別に設けたことがある。30

【0093】

他の構成は第5および第6の実施形態と同様であり、ここでは、構成および機能に関する詳細な説明は省略する。

【0094】

第7および第8の実施形態は基本的には、同様に動作する。

図31および図32の(A)～(K)にその動作例のタイミングチャートを示す。

【0095】

本第4の実施形態では、ドライバトランジスタとしてのTFT111のソースに基準電流I_{ref}を流す際にTFT111のゲート電圧に入力電圧V_{in}を入力するのではなく、固定電位V₀を入力する。固定電位V₀を入力して基準電流I_{ref}を流すことによって画素内にV_{in}が入力されている時間を短くすることができ、画素に高速に書き込むことができる。40

このため、たとえば3回書き込み方式のように1Hを数分割して画素に書き込むといった駆動方式にも対応することができるようになる。

【0096】

第9実施形態および第10実施形態

図33は、本第9の実施形態に係る画素回路の具体的な構成を示す回路図である。図34は、本第10の実施形態に係る画素回路の具体的な構成を示す回路図である。50

【0097】

本第9の実施形態が第5の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電気的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わり、電気配線により直接接続するようにしたことがある。

本第10の実施形態が第6の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電気的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わり、電気配線により直接接続するようにしたことがある。

その結果、第3のドライブスキャナ107と駆動線DSL121が不要となっている。

【0098】

その他の構成は、上述した第5および第6の実施形態と同様である。

10

第9および第10の実施形態は基本的には、同様に動作する。

図35および図36の(A)~(J)にその動作例のタイミングチャートを示す。

【0099】

本第9および第10の実施形態によれば、上述した第5および第6の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【0100】**第11実施形態および第12実施形態**

図37は、本第11の実施形態に係る画素回路の具体的な構成を示す回路図である。図

38は、本第12の実施形態に係る画素回路の具体的な構成を示す回路図である。

20

【0101】

本第11の実施形態が第7の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電気的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わり、電気配線により直接接続するようにしたことがある。

本第12の実施形態が第8の実施形態と異なる点は、キャパシタC112の第1電極と第2のノードND112とを接続する電気的接続手段を、両者間を選択的に接続するスイッチ118により構成する代わり、電気配線により直接接続するようにしたことがある。

その結果、第3のドライブスキャナ107と駆動線DSL121が不要となっている。

【0102】

その他の構成は、上述した第7および第8の実施形態と同様である。

30

【0103】

その他の構成は、上述した第7および第8の実施形態と同様である。

第11および第12の実施形態は基本的には、同様に動作する。

図39および図40の(A)~(J)にその動作例のタイミングチャートを示す。

【0104】

本第11および第12の実施形態によれば、上述した第7および第8の実施形態の効果に加えて、画素回路内の素子数を低減することができ、回路構成を簡単化できる利点がある。

【図面の簡単な説明】**【0105】**

【図1】第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すプロック図である。

40

【図2】図1の有機EL表示装置において第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図3】図2の回路の駆動方法を説明するためのタイミングチャートである。

【図4】図2の回路の駆動方法に係る動作を説明するための図である。

【図5】図2の回路の駆動方法に係る動作を説明するための図である。

【図6】図2の回路の駆動方法に係る動作を説明するための図である。

【図7】図2の回路の駆動方法に係る動作を説明するための図である。

【図8】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である

50

。

【図 9】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

。

【図 10】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 11】基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 12】第 2 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 13】図 12 の回路の駆動方法を説明するためのタイミングチャートである。

【図 14】第 3 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すプロ 10 ック図である。

【図 15】図 14 の有機 E L 表示装置において第 3 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 16】図 15 の回路の駆動方法を説明するためのタイミングチャートである。

【図 17】第 4 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 18】図 17 の回路の駆動方法を説明するためのタイミングチャートである。

【図 19】第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 20】第 6 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 21】図 19 の回路のタイミングチャートである。

【図 22】図 20 の回路のタイミングチャートである。

【図 23】図 19 の回路の動作を説明するための図である。

【図 24】図 19 回路の動作を説明するための図である。

【図 25】図 19 の回路の動作を説明するための図である。

【図 26】図 19 の回路の動作を説明するための図である。

【図 27】図 19 の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 28】図 19 の回路で基準電流を駆動トランジスタのソースに供給する理由を説明するための図である。

【図 29】第 7 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 30】第 8 の実施形態に係る画素回路の具体的な構成を示す回路図である。

30

【図 31】図 29 の回路のタイミングチャートである。

【図 32】図 30 の回路のタイミングチャートである。

【図 33】第 9 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 34】第 10 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 35】図 33 の回路のタイミングチャートである。

【図 36】図 34 の回路のタイミングチャートである。

【図 37】第 11 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 38】第 12 の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 39】図 37 の回路のタイミングチャートである。

【図 40】図 38 の回路のタイミングチャートである。

40

【図 41】一般的な有機 E L 表示装置の構成を示すプロック図である。

【図 42】図 41 の画素回路の一構成例を示す回路図である。

【図 43】有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。

【図 44】図 42 の回路の p チャネル T F T を n チャネル T F T に置き換えた画素回路を示す回路図である。

【図 45】初期状態におけるドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

【図 46】経時変化後のドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

【図 47】ドライブトランジスタとしての n チャネル T F T のソースを接地電位に接続し

50

た画素回路を示す回路図である。

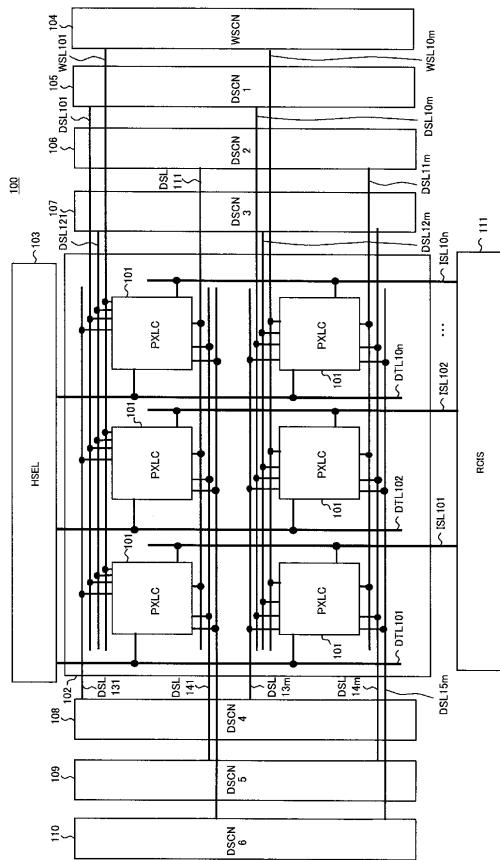
【符号の説明】

【0106】

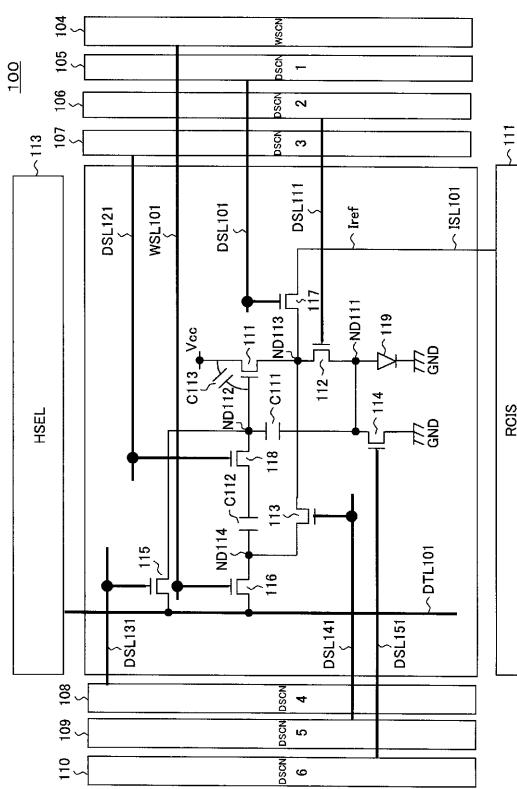
100, 100A ~ 100J ... 表示装置、101...画素回路(PXLC)、102...画素アレイ部、103...水平セレクタ(HSEL)、104...ライトスキヤナ(WSCN)、105...第1のドライブスキヤナ(DSCN1)、106...第2のドライブスキヤナ(DSCN2)、107...第3のドライブスキヤナ(DSCN3)、108...第4のドライブスキヤナ(DSCN4)、109...第5のドライブスキヤナ(DSCN5)、110...第6のドライブスキヤナ(DSCN6)、DTL101 ~ DTL10n...データ線、WSL101 ~ WSL10m...走査線、DSL101 ~ DSL10m, DSL111 ~ DSL11m, DSL121 ~ DSL12m, DSL131 ~ DSL13m, DSL141 ~ DSL14m, DSL151 ~ DSL15m, DSL161 ~ DSL16m...駆動線、111...ドライブ(駆動)トランジスタとしてのTFT、112...第1のスイッチとしてのTFT, 113...第2のスイッチとしてのTFT、114...第3のスイッチとしてのTFT, 115...第4のスイッチとしてのTFT, 116...第5のスイッチとしてのTFT, 117...第6のスイッチとしてのTFT、118...第7のスイッチとしてのTFT、119...発光素子、120...第7または第8のスイッチとしてのTFT、121...第8または第9のスイッチとしてのTFT、ND111...第1のノード、ND112...第2のノード、ND113...第3のノード、ND114...第4のノード。

10

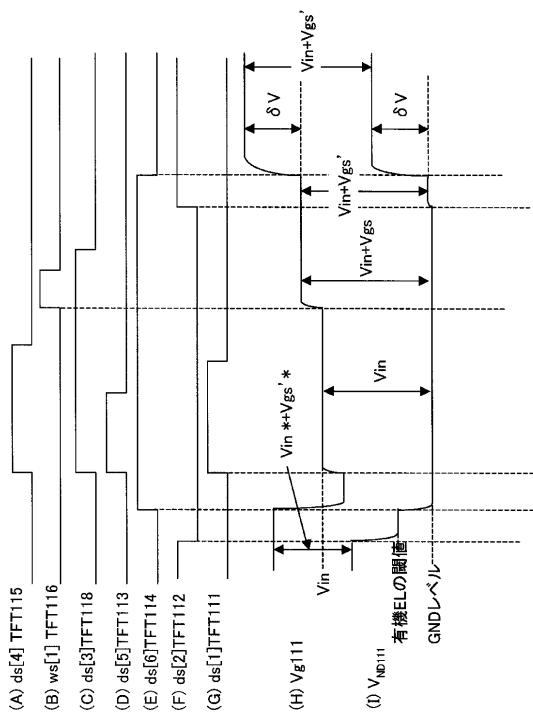
【図1】



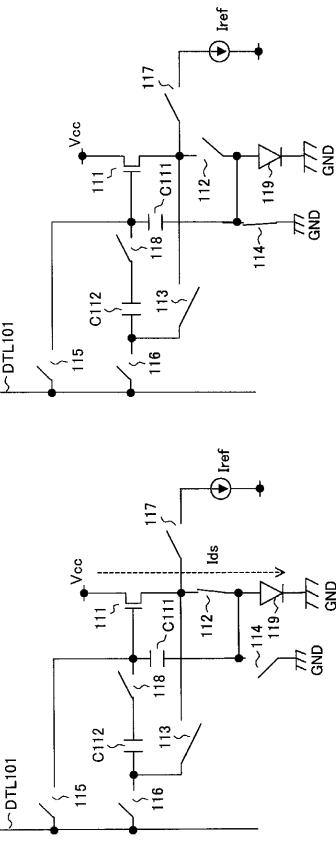
【図2】



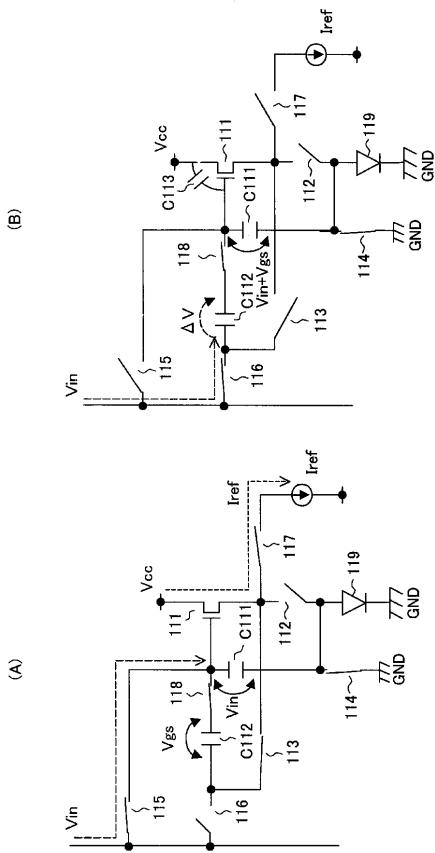
【図3】



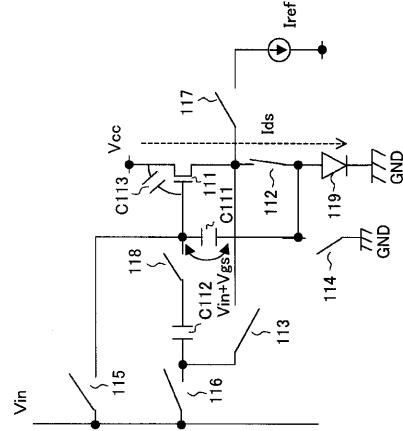
【図4】



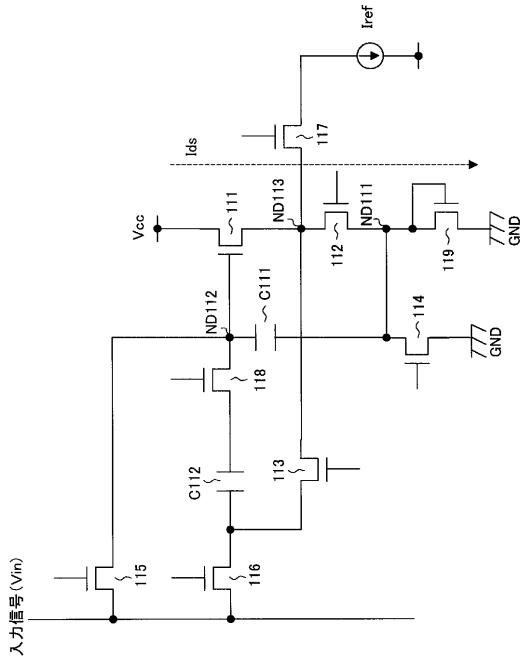
【図5】



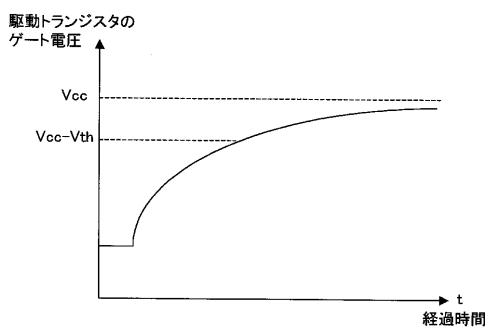
【図6】



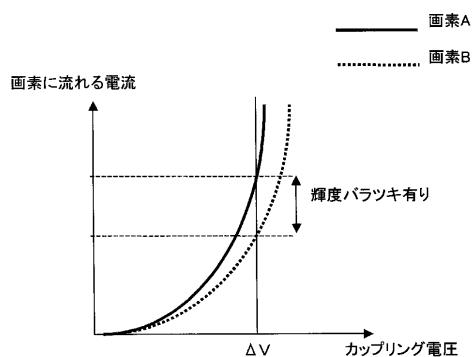
【図7】



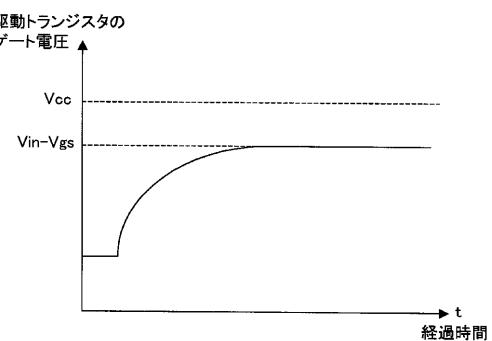
【図8】



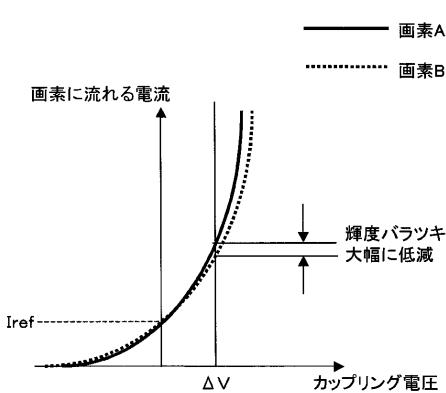
【図9】



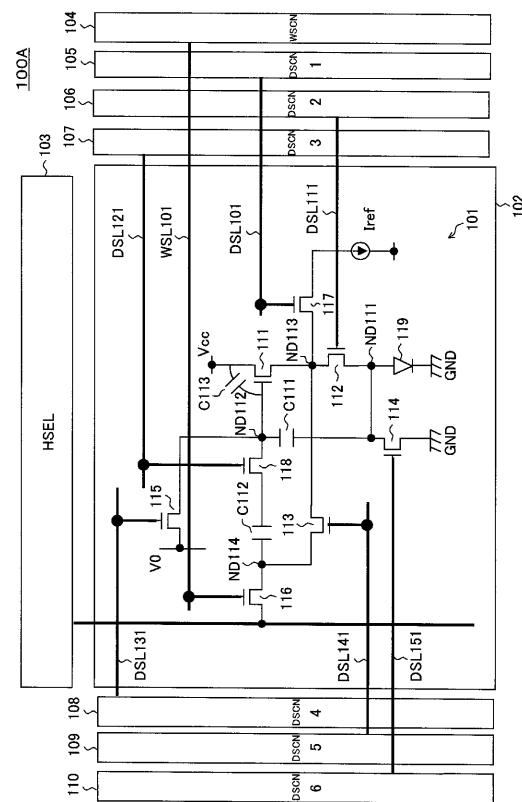
【図10】



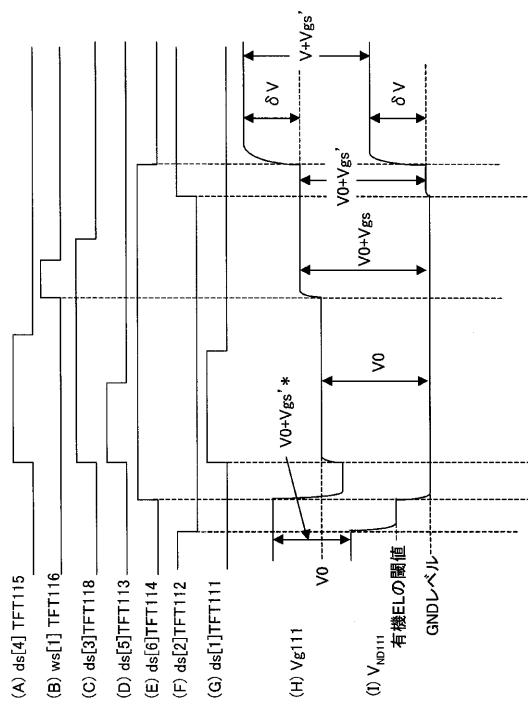
【図 1 1】



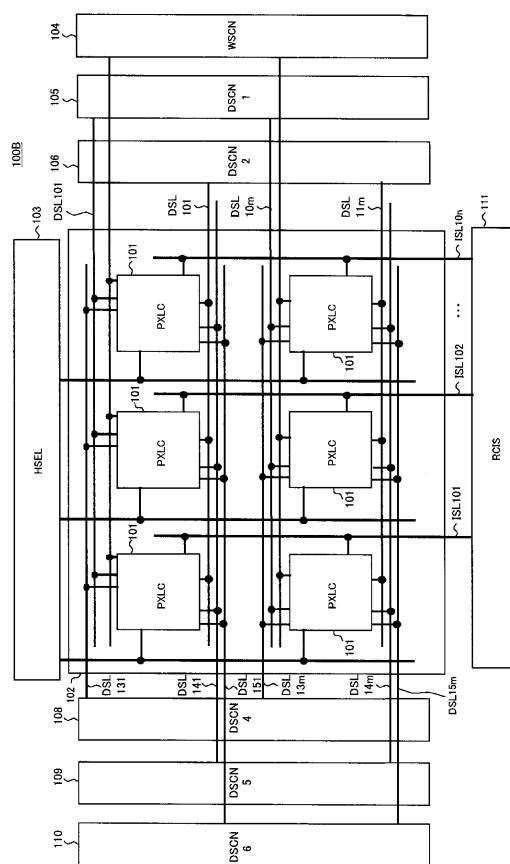
【 図 1 2 】



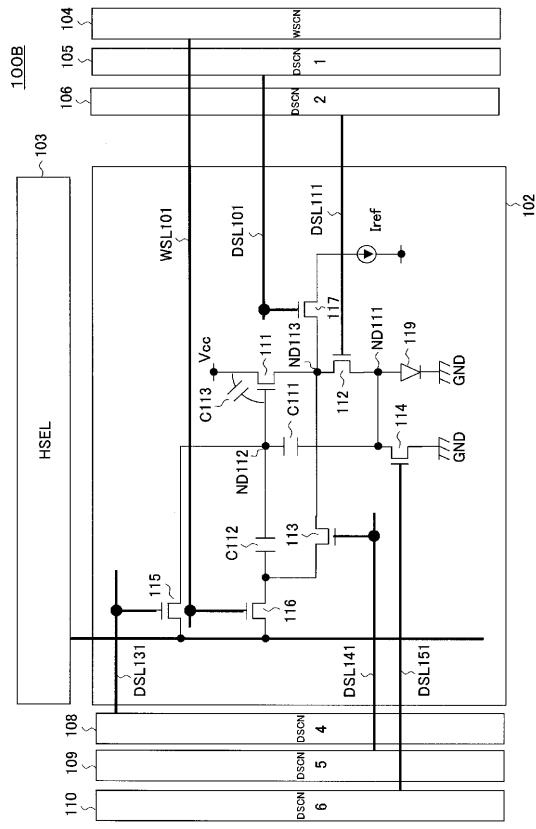
【 図 1 3 】



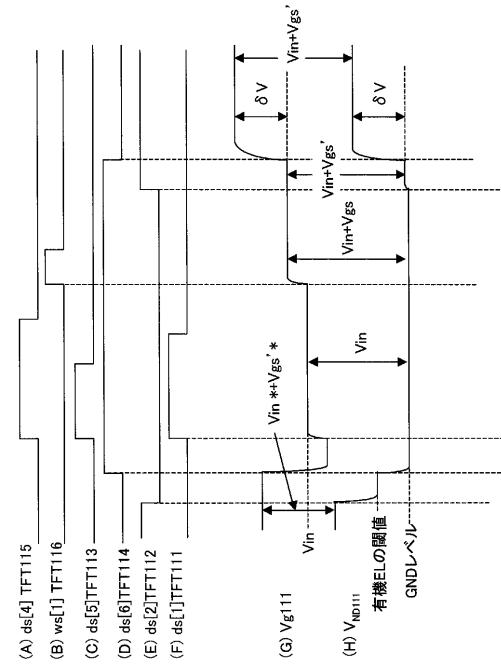
【图 1-4】



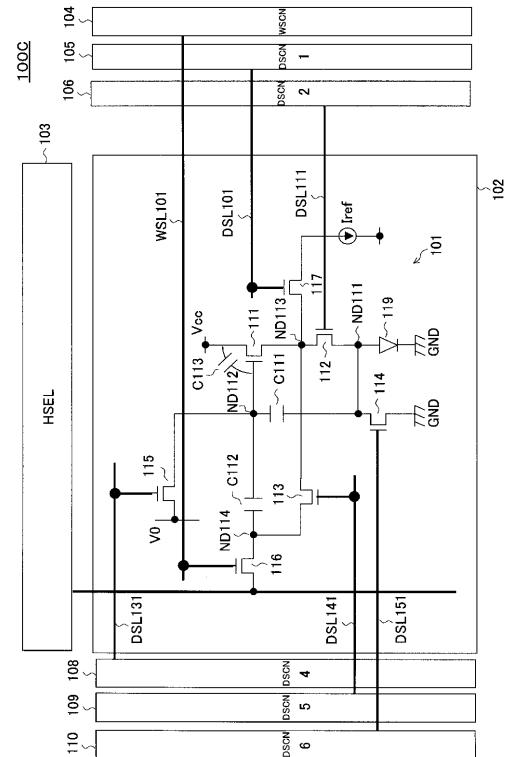
【図15】



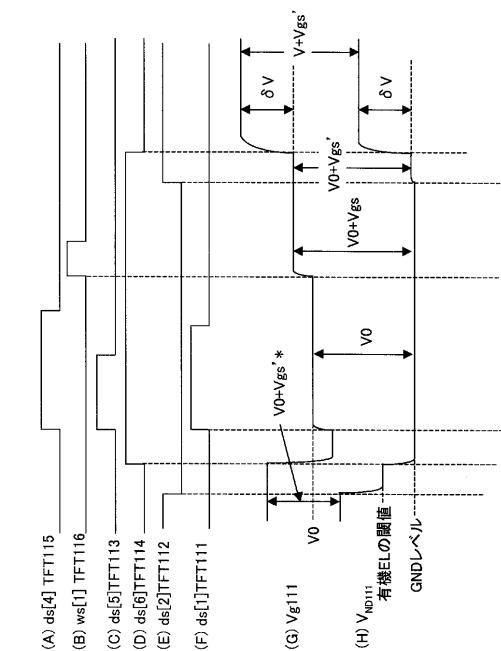
【図16】



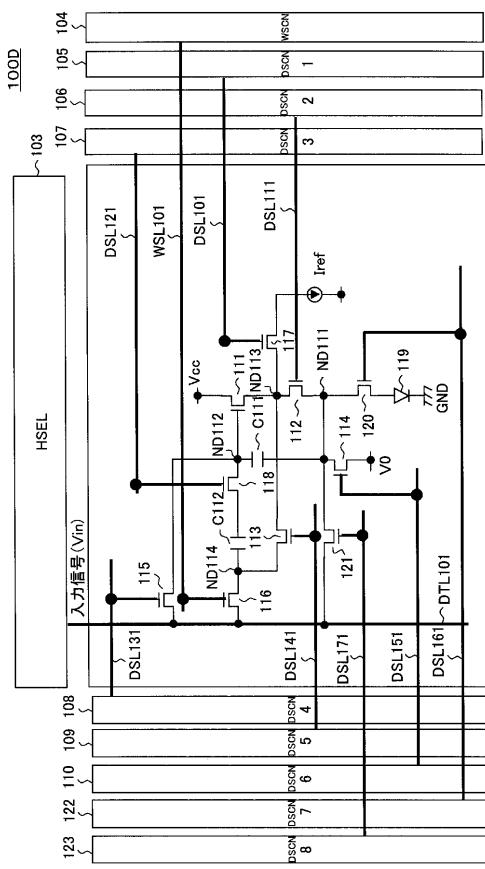
【図17】



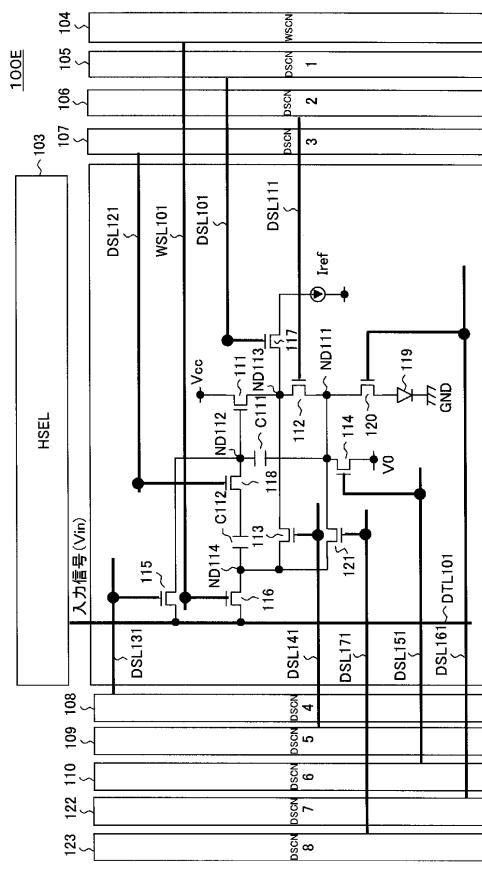
【図18】



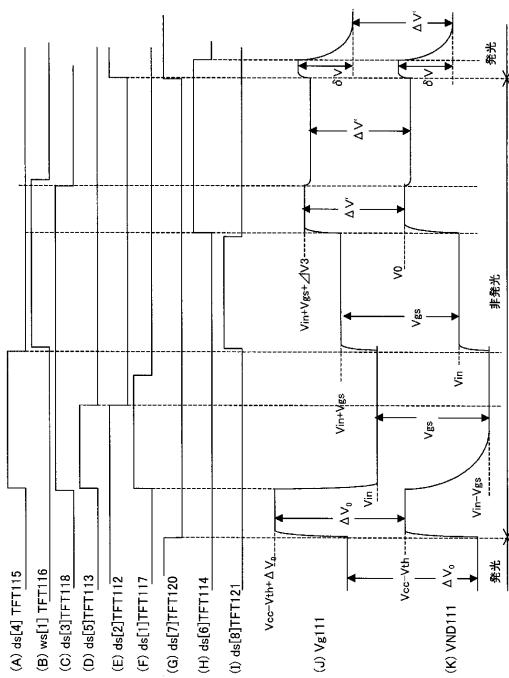
【図19】



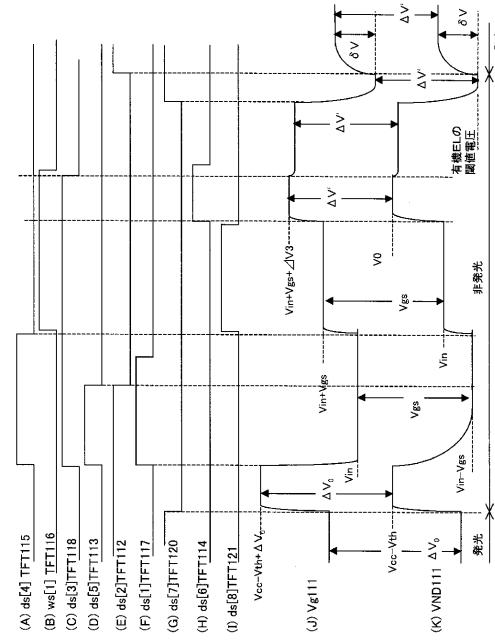
【図20】



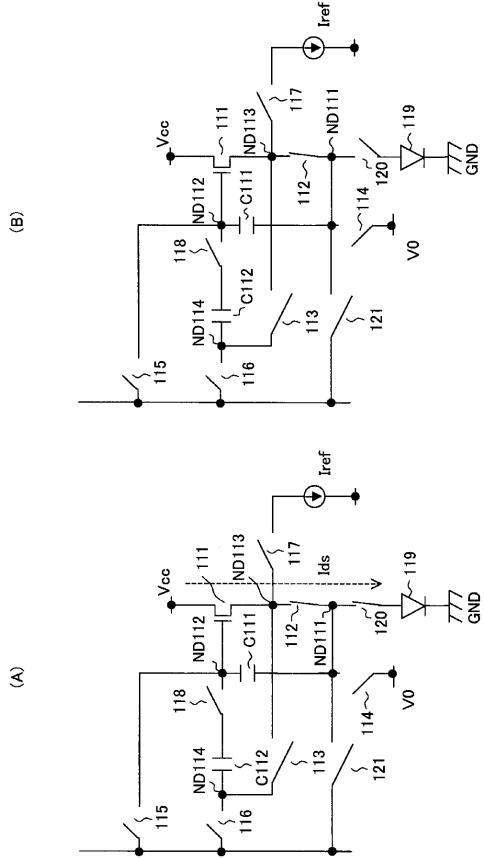
【図21】



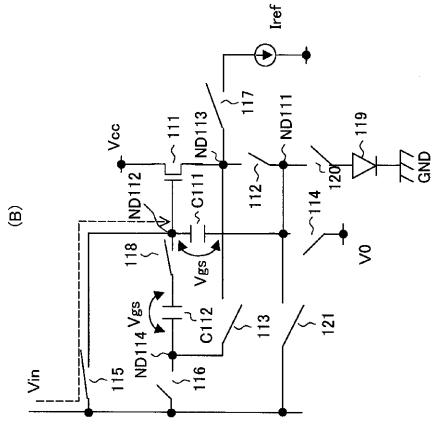
【 図 2 2 】



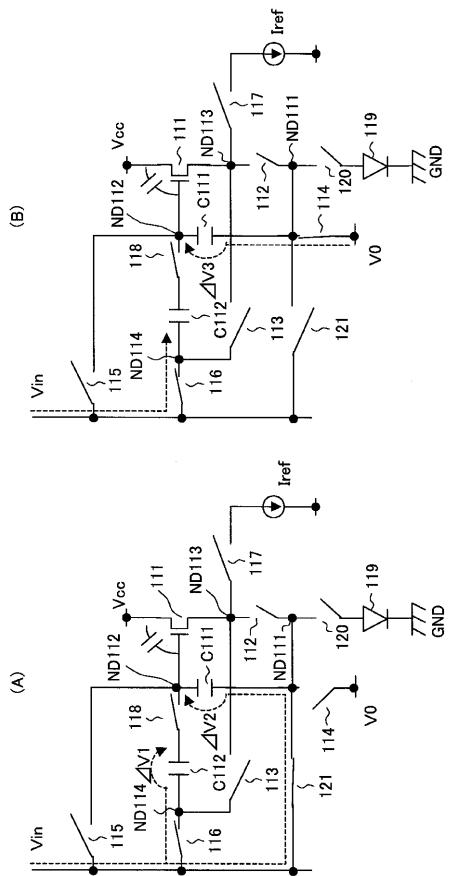
【図23】



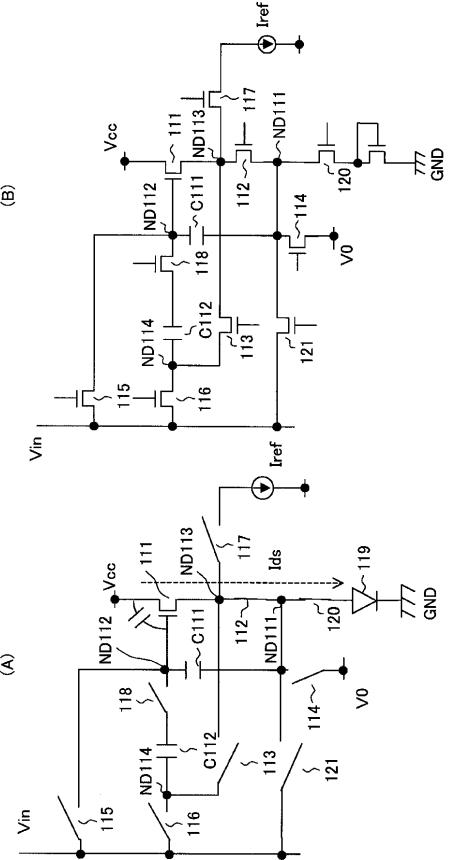
【図24】



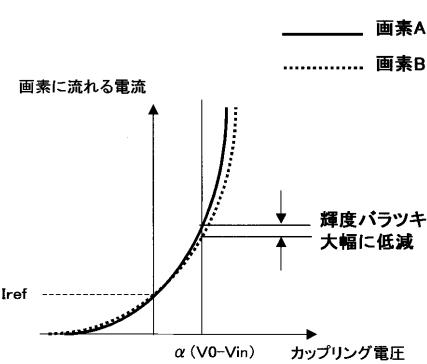
【図25】



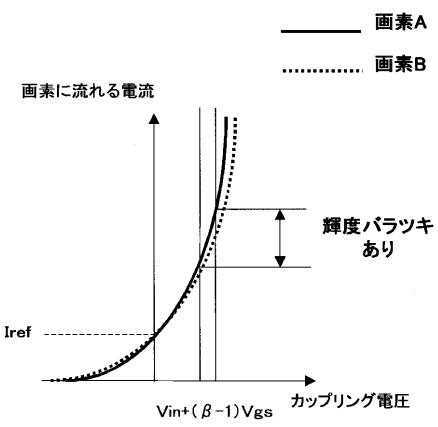
【図26】



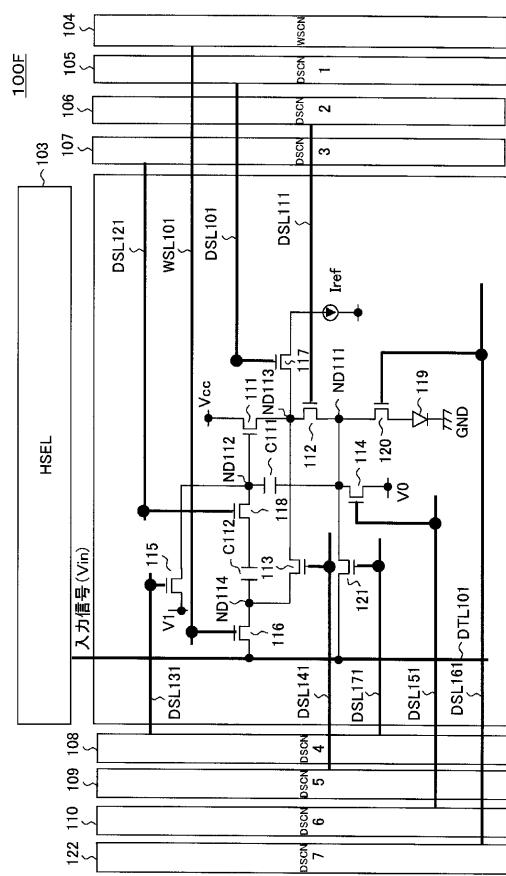
【図27】



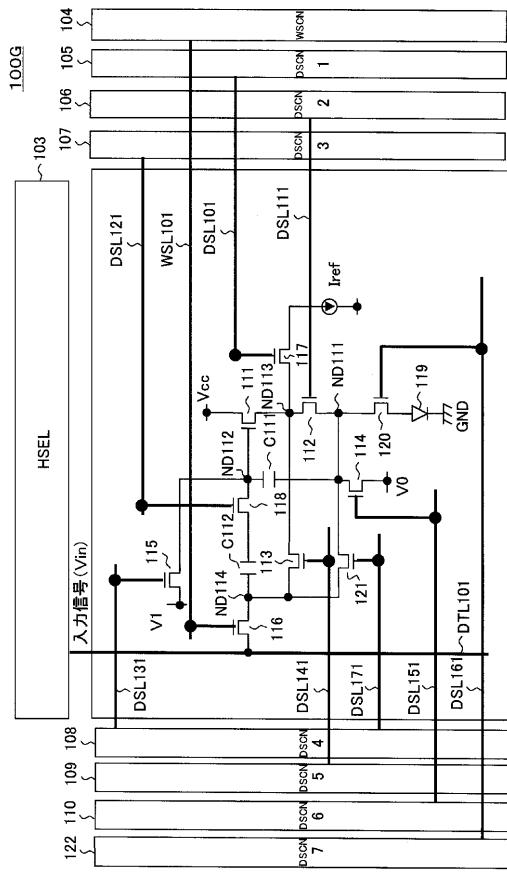
【図28】



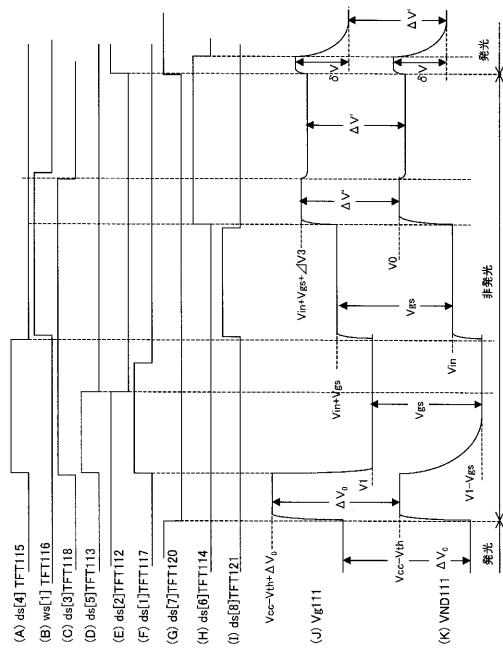
【図29】



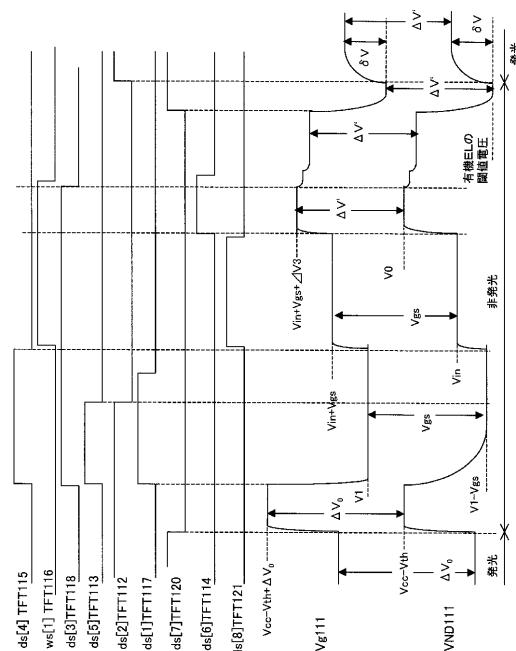
【図30】



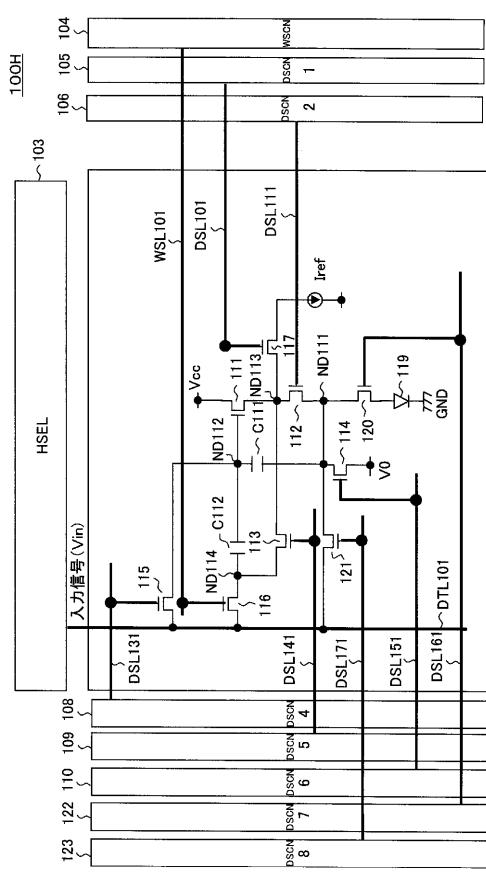
【図31】



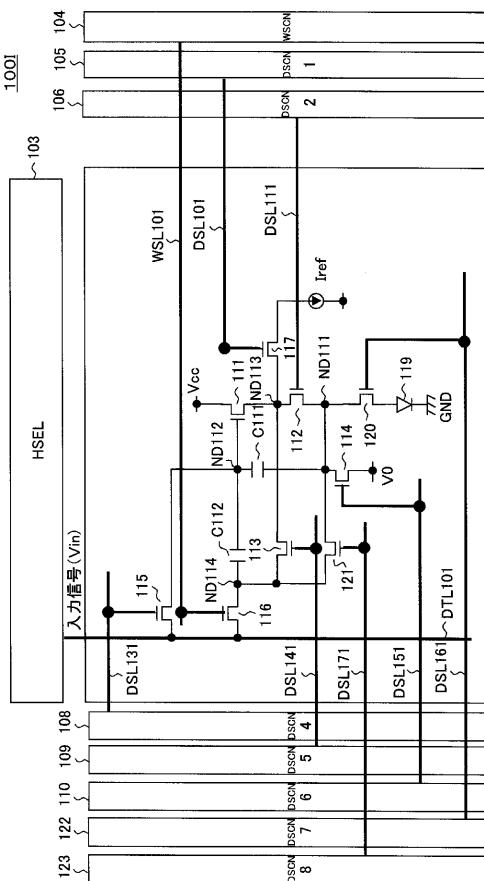
【図32】



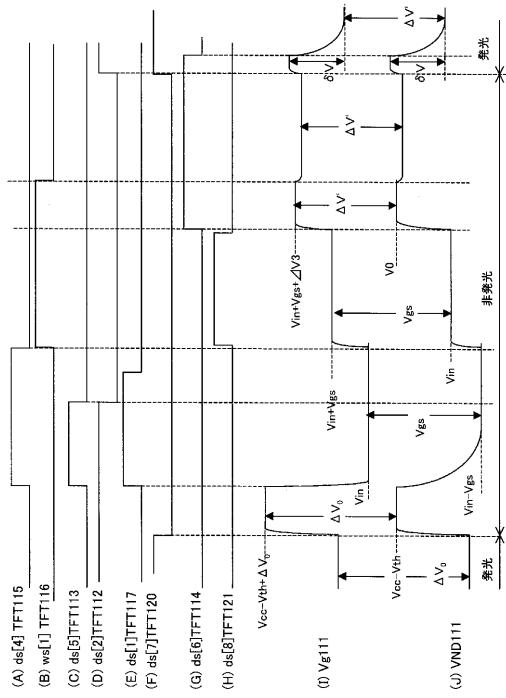
【図33】



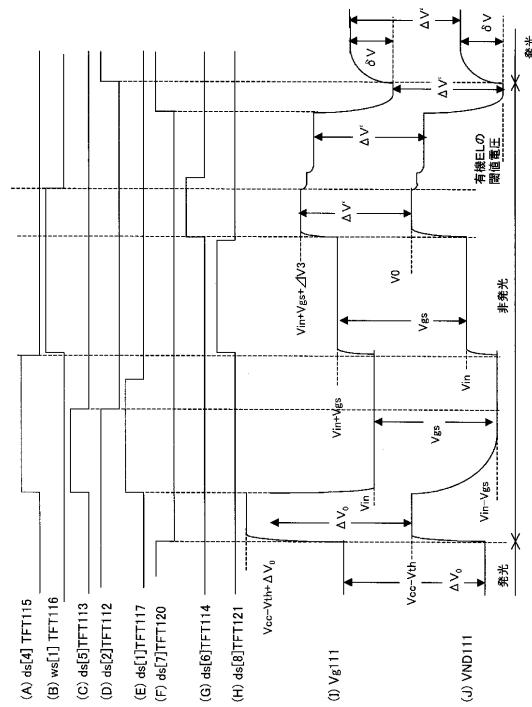
【図3-4】



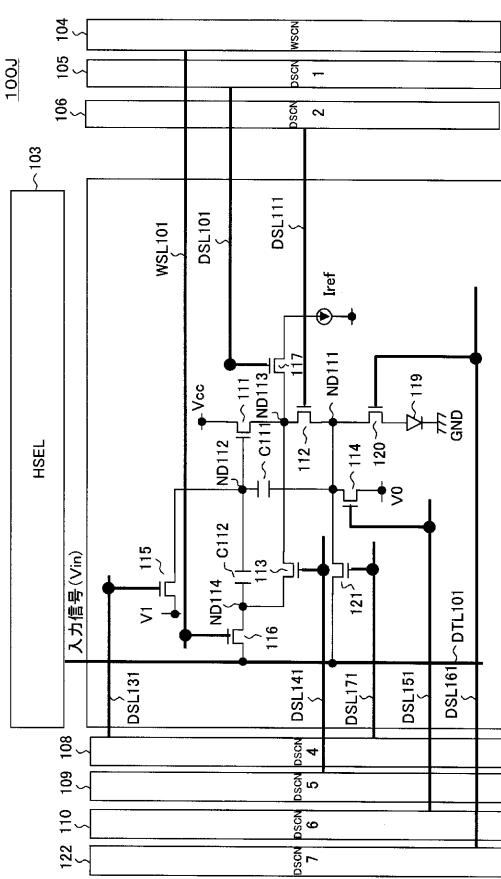
【図35】



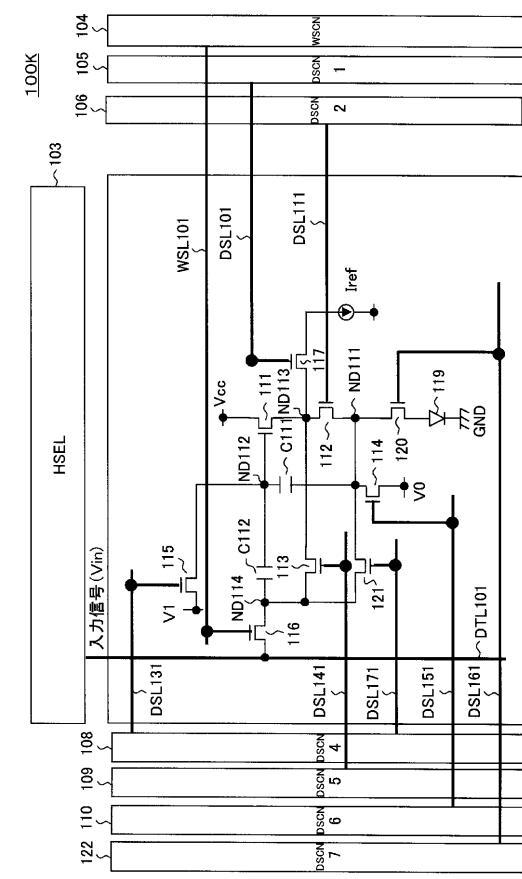
【図36】



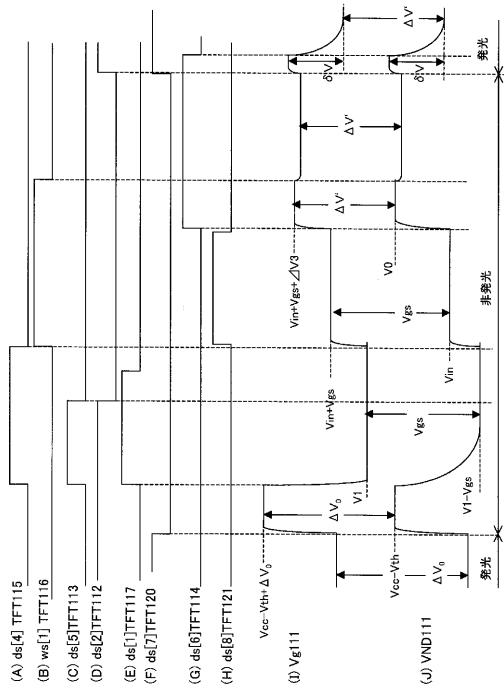
【図37】



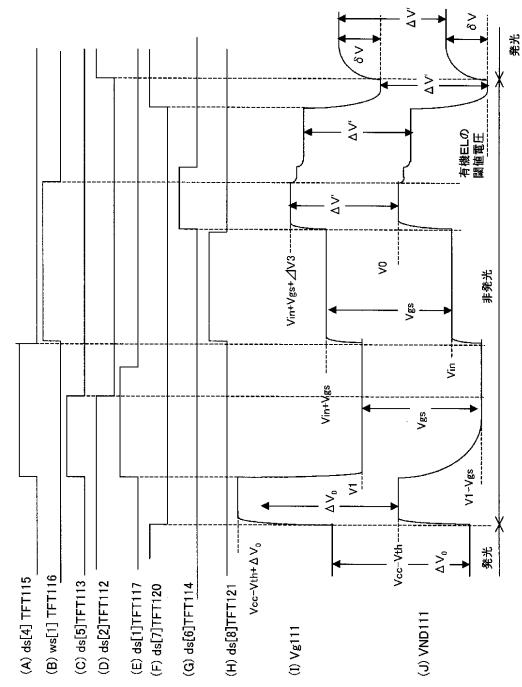
【図38】



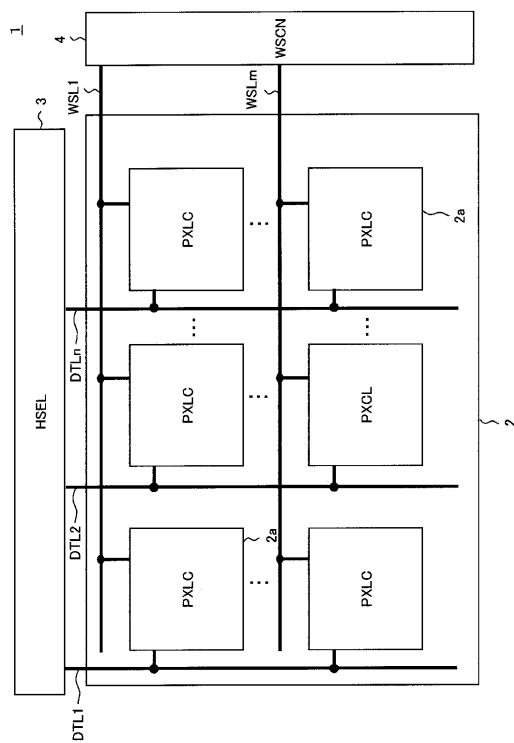
【図 3 9】



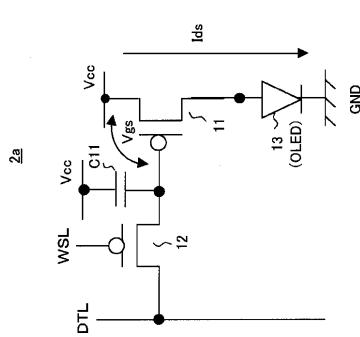
【図 4 0】



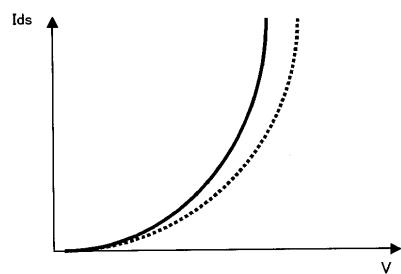
【図 4 1】



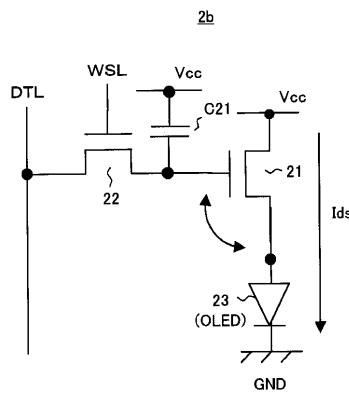
【図 4 2】



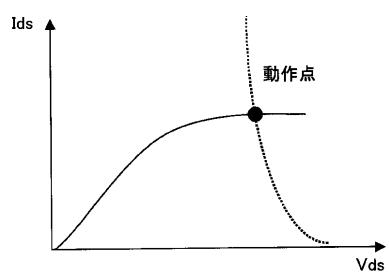
【図 4 3】



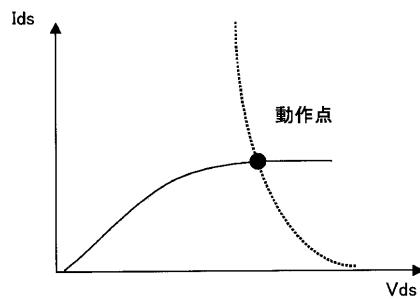
【図 4 4】



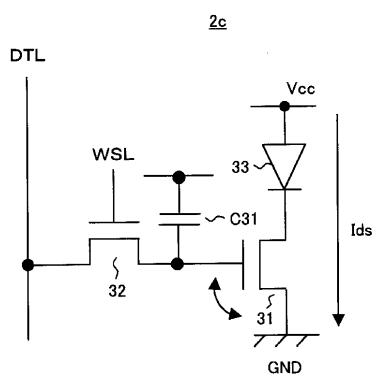
【図 4 5】



【図 4 6】



【図47】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 614
H 05 B 33/14 A

審査官 福村 拓

(56)参考文献 特開2003-271095(JP,A)

特開2003-216109(JP,A)

特開2003-195809(JP,A)

特表2002-514320(JP,A)

特開2003-173165(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 30

G 09 F 9 / 30

G 09 G 3 / 20

专利名称(译)	像素电路，显示装置和像素电路的驱动方法		
公开(公告)号	JP4131227B2	公开(公告)日	2008-08-13
申请号	JP2003380171	申请日	2003-11-10
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一 山本哲郎		
发明人	内野 勝秀 山下 淳一 山本 哲郎		
IPC分类号	G09G3/30 G09F9/30 G09G3/20 H01L29/786 H01L51/50 G09G3/32 G09G5/10 H05B33/00 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.J G09F9/30.338 G09G3/20.611.H G09G3/20.624.B G09G3/20.670.J H01L29/78.614 H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DB01 5C094/FB14 5C094/ GA10 5C380/AA01 5C380/AB06 5C380/BA11 5C380/BA13 5C380/BA14 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC20 5C380/BD02 5C380/CA10 5C380/CA12 5C380/CA48 5C380/ CA54 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CC03 5C380/CC04 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC66 5C380/CD012 5C380/CD027 5C380/CD028 5C380/CD029 5C380/CE04 5C380/DA02 5C380/DA06 5C380/HA03 5C380/HA08 5F110/AA14 5F110/BB02 5F110/ GG02 5F110/GG15 5F110/NN71 5F110/NN73		
代理人(译)	佐藤隆久		
审查员(译)	福村 拓		
其他公开文献	JP2005141163A5 JP2005141163A		
外部链接	Espacenet		

摘要(译)

要解决的问题：尽管随着时间的推移发光元件的电流 - 电压特性的变化并且可以显示均匀和高等级，提供能够执行源极跟随器输出但没有亮度劣化的像素电路图像中的有源元件的阈值电平和迁移率没有变化的图像，显示装置和像素电路的驱动方法。解决方案：电容器C 111连接在TFT 111的栅极和源极之间，TFT 111的源极侧通过TFT 114连接到固定电位（GND）。此外，提供规定的参考电流Iref。保持TFT 111的源极的规定定时和对应于参考电流Iref的电压，并且输入信号电压耦合在电压周围，以围绕迁移率变化的中心值驱动EL发光元件19。 Ž

