

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-200336

(P2009-200336A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.	F 1	テーマコード (参考)
H01L 51/50 (2006.01)	H05B 33/14 A	3K107
G09F 9/30 (2006.01)	G09F 9/30 365Z	5C094
H01L 27/32 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2008-41744 (P2008-41744)
 (22) 出願日 平成20年2月22日 (2008.2.22)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 佐川 裕志
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

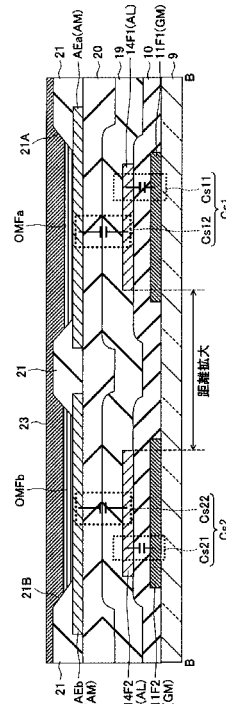
(54) 【発明の名称】 自発光型表示装置

(57) 【要約】

【課題】保持キャパシタの占有面積を小さくし、単位面積あたりの容量値を大きくする。

【解決手段】当該自発光型表示装置（例えば、有機ELディスプレイ）は、複数の画素のそれぞれにおいて、駆動トランジスタMd、保持キャパシタCsおよび発光素子（例えば有機発光ダイオードOLED）が、それぞれ複数設けられている。複数の保持キャパシタ（例えばC1、C2）が、下部電極としての第1導電層11F1、11F2と、第1絶縁層（ゲート絶縁膜10）と、上部電極としての第2導電層14F1、14F2とをこの順に積層してなる第1キャパシタCs11、Cs21と、第2導電層14F1、14F2を下部電極として、第2電極層上に、第2絶縁層（TFT保護膜19および平坦化膜20）と、上部電極層としての第3導電層（例えばアノード電極Ae a、Ae b）とをこの順に積層してなる第2キャパシタCs12、Cs22と、を含む。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

複数の画素を有する画素アレイを有し、
 前記複数の画素のそれぞれが、
 サンプリグトランジスタと、
 駆動トランジスタと、
 前記駆動トランジスタの発光制御ノードに結合し、前記サンプリグトランジスタを介して入力されるデータ電位を保持する保持キャパシタと、
 前記駆動トランジスタと共に駆動電流経路に直列接続され、保持された前記データ電位に応じ前記駆動トランジスタが制御する駆動電流量に基づいて自発光する発光素子と、
 を有し、
 前記複数の画素のそれぞれにおいて、前記駆動トランジスタ、前記保持キャパシタおよび前記発光素子が、それぞれ複数設けられ、
 複数の前記保持キャパシタが、
 下部電極としての第 1 導電層と、第 1 絶縁層と、上部電極としての第 2 導電層とをこの順に積層してなる第 1 キャパシタと、
 前記第 2 導電層を下部電極として、当該第 2 電極層上に、第 2 絶縁層と、上部電極層としての第 3 導電層とをこの順に積層してなる第 2 キャパシタと、
 を含む自発光型表示装置。

10

【請求項 2】

前記複数の画素のそれぞれにおいて、前記駆動トランジスタ、前記保持キャパシタおよび前記発光素子をそれぞれ含む画素回路要素の組が複数設けられ、
 前記画素回路要素の組ごとに含む 1 つの前記保持キャパシタが、前記第 1 キャパシタと前記第 2 キャパシタから構成され、かつ、同一組内で前記第 1 導電層と前記第 3 導電層とが電氣的に接続されることによって前記第 1 キャパシタと前記第 2 キャパシタが電氣的に互いに並列に接続されている
 請求項 1 に記載の自発光型表示装置。

20

【請求項 3】

前記第 1 導電層が、前記駆動トランジスタのゲート電極と同じ材質と膜厚を有し、同一階層で当該ゲート電極と分離している導電層であり、
 前記第 2 導電層が、前記駆動トランジスタのソース電極およびドレイン電極と同じ材質と膜厚を有し、同一階層で当該ソース電極およびドレイン電極と分離している導電層であり、
 前記第 3 導電層が前記発光素子の下部電極を兼用している
 請求項 1 に記載の自発光型表示装置。

30

【請求項 4】

前記同一組内で前記保持キャパシタを構成する前記第 1 キャパシタと前記第 2 キャパシタにおいて、
 前記第 1 導電層が、前記駆動トランジスタのゲート電極と同じ材質と膜厚を有し、同一階層で当該ゲート電極と分離している導電層であり、
 前記第 2 導電層が、前記駆動トランジスタのソース電極およびドレイン電極と同じ材質と膜厚を有し、同一階層で当該ソース電極およびドレイン電極と分離している導電層であり、
 前記第 3 導電層が、前記発光素子の下部電極を兼用し、かつ、当該第 3 導電層が、前記第 2 絶縁層に形成された第 2 コントクトと前記第 1 絶縁層に形成された第 1 コントクトを介して、下方の前記第 1 導電層と接続されている
 請求項 2 に記載の自発光型表示装置。

40

【請求項 5】

前記駆動トランジスタは、前記ゲート電極上に、前記第 1 絶縁層を兼用するゲート絶縁膜を介して、当該駆動トランジスタのチャンネルが形成される薄膜半導体層を積層し、当該

50

薄膜半導体層の一方端側に前記ドレイン電極が接続し、他方端側に前記ソース電極が接続した薄膜トランジスタである

請求項 4 に記載の自発光型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、各画素に、サンプリングトランジスタ、駆動トランジスタ、保持キャパシタおよび発光素子を備える自発光型表示装置に関する。

【背景技術】

【0002】

有機 EL (エレクトロルミネッセンス) 表示装置は、複数の画素回路をマトリクス状に配置する表示部と、その駆動部とを、1枚の基板に、TFT (Thin Film Transistor) の形成プロセスを含む半導体技術を用いて形成した表示パネルを有する。あるいは、表示パネルの駆動回路はフレキシブル基板により提供され、両者の電氣的接続を行う。

有機 EL 素子は自ら発光する自発光素子であり、一般に、OLED (Organic Light Emitting Diode) と称される。

【0003】

OLED は、下部電極と上層電極との間に、有機正孔輸送層や有機発光層などとして機能する複数の有機薄膜を積層させている。その膜厚は、発光波長に応じて異なり、また光増強効果を持たせる等の理由から種々異なるが、総じて薄く、有機材料であるため形成が難しい。OLED は、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、OLED を流れる電流値を制御することで発色の階調を得ている。そのため、OLED を電気光学素子として用いる表示装置は、OLED の電流量を制御するための駆動トランジスタを含む画素回路が画素ごとに設けられている。

【0004】

有機 EL ディスプレイの画素回路は、画素回路内の TFT の特性バラツキに起因する画質低下を防止するために、様々なものが提案されている。

主なものでは、4 トランジスタ (4T) ・ 1 キャパシタ (1C) 型、4T ・ 2C 型、5T ・ 1C 型、3T ・ 1C 型、2T ・ 1C 型などが知られている。

これらは何れも TFT (Thin Film Transistor) から形成されるトランジスタの特性バラツキに起因する画質低下を防止するものであり、画素回路内部で駆動電流を一定に制御し、これによって画面全体のユニフォミティ (輝度の均一性) を向上させることを目的とする。とくに画素回路内で OLED を電源に接続するとき、入力する映像信号の画素データに応じて電流量を制御する駆動トランジスタの特性バラツキが、直接的に OLED の発光輝度に影響を与える。このため、駆動トランジスタの特性、すなわち閾値電圧の補正を行う必要がある。

さらに、閾値電圧の補正を行うことを前提に、駆動トランジスタの電流駆動能力から閾値バラツキ起因成分等を減じた駆動能力成分 (一般には、移動度と称されている) を補正すると、より一層高いユニフォミティが得られる。

【0005】

OLED などの電気光学素子の製造時に埃 (ダスト) などが付着することで、発光が正常になされない滅点など、パネルに表示欠陥が生じやすい。このような表示欠陥は、表示装置の良品率を高める上で阻害要因となっており、表示装置の低コスト化を阻む。

とくに OLED では、有機薄膜を何層にも堆積した多層膜構造を形成する際に、成膜装置内に付着し剥がれやすい薄い有機薄膜が成膜装置のチャンバ内を浮遊してダストとなることが多く、このようなダストの付着によって OLED の電極間がある抵抗値で短絡されると、常時発光しない滅点欠陥が発生しやすい。

【0006】

特許文献 1 には、滅点欠陥が発生した場合の画素駆動方法が開示されている。

特許文献 1 には、1 画素内に、発光素子 (OLED)、発光素子駆動のための TFT (

10

20

30

40

50

以下、駆動トランジスタという)、データサンプリングのためのTFT(以下、サンプリングトランジスタという)、および、駆動トランジスタのゲートにサンプリング後のデータを保持させる保持キャパシタが2組設けられた場合が開示され、その組数は2以上でもよい記載がある。OLED、駆動トランジスタ、保持キャパシタ等を、「画素回路構成要素」という。この構成では、1画素内に画素回路構成要素が2組以上設けられるため、その1つが発光しなくても画素全体としては輝度が下がるのみで滅点とはならないため最悪の事態は回避できる。特許文献1は、この輝度の低下を抑制するための駆動方法に関する。

【特許文献1】特開2007-41574号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

保持キャパシタについては、その値を出来るだけ大きくするとよい。以下、その理由を、2T・1C型の画素回路を例として簡単に述べる。

画素回路は、駆動トランジスタの閾値電圧に応じて保持キャパシタの保持電圧を調整した後、サンプリングトランジスタをオンして、駆動トランジスタのゲートに、入力されるデータ電位に応じた電位を設定する。このとき設定された電位に応じて駆動トランジスタにドレイン電流が流れ、その電流量に応じて、保持キャパシタの保持電圧が調整されて移動度補正が行われる。移動度補正は、サンプリングトランジスタがオン状態からオフすることにより駆動トランジスタのゲートがフローティングになるまでに行われる。駆動トランジスタのゲートがフローティング状態となると、保持キャパシタに保持され、閾値電圧や移動度に応じた補正により値が調整されたデータ電圧に応じた駆動電流を流すことが可能な状態となるまで、駆動トランジスタのゲートとソースの各電位が自動的に昇圧(ブースト)される。

【0008】

このときのブースト効率 G_{bst} は、図10(A)に示す、駆動トランジスタMdのゲートとソース間の寄生容量を“ C_{gs} ”、そのゲートとドレイン間の寄生容量を“ C_{gd} ”、サンプリングトランジスタMsのゲートとドレイン間の寄生容量を“ C_d ”、保持キャパシタCsのデバイス容量を当該保持キャパシタと同じ符号“ C_s ”により、それぞれ表すと、図10(B)に示す式のようになる。保持キャパシタCsのデバイス容量とは、その保持された容量値ではなく、デバイス構造(電極面積やキャパシタ誘電膜の厚さや材料等)により決まる容量である。

【0009】

サンプリングトランジスタMsがオフしてブーストが開始されても、保持キャパシタCsは、既に設定され補正されたデータ電圧を保持し続ける必要があり、ブースト効率 G_{bst} は1であることが理想である。

しかしながら、図10(B)の式から分かるように、様々な寄生容量の影響がブースト効率 G_{bst} に関与する。これらの寄生容量の影響を排除して、ブースト効率 G_{bst} をほぼ1に保つには、図10(B)の式から、保持キャパシタのデバイス容量(C_s)を可能な限り、大きくする必要がある。

【0010】

ところで、一般に画素ピッチは、例えば約100[μm]×約300[μm]程度であり、保持キャパシタCsの面積を大きくするには画素面積に応じた限界がある。

保持キャパシタCsは、ある導電膜から形成された下部電極と、他の導電膜から形成された上部電極との間に絶縁材料(誘電体膜)を矜持させた、いわゆるMIM構造が採用されるのが一般的である。キャパシタ絶縁膜(誘電体膜)としては、配線の層間絶縁膜等が利用される。

【0011】

MIM構造の保持キャパシタCsの面積を、限られた画素内で大きくしようとすると、キャパシタ電極(上部電極または下部電極)と、当該キャパシタ電極と同じ導電膜から形

10

20

30

40

50

成される他の配線やトランジスタ電極等との間、すなわち同一階層の導電層間（以下、同層間という）で離間距離が小さくなる。このため、エッチング不良や異物による同層間ショートが発生確率が高まる。よって、このような不具合が生じないように、同層間である程度大きな距離を確保する必要があり、このことによって保持キャパシタCsの面積拡大には限界がある。

【0012】

とくに、保持キャパシタCsを画素内に複数設ける必要がある場合、キャパシタ電極（2つの上部電極同士または2つの下部電極同士）が、同じ階層内で近接配置される。このキャパシタ電極間でも、同層間ショートが発生を防止するには、十分な距離を確保する必要がある。よって、さらに1つのキャパシタの占有面積が小さくなる。このことにより、1画素内に配置する保持キャパシタの面積や数が制限され、このキャパシタの配置に関する制限が緩和できないと、実際には、特許文献1のような画素回路構成を有効に実施できない。

10

【0013】

本発明は、保持キャパシタの配置を工夫して、駆動トランジスタ、保持キャパシタおよび発光素子を1画素内に、それぞれ複数設ける際に、特に保持キャパシタの占有面積を小さくし、単位面積当たりの容量値を大きくした画素回路構成の自発光型表示装置を提供するものである。

【課題を解決するための手段】

【0014】

本発明の一形態（第1形態）に関わる自発光型表示装置は、複数の画素を有する画素アレイを有し、前記複数の画素のそれぞれが、サンプリングトランジスタと、駆動トランジスタと、前記駆動トランジスタの発光制御ノードに結合し、前記サンプリングトランジスタを介して入力されるデータ電位を保持する保持キャパシタと、前記駆動トランジスタと共に駆動電流経路に直列接続され、保持された前記データ電位に応じ前記駆動トランジスタが制御する駆動電流量に基づいて自発光する発光素子と、を有する。また、当該自発光型表示装置は、前記複数の画素のそれぞれにおいて、前記駆動トランジスタ、前記保持キャパシタおよび前記発光素子が、それぞれ複数設けられ、複数の前記保持キャパシタが、下部電極としての第1導電層と、第1絶縁層と、上部電極としての第2導電層とをこの順に積層してなる第1キャパシタと、前記第2導電層を下部電極として、当該第2電極層上に、第2絶縁層と、上部電極層としての第3導電層とをこの順に積層してなる第2キャパシタと、を含む。

20

30

【0015】

本発明の他の形態（第2形態）に関わる自発光型表示装置は、上記第1形態の特徴に加えて、前記複数の画素のそれぞれにおいて、前記駆動トランジスタ、前記保持キャパシタおよび前記発光素子をそれぞれ含む画素回路要素の組が複数設けられ、前記画素回路要素の組ごとに含む1つの前記保持キャパシタが、前記第1キャパシタと前記第2キャパシタから構成され、かつ、同一組内で前記第1導電層と前記第3導電層とが電氣的に接続されることによって前記第1キャパシタと前記第2キャパシタが電氣的に互いに並列に接続されている。

40

【0016】

本発明の他の形態（第3形態）に関わる自発光型表示装置は、上記第1形態において、前記第1導電層が、前記駆動トランジスタのゲート電極と同じ材質と膜厚を有し、同一階層で当該ゲート電極と分離している導電層であり、前記第2導電層が、前記駆動トランジスタのソース電極およびドレイン電極と同じ材質と膜厚を有し、同一階層で当該ソース電極およびドレイン電極と分離している導電層であり、前記第3導電層が前記発光素子の下部電極を兼用している。

【0017】

本発明の他の形態（第4形態）に関わる自発光型表示装置は、上記第2形態において、前記同一組内で前記保持キャパシタを構成する前記第1キャパシタと前記第2キャパシタ

50

において、前記第1導電層が、前記駆動トランジスタのゲート電極と同じ材質と膜厚を有し、同一階層で当該ゲート電極と分離している導電層であり、前記第2導電層が、前記駆動トランジスタのソース電極およびドレイン電極と同じ材質と膜厚を有し、同一階層で当該ソース電極およびドレイン電極と分離している導電層であり、前記第3導電層が、前記発光素子の下部電極を兼用し、かつ、当該第3導電層が、前記第2絶縁層に形成された第2コンタクトと前記第1絶縁層に形成された第1コンタクトを介して、下方の前記第1導電層と接続されている。

【0018】

以上の構成を有する本発明の自発光型表示装置によれば、保持キャパシタを複数含み、当該複数の保持キャパシタが、第1キャパシタと、導電層の積層構造において、当該第1キャパシタ上に積層されている第2キャパシタとを含む。また、第1キャパシタの上部電極が第2キャパシタの下部電極を兼用する。よって、第1キャパシタと第2キャパシタのトータルの容量（デバイス容量）を大きくしても、第1キャパシタと第2キャパシタのトータルの占有面積は比較的小さい。

10

【0019】

特に第2形態では、回路的にみれば第1キャパシタと第2キャパシタは互いに並列な接続関係にあるため、この2つのキャパシタは1つの保持キャパシタと等価である。よって、画素ごとに、駆動トランジスタ、保持キャパシタおよび発光素子をそれぞれ含む画素回路要素の組が複数設けられている場合、各組内で保持キャパシタを第1キャパシタと第2キャパシタから構成すると、比較的小さい占有面積にもかかわらず、比較的大きな容量（デバイス容量）の保持キャパシタが実現されている。

20

【0020】

第3形態や第4形態では、第1キャパシタが、駆動トランジスタのゲート電極と同一階層の導電層から形成された下部電極としての第1導電層を有し、また、駆動トランジスタのソース電極およびドレイン電極と同一階層の導電層から形成された上部電極としての第2導電層を有している。第2キャパシタは、その下部電極が第2導電層から形成され、その上部電極が発光素子の下部電極を兼用する第3導電層から形成されている。

したがって、第1キャパシタおよび第2キャパシタのためだけに新たな導電層を積層する必要がなく、駆動トランジスタおよび発光素子を形成する過程で付加的なプロセスを特に必要とすることなく、保持キャパシタが形成できる。

30

【発明の効果】

【0021】

本発明によれば、保持キャパシタの配置を工夫して、駆動トランジスタ、保持キャパシタおよび発光素子を1画素内に、それぞれ複数設ける際に、特に保持キャパシタの占有面積を小さくしながら容量を大きくした画素回路構成の自発光型表示装置を提供できる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態を、2T・1C型の画素回路を有する有機ELディスプレイを主な例として、図面を参照して説明する。

【0023】

40

<全体構成>

図1に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路（PXL）3（ i, j ）がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する垂直駆動回路（Vスキャナ）4および水平駆動回路（Hセクタ：HSEL）5とを含む。

Vスキャナ4は、画素回路3の構成により複数設けられている。ここではVスキャナ4が、水平画素ライン駆動回路（DSCN）41と、書き込み信号走査回路（WSCN）42とを含んで構成されている。Vスキャナ4およびHセクタ5は「駆動回路」の一部であり、「駆動回路」は、Vスキャナ4とHセクタ5の他に、これらにクロック信号を与える回路や制御回路（CPU等）など、不図示の回路も含む。

50

【 0 0 2 4 】

図 1 に示す画素回路の符号「 $3(i, j)$ 」は、当該画素回路が垂直方向（縦方向）のアドレス i ($i = 1, 2$) と、水平方向（横方向）のアドレス j ($j = 1, 2, 3$) を持つことを意味する。これらのアドレス i と j は最大値をそれぞれ「 n 」と「 m 」とする 1 以上の整数をとる。ここでは図の簡略化のため $n = 2$ 、 $m = 3$ の場合を示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【 0 0 2 5 】

画素回路 $3(1, 1)$ 、 $3(2, 1)$ が垂直方向の映像信号線 $DTL(1)$ に接続されている。同様に、画素回路 $3(1, 2)$ 、 $3(2, 2)$ が垂直方向の映像信号線 $DTL(2)$ に接続され、画素回路 $3(1, 3)$ 、 $3(2, 3)$ が垂直方向の映像信号線 $DTL(3)$ に接続されている。映像信号線 $DTL(1) \sim DTL(3)$ は、Hセクタ 5 によって駆動される。

第 1 行の画素回路 $3(1, 1)$ 、 $3(1, 2)$ および $3(1, 3)$ が書込走査線 $WSL(1)$ に接続されている。同様に、第 2 行の画素回路 $3(2, 1)$ 、 $3(2, 2)$ および $3(2, 3)$ が書込走査線 $WSL(2)$ に接続されている。書込走査線 $WSL(1)$ 、 $WSL(2)$ は、書き込み信号走査回路 4 2 によって駆動される。

また、第 1 行の画素回路 $3(1, 1)$ 、 $3(1, 2)$ および $3(1, 3)$ が電源走査線 $DSL(1)$ に接続されている。同様に、第 2 行の画素回路 $3(2, 1)$ 、 $3(2, 2)$ および $3(2, 3)$ が電源走査線 $DSL(2)$ に接続されている。電源走査線 $DSL(1)$ 、 $DSL(2)$ は、水平画素ライン駆動回路 4 1 によって駆動される。

【 0 0 2 6 】

映像信号線 $DTL(1) \sim DTL(3)$ を含む m 本の映像信号線の何れか 1 本を、以下、符号「 $DTL(j)$ 」または「 DTL 」により表記する。同様に、書込走査線 $WSL(1)$ 、 $WSL(2)$ を含む n 本の書込走査線の何れか 1 本を符号「 $WSL(i)$ 」または「 WSL 」により表記し、電源走査線 $DSL(1)$ 、 $DSL(2)$ を含む n 本の電源走査線の何れか 1 本を符号「 $DSL(i)$ 」または「 DSL 」により表記する。

映像信号線 $DTL(j)$ に対し、表示画素行（表示ラインともいう）を単位として一斉に映像信号が排出される線順次駆動、あるいは、同一行の映像信号線 $DTL(j)$ に順次、映像信号が排出される点順次駆動があるが、本実施形態では、そのどの駆動法でもよい。

【 0 0 2 7 】

< 画素回路 >

図 2 に、画素回路 $3(i, j)$ の基本構成例を示す。ここで図 2 に図解する基本構成（以下、組ともいう）を単位として、この基本構成が 1 画素内に複数組、設けられている。以下、基本構成を説明し、基本構成（組）同士の接続例や、そのパターンレイアウトの例は、その後に説明する。

【 0 0 2 8 】

図解する画素回路 $3(i, j)$ の基本構成は、有機発光ダイオード OLED を制御する回路である。当該画素回路の基本構成は、有機発光ダイオード OLED の他に、NMOS タイプの TFT からなる駆動トランジスタ M_d およびサンプリングトランジスタ M_s と、保持キャパシタ C_s とを有する。

【 0 0 2 9 】

有機発光ダイオード OLED は、特に図示しないが、例えば上面発光型の場合、透明ガラス等からなる基板に形成された TFT 構造の上にアノード電極を最初に形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、積層体の上に透明電極材料からなるカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

【 0 0 3 0 】

有機発光ダイオード OLED のアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に有機多

10

20

30

40

50

層膜が自発光する。有機発光ダイオードOLEDは、有機多層膜を構成する有機材料を適宜選択することで赤(R)、緑(G)、青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR、G、Bの発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色でR、G、Bの区別を行ってもよい。R、G、Bの他にW(ホワイト)を加えた4色構成でもよい。

【0031】

駆動トランジスタMdは、有機発光ダイオードOLEDに流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタMdのドレインが、電源電圧VDDの供給を制御する電源走査線DSL(i)に接続され、ソースが有機発光ダイオードOLEDのアノードに接続されている。

10

【0032】

サンプリングトランジスタMsは、画素階調を決めるデータ電位Vsigの供給線(映像信号線DTL(j))と駆動トランジスタMdのゲート(制御ノードNDc)との間に接続されている。サンプリングトランジスタMsのソースとドレインの一方が駆動トランジスタMdのゲート(制御ノードNDc)に接続され、もう片方が映像信号線DTL(j)に接続されている。映像信号線DTL(j)に、Hセクタ5(図1参照)からデータ電位Vsigを持つデータパルスが所定の間隔で供給される。サンプリングトランジスタMsは、データ電位の供給期間(データパルスの持続時間(duration time))の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。これは、サンプリングすべき所望のデータ電位Vsigを持つデータパルスの前部または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

20

【0033】

駆動トランジスタMdのゲート(制御ノード)とソース(有機発光ダイオードOLEDのアノードをなす一方電極)との間に、保持キャパシタCsが接続されている。

保持キャパシタCsの役割や配置等(構造およびパターンレイアウト)については後述する。

【0034】

図2では、水平画素ライン駆動回路41により、低電位Vcc_Lを基準とした高電位Vcc_Hの波高値が電源電圧VDDとなる電源駆動パルスDS(i)が駆動トランジスタMdのドレインに供給され、駆動トランジスタMdの補正時や有機発光ダイオードOLEDが実際に発光する時の電源供給が行われる。

30

また、書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルスWS(i)がサンプリングトランジスタMsのゲートに供給され、サンプリング制御が行われる。

なお、電源供給の制御は、駆動トランジスタMdのドレインと電源電圧VDDの供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい(後述の変形例参照)。

【0035】

図2では有機発光ダイオードOLEDの一方電極(アノード)が駆動トランジスタMdを介して正側の電源から電源電圧VDDの供給を受ける。有機発光ダイオードOLEDの他方電極(カソード)が、負側の電源からカソード線を介して、負のカソード電位Vcathの供給を受ける。

40

【0036】

通常、画素回路内の全てのトランジスタはTF Tで形成されている。TF Tのチャンネルが形成される薄膜半導体層は、多結晶シリコン(ポリシリコン)または非晶質シリコン(アモルファスシリコン)等の半導体材料からなる。ポリシリコンTF Tは移動度を高くとれるが特性ばらつきが大きいいため、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコンTF Tが用いられる。ただし、アモルファスシリコンTF TではPチャンネル型TF Tが形成し難いため、上述した画素回路3(i, j)のように、すべてのTF TをNチャンネル型とすることが望ましい。

50

【 0 0 3 7 】

ここで、以上の画素回路3 (i, j)の基本構成は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ(2T)・1キャパシタ(1C)型の基本構成例である。よって、本実施形態で用いることができる画素回路の基本構成は、上記画素回路3 (i, j)の基本構成に加えて、さらにトランジスタやキャパシタを付加した画素回路であってもよい(後述の変形例参照)。また、基本構成において、保持キャパシタCsを電源電圧VDDの供給線と駆動トランジスタMdのゲートとの間に接続するものもある。

具体的に、本実施形態で採用可能な2T・1C型以外の画素回路として、後述する変形例で幾つかを簡単に述べるが、例えば、4T・1C型、4T・2C型、5T・1C型、3T・1C型などであってもよい。

10

【 0 0 3 8 】

図2の構成を基本とする画素回路では、閾値電圧補正時や移動度補正時に有機発光ダイオードOLEDを逆バイアスすると、有機発光ダイオードOLEDの逆バイアス時の等容量値が保持キャパシタCsの値より十分大きくできるため、有機発光ダイオードOLEDのアノードが電位的に動き難くなるため、補正精度が向上する。このため、逆バイアス状態で補正を行うことが望ましい。

カソード電位Vcathは、逆バイアスを行うための電位である。有機発光ダイオードOLEDを逆バイアスするには、例えば、電源駆動パルスDS(i)の基準電位(低電位Vcc_L)より、カソード電位Vcathを小さくする。本例では、カソード電位Vcathは負電位であるとする。

20

【 0 0 3 9 】

データの書き込み時に、有機発光ダイオードOLEDのアノード電位を更に動き難くして電位的に固定するために、有機発光ダイオードOLEDのアノードからみた容量値を大きくするとよい。この目的で、有機発光ダイオードOLEDのアノードに補助キャパシタを接続してもよい。

【 0 0 4 0 】

<表示制御>

図2の回路におけるデータ書き込み時の動作を、閾値電圧と移動度の補正動作と併せて説明する。これらの一連の動作を「表示制御」という。

最初に、補正対象となる駆動トランジスタと有機発光ダイオードOLEDの特性について説明する。

30

【 0 0 4 1 】

図2に示す駆動トランジスタMdの制御ノードNDcには、保持キャパシタCsが結合されている。映像信号線DTL(j)を伝送するデータパルスの有効電位であるデータ電位VsigがサンプリングトランジスタMsでサンプリングされ、これにより得られた電位が制御ノードNDcに印加され、保持キャパシタCsで保持される。駆動トランジスタMdのゲートに所定の電位が印加された時、そのドレイン電流Idsは、印加電位に応じた値を持つゲートソース間電圧Vgsに応じて決まる。

ここで駆動トランジスタMdのソース電位Vsを、上記データパルスの基準電位(データ基準電位Vo)に初期化してから、サンプリングを行うとする。サンプリング後のデータ電位Vsig、より正確には、データ基準電位Voとデータ電位Vsigとの電位差で規定されるデータ電圧Vinの大きさに応じたドレイン電流Idsが駆動トランジスタMdに流れ、これがほぼ、有機発光ダイオードOLEDの駆動電流Idとなる。

40

よって、駆動トランジスタMdのソース電位Vsがデータ基準電位Voで初期化されている場合、有機発光ダイオードOLEDがデータ電位Vsigに応じた輝度で発光する。

【 0 0 4 2 】

有機発光ダイオードOLEDは、よく知られているように、経時変化によりI-V特性が変化する。このとき、有機発光ダイオードOLEDの経時変化とともに駆動トランジスタMdのゲートソース間電圧Vgsが変化してしまう。

これにより、有機発光ダイオードOLEDに流れる駆動電流Idが変化し、その結果、

50

所定のデータ電位 V_{sig} であっても発光輝度が変化してしまう。

また、画素回路ごとに駆動トランジスタ M_d の閾値電圧 V_{th} 、移動度 μ が異なっているため、ドレイン電流 I_{ds} にバラツキが生じ、同じデータ電位 V_{sig} が与えられている画素の発光輝度が変化してしまう。

【0043】

Nチャンネル型の駆動トランジスタ M_d を有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、以下のような補正動作を、前述した発光制御動作に先立って行う必要がある。

【0044】

サンプリングの前に保持キャパシタ C_s によって、駆動トランジスタ M_d のゲート電位が、その閾値電圧 V_{th} のレベルで保持される。この予備的な動作は、「閾値補正」と称される。

閾値補正後に、駆動トランジスタ M_d のゲートにサンプリング後のデータ電位 V_{in} が加わるため、ゲート電位は " $V_{th} + V_{in}$ " となって保持される。このときのデータ電位 V_{in} の大きさに応じて駆動トランジスタ M_d がオンする。閾値電圧 V_{th} が大きくオンし難い駆動トランジスタ M_d の場合は " $V_{th} + V_{in}$ " も大きい、逆に、閾値電圧 V_{th} が小さくオンし易い駆動トランジスタ M_d の場合は " $V_{th} + V_{in}$ " も小さい。よって駆動電流から閾値電圧 V_{th} のバラツキの影響が排除され、データ電位 V_{in} が一定ならば、ドレイン電流 I_{ds} (駆動電流 I_d) も一定となる。

【0045】

また、例えば、データサンプリングの前で閾値補正の後に、「移動度(厳密には、駆動力補正)」を行う。

移動度補正では、電圧 " $V_{th} + V_{sig}$ " が保持されている状態から、さらに、駆動トランジスタ M_d の電流駆動能力に応じたゲート電位変化を行う。駆動トランジスタ M_d のゲートとソースとの間に、駆動トランジスタ M_d の電流チャンネルを介した電流により保持キャパシタを充電または放電するパスが設けられており、このパスに電流を流すか否かを制御することによって移動度補正を行う。

その後、この一定な電流値に駆動されて有機発光ダイオード $OLED$ が発光する。

【0046】

この有機発光ダイオード $OLED$ の発光動作は、サンプリングトランジスタ M_s がオン状態からオフ状態となって、駆動トランジスタ M_d のゲートがフローティング状態となることを契機に開始される。

駆動トランジスタ M_d のゲートがフローティング状態となると、保持キャパシタ C_s に保持され、閾値電圧や移動度に応じた補正により値が調整されたデータ電圧に応じた駆動電流 I_d を流すことが可能な状態となるまで、駆動トランジスタ M_d のゲートとソースの各電位が自動的に昇圧(ブースト)される。

既に説明したように、このブーストの時にトランジスタ寄生容量の影響を排除して(ブースト効率を1にして)、補正後の保持キャパシタ C_s の保持容量値が一定に保たれるようにする必要がある。そのためには、トランジスタの各種寄生容量に対して保持キャパシタ C_s の容量値(同一符号 " C_s " で表すデバイス容量値)を十分に大きく設計する。

【0047】

本実施形態の画素回路は、例えば図2に示す画素回路構成要素の組、すなわち、有機発光ダイオード $OLED$ 、駆動トランジスタ M_d および保持キャパシタ C_s の組が複数設けられている。ここでサンプリングトランジスタ M_s に関しては、組ごとに1つのサンプリングトランジスタ M_s を有するか、複数の組でサンプリングトランジスタ M_s を共用するかは、どちらでもよい。

【0048】

例えば、図3に示すように、上記組の数が「2」の場合においてサンプリングトランジスタを組ごとに設けてよい。あるいは、図4に示すように、サンプリングトランジスタを複数(ここでは2つ)の組で共有させてもよい。サンプリングトランジスタを共有する場

10

20

30

40

50

合、1つのサンプリングトランジスタを共有する組数は2以上の任意の数である。1つのサンプリングトランジスタを共有する組数が1画素内で1種類でなくてもよい。つまり、1画素内で、あるサンプリングトランジスタは2組で共有され、他のサンプリングトランジスタが3組で共有されていてもよい。

【0049】

<平面および断面の構造：比較例>

ここで、本発明が非適用の比較例（一般的な構造）について、画素回路の平面パターンや断面構造を、図面を参照しつつ説明する。

図5(A)と図5(B)は、比較例の画素回路3(i,j)についての平面パターンを示すものである。図5(A)は、図3と同様に、サンプリングトランジスタが組ごとに2つ設けられ、2つのサンプリングトランジスタM_{s1}とM_{s2}が共通の書込走査線WSL(i)に接続されている場合に対応する。

図5(B)は、最上層のカソード電極（全面形成）を省いた平面図、図5(A)は、最上層のカソード電極（全面形成）を省き、さらに、有機発光ダイオードOLEDの電極や有機多層膜を省いた製造途中の平面図である。また、図6(B)はTFT部の基本断面構造図、図6(A)はその平面図である。

【0050】

図6(B)に示すように、ガラス等からなる基板9上に図示のように直接（または下地層（絶縁層の一種）を介して）、所定のゲート金属層（GM）、例えばモリブデン（Mo）等の高融点金属層からなるゲート電極11が形成されている。

ゲート電極11は、図5(A)において、駆動トランジスタMd1のゲート電極11A1、駆動トランジスタMd2のゲート電極11A2、サンプリングトランジスタM_{s1}とM_{s2}の共通のゲート電極11Bに該当する。ここでゲート電極11A1は、保持キャパシタCs1の下部電極としても機能させるため、保持キャパシタCs1の形成領域に拡がって配置されている。同様に、ゲート電極11A2は、保持キャパシタCs2の下部電極として機能させるため、保持キャパシタCs2の形成領域に拡がって配置されている。一方、ゲート電極11Bの一方端が書込走査線WSL(i)と接続のために、その下方に延びている。ゲート電極11Bの一方端は、書込走査線WSL(i)に対し、1stコンタクトホール(1CH)の1つであるコンタクト12Bを介して接続されている。

【0051】

図6(B)に示すように、ゲート電極11（ゲート電極11A1, 11A2, 11Bの何れか）の表面を覆うように、基板9上にゲート絶縁膜10が形成され、その上に、アモルファスシリコン(-Si)からなる薄膜半導体層13が形成されている。

薄膜半導体層13は、図5(A)においては省略されているが、駆動トランジスタMd1, Md2のTFT層、サンプリングトランジスタM_{s1}, M_{s2}のTFT層を、互いに孤立して形成するための層である。

【0052】

図6(B)の薄膜半導体層13は、そのゲート電極11と対向する部分がチャネル形成領域である。薄膜半導体層13上のチャネル形成領域を保護する位置に、絶縁材料のチャネル保護膜18が形成されている。また、チャネル保護膜18に端部が乗り上げ、薄膜半導体層13より若干狭い幅で（図6(A)参照）、2つのソース・ドレイン電極14が配置されている。ソース・ドレイン電極14は、チャネル保護膜18上で互いに離間して、その片方がソース(S)電極として機能し、他の片方がドレイン(D)電極として機能する。2つのソース・ドレイン電極14は、例えばアルミニウム(AL)を主材料とする配線層；(AL)層から形成されている。

【0053】

図6のソース・ドレイン電極14は、図5(A)の駆動トランジスタMd1に関しては、電源走査線DSL(i)から分岐し駆動トランジスタMd1, Md2のドレイン電極として機能するVDD線14A、駆動トランジスタMd1のソース電極として機能する接続配線14B1に該当する。接続配線14B1は、保持キャパシタCs1の上部電極として機

10

20

30

40

50

能させるため、ゲート電極 1 1 A 1 に重ねて配置されている。

また、図 6 のソース・ドレイン電極 1 4 は、図 4 (A) の駆動トランジスタ M d 2 に関しては、前記 V D D 線 1 4 A と、駆動トランジスタ M d 2 のソース電極として機能する接続配線 1 4 B 2 に該当する。接続配線 1 4 B 2 は、保持キャパシタ C s 2 の上部電極として機能させるため、ゲート電極 1 1 A 1 に重ねて配置されている。

【 0 0 5 4 】

さらに、図 6 のソース・ドレイン電極 1 4 は、図 5 (A) のサンプリングトランジスタ M s 1 に関しては、そのドレイン電極として機能する接続配線 1 4 C、そのソース電極として機能する接続配線 1 4 D 1 に該当する。

同様に、図 6 のソース・ドレイン電極 1 4 は、図 5 (A) のサンプリングトランジスタ M s 2 に関しては、そのドレイン電極として機能する接続配線 1 4 C、サンプリングトランジスタ M s 2 のソース電極として機能する接続配線 1 4 D 2 に該当する。

【 0 0 5 5 】

接続配線 1 4 C は、2 つのサンプリングトランジスタ M s 1 と M s 2 で共通に設けられ、映像信号線 D T L (j) の一部としても機能する。

接続配線 1 4 D 1 は、図 2 の制御ノード N D c 接続のために、その端部が保持キャパシタ C s 1 の下部電極 (ゲート電極 1 1 A 1) の上方に延び、1st コンタクトホール (1 C H) の 1 つであるコンタクト 1 2 A 1 によって、ゲート電極 1 1 A 1 と接続されている。

同様に、接続配線 1 4 D 2 は、図 2 の制御ノード N D c 接続のために、その端部が保持キャパシタ C s 2 の下部電極 (ゲート電極 1 1 A 2) の上方に延び、1st コンタクトホール (1 C H) の 1 つであるコンタクト 1 2 A 2 によって、ゲート電極 1 1 A 2 と接続されている。

【 0 0 5 6 】

図 6 (B) に示すように、2 つのソース・ドレイン電極 1 4 と薄膜半導体層 1 3 との重なり部分に、P 型の薄膜半導体層 1 3 と逆導電型の N 型不純物が高濃度に導入されたソース不純物領域 1 7 S とドレイン不純物領域 1 7 D が設けられている。ソース不純物領域 1 7 S により、一方のソース・ドレイン電極 1 4 と薄膜半導体層 1 3 が低抵抗で接続されたソースコンタクトが達成されている。同様に、ドレイン不純物領域 1 7 D により、他のソース・ドレイン電極 1 4 と薄膜半導体層 1 3 が低抵抗で接続されたドレインコンタクトが達成されている。

【 0 0 5 7 】

図 5 (A) において、書込走査線 W S L (i) と電源走査線 D S L (i) は、それぞれ (A L) 層から形成され、セル内の行方向の対向辺に沿って互いに平行に配置されている。

これに対し、映像信号線 D T L (j) が、書込走査線 W S L (i) 等と直交する列方向に長く形成されている。

【 0 0 5 8 】

映像信号線 D T L (j) のセル内部分の多くが、上述したように (A L) 層からなる接続配線 1 4 C により構成されている。

映像信号線 D T L (j) と電源走査線 D S L (i) との交差部分に、ゲート電極 1 1 (図 6 参照) と同じ階層で同じ材料の層 (G M) を含むブリッジ線 1 1 C が設けられている。接続配線 1 4 C の一方端部は、2 つのコンタクト 1 2 C (1 C H) により、下層のブリッジ線 1 1 C と接続され、ブリッジ線 1 1 C 上に、接続配線 1 4 C と同じ階層で同じ材料 (A L) の電源走査線 D S L (i) が交差している。

同様に、映像信号線 D T L (j) と書込走査線 W S L (i) との交差部分に、ゲート電極 1 1 と同じ階層で同じ材料の層 (G M) を含むブリッジ線 1 1 D が設けられている。接続配線 1 4 C の他方端部は、2 つのコンタクト 1 2 D (1 C H) により、下層のブリッジ線 1 1 D と接続され、ブリッジ線 1 1 D 上に、接続配線 1 4 C と同じ階層で同じ材料 (A L) の書込走査線 W S L (i) が交差している。

【 0 0 5 9 】

図 6 (B) に戻ると、上述した構造の T F T を覆う T F T 保護膜 1 9 が堆積される。

図6(B)には示さないが、TFT保護膜19上に有機発光ダイオードOLEDが形成される。有機発光ダイオードOLEDは、図5(B)に示すように、画素を2分割する領域にそれぞれ形成されたアノードメタル層(AM)からなる下層のアノード電極Aea, Aebが形成されている。

アノード電極Aeaは、2ndコンタクトホール(2CH)の1つであるコンタクト15Aによって、下層の接続配線14B1と接続されている。同様に、アノード電極Aebはコンタクト15B(2CH)を介して接続配線14B2に接続されている。

【0060】

本実施形態では上面発光型であるため、アノードメタル層(AM)は、例えば、クロム(Cr)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、タンタル(Ta)、タングステン(W)、プラチナ(Pt)さらには金(Au)のように、仕事関数が大きく、かつ反射率の高い導電性材料を適宜選択して形成できる。

アノード電極Aea, Aebの表面を覆うEL保護膜21が形成され、EL保護膜21に開口部21A, 21Bが設けられている。開口部21A, 21Bは、コンタクト15A, 15Bを露出しない範囲で、アノード電極AE上で可能な限り大きく形成されている。

【0061】

図7に、図5(A)に示すA-A線に沿った概略的な断面図を示す。

絶縁性のTFT保護膜19の表面を平坦化するための絶縁性の平坦化膜20が形成され、平坦化膜20上にアノード電極Aea, Aebが互いに離れて形成されている。

アノード電極Aea, Aeb上にEL保護膜21が形成されており、EL保護膜21は開口部21A, 21Bを有する。

開口部21A, 21B内に、それぞれ、有機多層膜OMFa, OMFbが形成されている。有機多層膜OMFa, OMFb上に接続し、当該有機多層膜の上面と、その周囲のEL保護膜21表面を覆うようにカソード電極23が設けられている。カソード電極23は、透明電極材料から形成されている。

【0062】

保持キャパシタCs1は、ゲート電極11A1を下部電極とし、ゲート絶縁膜10をキャパシタ誘電体膜とし、接続配線14B1を上部電極とするMIM構造を有する。同様に、保持キャパシタCs2は、ゲート電極11A2を下部電極とし、ゲート絶縁膜10をキャパシタ誘電体膜とし、接続配線14B2を上部電極とするMIM構造を有する。よって、同一階層のアルミニウム(AL)の膜を加工して形成される接続配線14B1と14B2間、あるいは、同一階層のゲートメタル(GM)の膜を加工して形成されるゲート電極11A1と11A2間でショート不良が発生しやすい。ショート不良の発生を防止するには、両者間の距離を十分離す必要があり、このことがセル面積の増大をもたらす。

【0063】

本実施形態では、保持キャパシタCs1, Cs2のそれぞれを、第1キャパシタと第2キャパシタの積層構造とすることにより、この不具合を解消する。

図3および図4に示すように、本実施形態に関わる画素回路の等価回路における、保持キャパシタCs1が、第1キャパシタCs11と、当該第1キャパシタCs11に対して並列に接続された第2キャパシタCs12とから構成されている。同様に、保持キャパシタCs2は、第1キャパシタCs21と、当該第1キャパシタCs21に対して並列に接続された第2キャパシタCs22とから構成されている。

【0064】

<平面および断面の構造：実施例>

ここで、本発明が適用された実施例について、画素回路の平面パターンや断面構造を、図面を参照しつつ説明する。

図8(A)と図8(B)は、実施例の画素回路3(i, j)についての平面パターンを示すものである。図8(A)は、図3と同様に、サンプリングトランジスタが組ごとに2つ設けられ、2つのサンプリングトランジスタMs1とMs2が共通の書込走査線WSL(i)に接続されている場合に対応する。

10

20

30

40

50

図 8 (B) は、最上層のカソード電極 (全面形成) を省いた平面図、図 8 (A) は、最上層のカソード電極 (全面形成) を省き、さらに、有機発光ダイオード O L E D の電極や有機多層膜を省いた製造途中の平面図である。

【 0 0 6 5 】

なお、当該実施例においても、図 6 (A) と図 6 (B) に示す、 T F T 部の基本構造は、先に説明した比較例と同じである。

以下、比較例と異なる構成について説明する。

【 0 0 6 6 】

T F T 部 (駆動トランジスタ M d 1 , M d 2 およびサンプリングトランジスタ M s 1 , M s 2) は、図 6 と同様な基本構造を有するが、実施例と比較例では、以下の点で異なる。

10

【 0 0 6 7 】

第 1 に、比較例では駆動トランジスタ M d 1 , M d 2 のゲート電極と、保持キャパシタ C s 1 , C s 2 の下部電極とが、ゲートメタル (G M) から一体として形成された共通のゲート電極 1 1 A 1 , 1 1 A 2 であるが (図 5 (A))、図 8 (A) に示す実施例では、ゲート電極と下部電極は分離されている。より詳細には、図 8 (A) に示すように、一方の組において、駆動トランジスタ M d 1 のゲート電極 1 1 E 1 と、第 1 キャパシタ C s 1 の下部電極となる第 1 導電層 1 1 F 1 とが別々に設けられている。同様に、他の組において、駆動トランジスタ M d 2 のゲート電極 1 1 E 2 と、第 1 キャパシタ C s 2 の下部電極となる第 1 導電層 1 1 F 2 とが別々に設けられている。

これらゲート電極 1 1 E 1 , 1 1 E 2 と第 1 導電層 1 1 F 1 , 1 1 F 2 は全て、1つのゲートメタル (G M) をパターンニングすることにより同一階層上で分離されて形成される。

20

【 0 0 6 8 】

第 2 に、比較例では駆動トランジスタ M d 1 , M d 2 のソース電極と保持キャパシタ C s 1 , C s 2 の上部電極とが、共通の接続配線 1 4 B 1 , 1 4 B 2 により形成されているが (図 5 (A))、図 8 (A) に示す実施例では、ソース電極とキャパシタ電極とは分離されている。より詳細には、図 8 (A) に示すように、一方の組において、駆動トランジスタ M d 1 のソース電極 1 4 E 1 と、第 1 キャパシタ C s 1 の上部電極と第 2 キャパシタ C s 1 2 の下部電極とを兼用する第 2 導電層 1 4 F 1 とが別々に設けられている。同様に、他の組において、駆動トランジスタ M d 2 のソース電極 1 4 E 2 と、第 1 キャパシタ C s 2 1 の上部電極と第 2 キャパシタ C s 2 2 の下部電極とを兼用する第 2 導電層 1 4 F 2 とが別々に設けられている。

30

これらのソース電極 1 4 E 1 , 1 4 E 2 と、第 2 導電層 1 4 F 1 , 1 4 F 2 は全て、1つのアルミニウム (A L) の膜をパターンニングすることにより同一階層上で分離されて形成されている。

【 0 0 6 9 】

ソース電極 1 4 E 1 は、コンタクト 1 2 E 1 (1 C H) により、下層のゲート電極 1 1 E 1 の一端に接続されている。また、ソース電極 1 4 E 1 は、サンプリングトランジスタ M s 1 のソース電極を兼用するため、ゲート電極 1 1 B の縁部に延びている。同様に、ソース電極 1 4 E 2 は、コンタクト 1 2 E 1 (1 C H) により、下層のゲート電極 1 1 E 2 の一端に接続されている。また、ソース電極 1 4 E 2 は、サンプリングトランジスタ M s 2 のソース電極を兼用するために、ゲート電極 1 1 B の縁部に延びている。

40

【 0 0 7 0 】

一方、駆動トランジスタ M d 1 のソース電極 1 4 E 1 は、コンタクト 1 2 F 1 (1 C H) により、下層の第 1 導電層 1 1 F 1 と接続されている。同様に、駆動トランジスタ M d 2 のソース電極 1 4 E 2 は、コンタクト 1 2 F 2 により、下層の第 1 導電層 1 1 F 2 と接続されている。

ソース電極 1 4 E 1 は、コンタクト 1 5 A (2 C H) により、上層のアノード電極 A E a と接続されている。同様に、ソース電極 1 4 E 2 は、コンタクト 1 5 B (2 C H) により、上層のアノード電極 A E b と接続されている。

50

【0071】

以上のパターン構成と接続関係によって、保持キャパシタ $Cs1$ が、第1導電層11F1と第2導電層14F1との間に形成された第1キャパシタ $Cs11$ と、第2導電層14F1と「第3導電層」としてのアノード電極A E aとの間に形成された第2キャパシタ $Cs12$ とを並列接続させた積層キャパシタ構成を有する。同様に、保持キャパシタ $Cs2$ が、第1導電層11F2と第2導電層14F2との間に形成された第1キャパシタ $Cs21$ と、第2導電層14F2と「第3導電層」としてのアノード電極A E bとの間に形成された第2キャパシタ $Cs22$ とを並列接続させた積層キャパシタ構成を有する。

【0072】

図9に、図8(A)に示すB-B線に沿った概略的な断面図を示す。

図9から、実施例の画素回路においては、図7でショート危険箇所であったアルミニウム(AL)間、ゲートメタル(GM)間の距離が拡大されている。つまり、図9では、図7と同じキャパシタ容量(デバイス容量)を確保する場合、第1および第2キャパシタの占有面積は、図7の保持キャパシタよりほぼ半減される。このため、第2導電層14F1と14F2間、第1導電層11F1と11F2間の距離が、それぞれ拡大できる。また、必要な距離を確保しても画素面積を、より縮小することが可能である。

【0073】

本発明の実施形態によれば、限られた画素サイズの中で保持キャパシタ部の面積を小さくすることで、有機発光ダイオードOLED、駆動トランジスタMdおよび保持キャパシタCsの組を複数個設けることが可能である。

【0074】

このため、複数の組のうち、どれか1つ(または2以上)に、有機発光ダイオードOLEDの電極や有機膜の加工時に発生した異物がEL保護膜21の開口部に載り、これにより電極間がショートして滅点になってしまっても、複数個のアノード電極間はそれぞれ電氣的に接続されていないので、単独に発光し、その画素は完全な滅点欠陥とはならない。

また、複数個の組の構成要素である駆動トランジスタのソースとドレインがショートしてしまい、その開口部が輝点欠陥になった場合、欠陥となった駆動トランジスタが属する組以外に画素内に他の組が設けられているため、画素が完全な滅点欠陥とはならない。同様に、何れかの組を構成するサンプリングトランジスタのソースとドレイン部がショートして、その組の開口部が半滅点になった場合でも、欠陥となったサンプリングトランジスタ以外のサンプリングトランジスタに接続された組の画素回路部分が正常動作するため、その画素は完全な滅点欠陥とはならない。

【0075】

その上、保持キャパシタ部の面積が小さいため、異なる組に属するキャパシタ電極同士の距離が遠く、その電極間がショートすることが防止される。また、必要な距離を確保して、さらに画素サイズを小さくすることができる。その結果として、総合歩留りの向上を図ることができる。

また、保持キャパシタを2層の積層構造としても、新たな導電層の追加は不要であり、既存の導電層を利用して2層キャパシタ構造が実現できる。

【0076】

本実施形態における変形例を述べる。

【0077】

<変形例1>

以上の実施形態では、複数の組を設ける場合に特に有効であるため、2層の積層キャパシタ構成を複数の組を有する画素回路に適用したが、有機発光ダイオードOLED、駆動トランジスタMdおよび保持キャパシタCsの組が1組の場合でも、キャパシタ電極と、これに近接する配線間の距離を確保しやすくなり、ショート不良の低減、さらには、画素サイズをより縮小可能という同じ様な利益が得られる。

【0078】

<変形例2>

10

20

30

40

50

画素回路やその基本構成は図2～図4に示すものに限定されない。

図2～図4の画素回路やその基本構成ではデータ基準電位 V_o は映像信号 S_{sig} のサンプリングにより与えられるが、データ基準電位 V_o を、別のトランジスタを介して駆動トランジスタ M_d のソースやゲートに与えることもできる。

図2～図4の画素回路やその基本構成ではキャパシタは保持キャパシタ C_s のみであるが、他の保持キャパシタを、例えば駆動トランジスタ M_d のゲートと一定電圧線との間にもう1つ設けてもよい。この場合、保持キャパシタと当該他のキャパシタとを図9に示すような2層キャパシタ構造としてもよい。発光素子は有機発光ダイオード $OLED$ に限定されず、他の自発光素子でもよい。

【0079】

10

<変形例3>

画素回路が有機発光ダイオード $OLED$ の発光と非発光を制御する駆動方法には、画素回路内のトランジスタを走査線により制御する方法と、電源電圧の供給線を駆動回路により AC 駆動する方法(電源 AC 駆動方法)とがある。

図2～図4に示す画素回路やその基本構成は、後者の電源 AC 駆動方法の一例であるが、この方法において有機発光ダイオード $OLED$ のカソード側を AC 駆動して駆動電流を流す、流さないを制御してもよい。

一方、前者の発光制御を走査線により制御する方法では、駆動トランジスタ M_d のドレイン側、または、ソースと有機発光ダイオード $OLED$ との間に、他のトランジスタを挿入し、そのゲートを電源駆動制御の走査線で駆動する。

20

【0080】

これらの変形例においても、本発明の実施形態と同様に、画素回路要素の組を、キャパシタ面積を縮小しながら増やすことができる効果と、画素回路要素の組を複数設けて減点欠陥を防止する効果が得られる。また、キャパシタ面積縮小により、総合歩留まりがさらに向上し、あるいは、画素サイズを縮小してコストを低減する効果が得られる。

【図面の簡単な説明】

【0081】

【図1】本発明の実施形態に関わる有機 EL ディスプレイの主要構成を示すブロック図である。

【図2】本発明の実施形態に関わる画素回路の基本構成例を示すブロック図である。

30

【図3】本発明の実施形態に関わり、組数が2の場合に一接続例を示す画素回路図である。

【図4】本発明の実施形態に関わり、組数が2の場合に他の接続例を示す画素回路図である。

【図5】本発明の実施形態との比較例において、画素回路の平面パターンを示す図である。

【図6】本発明の実施形態に関わる画素回路に用いられる TFT の基本構造を示す平面図と断面図である。

【図7】図5の $A-A$ 線に沿った概略断面図である。

【図8】本発明の実施形態における実施例について、画素回路の平面パターンを示す図である。

40

【図9】図8の $B-B$ 線に沿った概略断面図である。

【図10】ブースト効率の式と、当該式に用いられる画素回路の寄生容量とを示すための図である。

【符号の説明】

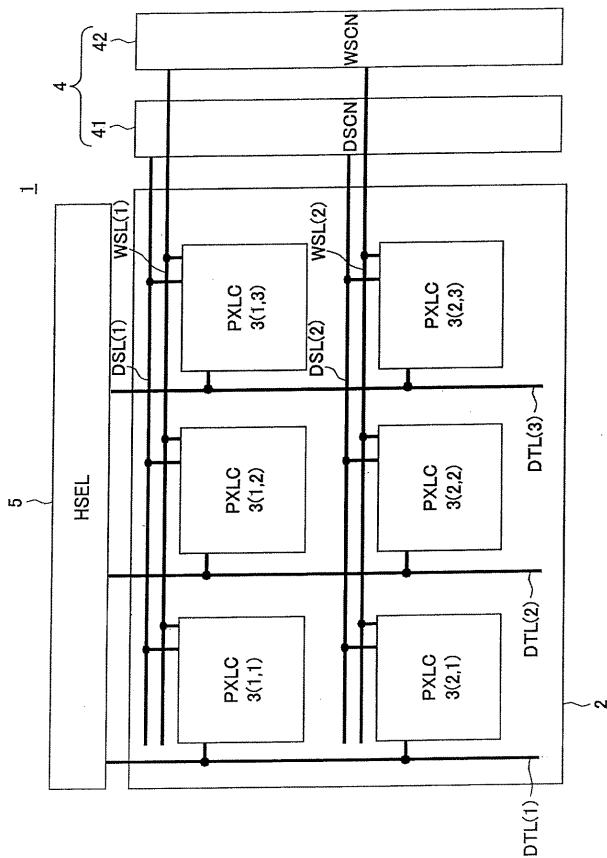
【0082】

1...有機 EL ディスプレイ、2...画素アレイ、3(i, j)...画素回路、4... V スキャナ、5... H セレクタ、9...基板、10...ゲート絶縁膜、11...ゲート電極、11F1, 11F2...第1導電層、12...(1st)コンタクト、13...薄膜半導体層、14...ソース・ドレイン電極、14F1, 14F2...第2導電層、15...(2nd)コンタクト、18...チャネ

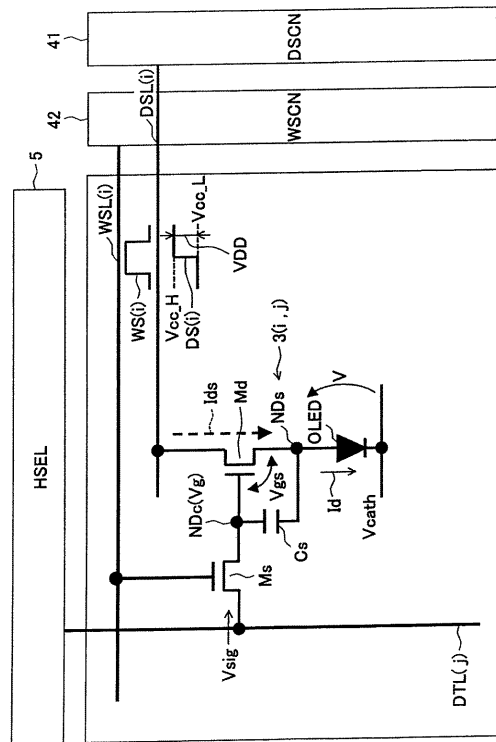
50

ル保護膜、19...TFT保護膜、21...EL保護膜、21A,21B...開口部、41...水平画素ライン駆動回路、42...書き込み信号走査回路、Cs,Cs1,Cs2...保持キャパシタ、Cs11,Cs21...第1キャパシタ、Cs12,Cs22...第2キャパシタ、OLED...有機発光ダイオード、Ms...サンプリングトランジスタ、Md...駆動トランジスタ、DSL(i)...電源走査線、WSL(i)...書込走査線、DTL(j)...映像信号線、AEa,AEb...アノード電極(第3導電層)、AM...アノードメタル層、GM...ゲートメタル層、(AL)...アルミニウム

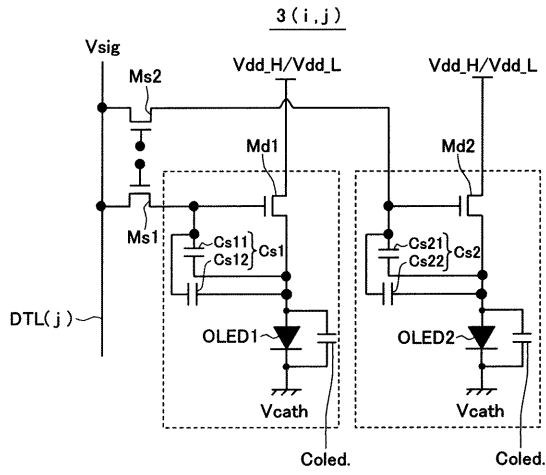
【図1】



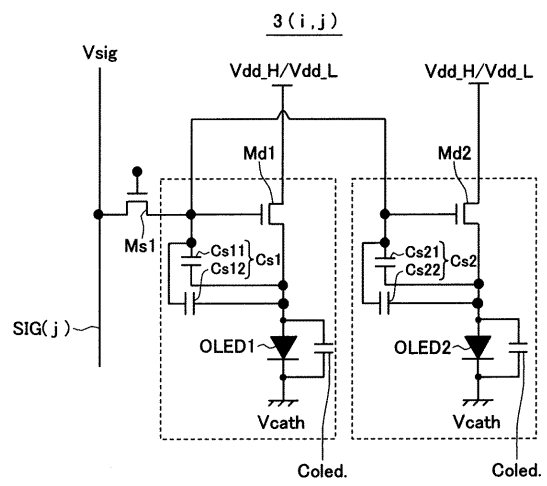
【図2】



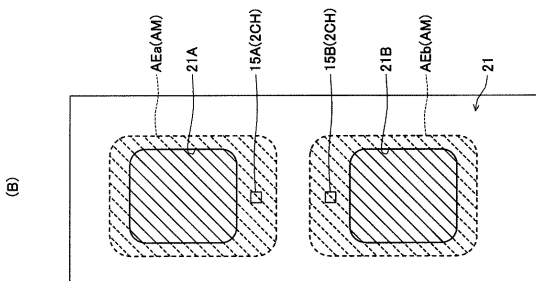
【 図 3 】



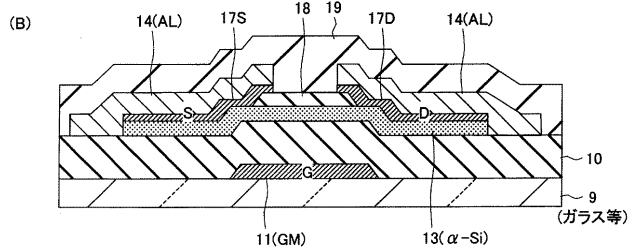
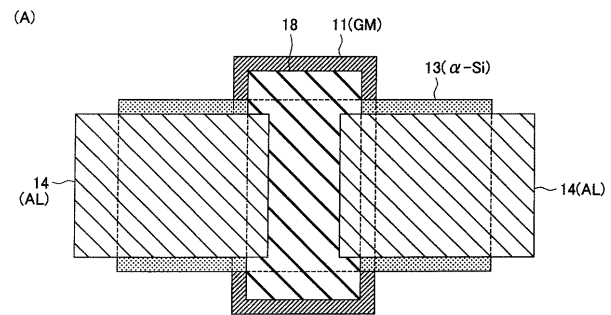
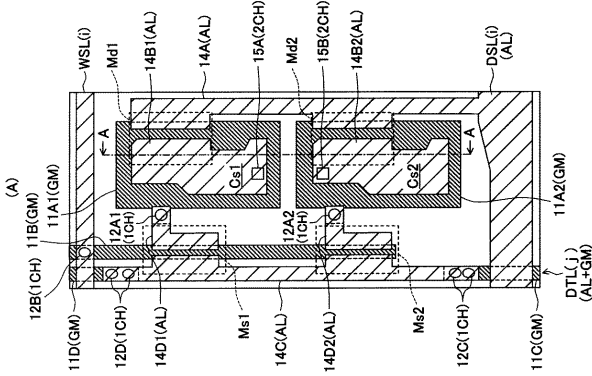
【 図 4 】



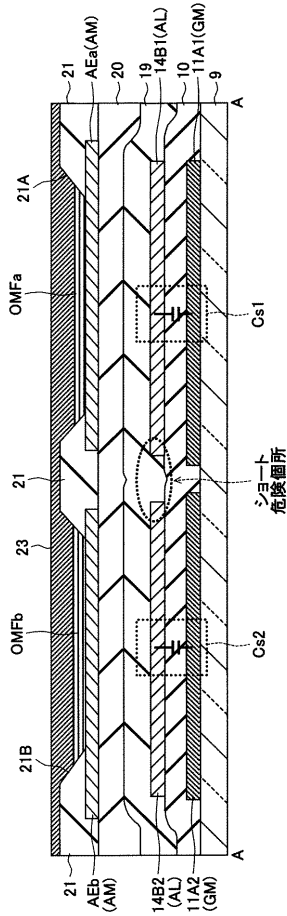
【 図 5 】



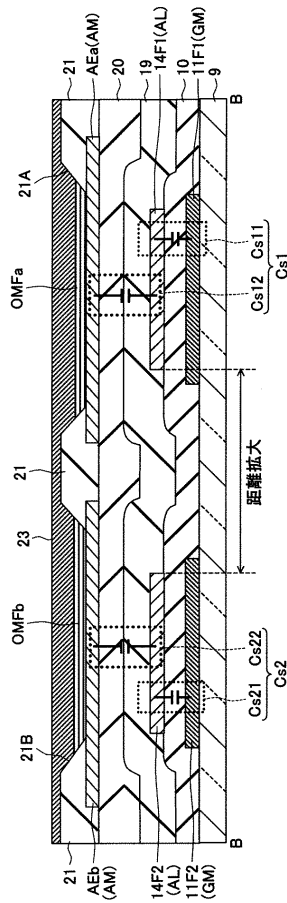
【 図 6 】



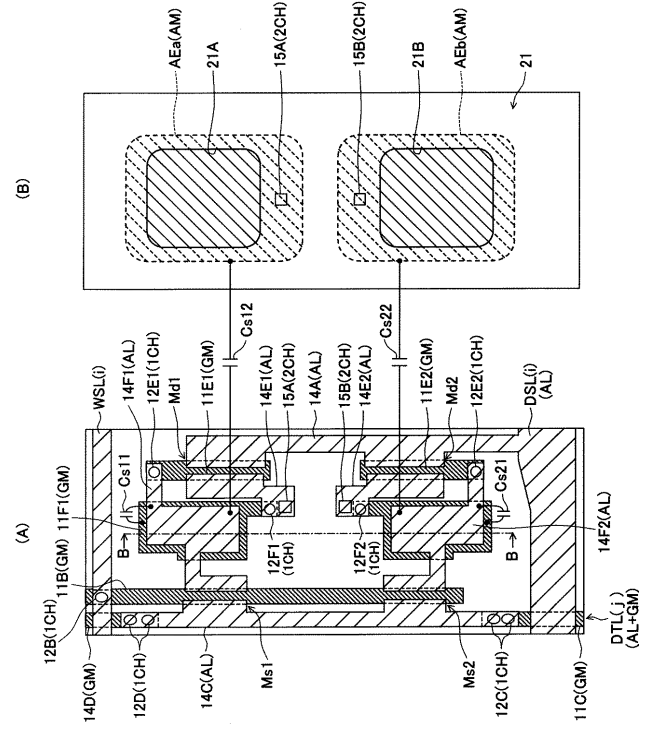
【 図 7 】



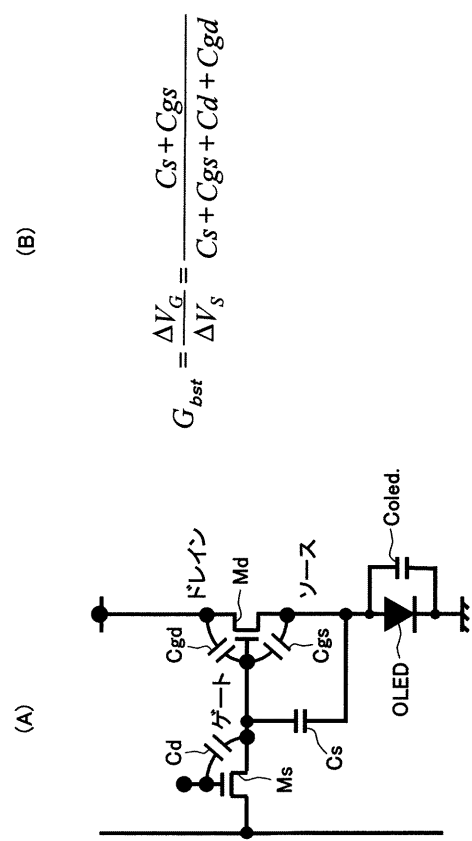
【 図 9 】



【 図 8 】



【 図 10 】



$$G_{bst} = \frac{\Delta V_G}{\Delta V_S} = \frac{C_s + C_{gs}}{C_s + C_{gs} + C_d + C_{gd}}$$

(B)

フロントページの続き

F ターム(参考) 3K107 AA01 BB01 CC02 CC26 CC33 CC45 EE04 HH05
5C094 AA15 AA21 BA03 BA27 CA19 DA13 DB04 FA01 FA02 FB12
FB14 FB15 FB19

专利名称(译)	自发光显示设备		
公开(公告)号	JP2009200336A	公开(公告)日	2009-09-03
申请号	JP2008041744	申请日	2008-02-22
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	佐川裕志 山本哲郎 内野勝秀		
发明人	佐川 裕志 山本 哲郎 内野 勝秀		
IPC分类号	H01L51/50 G09F9/30 H01L27/32		
FI分类号	H05B33/14.A G09F9/30.365.Z G09F9/30.365 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC26 3K107/CC33 3K107/CC45 3K107/EE04 3K107/HH05 5C094/AA15 5C094/AA21 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB04 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB19		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

减少保持电容所占的面积，增加每单位面积的电容值。了相应的自发光型显示装置（例如，有机EL显示装置1），在上述多个像素中的，驱动晶体管Md，保持电容Cs和发光元件（例如，有机发光二极管OLED），设置有各自的多个它有。多个存储电容（例如C1，C2）是，作为下部电极，第一绝缘层的第一导电层11F1,11F2（栅绝缘膜10），以及作为上电极的第二导电层14F1,14F2第一电容器CS11，CS21它们以此顺序层压，第二导电层14F1,14F2作为下部电极，所述第二电极层上，第二绝缘层（TFT保护膜19和平坦化膜20），第二电容器Cs 12和Cs 22通过依次层叠第三导电层（例如，阳极电极AEa和AEb）作为上电极层而形成。9系统技术领域

