

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-195756

(P2005-195756A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

テーマコード (参考)

3K007

5C080

G09G 3/20

624B

G09G 3/20

624E

G09G 3/20

641D

G09G 3/20

642P

審査請求 未請求 請求項の数 8 O L (全 22 頁) 最終頁に続く

(21) 出願番号

特願2004-592 (P2004-592)

(22) 出願日

平成16年1月5日(2004.1.5)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソ

ニー株式会社内

Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA00

GA04

5C080 AA06 BB05 DD29 EE28 FF11

JJ02 JJ03 JJ04 JJ05

(54) 【発明の名称】 画素回路及び表示装置とこれらの駆動方法

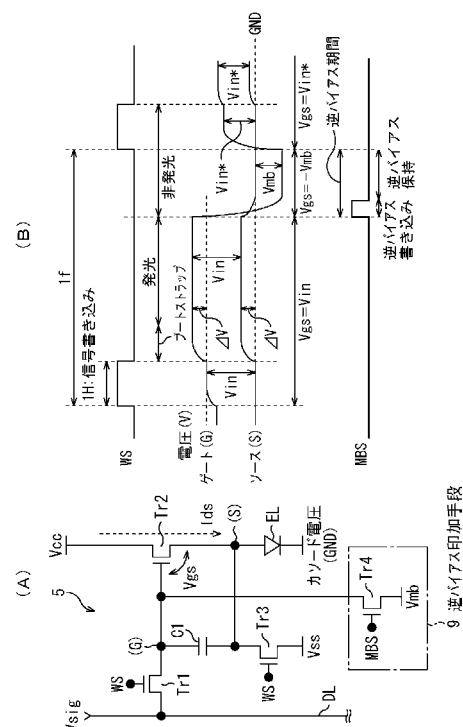
(57) 【要約】

【課題】 ドライブトランジスタの閾電圧の経時変化を抑制可能な画素回路を提供する。

【解決手段】 サプリングトランジスタ $Tr1$ は、ゲートが走査線 WS によって選択された時ソース/ドレイン間が導通して信号線 DL から信号 $Vsig$ をサプリングして保持容量 $C1$ に保持する。ドライブトランジスタ $Tr2$ は、ゲート G が保持容量 $C1$ に保持された信号電位によってソース S 基準で正極性となる順バイアスを受け、且つ順バイアスに応じてソース/ドレイン間に流れる電流 I_{ds} で負荷素子 EL に通電する。逆バイアス印加手段9は、容量 $C1$ に負電位 Vmb を書き込むスイッチングトランジスタ $Tr4$ からなり、ドライブトランジスタ $Tr2$ のゲート G に、ソース S 基準で負極性となる逆バイアスとして負電位 Vmb を印加し、順バイアスの印加によって生じた閾電圧の上方変動を下方修正する。

。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、
少なくとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライプトランジスタと負荷素子とを含み、

前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、

前記ドライプトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該負荷素子に通電し、

該ドライプトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライプトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正し、

前記逆バイアス印加手段は、該ドライプトランジスタのゲートに逆バイアスを印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタを含み、

前記スイッチングトランジスタは、順バイアスのゲートパルスに応じてオン状態となつて、該ドライプトランジスタのゲートに対する逆バイアスの印加を開始し、

前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減することを特徴とする画素回路。

【請求項 2】

前記スイッチングトランジスタは、ドレインが該ドライプトランジスタのゲートに接続し、ソースが該ドライプトランジスタのソース電位よりも低く設定された負電位の電源に接続し、該ゲートパルスが入力された時ドレイン/ソース間がオン状態となつて該負電位を逆バイアスとして該ドライプトランジスタのゲートに印加するとともに、該負電位を該保持容量に書き込み、

前記保持容量は、該スイッチングトランジスタがオフした後該保持した負電位によって該ドライプトランジスタに対する逆バイアスの印加を所定時間まで維持することを特徴とする請求項 1 記載の画素回路。

【請求項 3】

該負荷素子の通電に先だつて該ドライプトランジスタの閾電圧を検知しあらかじめその変動をキャンセルする為に必要な電位を該保持容量に保持させて、該ドライプトランジスタのゲートに印加する閾電圧キャンセル回路を備えており、

前記閾電圧キャンセル回路は、該ドライプトランジスタの閾電圧を検知するための検知トランジスタを含んでおり、

前記検知トランジスタは、そのソース/ドレインが、該ドライプトランジスタのドレインとゲートとの間に接続され、そのゲートは該ドライプトランジスタの閾電圧を検知するとき以外負電位に維持されており、

前記スイッチングトランジスタは、そのソースが該検知トランジスタのゲートに接続し、これに印加される負電位を逆バイアスとして利用することを特徴とする請求項 2 記載の画素回路。

【請求項 4】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は、少なくとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライプトランジスタと発光素子とを含み、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、前記ドライプトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該

10

20

30

40

50

発光素子を通電して表示を行なう表示装置において、

前記画素回路は、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正し、

前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタを含み、

前記スイッチングトランジスタは、順バイアスのゲートパルスに応じてオン状態となつて、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始し、

前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減することを特徴とする表示装置。 10

【請求項 5】

前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、該ゲートパルスが入力された時ドレイン/ソース間がオン状態となつて該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加するとともに、該負電位を該保持容量に書き込み、

前記保持容量は、該スイッチングトランジスタがオフした後該保持した負電位によって該ドライブトランジスタに対する逆バイアスの印加を所定時間まで維持することを特徴とする請求項 4 記載の表示装置。 20

【請求項 6】

該発光素子の通電に先だつて該ドライブトランジスタの閾電圧を検知しあらかじめその変動をキャンセルする為に必要な電位を該保持容量に保持させて、該ドライブトランジスタのゲートに印加する閾電圧キャンセル回路を備えており、

前記閾電圧キャンセル回路は、該ドライブトランジスタの閾電圧を検知するための検知トランジスタを含んでおり、

前記検知トランジスタは、そのソース/ドレインが、該ドライブトランジスタのドレインとゲートとの間に接続され、そのゲートは該ドライブトランジスタの閾電圧を検知するとき以外負電位に維持されており、 30

前記スイッチングトランジスタは、そのソースが該検知トランジスタのゲートに接続し、これに印加される負電位を逆バイアスとして利用することを特徴とする請求項 5 記載の表示装置。

【請求項 7】

行状の走査線と列状の信号線とが交差する部分に配され、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含み、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ド 40

レイン間に流れる電流で該負荷素子に通電する画素回路の駆動方法において、
該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手順を行ない、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正し、

前記逆バイアス印加手順は、該ドライブトランジスタのゲートに逆バイアスを印加する為に薄膜型のスイッチングトランジスタをオン/オフ駆動する手順を含み、

前記スイッチングトランジスタが順バイアスのゲートパルスに応じてオン状態となつた時、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始し、

前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトラン 50

ジスタ自体の閾電圧の変動を軽減することを特徴とする画素回路の駆動方法。

【請求項 8】

行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなり、前記画素回路は少くとも薄膜型のサンプリグトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含み、前記サンプリグトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から映像信号をサンプリグし且つサンプリグした映像信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該発光素子を通電して表示を行なう表示装置の駆動方法において、

10

該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手順を行ない、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正し、

前記逆バイアス印加手順は、該ドライブトランジスタのゲートに逆バイアスを印加する為に薄膜型のスイッチングトランジスタをオン/オフ駆動する手順を含み、

前記スイッチングトランジスタが順バイアスのゲートパルスに応じてオン状態となった時、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始し、

前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減することを特徴とする表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した負荷素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機EL発光素子などの負荷素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が速いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

30

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ，TFT）によって制御するものである。

40

【特許文献 1】USP 5,684,365

【特許文献 2】特開平 8 - 234683 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の画素回路は、行状の走査線と列状の信号線とが交差する部分に各々配されている

50

。各画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子などの負荷素子とを含んでいる。サンプリングトランジスタは、そのゲートが走査線によって選択された時ソースノドレイン間が導通して信号線から映像信号をサンプリングする。サンプリングされた信号は保持容量に書き込まれ保持される。ドライブトランジスタは、そのゲートが保持容量に接続され、ソースノドレインの片方が発光素子などの負荷素子に接続している。ドライブトランジスタのゲートは、保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受ける。ドライブトランジスタはこの順バイアスに応じてソースノドレイン間に電流を流し、発光素子に通電する。一般に発光素子の輝度は通電量に比例している。更にドライブトランジスタの通電量は保持容量に書き込まれた信号電位によって制御される。従って、発光素子は映像信号に応じた輝度で発光することになる。

10

【0005】

ドライブトランジスタの動作特性は以下の式で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2$$

このトランジスタ特性式において、 I_{ds} はドレイン電流を表わしている。 V_{gs} はソースを基準としてゲートに印加される電圧を表わしており、これが正の値である時上記の順バイアスと呼んでいる。 V_{th} はトランジスタの閾電圧である。その他 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わし、 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th} を超えて正側に大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。換言すると順バイアス(V_{gs})が閾電圧(V_{th})を超えるとオン状態となる。逆に V_{gs} が V_{th} を下回ると薄膜トランジスタはカットオフし、ドレイン電流 I_{ds} は流れなくなる。

20

【0006】

ところで薄膜トランジスタの閾電圧 V_{th} は必ずしも一定ではなく経時的に変動する傾向にある。前述のトランジスタ特性式から明らかな様に、ドライブトランジスタの閾電圧 V_{th} が変動すると、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。これにより発光素子の通電量が変わってしまう為発光輝度の変化が生じるという課題がある。すなわち所定の映像信号を送っても実際の発光輝度が変化してしまう為意図する表示が得られないという課題がある。

30

【課題を解決するための手段】

【0007】

上述した従来技術の課題に鑑み、本発明はドライブトランジスタの閾電圧の経時変化を抑制可能な画素回路及び表示装置とこれらの駆動方法を提供することを目的とする。係る目的を達成する為に以下の手段を講じた。即ち本発明は、行状の走査線と列状の信号線とが交差する部分に各々配された画素回路であって、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含む。前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソースノドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させる。前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソースノドレイン間に流れる電流で該負荷素子に通電する。特徴事項として、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正する。前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオンノオフ駆動される薄膜型のスイッチングトランジスタを含む。前記スイッチングトランジスタは、順バイアスのゲートパルスに応じてオン状態となって、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始する。前記スイッチングトランジスタがオン状態にある時間は、逆バイアス

40

50

を印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減する。

【 0 0 0 8 】

好ましくは、前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、該ゲートパルスが入力された時ドレイン/ソース間がオン状態となって該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加するとともに、該負電位を該保持容量に書き込む。前記保持容量は、該スイッチングトランジスタがオフした後該保持した負電位によって該ドライブトランジスタに対する逆バイアスの印加を所定時間まで維持する。

10

又好ましくは、該負荷素子の通電に先だって該ドライブトランジスタの閾電圧を検知しあらかじめその変動をキャンセルする為に必要な電位を該保持容量に保持させて、該ドライブトランジスタのゲートに印加する閾電圧キャンセル回路を備えている。前記閾電圧キャンセル回路は、該ドライブトランジスタの閾電圧を検知するための検知トランジスタを含んでいる。前記検知トランジスタは、そのソース/ドレインが、該ドライブトランジスタのドレインとゲートとの間に接続され、そのゲートは該ドライブトランジスタの閾電圧を検知するとき以外負電位に維持されている。前記スイッチングトランジスタは、そのソースが該検知トランジスタのゲートに接続し、これに印加される負電位を逆バイアスとして利用する。

【 0 0 0 9 】

20

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置を包含する。各画素回路は、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含む。前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させる。前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該発光素子を通電して表示を行なう。特徴事項として、各画素回路は、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手段を備えており、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正する。前記逆バイアス印加手段は、該ドライブトランジスタのゲートに逆バイアスを印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタを含む。前記スイッチングトランジスタは、順バイアスのゲートパルスに応じてオン状態となって、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始する。前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減する。

30

【 0 0 1 0 】

好ましくは、前記スイッチングトランジスタは、ドレインが該ドライブトランジスタのゲートに接続し、ソースが該ドライブトランジスタのソース電位よりも低く設定された負電位の電源に接続し、該ゲートパルスが入力された時ドレイン/ソース間がオン状態となって該負電位を逆バイアスとして該ドライブトランジスタのゲートに印加するとともに、該負電位を該保持容量に書き込む。前記保持容量は、該スイッチングトランジスタがオフした後該保持した負電位によって該ドライブトランジスタに対する逆バイアスの印加を所定時間まで維持する。

40

又好ましくは、該発光素子の通電に先だって該ドライブトランジスタの閾電圧を検知しあらかじめその変動をキャンセルする為に必要な電位を該保持容量に保持させて、該ドライブトランジスタのゲートに印加する閾電圧キャンセル回路を備えている。前記閾電圧キャンセル回路は、該ドライブトランジスタの閾電圧を検知するための検知トランジスタを

50

含む。前記検知トランジスタは、そのソース/ドレインが、該ドライブトランジスタのドレインとゲートとの間に接続され、そのゲートは該ドライブトランジスタの閾電圧を検知するとき以外負電位に維持されている。前記スイッチングトランジスタは、そのソースが該検知トランジスタのゲートに接続し、これに印加される負電位を逆バイアスとして利用する。

【0011】

又本発明は、行状の走査線と列状の信号線とが交差する部分に各々配されており、少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと負荷素子とを含む画素回路の駆動方法であって、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から信号をサンプリングし且つサンプリングした信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該負荷素子に通電し、更に該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを印加する逆バイアス印加手順を行い、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を該逆バイアスの印加によって補正する。前記逆バイアス印加手順は、該ドライブトランジスタのゲートに逆バイアスを印加する為に薄膜型のスイッチングトランジスタをオン/オフ駆動する手順を含み、前記スイッチングトランジスタが順バイアスのゲートパルスに応じてオン状態となった時、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始し、前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減することを特徴とする。

10

20

【0012】

又本発明は、行状の走査線と、列状の信号線と、両者が交差する部分に各々配された画素回路とからなる表示装置の駆動方法を包含する。前記画素回路は少くとも薄膜型のサンプリングトランジスタと保持容量と薄膜型のドライブトランジスタと発光素子とを含み、前記サンプリングトランジスタは、ゲートが該走査線によって選択された時ソース/ドレイン間が導通して該信号線から映像信号をサンプリングし且つサンプリングした映像信号を該保持容量に保持させ、前記ドライブトランジスタは、ゲートが該保持容量に保持された信号電位によってソース基準で正極性となる順バイアスを受け、且つ該順バイアスに応じてソース/ドレイン間に流れる電流で該発光素子に通電して表示を行なう。特徴事項として、該ドライブトランジスタのゲートにソース基準で負極性となる逆バイアスを所定時間印加する逆バイアス印加手順を行ない、該順バイアスの印加によって生じた該ドライブトランジスタの閾電圧の変動を所定時間の該逆バイアスの印加によって補正する。前記逆バイアス印加手順は、該ドライブトランジスタのゲートに逆バイアスを印加する為に薄膜型のスイッチングトランジスタをオン/オフ駆動する手順を含み、前記スイッチングトランジスタが順バイアスのゲートパルスに応じてオン状態となった時、該ドライブトランジスタのゲートに対する逆バイアスの印加を開始する。前記スイッチングトランジスタがオン状態にある時間は、逆バイアスを印加する所定時間より短く設定されており、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減する。

30

40

【発明の効果】

【0013】

発明者は、薄膜トランジスタのゲートに反復的もしくは持続的に順バイアスが印加されると、閾電圧が正方向に変動する傾向があることを発見した。換言すると薄膜トランジスタは継続的な順バイアスの印加により閾電圧が上方シフトする傾向にある。これに対し薄膜トランジスタはゲートに逆バイアスを印加すると、閾電圧が下方シフトする傾向にあることが判明した。ここで逆バイアスとはソース電位を基準にして負の電位となるゲート電圧を意味している。画素回路のドライブトランジスタは、ゲートが保持容量に保持された

50

映像信号電位によって順バイアスを受け、且つこの順バイアスに応じてソース/ドレイン間に流れる電流で発光素子に通電している。従って何ら対策を施さないと、ドライブトランジスタの閾電圧は上方変動してしまう。これを放置すると前述のトランジスタ特性式から明らかな様にドレイン電流が変動し発光輝度の劣化をもたらす。そこで本発明は逆バイアス印加手段を設け、適当なタイミングでドライブトランジスタのゲートに逆バイアスを印加する様にしている。これにより順バイアスの印加で生じたドライブトランジスタの閾電圧の上方変動を、逆バイアスの印加で下方修正し、以って閾電圧の変動を抑制することが可能となる。

【0014】

特に本発明では、この逆バイアス印加手段を、ドライブトランジスタのゲートに逆バイアスを印加する為にオン/オフ駆動されるスイッチングトランジスタで構成している。このスイッチングトランジスタは順バイアスのゲートパルスに応じてオン状態となって、ドライブトランジスタのゲートに対する逆バイアスの印加を開始する。この様にスイッチングトランジスタにも順バイアスが印加されるので、閾電圧が変動する可能性がある。この点に鑑み、本発明ではスイッチングトランジスタがオン状態にある時間が、ドライブトランジスタに逆バイアスを印加する時間より短く設定されており、極力順バイアスの影響を少なくしている。これにより、順バイアスのゲートパルスの印加によるスイッチングトランジスタ自体の閾電圧の変動を軽減することが可能となる。よってスイッチングトランジスタの誤動作を防止でき、常にドライブトランジスタに対して適切なタイミングで逆バイアスを確実に印加できるようになる。

【発明を実施するための最良の形態】

【0015】

以下図面を参照して本発明の実施の形態を詳細に説明する。まず最初に本発明の背景を明らかにする為、図1を参照してアクティブマトリクス表示装置及びこれに含まれる画素回路の一般的な構成を参考例として説明する。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ1と周辺の回路群とで構成されている。周辺の回路群は水平セクタ2、ドライブスキャナ3、ライトスキャナ4などを含んでいる。

【0016】

画素アレイ1は行状の走査線WSと列状の信号線DLと両者の交差する部分にマトリクス状に配列した画素回路5とで構成されている。信号線DLは水平セクタ2によって駆動される。走査線WSはライトスキャナ4によって走査される。尚、走査線WSと平行に別の走査線DSも配線されており、これはドライブスキャナ3によって走査される。各画素回路5は、走査線WSによって選択された時信号線DLから信号をサンプリングする。更に走査線DSによって選択された時、該サンプリングされた信号に応じて負荷素子を駆動する。この負荷素子は各画素回路5に形成された電流駆動型の発光素子などである。

【0017】

図2は、図1に示した画素回路5の基本的な構成を示す参考図である。本画素回路5は、サンプリング用薄膜トランジスタ(サンプリングトランジスタTr1)、ドライブ用薄膜トランジスタ(ドライブトランジスタTr2)、スイッチング用薄膜トランジスタ(スイッチングトランジスタTr3)、保持容量C1、負荷素子(有機EL発光素子)などで構成されている。

【0018】

サンプリングトランジスタTr1は走査線WSによって選択された時導通し、信号線DLから映像信号をサンプリングして保持容量C1に保持する。ドライブトランジスタTr2は保持容量C1に保持された信号電位に応じて発光素子ELに対する通電量を制御する。スイッチングトランジスタTr3は走査線DSによって制御され、発光素子ELに対する通電をオン/オフする。すなわち、ドライブトランジスタTr2は通電量に応じて発光素子ELの発光輝度(明るさ)を制御する一方、スイッチングトランジスタTr3は発光素子ELの発光時間を制御している。これらの制御により、各画素回路5に含まれる発光素子ELは映像信号に応じた輝度を呈し、画素アレイ1に所望の表示が映し出される。

【 0 0 1 9 】

図 3 は、図 2 に示した画素アレイ 1 及び画素回路 5 の動作説明に供するタイミングチャートである。1 フィールド期間 (1 f) の先頭で、1 水平期間 (1 H) の間 1 行目の画素回路 5 に走査線 W S を介して選択パルス $w s [1]$ が印加され、サンプリングトランジスタ $T r 1$ が導通する。これにより信号線 D L から映像信号がサンプリングされ、保持容量 C 1 に書き込まれる。保持容量 C 1 の一端はドライブトランジスタ $T r 2$ のゲートに接続している。従って、映像信号が保持容量 C 1 に書き込まれると、ドライブトランジスタ $T r 2$ のゲート電位が、書き込まれた信号電位に応じて上昇する。この時、他の走査線 D S を介してスイッチングトランジスタ $T r 3$ に選択パルス $d s [1]$ が印加される。この間発光素子 E L は発光を続ける。1 フィールド期間 1 f の後半は $d s [1]$ がローレベルになるので発光素子 E L は非発光状態となる。パルス $d s [1]$ のデューティを調整することで、発光期間と非発光期間の割合を調整でき、所望の画面輝度が得られる。次の水平期間に移行すると、2 行目の画素回路に対し、各走査線 W S , D S からそれぞれ走査用の信号パルス $w s [2]$, $d s [2]$ が印加される。

10

【 0 0 2 0 】

図 4 は、発光素子として画素回路 5 に組み込まれる有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示すグラフである。グラフにおいて、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に、有機 E L 素子の I - V 特性は、グラフに示す様に時間が経過すると劣化してしまう。図 2 に示した参考例の画素回路はドライブトランジスタがソースフォロワ構成となっており、E L 素子の I - V 特性の経時変化に対処できず、発光輝度の劣化が生じるという問題がある。

20

【 0 0 2 1 】

図 5 の (A) は、初期状態におけるドライブトランジスタ $T r 2$ と発光素子 E L の動作点を示すグラフである。図において、縦軸はドライブトランジスタ $T r 2$ のドレイン・ソース間電圧 $V d s$ を示し、縦軸はドレイン・ソース間電流 $I d s$ を示している。図示する様に、ソース電位はドライブトランジスタ $T r 2$ と発光素子 E L との動作点で決まり、その電圧値はゲート電圧によって異なる値を持つ。ドライブトランジスタ $T r 2$ は飽和領域で動作するので、動作点のソース電圧に対応した $V g s$ に関し、前述のトランジスタ特性式で規定された電流値の駆動電流 $I d s$ を流す。

【 0 0 2 2 】

しかしながら発光素子 E L の I - V 特性は図 4 に示した様に経時劣化する。図 5 の (B) に示す様に、この経時劣化により動作点が変化してしまい、同じゲート電圧を印加してもトランジスタのソース電圧は変化してしまう。これによりドライブトランジスタ $T r 2$ のゲート・ソース間電圧 $V g s$ は変化してしまい、流れる電流値が変動する。同時に発光素子 E L に流れる電流値も変化する。この様に発光素子 E L の I - V 特性が変化すると、図 2 に示した参考例のソースフォロワ構成の画素回路では、発光素子 E L の輝度が経時的に変化してしまうという問題がある。

30

【 0 0 2 3 】

図 6 は画素回路の他の参考例を表わしており、図 2 に示した先の参考例の問題点に対処したものである。理解を容易にする為、図 2 の参考例と対応する部分には対応する参照符号を付けてある。改良点は、スイッチングトランジスタ $T r 3$ の結線を代えたことであり、これによりブートストラップ機能を実現している。具体的には、スイッチングトランジスタ $T r 3$ のソースは接地され、ドレインはドライブトランジスタ $T r 2$ のソース (S) と保持容量 C 1 の一方の電極とに接続され、ゲートには走査線 D S が接続している。尚保持容量 C 1 の他方の電極はドライブトランジスタ $T r 2$ のゲート (G) に接続されている。

40

【 0 0 2 4 】

図 7 は、図 6 に示した画素回路 5 の動作説明に供するタイミングチャートである。フィールド期間 1 f のうち最初の水平期間 1 H で、ライトスキャナ 4 から走査線 W S を介して 1 行目の画素回路 5 に選択パルス $w s [1]$ が送られる。尚 [] の中の数字は、マトリ

50

クス配置された画素回路の行番号に対応している。選択パルスが印加されるとサンプリングトランジスタ T_{r1} が導通し、信号線 D_L から入力信号 V_{in} がサンプリングされ、保持容量 C_1 に書き込まれる。この時スイッチングトランジスタ T_{r3} にはドライブスキャナ3から走査線 D_S を介して選択パルス $d_s[1]$ が印加されており、オン状態となっている。従って保持容量 C_1 の片方の電極並びにドライブトランジスタ T_{r2} のソース(S)は GND レベルとなっている。この GND レベルを基準として保持容量 C_1 に入力信号 V_{in} が書き込まれる為、ドライブトランジスタ T_{r2} のゲート電位(G)は V_{in} になる。

【0025】

この後サンプリングトランジスタ T_{r1} に対する選択パルス $w_s[1]$ が解除され、続いてスイッチングトランジスタ T_{r3} に対する選択パルス $d_s[1]$ も解除される。これによりサンプリングトランジスタ T_{r1} 及びスイッチングトランジスタ T_{r3} はオフする。従ってドライブトランジスタ T_{r2} のソース(S)は GND から切り離され、発光素子 E_L のアノードに対する接続ノードとなる。

【0026】

ドライブトランジスタ T_{r2} は保持容量 C_1 に保持された入力信号 V_{in} をゲートに受け、その値に応じてドレイン電流を V_{cc} 側から GND 側に向かって流す。この通電により発光素子 E_L は発光を行なう。その際、発光素子 E_L に対する通電により電圧降下が生じるが、その分だけソース電位(S)が GND 側から V_{cc} 側に向かって上昇する。図7のタイミングチャートではこの上昇分を V で表わしている。保持容量 C_1 の一端は T_{r2} のソース(S)に接続され、他端はハイインピーダンスのゲート(G)に接続されている。従ってソース電位(S)が V だけ上昇するとその分だけゲート電位(G)も持ち上がり、正味の入力信号 V_{in} はそのまま維持される。従って、発光素子 E_L の電流-電圧特性に応じてソース電位(S)が V だけ変動しても、常にゲート電圧 $V_{gs} = V_{in}$ が成立し、ドレイン電流は一定に保たれる。すなわちドライブトランジスタ T_{r2} はソースフォロワ構成であるにも関わらず、上述したブートストラップ機能により、発光素子 E_L に対し定電流源として機能する。

【0027】

この後選択パルス $d_s[1]$ がハイレベルに復帰するとスイッチングトランジスタ T_{r3} が導通し、発光素子 E_L に供給されるべき電流はバイパスされるので非発光状態になる。この様にしてフィールド期間 $1f$ が終了すると、次のフィールド期間に入り、再びサンプリングトランジスタ T_{r1} に選択パルス $w_s[1]$ が印加され入力映像信号 V_{in}^* のサンプリングが行なわれる。先のフィールド期間と今回のフィールド期間ではサンプリングされる映像信号のレベルが異なる場合があるので、これを区別する為入力映像信号 V_{in} に*印を付してある。尚、このような映像信号の書き込み及び発光動作は線順次(行単位)で行なわれる。この為画素の各行に対し選択パルス $w_s[1]$ 、 $w_s[2]$ ・・・が順次印加されることになる。同様に選択パルス $d_s[1]$ 、 $d_s[2]$ ・・・も順次印加されることになる。

【0028】

以上の様に図6の画素回路は、ドライブトランジスタ T_{r2} がNチャネル型であっても発光素子 E_L を定電流駆動でき、発光素子 E_L の $I-V$ 特性の経時変化による輝度劣化を防ぐことができた。しかしながら、エージングによる経時変化は発光素子 E_L だけではなくアモルファスシリコンやポリシリコンの薄膜を素子領域とする薄膜トランジスタも、その閾電圧 V_{th} が変動してしまう。図6に示した画素回路5で V_{th} 変動が最も顕著になるのはドライブトランジスタ T_{r2} である。これは1フィールド期間($1f$)発光素子 E_L に電流を流し続ける為、ドライブトランジスタ T_{r2} がオン状態に維持されその間ゲートに順バイアスがかかっているからである。一般に薄膜トランジスタの V_{th} 変動は、オン状態が持続する時間(順バイアスが印加されている時間)及び順バイアス値にある関数で比例して大きくなる傾向にある。前述のトランジスタ特性式から明らかな様に、 V_{th} が変動するとゲート電圧 V_{gs} が一定であっても、発光素子 E_L を駆動する電流 I_{ds} が

変化してしまう。この為、発光素子 E_L の輝度劣化が生じてしまう。本発明は、この V_{th} 変動に対処する為、ドライブトランジスタのゲートに逆バイアスをかけて回路的に補正するものである。

【0029】

図8は、薄膜トランジスタのゲートバイアスと閾電圧変動との関係を示すグラフである。アモルファスシリコン薄膜トランジスタやポリシリコン薄膜トランジスタのデバイス特性は、図8のグラフに示す様に、ゲート/ソース間に電圧 V_{gs} を印加し一定の時間エージングすると、 V_{gs} がプラスの場合（すなわち順バイアスが印加されていると） V_{th} はプラスにシフトする。逆に V_{gs} がマイナスで印加されると（すなわち逆バイアスが印加されると） V_{th} 変動はマイナスにシフトする特性を持っている。そして、 V_{gs} の絶対値が大きければ大きい程、 V_{th} 変動の絶対値も大きくなる傾向にあることが判明した。本発明はこのデバイス特性を積極的に利用して、1フィールドのうち発光期間に順バイアスをかけ非発光期間に逆バイアスをかける様にしている。すなわちドライブトランジスタに対し $+V_{gs}$ が印加されている発光期間以外では、ドライブトランジスタに $-V_{gs}$ を印加する。そして、 V_{gs} の電圧値及び電圧印加時間を調整して、結果的に V_{th} 変動を抑制している。つまり発光期間になると繰り返し印加される順バイアスでドライブトランジスタの閾電圧 V_{th} は上方シフトする。これを下方修正する為に、非発光期間にドライブトランジスタに対して逆バイアスを印加し、以って閾電圧変動を抑制している。

10

【0030】

図9は、本発明の元になったプロトタイプを表わしており、(A)は構成を示す回路図、(B)は動作を示すタイミングチャートである。このプロトタイプは図6に示した参考例の画素回路の問題点を解決するものであって、上述した原理に基づき逆バイアス印加手段を画素回路中に導入したものである。

20

【0031】

(A)に示す様に、本画素回路5は、行状の走査線 WS と列状の信号線 DL とが交差する部分に配されている。画素回路5は、薄膜型のサンプリングトランジスタ Tr_1 と保持容量 C_1 と同じく薄膜型のドライブトランジスタ Tr_2 と負荷素子（発光素子 E_L ）とを含む。サンプリングトランジスタ Tr_1 はゲートが走査線 WS によって選択された時ソース/ドレイン間が導通して、信号線 DL から映像信号 V_{sig} をサンプリングし、且つサンプリングした信号 V_{sig} を保持容量 C_1 に保持させる。ドライブトランジスタ Tr_2 は、そのゲート (G) が保持容量 C_1 に保持された信号電位によってソース (S) 基準で正極性となる順バイアスを受け、且つこの順バイアスに応じてソース/ドレイン間に流れる電流 I_{ds} で発光素子 E_L に通電する。

30

【0032】

本プロトタイプの特徴事項として画素回路5は逆バイアス印加手段9を備えている。この逆バイアス印加手段9は、ドライブトランジスタ Tr_2 のゲート (G) にソース (S) 基準で負極性となる逆バイアスを印加するものであって、順バイアスの印加によって生じたドライブトランジスタ Tr_2 の閾電圧 V_{th} の変動を逆バイアスの印加によって補正するものである。この逆バイアス印加手段9は、ドライブトランジスタ Tr_2 の動作特性及び動作点に応じて逆バイアスの電圧値及び印加時間を設定し、以って閾電圧 V_{th} の変動を過不足なく補正する。例えばこの逆バイアス印加手段9は、順バイアスの印加時間より逆バイアスの印加時間が短い程、順バイアスの絶対値より逆バイアスの絶対値を大きく設定可能である。

40

【0033】

本プロトタイプによると、この逆バイアス印加手段9は、ドライブトランジスタ Tr_2 のゲート (G) に逆バイアスを印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタ Tr_4 を含む。このスイッチングトランジスタ Tr_4 は、ドレインがドライブトランジスタ Tr_2 のゲート (G) に接続し、ソースがドライブトランジスタ Tr_2 のソース (S) 電位よりも低く設定された負電位 V_{mb} の電源に接続し、ゲートに制御線 M

50

B S を介してパルスが入力された時ドレイン / ソース間がオンして負電位 V_{mb} を逆バイアスとしてドライブトランジスタ T_{r2} のゲート (G) に印加する。スイッチングトランジスタ T_{r4} のゲートに入力されるパルスの印加時間及び振幅と、スイッチングトランジスタ T_{r4} のソースに供給される負電位 V_{mb} のレベルとは、ドライブトランジスタ T_{r2} の閾電圧 V_{th} の変動を抑える為最適に設定されている。加えて制御線 M B S から供給されるパルスの振幅及び負電位 V_{mb} のレベルはスイッチングトランジスタ T_{r4} 自身の閾電圧の変動を抑える様に設定されている。尚負荷素子は通電によって発光する有機 E L 素子からなり、スイッチングトランジスタ T_{r4} は制御線 M B S を介してゲートに入力されるパルスにตอบสนองしてドライブトランジスタ T_{r2} をオン / オフ制御し、以って有機 E L 素子の発光時間と非発光時間を規定している。

10

【 0 0 3 4 】

(B) を参照して、引続き本プロトタイプに係る画素回路 5 の動作を説明する。フィールド期間 1 f の先頭に位置する水平期間 (1 H) で走査線 W S に選択パルスが印加され、サンプリングトランジスタ T_{r1} が導通する。本実施形態ではスイッチングトランジスタ T_{r3} のゲートにもこの選択パルスが同時に印加される様になっている。この結果サンプリングされた映像信号 V_{sig} は保持容量 C_1 に入力信号 V_{in} として保持される。選択パルスが解除されると直ちにドライブトランジスタ T_{r2} は V_{in} にตอบสนองしてドレイン電流 I_{ds} を流し、発光素子 E L を通電駆動する。発光期間の当初でブートストラップ動作が働き、ドライブトランジスタ T_{r2} のソース (S) が発光素子 E L の特性変動分 V だけ上昇する。これに伴いゲート (G) 電位も上昇するので入力信号 V_{in} は一定に維持される。この発光期間中ドライブトランジスタ T_{r2} のゲート (G) には順バイアスが印加される。

20

【 0 0 3 5 】

続いて非発光期間が始まる時間もしくはその付近の時間に逆バイアス印加手段 9 を構成するスイッチングトランジスタ T_{r4} をオンさせる。このオペレーションによりトランジスタ T_{r4} がオンの時間はドライブトランジスタ T_{r2} のゲート電位 (G) が V_{mb} の電圧となる。又ドライブトランジスタ T_{r2} のソース (S) は、ゲート電圧が下がっていくことから電流値が下がり、これに伴う発光素子 E L の電圧降下が起こり最終的にカソード電位 (G N D) まで下がる。この結果、ドライブトランジスタ T_{r2} のゲート / ソース間に $-V_{mb}$ の逆バイアスをかけることができる。この様にして V_{th} 変動が最も起き易いドライブトランジスタ T_{r2} のゲート / ソース間に逆バイアスを印加して、 V_{th} 変動を補正する。尚、 V_{mb} 電圧や M B S パルス振幅、又これに伴う W S パルス振幅は、トランジスタの正常動作と V_{th} 変動を補正できる電圧や振幅に設定する。本プロトタイプにより非晶質シリコン T F T やポリシリコン T F T の閾電圧が変動しても、回路上で自動的に補正をかけることができる為、E L 発光素子の輝度劣化を防ぐことができ、高品質な有機 E L ディスプレイを提供できる。

30

【 0 0 3 6 】

ところで図 9 に示したプロトタイプは、逆バイアス印加手段 9 としてスイッチングトランジスタ T_{r4} を含んでいる。図 9 (B) のタイミングチャートから明らかな様に、このスイッチングトランジスタ T_{r4} は逆バイアス期間中 (非発光期間内) ゲートパルス M B S がハイレベルにあってオンしている。すなわちスイッチングトランジスタ T_{r4} 自体に非発光期間中順バイアスがかかっていることになる。結局スイッチングトランジスタ T_{r4} の閾電圧が変動してしまう恐れがある。これを放置すると、閾電圧の上方変動を招き、最悪の場合スイッチングトランジスタ T_{r4} はオンしなくなり、ドライブトランジスタ T_{r2} に逆バイアスを印加できなくなる恐れがある。これを回避する為には、スイッチングトランジスタ T_{r4} に印加するゲートパルス M B S の振幅を大きくし、ロー側の電位を大きく負電位とすれば、スイッチングトランジスタ T_{r4} にも逆バイアスをかけることができるので、閾電圧上方変動の問題は解決することが可能である。しかしながら、ゲートパルスのロー側を大きく負電位にする為には、ダイナミックレンジを大きくしなければならず、スイッチングトランジスタ T_{r4} にゲートパルスを供給するパルスドライバの耐圧に

40

50

影響しコスト増にもなる。

【0037】

図10は、図9に示したプロトタイプを改良した本発明の実施形態であって、(A)は構成を示す回路図、(B)は動作を示すタイミングチャートである。本実施形態は基本的には図9に示したプロトタイプと共通する点が多く、対応する部分には対応する参照番号を付して理解を容易にしている。

【0038】

図10の(A)に示す様に、本実施形態の画素回路5は、サンプリングトランジスタ T_{r1} と保持容量 C_1 とドライブトランジスタ T_{r2} と負荷素子 E_L を含んでいる。サンプリングトランジスタ T_{r1} は、ゲートが走査線 W_S によって選択された時ソース/ドレイン間が導通して信号線 D_L から信号 V_{sig} をサンプリングし且つサンプリングした信号 V_{sig} を保持容量 C_1 に保持させる。ドライブトランジスタ T_{r2} は、ゲートが保持容量 C_1 に保持された信号電位によってソース(S)基準で正極性となる順バイアス(V_{gs})を受け、且つ順バイアス(V_{gs})に応じてソース/ドレイン間に流れる電流 I_{DS} で負荷素子 E_L に通電する。本実施形態の特徴事項として、逆バイアス印加手段9を備えており、ドライブトランジスタ T_{r2} のゲート(G)にソース(S)基準で負極性となる逆バイアス V_{mb} を所定時間印加する。この様にして、順バイアスの印加によって生じたドライブトランジスタ T_{r2} の閾電圧の変動を所定時間の逆バイアス V_{mb} の印加によって補正する。

【0039】

逆バイアス印加手段9はドライブトランジスタ T_{r2} のゲート(G)に逆バイアス V_{mb} を印加する為にオン/オフ駆動される薄膜型のスイッチングトランジスタ T_{r4} を含んでいる。このスイッチングトランジスタ T_{r4} は、順バイアスのゲートパルス MBS に応じてオン状態となって、ドライブトランジスタ T_{r2} のゲート(G)に対する逆バイアス V_{mb} の印加を開始する。ここで図10(B)のタイミングチャートから明らかな様に、スイッチングトランジスタ T_{r4} がオン状態にある時間(逆バイアス書き込み時間)は、逆バイアスを印加する所定時間(逆バイアス期間)より短く設定されており、順バイアスのゲートパルス MBS の印加によるスイッチングトランジスタ T_{r4} 自体の閾電圧の変動を軽減している。

【0040】

具体的に見ると、スイッチングトランジスタ T_{r4} は、ドレインがドライブトランジスタ T_{r2} のゲート(G)に接続し、ソースがドライブトランジスタ T_{r2} のソース(S)電位よりも低く設定された負電位(V_{mb})の電源に接続し、ゲートパルス MBS が入力された時ドレイン/ソース間がオン状態となって負電位 V_{mb} を逆バイアスとしてドライブトランジスタ T_{r2} のゲート(G)に印加するとともに、この負電位 V_{mb} を保持容量 C_1 に書き込む様にしている。ここで再び図10(B)のタイミングチャートを参照すると明らかな様に、保持容量 C_1 は、スイッチングトランジスタ T_{r4} がオフした後、保持した負電位 V_{mb} によってドライブトランジスタ T_{r2} に対する逆バイアスの印加を所定時間(非発光期間)まで維持する。換言すると、逆バイアス印加期間は、スイッチングトランジスタ T_{r4} がオン状態にある逆バイアス書込期間とオフ状態にある逆バイアス保持期間とに分かれている。図9に示したプロトタイプと比較すれば明らかな様に、本実施形態はスイッチングトランジスタ T_{r4} のオン状態にある時間が短縮されているので、順バイアスの印加による閾電圧の上方変動を軽減もしくは無視できる。

【0041】

図9のプロトタイプでは、スイッチングトランジスタ T_{r4} を逆バイアス期間中常にオンさせている為、ゲートパルス MBS はハイレベルとなっている。これに対し図10の改良形態では、スイッチングトランジスタ T_{r4} のオン時間はタイミングチャートに示す様に短縮されている。つまり短縮化されたオン時間以外はオフさせている。この為、スイッチングトランジスタ T_{r4} に短い時間しか順バイアスが印加されない為、閾電圧変動は少なくて済む。ここで、逆バイアス印加期間でスイッチングトランジスタ T_{r4} がオフして

10

20

30

40

50

いる状態では、保持容量 C_1 によってドライブトランジスタ $T_r 2$ のゲート (G) 電位は V_{mb} となっている。これは、先にスイッチングトランジスタ $T_r 4$ がオンした時、保持容量 C_1 に負電位 V_{mb} を充電しているからである。つまりスイッチングトランジスタ $T_r 4$ がオフしていても逆バイアス V_{mb} がホールドされ、この結果、ドライブトランジスタ $T_r 2$ にも必要な逆バイアスを印加し続けることができる。この様にして、本発明の画素回路は、逆バイアス印加手段によってドライブトランジスタの閾変動を補正しながら、逆バイアス印加用のスイッチングトランジスタ自体の閾変動も軽減できる様にしている。

【 0 0 4 2 】

図 1 1 は、図 2 に示した単純な画素回路に改良を加えた別の参考例に係る画素回路を表わしており、(A) は構成を示した回路図、(B) は動作を示したタイミングチャートである。

10

【 0 0 4 3 】

(A) に示す様に、この参考例は、図 2 の単純な画素回路に、ブートストラップ回路 6 と閾電圧キャンセル回路 7 を加えた構成となっている。尚、図 6 に示した先の参考例は、単純な画素回路にブートストラップ回路のみを加えた構成である。図 1 1 に示すように、ブートストラップ回路 6 は発光素子 E_L の特性変動を吸収する様に、ドライブトランジスタ $T_r 2$ のゲート (G) に印加される信号電位のレベルを自動的に制御するものであり、スイッチングトランジスタ $T_r 3$ を含んでいる。このスイッチングトランジスタ $T_r 3$ のゲートには走査線 W_S が接続し、ソースは電源電位 V_{ss} に接続し、ドレインは保持容量 C_1 の一端に接続するとともにドライブトランジスタ $T_r 2$ のソース (S) に接続している。走査線 W_S に選択パルスが印加されると、サンプリングトランジスタ $T_r 1$ がオンするとともにスイッチングトランジスタ $T_r 3$ もオンする。これにより、結合容量 C_2 を介して保持容量 C_1 に映像信号 V_{sig} が書き込まれる。この後走査線 W_S から選択パルスが解除されるとスイッチングトランジスタ $T_r 3$ がオフする為、保持容量 C_1 は電源電位 V_{ss} から切り離され、ドライブトランジスタ $T_r 2$ のソース (S) に結合される。この後走査線 D_S に選択パルスが印加されるとスイッチングトランジスタ $T_r 7$ がオンしドライブトランジスタ $T_r 2$ を通って駆動電流が発光素子 E_L に供給される。発光素子 E_L は発光を開始するとともにその電流 / 電圧特性に応じアノード電位が上昇しドライブトランジスタ $T_r 2$ のソース電位の上昇をもたらす。この時保持容量 C_1 は V_{ss} から切り離されている為ソース電位の上昇とともに保持された信号電位も上昇 (ブートストラップ) し、ドライブトランジスタ $T_r 2$ のゲート (G) の電位上昇をもたらす。すなわち、発光素子 E_L の特性変動があっても、ドライブトランジスタ $T_r 2$ のゲート電圧 V_{gs} は常に保持容量 C_1 に保持された正味の信号電位と一致する様になっている。この様なブートストラップ動作により、発光素子 E_L の特性変動があっても、常にドライブトランジスタ $T_r 2$ のドレイン電流は保持容量 C_1 に保持された信号電位によって一定に保たれ、発光素子 E_L の輝度の変化が生じない。この様なブートストラップ手段 6 を追加することで、ドライブトランジスタ $T_r 2$ は発光素子 E_L に対し正確な定電流源として機能できる。

20

30

【 0 0 4 4 】

閾電圧キャンセル回路 7 はドライブトランジスタ $T_r 2$ の閾電圧の変動をキャンセルする様にドライブトランジスタ $T_r 2$ のゲート (G) に印加される信号電位のレベルを調節するものであり、スイッチングトランジスタ $T_r 5$, $T_r 6$ を含んでいる。スイッチングトランジスタ $T_r 5$ のゲートは別の走査線 A_Z に接続され、ドレイン / ソースはドライブトランジスタ $T_r 2$ のゲートとドレインとの間に接続されている。スイッチングトランジスタ $T_r 6$ のゲートは同じく走査線 A_Z に接続され、ソースは所定のオフセット電圧 V_{ofs} に接続され、ドレインは結合容量 C_2 の一方の電極に接続されている。尚、図示の例ではオフセット電圧 V_{ofs} 、電源電位 V_{ss} 、カソード電圧 (GND) はそれぞれ異なった電位を取り得るが、場合により全て共通の電位 (例えば GND) に合わせてもよい。

40

【 0 0 4 5 】

走査線 A_Z に制御パルスが印加されるとスイッチングトランジスタ $T_r 5$ が導通し、 V_{cc} 側からドライブトランジスタ $T_r 2$ のゲートに向かって電流が流れる為、ゲート (G

50

）電位が上昇する。これによりドライブトランジスタ T_r2 にドレイン電流が流れ出し、ソース（ S ）の電位が上昇する。ちょうどゲート電位（ G ）とソース電位（ S ）の電位差 V_{gs} がドライブトランジスタ T_r2 の閾電圧 V_{th} と一致したところで、前述のトランジスタ特性式に従って、ドレイン電流は流れなくなる。この時のソース／ゲート間電圧 V_{gs} がトランジスタ T_r2 の閾電圧 V_{th} として保持容量 C_1 に書き込まれる。この保持容量 C_1 に書き込まれた V_{th} は信号電位 V_{sig} に上載せしてドライブトランジスタ T_r2 のゲートに印加されるので、閾電圧 V_{th} の効果はキャンセルされる。従ってドライブトランジスタ T_r2 の閾電圧 V_{th} が経時的に変動しても、閾電圧キャンセル回路7はこの変動をキャンセルすることができる。

【0046】

（ B ）は各走査線 WS 、 DS 、 AZ に印加される走査パルス波形とドライブトランジスタ T_r2 のゲート（ G ）及びソース（ S ）の電位波形を表わすタイミングチャートである。図示する様に V_{th} キャンセル期間に入ると走査線 AZ にパルスが印加され、スイッチングトランジスタ T_r5 が導通して、 T_r2 のゲート電位が上昇する。その後走査線 DS のパルスが立ち下がる為電源 V_{cc} 側からの電流供給が断たれる。これによりゲート電位とソース電位の差が縮小しちょうど V_{th} となったところで電流が0になる。この結果、 V_{th} が T_r2 のゲート／ソース間に接続された保持容量 C_1 に書き込まれる。次に走査線 WS に選択パルスが印加されるとサンプリングトランジスタ T_r1 がオンし、結合容量 C_2 を介して保持容量 C_1 に信号 V_{sig} が書き込まれる。これにより、ドライブトランジスタ T_r2 のゲートに入力される信号 V_{in} は先に書き込まれた V_{th} と所定のゲインで保持された V_{sig} の和となる。更に走査線 DS にパルスが印加され、スイッチングトランジスタ T_r7 がオンする。これによりドライブトランジスタ T_r2 が入力ゲート信号 V_{in} に応じてドレイン電流を発光素子 EL に供給し、発光が開始する。これにより発光素子 EL のアノード電位が V だけ上昇するが、ブートストラップ効果によりこの V がドライブトランジスタ T_r2 に対する入力信号 V_{in} に上載せされる。以上の閾電圧キャンセル機能及びブートストラップ機能により、ドライブトランジスタ T_r2 の閾電圧変動や発光素子 EL の特性変動があっても、これらをキャンセルして発光輝度を一定に保つことが可能である。

【0047】

ところでドライブトランジスタ T_r2 のゲートには1フィールド期間 $1f$ を通してソースよりも高い電圧が印加されており、常時順バイアスがかかった状態となっている。ゲートに対する順バイアスの継続的な印加により、ドライブトランジスタ T_r2 の閾電圧 V_{th} は上方変動する。この変動は閾電圧キャンセル回路7によりキャンセル可能であるが、変動が程度を超えるとキャンセル機能が追いつかず発光素子 EL の輝度変化をもたらす恐れがある。又スイッチングトランジスタ T_r7 は発光期間中オン状態となり順バイアスがかかっている。これによりスイッチングトランジスタ T_r7 の閾電圧は上方変動し、最悪の場合にはスイッチングトランジスタ T_r7 が常時カットオフ状態に陥ることも有り得る。

【0048】

図12は本発明に係る画素回路の他の実施形態を示しており、図11の画素回路の問題点に対処する為、ドライブトランジスタ T_r2 及びスイッチングトランジスタ T_r7 にそれぞれ閾電圧変動抑制用の逆バイアス印加手段を付けたものである。

【0049】

ドライブトランジスタ T_r2 に対する逆バイアス印加手段は、スイッチングトランジスタ T_r4 で構成されている。 T_r4 のゲートには追加の走査線 $WS2$ が接続し、ソースには負電源 V_{mb} が接続し、ドレインはドライブトランジスタ T_r2 のゲート（ G ）に接続している。この走査線 $WS2$ はサンプリングトランジスタ T_r1 やスイッチングトランジスタ T_r3 に接続する走査線 $WS1$ と走査タイミングが異なる為、両者を別々に分けて、 $WS1$ と $WS2$ にしている。ここで負電源 V_{mb} の電位は接地電位 GND よりも低く設定されている。従って画素回路の動作に影響を与えないタイミングで $WS2$ に選択パルスが

10

20

30

40

50

印加されると、 $T r 4$ がオンしドライブトランジスタ $T r 2$ のゲート (G) に逆バイアス ($V m b$) を印加することができる。これにより順バイアスの継続的な印加で上方シフトしたトランジスタ $T r 2$ の閾電圧 $V t h$ を下方修正することができる。

【 0 0 5 0 】

スイッチングトランジスタ $T r 7$ に対する逆バイアス印加手段は、走査線 $D S$ に接続したドライブスキャナ 3 (図 1 参照) に組み込まれている。発光期間ではスイッチングトランジスタ $T r 7$ のゲートに走査線 $D S$ を介して順バイアスが印加され、ドレイン電流が $V c c$ から $G N D$ に向かって流れる。非発光期間に入ると走査線 $D S$ の電位が $G N D$ 以下となり、スイッチングトランジスタ $T r 7$ に逆バイアスが印加される。これにより $T r 7$ の閾電圧の上方変動を下方修正できる。

10

【 0 0 5 1 】

図 1 3 は、図 1 2 に示した画素回路の動作説明に供するタイミングチャートである。走査線 $W S 1$ に印加されるパルスを $w s 1$ で表わし、走査線 $W S 2$ に印加されるパルスを $w s 2$ で表わし、走査線 $A Z$ に印加されるパルスを $a z$ で表わし、走査線 $D S$ に印加されるパルスを $d s$ で表わしている。更に、ドライブトランジスタ $T r 2$ のゲート電位 (G)、ドレイン電位 (D) 及びソース電位 (S) の変動をパルス $d s$ のレベル変化と重ねて表わしてある。尚、ドライブトランジスタ $T r 2$ のドレイン電位 (D) は同時にスイッチングトランジスタ $T r 7$ のソース電位となっている。

【 0 0 5 2 】

$V t h$ キャンセル期間ではパルス $a z$ がトランジスタ $T r 5$ 及び $T r 6$ に印加され、ドライブトランジスタ $T r 2$ の閾電圧 $V t h$ が検知される。この検知された $V t h$ は $T r 2$ のゲート電位 (G) とソース電位 (S) との間の差として保持容量 $C 1$ に保持される。次にパルス $w s 1$ がサンプリングトランジスタ $T r 1$ 及びスイッチングトランジスタ $T r 3$ に印加されると、映像信号 $V s i g$ がサンプリングされ、結合容量 $C 2$ を介して保持容量 $C 1$ に書き込まれる。保持容量 $C 1$ に書き込まれた $V t h$ 及び $V s i g$ の和が、 $T r 2$ のゲート電位 (G) とソース電位 (S) の差としてタイミングチャートに表われている。更に発光期間に入ってスイッチングトランジスタ $T r 7$ にパルス $d s$ が印加されると、ドライブトランジスタ $T r 2$ を通してドレイン電流が発光素子 $E L$ に流れる。これによりソース電位 (S) が上昇するが、ブートストラップ機能によりゲート電位 (G) との電位差は一定に保たれる。ソース電位 (S) の上昇に伴ってドレイン電位 (D) も上昇する。このドレイン電位 (D) はスイッチングトランジスタ $T r 7$ のソース電位となっているが、パルス $D S$ の振幅はこのドレイン電位 (D) よりも十分高く設定されているので、トランジスタ $T r 7$ のオン動作に必要な順バイアス $V a$ が印加できる。その後非発光期間に入るとパルス $D S$ がローレベルに切り替わり、トランジスタ $T r 7$ はカットオフする。ドレイン電流の遮断によりドライブトランジスタ $T r 2$ のドレイン電位 (D) は $V c c$ 側から $G N D$ まで下がる。この時パルス $d s$ のローレベルは $G N D$ よりも低く設定されている為、スイッチングトランジスタ $T r 7$ のゲートには逆バイアス $V b$ が印加される。又非発光期間にはトランジスタ $T r 4$ のゲートにパルス $w s 2$ が印加される。これにより $T r 4$ が導通し逆バイアス $V m b$ がドライブトランジスタ $T r 2$ のゲート (G) に印加される。以上の説明から明らかな様に、ドライブトランジスタ $T r 2$ 及びスイッチングトランジスタ $T r 7$ にそれぞれ適切なタイミングで逆バイアスが印加される為、それぞれの閾電圧の変動を抑制できる。

20

30

40

【 0 0 5 3 】

図 1 4 は本発明に係る画素回路の別の実施形態を表わしており、図 1 2 に示した先の実施形態の改良版となっている。理解を容易にする為、図 1 2 に示した実施形態と対応する部分には対応する参照番号を付してある。先の実施形態と同様に、本実施形態も閾電圧キャンセル回路を備えている。前述した様に、この閾電圧キャンセル回路は、負荷素子 $E L$ の通電に先立ってドライブトランジスタ $T r 2$ の閾電圧を検知し、あらかじめその影響をキャンセルする為に必要な電位を保持容量 $C 1$ に保持させて、ドライブトランジスタ $T r 2$ のゲートに印加するものである。この閾電圧キャンセル回路は、ドライブトランジスタ

50

Tr 2 の閾電圧を検知する為の検知トランジスタ Tr 5 を含んでいる。検知トランジスタ Tr 5 は、そのソース/ドレインが、ドライブトランジスタ Tr 2 のドレイン (D) とゲート (G) との間に接続され、そのゲートはドライブトランジスタ Tr 2 の閾電圧を検知する時以外負電位に維持されている。換言すると、検知トランジスタ Tr 5 のゲートには走査線 A Z を介してパルスが印加され、ドライブトランジスタ Tr 2 の閾電圧を検知して保持容量 C 1 に書き込んでいる。この走査線 A Z の基準レベルは負電位に設定されている。従って、検知トランジスタ Tr 5 のゲートはドライブトランジスタ Tr 2 の閾電圧を検知する時以外負電位に維持されていることになる。本実施形態の特徴事項として、逆バイアス印加用のスイッチングトランジスタ Tr 4 は、そのソースが検知トランジスタ Tr 5 のゲートに接続し、これに印加される負電位を逆バイアスとして利用している。換言すると、逆バイアス印加用のスイッチングトランジスタ Tr 4 のソースには走査線 A Z が接続されている。これにより、別途負電位 V m b の電源ラインを用意する必要がなくなり、画素回路のレイアウトを簡略化できる。この様に本改良版は、スイッチングトランジスタ Tr 4 のソース側となるノードを負電位 V m b に接続せず、走査線 A Z に接続する。逆バイアス印加期間中、スイッチングトランジスタ Tr 4 がオンしている状態の時、走査線 A Z は負電位にある為、図 1 2 の実施形態と同等の効果が得られ、ドライブトランジスタ Tr 2 の閾変動を容易に抑えることが可能である。

10

【図面の簡単な説明】

【 0 0 5 4 】

【図 1】アクティブマトリクス表示装置及び画素回路の一般的な構成を示すブロック図である。

20

【図 2】画素回路の参考例を示す回路図である。

【図 3】図 2 に示した画素回路の動作説明に供するタイミングチャートである。

【図 4】有機 E L 素子の I - V 特性の経時変化を示すグラフである。

【図 5】ドライブトランジスタと有機 E L 素子の動作点の経時変化を示すグラフである。

【図 6】画素回路の他の参考例を示す回路図である。

【図 7】図 6 に示した画素回路の動作説明に供するタイミングチャートである。

【図 8】薄膜トランジスタのデバイス特性を示すグラフである。

【図 9】本発明に係る画素回路の実施形態を示す模式図である。

【図 1 0】本発明に係る画素回路のプロトタイプを示す回路図及びタイミングチャートである。

30

【図 1 1】画素回路の別の参考例を示す模式図である。

【図 1 2】本発明に係る画素回路の他の実施形態を示す回路図である。

【図 1 3】図 1 2 に示した実施形態の動作説明に供するタイミングチャートである。

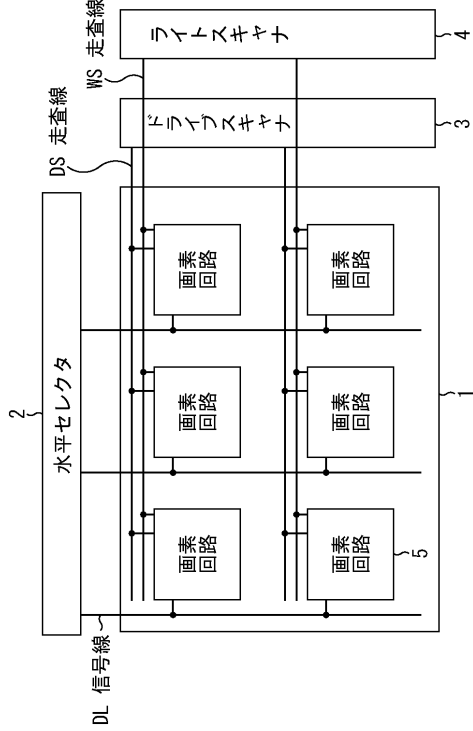
【図 1 4】本発明に係る画素回路の更なる改良形態を示す回路図である。

【符号の説明】

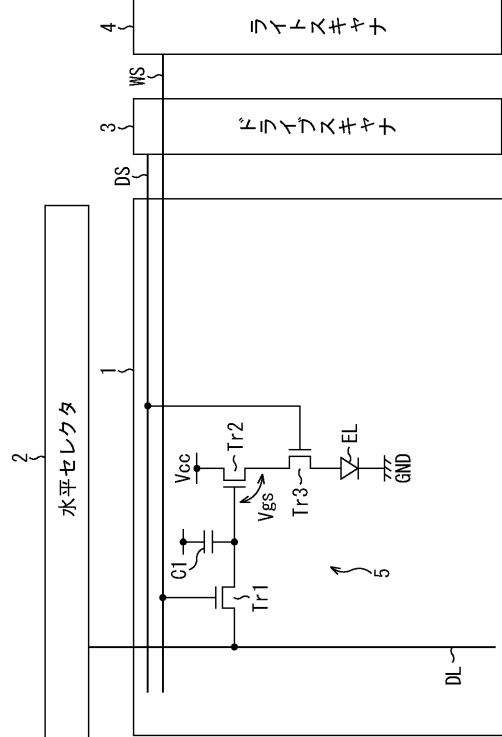
【 0 0 5 5 】

1 . . . 画素アレイ、 2 . . . 水平セレクタ、 3 . . . ドライブスキャナ、 4 . . . ライトスキャナ、 5 . . . 画素回路、 9 . . . 逆バイアス印加手段

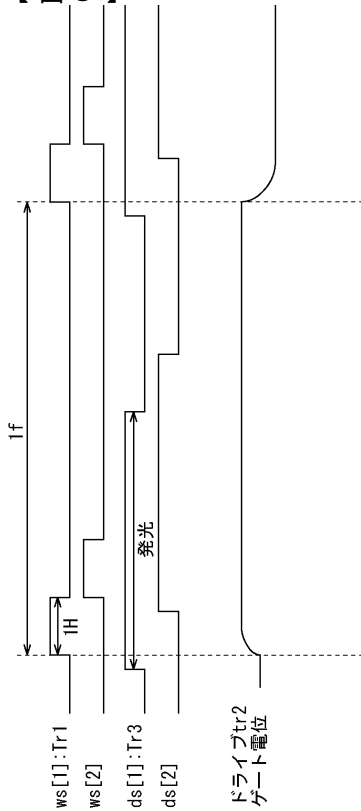
【 図 1 】



【 図 2 】

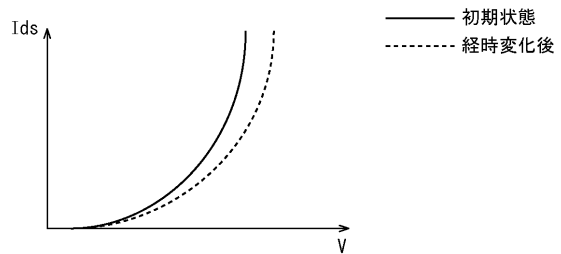


【 図 3 】

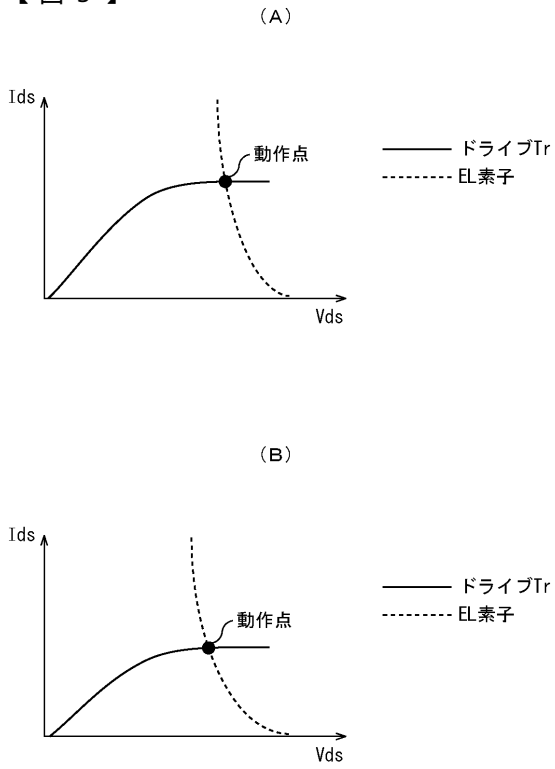


【圖 4】

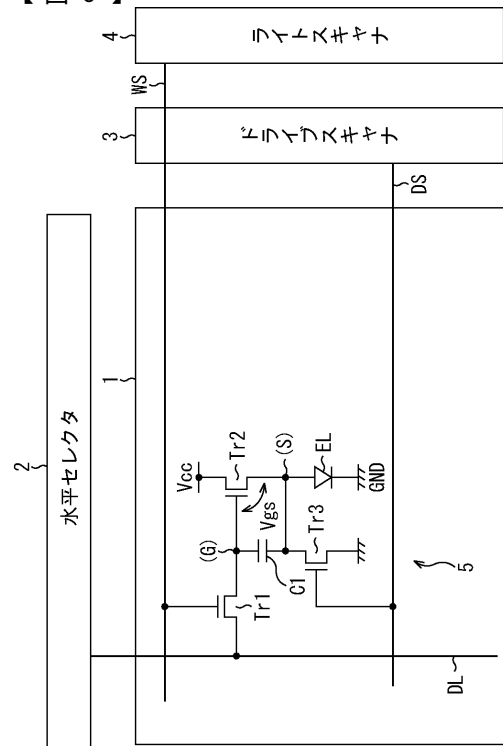
EL素子のI-V特性の経時変化



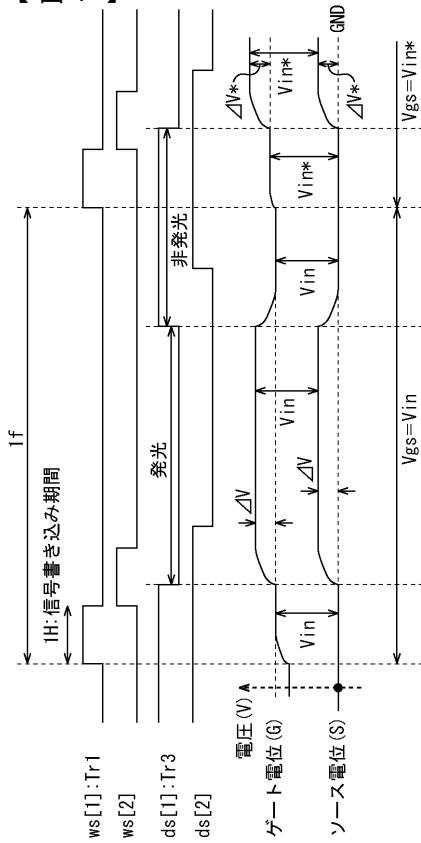
【図 5】



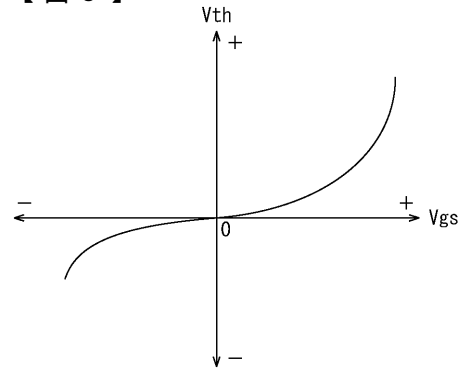
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 J

H 0 5 B 33/14 A

专利名称(译)	像素电路和显示装置及其驱动方法		
公开(公告)号	JP2005195756A	公开(公告)日	2005-07-21
申请号	JP2004000592	申请日	2004-01-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山下淳一		
发明人	内野 勝秀 山下 淳一		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
CPC分类号	G09G2310/0254		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.624.E G09G3/20.641.D G09G3/20.642.P G09G3/20.670.J H05B33/14.A G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/EE03 3K107/HH04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BD02 5C380/BD05 5C380/BD08 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB19 5C380/CB27 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD013 5C380/CD014 5C380/CD026 5C380/CD027 5C380/DA02 5C380/DA06 5C380/DA47		
其他公开文献	JP4501429B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种像素电路，其中抑制了驱动晶体管的阈值电压随时间的变化。 Σ SOLUTION：在采样晶体管Tr1中，当通过扫描线WS选择栅极时，源极和漏极之间的线变为导通，并且来自信号线DL的信号Vsig被采样并保持在保持电容C1中。在驱动晶体管Tr2中，栅极G接收正极性的正向偏压，通过保持电容C1中保持的信号电位参考源极S，以及根据正向流动在源极和漏极之间流动的电流Ids。偏压，导致流向负载装置EL。反向偏压施加装置9包括用于将负电位Vmb写入电容C1的开关晶体管Tr4，施加负电位Vmb作为反向偏压，即相对于源极S的负极性，并执行向下调节通过施加正向偏压产生的阈值电压的向上变化。Z

