

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6169191号
(P6169191)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 611H
G09G 3/3291 (2016.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 641D
	G09G 3/20 641P
請求項の数 13 (全 44 頁) 最終頁に続く	

(21) 出願番号 特願2015-553393 (P2015-553393)
 (86) (22) 出願日 平成26年8月20日 (2014.8.20)
 (86) 国際出願番号 PCT/JP2014/071721
 (87) 国際公開番号 W02015/093097
 (87) 国際公開日 平成27年6月25日 (2015.6.25)
 審査請求日 平成28年5月16日 (2016.5.16)
 (31) 優先権主張番号 特願2013-264466 (P2013-264466)
 (32) 優先日 平成25年12月20日 (2013.12.20)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 岸 宣孝
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個 (n および m は 2 以上の整数) の画素回路からなる n 行 m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第 1 導通端子が接続され、前記データ信号線に第 2 導通端子が接続された入力トランジスタと、

駆動電源電位が第 1 導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第 2 導通端子および前記電気光学素子の陽極に第 1 導通端子が接続され、前記データ信号線に第 2 導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第 1 のコンデンサと
を含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力 / 電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換する A D 変換回路と
を含み、

前記出力 / 電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第 2 のコンデンサと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第 1 の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第 2 の制御スイッチと
を含み、

前記 A D 変換回路は、複数個の前記出力 / 電流モニタ回路につき 1 個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記電流測定期間には、前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電期間と、前記データ信号線に流れている電流の時間積分値を前記第 2 のコンデンサに蓄積することによって前記モニタデータを取得するモニタ期間と、前記 A D 変換回路が前記モニタデータをアナログ値からデジタル値に変換する A D 変換期間とが含まれ、

前記 A D 変換期間には、

前記第 2 の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記 A D 変換回路において、対応する複数個の前記出力 / 電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする、表示装置。

【請求項 2】

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなることを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

10

20

30

40

50

前記出力 / 電流モニタ回路は、前記データ信号線に一端が接続され、所定の制御線に他端が接続された第 3 の制御スイッチを更に含み、

前記電流測定期間のうちの前記駆動トランジスタ特性検出期間においては、前記 A D 変換期間には、前記第 3 の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに等しい大きさの電位が与えられることを特徴とする、請求項 2 に記載の表示装置。

【請求項 4】

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記 A D 変換期間には、前記データ信号線がハイインピーダンスの状態となるよう、前記第 3 の制御スイッチがオフ状態かつ前記モニタ制御トランジスタがオフ状態とされることを特徴とする、請求項 3 に記載の表示装置。

10

【請求項 5】

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記 A D 変換期間には、前記第 3 の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに実質的に等しい大きさの電位が与えられることを特徴とする、請求項 3 に記載の表示装置。

【請求項 6】

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記 A D 変換期間には、前記第 3 の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられるべき電位に近い一定の大きさの電位が与えられることを特徴とする、請求項 3 に記載の表示装置。

20

【請求項 7】

前記検出準備期間に前記データ信号線に与える電位を V_{mg} とし、前記駆動トランジスタ特性検出期間に前記データ信号線に与える電位を V_{m_TFT} とし、前記電気光学素子特性検出期間に前記データ信号線に与える電位を V_{m_oled} としたとき、以下の関係を満たすように V_{mg} , V_{m_TFT} , および V_{m_oled} の値が定められていることを特徴とする、請求項 2 に記載の表示装置：

30

$$V_{m_TFT} < V_{mg} - V_{th}(T2)$$

$$V_{m_TFT} < ELVSS + V_{th}(oled)$$

$$V_{m_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 $ELVSS$ は前記電気光学素子の陰極の電位である。

【請求項 8】

前記特性検出処理期間は、垂直帰線期間内に設けられていることを特徴とする、請求項 1 に記載の表示装置。

40

【請求項 9】

任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ信号線に与えることを特徴とする、請求項 8 に記載の表示装置。

【請求項 10】

前記特性検出処理期間は、垂直走査期間内に設けられていることを特徴とする、請求項 1 に記載の表示装置。

50

【請求項 1 1】

1つの前記特性検出対象回路素子の特性を検出するための電流測定期間において、前記データ信号線充電期間と前記モニタ期間と前記AD変換期間とからなるサイクルが複数回繰り返されることを特徴とする、請求項1に記載の表示装置。

【請求項 1 2】

1フレーム期間につき前記電気光学素子または前記駆動トランジスタのいずれか一方のみについての前記特性検出処理が行われることを特徴とする、請求項1に記載の表示装置。

【請求項 1 3】

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個(n および m は2以上の整数)の画素回路からなる n 行 \times m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線と、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出ステップと、

前記特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサとを含み、

前記画素回路駆動部は、

前記データ信号線を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力/電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換するAD変換回路とを含み、

前記出力/電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制

10

20

30

40

50

御スイッチと
を含み、

前記 A D 変換回路は、複数個の前記出力 / 電流モニタ回路につき 1 個設けられ、
フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ
行以外の行を非モニタ行と定義したとき、

前記特性検出ステップは、

前記モニタ行において前記特性検出対象回路素子の特性を検出する準備を行う検出
準備ステップと、

前記データ信号線に流れている電流を測定することによって前記特性検出対象回路
素子の特性を検出する電流測定ステップと、

前記モニタ行において前記電気光学素子を発光させる準備を行う発光準備ステップ
と
を含み、

前記電流測定ステップは、

前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れる
ように前記データ信号線を充電するデータ信号線充電ステップと、

前記データ信号線に流れている電流の時間積分値を前記第 2 のコンデンサに蓄積する
ことによって前記モニタデータを取得するモニタステップと、

前記 A D 変換回路によって前記モニタデータをアナログ値からデジタル値に変換する
ための A D 変換ステップと

を含み、

前記 A D 変換ステップでは、

前記第 2 の制御スイッチがオフ状態とされることによって、前記データ信号線と前記
内部データ線とが電氣的に切り離され、

前記 A D 変換回路において、対応する複数個の前記出力 / 電流モニタ回路によってそ
れぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換さ
れることを特徴とする、駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置およびその駆動方法に関し、より詳しくは、有機 E L (Electro Lumi
nescence) 素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法
に関する。

【背景技術】

【0002】

従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御さ
れる電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加さ
れる電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げら
れる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機 E
L 素子が挙げられる。有機 E L 素子は、O L E D (Organic Light-Emitting Diode) と
呼ばれている。自発光型の電気光学素子である有機 E L 素子を使用した有機 E L 表示装置
は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型
化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機 E L
表示装置の開発が進められている。

【0003】

有機 E L 表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式と
も呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式
を採用した有機 E L 表示装置は、構造は単純であるものの、大型化および高精細化が困難
である。これに対して、アクティブマトリクス方式を採用した有機 E L 表示装置（以下「
アクティブマトリクス型の有機 E L 表示装置」という。）は、パッシブマトリクス方式を

10

20

30

40

50

採用した有機EL表示装置に比べて大型化および高精細化を容易に実現できる。

【0004】

アクティブマトリクス型の有機EL表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機EL表示装置の画素回路は、典型的には、画素を選択する入力トランジスタと、有機EL素子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

【0005】

図32は、従来一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ信号線Sと複数の走査線Gとの各交差点に対応して設けられている。図32に示すように、この画素回路91は、2個のトランジスタT1、T2と、1個のコンデンサCstと、1個の有機EL素子OLEDとを備えている。トランジスタT1は入力トランジスタであり、トランジスタT2は駆動トランジスタである。

【0006】

トランジスタT1は、データ信号線SとトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線Gにゲート端子が接続され、データ信号線Sにソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、ハイレベル電源電圧ELVDDを供給する電源線にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。なお、ハイレベル電源電圧ELVDDを供給する電源線のことを以下「ハイレベル電源線」といい、ハイレベル電源線にはハイレベル電源電圧と同じ符合ELVDDを付す。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線に接続されている。なお、ローレベル電源電圧ELVSSを供給する電源線のことを以下「ローレベル電源線」といい、ローレベル電源線にはローレベル電源電圧と同じ符合ELVSSを付す。また、ここでは、トランジスタT2のゲート端子と、コンデンサCstの一端と、トランジスタT1のドレイン端子との接続点のことを便宜上「ゲートノードVG」という。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

【0007】

図33は、図32に示す画素回路91の動作を説明するためのタイミングチャートである。時刻t1以前には、走査線Gは非選択状態となっている。従って、時刻t1以前には、トランジスタT1がオフ状態になっており、ゲートノードVGの電位は初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時刻t1になると、走査線Gが選択状態となり、トランジスタT1がターンオンする。これにより、データ信号線SおよびトランジスタT1を介して、この画素回路91が形成する画素（サブ画素）の輝度に対応するデータ電圧VdataがゲートノードVGに供給される。その後、時刻t2までの期間に、ゲートノードVGの電位がデータ電圧Vdataに応じて変化する。このとき、コンデンサCstは、ゲートノードVGの電位とトランジスタT2のソース電位との差であるゲート-ソース間電圧Vgsに充電される。時刻t2になると、走査線Gが非選択状態となる。これにより、トランジスタT1がターンオフし、コンデンサCstが保持するゲート-ソース間電圧Vgsが確定する。トランジスタT2は、コンデンサCstが保持するゲート-ソース間電圧Vgsに応じて有機EL素子OLEDに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

【0008】

ところで、有機EL表示装置においては、駆動トランジスタとして、典型的には薄膜トランジスタ(TFT)が採用される。しかしながら、薄膜トランジスタについては、閾値

10

20

30

40

50

電圧にばらつきが生じやすい。表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じると、輝度のばらつきが生じるので表示品位が低下する。そこで、有機EL表示装置における表示品位の低下を抑制する技術が従来より提案されている。例えば、日本の特開2005-31630号公報には、駆動トランジスタの閾値電圧のばらつきを補償する技術が開示されている。また、日本の特開2003-195810号公報および日本の特開2007-128103号公報には、画素回路から有機EL素子OLEDに流れる電流を一定にする技術が開示されている。さらに、日本の特開2007-233326号公報には、駆動トランジスタの閾値電圧や電子移動度に関わらず均一な輝度の画像を表示する技術が開示されている。

【0009】

10

上述の先行技術によれば、表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じて、所望の輝度(目標輝度)に応じて有機EL素子(発光素子)に一定電流を供給することが可能となる。しかしながら、有機EL素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機EL素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。

【0010】

以上より、駆動トランジスタの劣化および有機EL素子の劣化に対して何ら補償が行われなければ、図34に示すように、駆動トランジスタの劣化に起因する電流低下が生じるとともに有機EL素子の劣化に起因する輝度低下が生じる。また、駆動トランジスタの劣化に対して補償が行われても、図35に示すように、時間が経過するにつれて、有機EL素子の劣化に起因する輝度低下が生じる。そこで、日本の特表2008-523448号公報には、駆動トランジスタの特性に基づいてデータを補正する技術に加えて、有機EL素子OLEDの特性に基づいてデータを補正する技術が開示されている。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】日本の特開2005-31630号公報

【特許文献2】日本の特開2003-195810号公報

【特許文献3】日本の特開2007-128103号公報

【特許文献4】日本の特開2007-233326号公報

30

【特許文献5】日本の特表2008-523448号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

ところが、日本の特表2008-523448号公報に開示された技術によれば、選択期間中には駆動トランジスタまたは有機EL素子のいずれか一方の特性しか検出することができない。このため、駆動トランジスタの劣化および有機EL素子の劣化の双方を同時に補償することはできない。

【0013】

また、駆動トランジスタの特性の検出や有機EL素子の特性の検出が可能となるように表示装置を構成しようとする場合、できるだけ回路規模が増大しないことが望まれる。回路規模が増大すると、例えば低消費電力化や小型化を図る上で不利になるからである。この点に関し、日本の特表2008-523448号公報に開示された技術においては、図36に示すように、データ信号を画素回路に供給するためのデータ信号線VDATAに加えて、特性検出のための電流検出用のモニタラインMONITORが設けられている。このため、回路規模の増大の程度が大きい。

40

【0014】

そこで、本発明は、回路規模の増大を抑制しつつ回路素子の劣化を補償することのできる表示装置(特に、駆動トランジスタの劣化および有機EL素子の劣化の双方を同時に補償することのできる表示装置)を実現することを目的とする。

50

【課題を解決するための手段】

【0015】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、

電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個(n および m は2以上の整数)の画素回路からなる n 行 \times m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出処理が行われるよう、かつ、各電気光学素子が目標輝度に応じて発光するよう、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部と、

前記特性検出処理の結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

各画素回路は、

前記電気光学素子と、

前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、

駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、

前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと

を含み、

前記画素回路駆動部は、

前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力/電流モニタ回路と、

前記モニタデータをアナログ値からデジタル値に変換するAD変換回路とを含み、

前記出力/電流モニタ回路は、

前記データ信号線に接続された内部データ線と、

前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、

前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制御スイッチと

を含み、

前記AD変換回路は、複数個の前記出力/電流モニタ回路につき1個設けられ、

フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、フレーム期間には、前記モニタ行において前記特性検出対象回路素子の特性を検出する準備が行われる検出準備期間と、前記データ信号

10

20

30

40

50

線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定期間と、前記モニタ行において前記電気光学素子を発光させる準備が行われる発光準備期間とからなる特性検出処理期間が含まれ、

前記電流測定期間には、前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電期間と、前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタ期間と、前記AD変換回路が前記モニタデータをアナログ値からデジタル値に変換するAD変換期間とが含まれ、

前記AD変換期間には、

前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、

前記AD変換回路において、対応する複数個の前記出力/電流モニタ回路によってそれぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする。

【0016】

本発明の第2の局面は、本発明の第1の局面において、

前記電流測定期間は、前記駆動トランジスタの特性を検出するための電流測定が行われる駆動トランジスタ特性検出期間と前記電気光学素子の特性を検出するための電流測定が行われる電気光学素子特性検出期間とからなることを特徴とする。

【0017】

本発明の第3の局面は、本発明の第2の局面において、

前記出力/電流モニタ回路は、前記データ信号線に一端が接続され、所定の制御線に他端が接続された第3の制御スイッチを更に含み、

前記電流測定期間のうちの前記駆動トランジスタ特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに等しい大きさの電位が与えられることを特徴とする。

【0018】

本発明の第4の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記データ信号線がハイインピーダンスの状態となるよう、前記第3の制御スイッチがオフ状態かつ前記モニタ制御トランジスタがオフ状態とされることを特徴とする。

【0019】

本発明の第5の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられた電位の大きさに実質的に等しい大きさの電位が与えられることを特徴とする。

【0020】

本発明の第6の局面は、本発明の第3の局面において、

前記電流測定期間のうちの前記電気光学素子特性検出期間においては、前記AD変換期間には、前記第3の制御スイッチがオン状態とされることによって前記データ信号線と前記制御線とが電氣的に接続され、かつ、前記制御線には前記データ信号線充電期間に前記データ信号線に与えられるべき電位に近い一定の大きさの電位が与えられることを特徴とする。

【0021】

本発明の第7の局面は、本発明の第2の局面において、

前記検出準備期間に前記データ信号線に与える電位をVmgとし、前記駆動トランジス

10

20

30

40

50

タ特性検出期間に前記データ信号線に与える電位を $V_{m_TF T}$ とし、前記電気光学素子特性検出期間に前記データ信号線に与える電位を V_{m_oled} としたとき、以下の関係を満たすように V_{mg} 、 $V_{m_TF T}$ 、および V_{m_oled} の値が定められていることを特徴とする。

$$V_{m_TF T} < V_{mg} - V_{th}(T2)$$

$$V_{m_TF T} < ELVSS + V_{th}(oled)$$

$$V_{m_oled} > V_{mg} - V_{th}(T2)$$

$$V_{m_oled} > ELVSS + V_{th}(oled)$$

ここで、 $V_{th}(T2)$ は前記駆動トランジスタの閾値電圧であって、 $V_{th}(oled)$ は前記電気光学素子の発光閾値電圧であって、 $ELVSS$ は前記電気光学素子の陰極の電位である。

【0022】

本発明の第8の局面は、本発明の第1の局面において、前記特性検出処理期間は、垂直帰線期間内に設けられていることを特徴とする。

【0023】

本発明の第9の局面は、本発明の第8の局面において、任意の電気光学素子を着目電気光学素子と定義したとき、前記画素回路駆動部は、前記着目電気光学素子が前記モニタ行に含まれている場合、前記モニタ行に含まれる画素回路への前記データ信号の書き込みを垂直走査期間に行う際には、前記着目電気光学素子が前記非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ信号の電位を前記データ信号線に与えることを特徴とする。

【0024】

本発明の第10の局面は、本発明の第1の局面において、前記特性検出処理期間は、垂直走査期間内に設けられていることを特徴とする。

【0025】

本発明の第11の局面は、本発明の第1の局面において、1つの前記特性検出対象回路素子の特性を検出するための電流測定期間において、前記データ信号線充電期間と前記モニタ期間と前記AD変換期間とからなるサイクルが複数回繰り返されることを特徴とする。

【0026】

本発明の第12の局面は、本発明の第1の局面において、1フレーム期間につき前記電気光学素子または前記駆動トランジスタのいずれか一方のみについての前記特性検出処理が行われることを特徴とする。

【0027】

本発明の第13の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個 (n および m は2以上の整数) の画素回路からなる n 行 m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査線と、前記画素マトリクスの各行に対応するように設けられたモニタ制御線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線と、前記走査線、前記モニタ制御線、および前記データ信号線を駆動する画素回路駆動部とを備えた表示装置の駆動方法であって、

フレーム期間に前記電気光学素子または前記駆動トランジスタの少なくとも一方を含む特性検出対象回路素子の特性を検出する特性検出ステップと、

前記特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップとを含み、

各画素回路は、

10

20

30

40

50

前記電気光学素子と、
 前記走査線に制御端子が接続され、前記駆動トランジスタの制御端子に第1導通端子が接続され、前記データ信号線に第2導通端子が接続された入力トランジスタと、
 駆動電源電位が第1導通端子に与えられた前記駆動トランジスタと、
 前記モニタ制御線に制御端子が接続され、前記駆動トランジスタの第2導通端子および前記電気光学素子の陽極に第1導通端子が接続され、前記データ信号線に第2導通端子が接続されたモニタ制御トランジスタと、
 前記駆動トランジスタの制御端子の電位を保持するため、一端が前記駆動トランジスタの制御端子に接続された第1のコンデンサと
 を含み、 10

前記画素回路駆動部は、
 前記データ信号を前記データ信号線に印加する機能および前記データ信号線に流れている電流の大きさに応じたデータを前記特性データの元となるモニタデータとして取得する機能を有する出力/電流モニタ回路と、
 前記モニタデータをアナログ値からデジタル値に変換するAD変換回路と
 を含み、
 前記出力/電流モニタ回路は、
 前記データ信号線に接続された内部データ線と、
 前記データ信号が非反転入力端子に与えられ、前記内部データ線に反転入力端子が接続されたオペアンプと、 20

前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第2のコンデンサと、
 前記内部データ線に一端が接続され、前記オペアンプの出力端子に他端が接続された第1の制御スイッチと、
 前記データ信号線に一端が接続され、前記内部データ線に他端が接続された第2の制御スイッチと
 を含み、
 前記AD変換回路は、複数個の前記出力/電流モニタ回路につき1個設けられ、
 フレーム期間において前記特性検出処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、 30

前記特性検出ステップは、
 前記モニタ行において前記特性検出対象回路素子の特性を検出する準備を行う検出準備ステップと、
 前記データ信号線に流れている電流を測定することによって前記特性検出対象回路素子の特性を検出する電流測定ステップと、
 前記モニタ行において前記電気光学素子を発光させる準備を行う発光準備ステップと
 を含み、
 前記電流測定ステップは、 40

前記特性検出対象回路素子の特性に応じた大きさの電流が前記データ信号線に流れるように前記データ信号線を充電するデータ信号線充電ステップと、
 前記データ信号線に流れている電流の時間積分値を前記第2のコンデンサに蓄積することによって前記モニタデータを取得するモニタステップと、
 前記AD変換回路によって前記モニタデータをアナログ値からデジタル値に変換するためのAD変換ステップと
 を含み、
 前記AD変換ステップでは、
 前記第2の制御スイッチがオフ状態とされることによって、前記データ信号線と前記内部データ線とが電氣的に切り離され、
 前記AD変換回路において、対応する複数個の前記出力/電流モニタ回路によってそ 50

れぞれ取得された複数個の前記モニタデータが順次にアナログ値からデジタル値に変換されることを特徴とする。

【発明の効果】

【0028】

本発明の第1の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機EL素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、フレーム期間に回路素子（電気光学素子または駆動トランジスタの少なくとも一方）の特性の検出が行われる。そして、その検出結果を考慮して得られる補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、回路素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、回路素子の特性は、データ信号線に流れている電流を測定することによって検出される。すなわち、データ信号線は、各画素回路内の電気光学素子を所望の輝度で発光させるための信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線としても用いられる。このため、回路素子の特性を検出するために新たな信号線を表示部内に設ける必要がない。従って、回路規模の増大を抑制しつつ、回路素子の劣化を補償することが可能となる。

10

【0029】

また、AD変換期間には、第2のスイッチがオフ状態となることによって、モニタ期間に取得されたアナログデータが出力/電流モニタ回路内で保持される。アナログデータを保持するこの機能（サンプルホールド機能）を利用して、AD変換回路が複数の列で共有されている。これにより、回路素子の特性検出を可能な構成にすることに伴う回路規模の増大が効果的に抑制される。

20

【0030】

本発明の第2の局面によれば、フレーム期間に電気光学素子および駆動トランジスタの特性の検出が行われる。このため、回路規模の増大を効果的に抑制しつつ、電気光学素子の劣化および駆動トランジスタの劣化の双方を補償することが可能となる。

【0031】

本発明の第3の局面によれば、駆動トランジスタ特性検出期間内のAD変換期間には、データ信号線と内部データ線とが電氣的に切り離され、当該AD変換期間の直前のデータ信号線の電位に等しい大きさの電位が制御線からデータ信号線に与えられる。このため、AD変換回路の共有化に起因してAD変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、駆動トランジスタの特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

30

【0032】

本発明の第4の局面によれば、電気光学素子特性検出期間内のAD変換期間には、データ信号線がハイインピーダンスの状態とされる。このため、AD変換回路の共有化に起因してAD変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、電気光学素子の特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

40

【0033】

本発明の第5の局面によれば、電気光学素子特性検出期間内のAD変換期間には、データ信号線と内部データ線とが電氣的に切り離され、当該AD変換期間の直前のデータ信号線の電位に等しい大きさの電位が制御線からデータ信号線に与えられる。このため、AD変換回路の共有化に起因してAD変換中にデータ信号線の電位が変動することが防止される。また、データ信号線の再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、電気光学素子の特性を検出するための電流測定の際に十分なS/N比を確保することが可能となる。

【0034】

50

本発明の第 6 の局面によれば、本発明の第 5 の局面と同様、電気光学素子の特性を検出するための電流測定の際に十分な S / N 比を確保することが可能となる。

【 0 0 3 5 】

本発明の第 7 の局面によれば、駆動トランジスタ特性検出期間には、駆動トランジスタが確実にオン状態になるとともに電気光学素子が確実にオフ状態となる。また、電気光学素子特性検出期間には、駆動トランジスタが確実にオフ状態になるとともに電気光学素子が確実にオン状態となる。

【 0 0 3 6 】

本発明の第 8 の局面によれば、モニタ行については、垂直走査期間における書き込み後、垂直帰線期間中の発光準備期間に再度書き込みが行われる。これに関し、発光準備期間における書き込みが可能となるよう、垂直走査期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは 1 ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、垂直走査期間内に特性検出処理期間が設けられている構成においては、数十ライン分のラインメモリが必要となることもある。以上より、垂直走査期間内に特性検出処理期間が設けられている構成と比較して、必要となるメモリ容量が低減される。

10

【 0 0 3 7 】

本発明の第 9 の局面によれば、モニタ行では電気光学素子が垂直帰線期間中に一時的に消灯するということを考慮して、データ信号の電位が調整される。このため、表示品位の低下が抑制される。

20

【 0 0 3 8 】

本発明の第 1 0 の局面によれば、垂直帰線期間内に特性検出処理期間が設けられている構成とは異なり、モニタ行における目標輝度に応じた書き込みは 1 フレーム期間に 1 回だけ行われれば良い。

【 0 0 3 9 】

本発明の第 1 1 の局面によれば、特性検出対象回路素子の特性を検出するための各電流測定期間において、電流の測定が複数回繰り返される。このため、十分な S / N 比を確保することができる。

【 0 0 4 0 】

本発明の第 1 2 の局面によれば、1 フレーム期間につき特性検出処理を電気光学素子または駆動トランジスタのいずれか一方のみについて行うことにより、A D 変換後に A D 変換で得られたデータを転送するための時間が十分に確保される。

30

【 0 0 4 1 】

本発明の第 1 3 の局面によれば、本発明の第 1 の局面と同様の効果を表示装置の駆動方法の発明において奏することができる。

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】本発明の一実施形態において、画素回路，出力 / 電流モニタ回路，および信号変換回路の詳細な構成を示す回路図である。

【 図 2 】上記実施形態に係るアクティブマトリクス型の有機 E L 表示装置の全体構成を示すブロック図である。

40

【 図 3 】上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

【 図 4 】上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

【 図 5 】上記実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

【 図 6 】上記実施形態において、出力部内の出力 / 電流モニタ回路の入出力信号について説明するための図である。

【 図 7 】上記実施形態において、制御クロック信号 C L K 1 の制御による積分時間の長さ

50

の調整について説明するための図である。

【図 8】上記実施形態において、A/Dコンバータの共有について説明するための図である。

【図 9】上記実施形態において、各行の動作の推移について説明するための図である。

【図 10】上記実施形態において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路）の動作を説明するためのタイミングチャートである。

【図 11】上記実施形態において、通常動作が行われる際の電流の流れについて説明するための図である。

【図 12】上記実施形態において、モニタ行についての1水平走査期間の詳細を説明するためのタイミングチャートである。

10

【図 13】上記実施形態において、検出準備期間の電流の流れについて説明するための図である。

【図 14】上記実施形態において、TF T特性検出期間内の期間 T_{b2} の電流の流れについて説明するための図である。

【図 15】上記実施形態において、TF T特性検出期間内の期間 T_{b3} における回路の状態を説明するための図である。

【図 16】上記実施形態において、OLE D特性検出期間内の期間 T_{c2} の電流の流れについて説明するための図である。

【図 17】上記実施形態において、発光準備期間の電流の流れについて説明するための図である。

20

【図 18】上記実施形態において、発光期間の電流の流れについて説明するための図である。

【図 19】上記実施形態において、モニタ行における1フレーム期間と非モニタ行における1フレーム期間とを比較した図である。

【図 20】上記実施形態において、補正データ記憶部内の補正データの更新の手順を説明するためのフローチャートである。

【図 21】上記実施形態において、映像信号の補正について説明するための図である。

【図 22】上記実施形態において、TF T特性およびOLE D特性の検出に関連する動作の概略を説明するためのフローチャートである。

【図 23】上記実施形態における効果について説明するための図である。

30

【図 24】上記実施形態における効果について説明するための図である。

【図 25】上記実施形態の第2の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路）の動作を説明するためのタイミングチャートである。

【図 26】上記実施形態の第2の変形例において、モニタ行についての1水平走査期間の詳細を説明するためのタイミングチャートである。

【図 27】上記実施形態の第2の変形例において、図1に示した構成から制御線 CL およびスイッチ 335 を削除した構成を示す回路図である。

【図 28】1フレーム期間の構成を説明するための図である。

【図 29】上記実施形態の第3の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路とする）の垂直帰線期間中の動作について説明するためのタイミングチャートである。

40

【図 30】上記実施形態の第3の変形例において、垂直帰線期間の詳細を説明するためのタイミングチャートである。

【図 31】上記実施形態の第3の変形例において、モニタ行に含まれる画素回路（ i 行 j 列の画素回路とする）の1フレーム期間中の動作について説明するためのタイミングチャートである。

【図 32】従来の一一般的な画素回路の構成を示す回路図である。

【図 33】図32に示す画素回路の動作を説明するためのタイミングチャートである。

【図 34】駆動トランジスタの劣化および有機EL素子の劣化に対して何ら補償が行われない場合について説明するための図である。

50

【図35】駆動トランジスタの劣化に対してのみ補償が行われた場合について説明するための図である。

【図36】日本の特表2008-523448号公報の図14である。

【発明を実施するための形態】

【0043】

以下、添付図面を参照しながら、本発明の一実施形態について説明する。なお、以下においては、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であると仮定する。また、以下においては、画素回路内に設けられている駆動トランジスタの特性のことを「TFT特性」といい、画素回路内に設けられている有機EL素子の特性のことを「OLED特性」という。

10

【0044】

< 1. 全体構成 >

図2は、本発明の一実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示部10、コントロール回路20、ソースドライバ(データ信号線駆動回路)30、ゲートドライバ(走査線駆動回路)40、および補正データ記憶部50を備えている。本実施形態においては、ソースドライバ30およびゲートドライバ40によって画素回路駆動部が実現されている。なお、ソースドライバ30およびゲートドライバ40の一方または双方が表示部10と一体的に形成された構成であっても良い。

【0045】

表示部10には、 m 本のデータ信号線 $S(1) \sim S(m)$ およびこれらに直交する n 本の走査線 $G1(1) \sim G1(n)$ が配設されている。以下では、データ信号線の延伸方向を Y 方向とし、走査線の延伸方向を X 方向とする。 Y 方向に沿った構成要素を「列」という場合があり、 X 方向に沿った構成要素を「行」という場合がある。また、表示部10には、 n 本の走査線 $G1(1) \sim G1(n)$ と1対1で対応するように、 n 本のモニタ制御線 $G2(1) \sim G2(n)$ が配設されている。走査線 $G1(1) \sim G1(n)$ とモニタ制御線 $G2(1) \sim G2(n)$ とは互いに平行になっている。さらに、表示部10には、 n 本の走査線 $G1(1) \sim G1(n)$ と m 本のデータ信号線 $S(1) \sim S(m)$ との交差点に対応するように、 $n \times m$ 個の画素回路11が設けられている。このように $n \times m$ 個の画素回路11が設けられることによって、 n 行 \times m 列の画素マトリクスが表示部10に形成されている。また、表示部10には、ハイレベル電源電圧を供給するハイレベル電源線と、ローレベル電源電圧を供給するローレベル電源線とが配設されている。

20

30

【0046】

なお、以下においては、 m 本のデータ信号線 $S(1) \sim S(m)$ を互いに区別する必要がない場合にはデータ信号線を単に符号 S で表す。同様に、 n 本の走査線 $G1(1) \sim G1(n)$ を互いに区別する必要がない場合には走査線を単に符号 $G1$ で表し、 n 本のモニタ制御線 $G2(1) \sim G2(n)$ を互いに区別する必要がない場合にはモニタ制御線を単に符号 $G2$ で表す。

【0047】

本実施形態におけるデータ信号線 S は、画素回路11内の有機EL素子を所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、TFT特性やOLED特性の検出用の制御電位を画素回路11に与えるための信号線およびTFT特性やOLED特性を表す電流であって後述する出力/電流モニタ回路330で測定可能な電流の経路となる信号線としても用いられる。

40

【0048】

コントロール回路20は、ソースドライバ30にデータ信号 DA およびソース制御信号 $SCTL$ を与えることによりソースドライバ30の動作を制御し、ゲートドライバ40にゲート制御信号 $GCTL$ を与えることによりゲートドライバ40の動作を制御する。ソース制御信号 $SCTL$ には、例えば、従来より用いられているソーススタートパルス、ソースクロック、ラッチストロブ信号に加えて、出力/電流モニタ回路330の動作を制御

50

するための制御クロック信号CLK1, CLK2, およびCLK2Bが含まれている。ゲート制御信号GCTLには、例えば、ゲートスタートパルス, ゲートクロック, およびアウトプットイネーブル信号が含まれている。また、コントロール回路20は、ソースドライバ30から与えられるモニタデータMOを受け取り、補正データ記憶部50に格納されている補正データの更新を行う。なお、モニタデータMOとは、TFT特性やOLED特性を求めるために測定されたデータである。

【0049】

ゲートドライバ40は、n本の走査線G1(1)~G1(n)およびn本のモニタ制御線G2(1)~G2(n)に接続されている。ゲートドライバ40は、シフトレジスタおよび論理回路などによって構成されている。ところで、本実施形態に係る有機EL表示装置1においては、TFT特性およびOLED特性に基づいて、外部から送られる映像信号(上記データ信号DAの元となるデータ)に補正が施される。これに関し、本実施形態では、各フレームにおいて、1つの行についてのTFT特性およびOLED特性の検出が行われる。すなわち、或るフレームに1行目についてのTFT特性およびOLED特性の検出が行われると、次のフレームには2行目についてのTFT特性およびOLED特性の検出が行われ、さらに次のフレームには3行目についてのTFT特性およびOLED特性の検出が行われる。このようにして、nフレーム期間をかけて、n行分のTFT特性およびOLED特性の検出が行われる。なお、本明細書においては、任意のフレームに着目したときにTFT特性およびOLED特性の検出が行われている行のことを「モニタ行」といい、モニタ行以外の行のことを「非モニタ行」という。

【0050】

ここで、1行目についてのTFT特性およびOLED特性の検出が行われるフレームを(k+1)フレーム目と定義すると、n本の走査線G1(1)~G1(n)およびn本のモニタ制御線G2(1)~G2(n)は、(k+1)フレーム目には図3に示すように駆動され、(k+2)フレーム目には図4に示すように駆動され、(k+n)フレーム目には図5に示すように駆動される。なお、図3~図5に関し、ハイレベルの状態がアクティブな状態である。また、図3~図5では、モニタ行についての1水平走査期間を符号THmで表し、非モニタ行についての1水平走査期間を符号THnで表している。

【0051】

図3~図5より把握されるように、モニタ行と非モニタ行とで1水平走査期間の長さが異なっている。詳しくは、モニタ行についての1水平走査期間の長さは、非モニタ行についての1水平走査期間の長さよりも長くなっている。非モニタ行については、一般的な有機EL表示装置と同様、1フレーム期間中に1回の選択期間がある。モニタ行については、一般的な有機EL表示装置とは異なり、1フレーム期間中に2回の選択期間がある。なお、モニタ行についての1水平走査期間THmに関する更に詳しい説明は後述する。

【0052】

図3~図5に示すように、各フレームにおいて、非モニタ行に対応するモニタ制御線G2は非アクティブな状態で維持される。モニタ行に対応するモニタ制御線G2については、1水平走査期間THm中の選択期間以外の期間(走査線G1が非アクティブな状態になっている期間)に、アクティブな状態で維持される。本実施形態においては、以上のようにn本の走査線G1(1)~G1(n)およびn本のモニタ制御線G2(1)~G2(n)が駆動されるよう、ゲートドライバ40が構成されている。なお、モニタ行において1フレーム期間中に走査線G1に2回のパルスを発生させるためには、コントロール回路20からゲートドライバ40に送られるアウトプットイネーブル信号の波形を公知の手法を用いて制御すれば良い。

【0053】

ソースドライバ30は、m本のデータ信号線S(1)~S(m)に接続されている。ソースドライバ30は、駆動信号発生回路31と、信号変換回路32と、m個の出力/電流モニタ回路330からなる出力部33とによって構成されている(図2参照)。出力部33内のm個の出力/電流モニタ回路330はそれぞれm本のデータ信号線S(1)~S(

10

20

30

40

50

m)のうちの対応するデータ信号線Sに接続されている。

【0054】

駆動信号発生回路31には、シフトレジスタ、サンプリング回路、およびラッチ回路が含まれている。駆動信号発生回路31において、シフトレジスタは、ソースクロックに同期して、ソーススタートパルスを入力端から出力端へと順次に転送する。ソーススタートパルスのこの転送に応じて、シフトレジスタから、各データ信号線Sに対応するサンプリングパルスが出力される。サンプリング回路は、サンプリングパルスのタイミングに従って1行分のデータ信号DAを順次に記憶する。ラッチ回路は、サンプリング回路に記憶された1行分のデータ信号DAをラッチストロブ信号に応じて取り込んで保持する。

【0055】

なお、本実施形態においては、データ信号DAには、各画素の有機EL素子を所望の輝度で発光させるための輝度信号と、TFT特性やOLED特性を検出する際に画素回路11の動作を制御するためのモニタ制御信号とが含まれている。

【0056】

信号変換回路32には、D/AコンバータおよびA/Dコンバータが含まれている。上述のようにして駆動信号発生回路31内のラッチ回路に保持された1行分のデータ信号DAは、信号変換回路32内のD/Aコンバータによってアナログ電圧に変換される。その変換されたアナログ電圧は、出力部33内の出力/電流モニタ回路330に与えられる。また、信号変換回路32には、出力部33内の出力/電流モニタ回路330からモニタデータMOが与えられる。そのモニタデータMOは、信号変換回路32内のA/Dコンバータで、アナログ電圧からデジタル信号に変換される。そして、デジタル信号に変換されたモニタデータMOは、駆動信号発生回路31を介してコントロール回路20に与えられる。

【0057】

図6は、出力部33内の出力/電流モニタ回路330の入出力信号について説明するための図である。出力/電流モニタ回路330には、信号変換回路32からデータ信号DAとしてのアナログ電圧Vsが与えられる。そのアナログ電圧Vsは、出力/電流モニタ回路330内のバッファを介してデータ信号線Sに印加される。また、出力/電流モニタ回路330は、データ信号線Sに流れている電流の大きさをアナログデータ(アナログ電圧)として取得する機能および或るタイミングで取得したアナログデータの値をAD変換が行われている期間を通じて保持する機能(すなわちサンプルホールド機能)を有している。出力/電流モニタ回路330で取得されたデータは、モニタデータMOとして信号変換回路32に与えられる。なお、出力/電流モニタ回路330の詳細な構成については後述する(図1参照)。

【0058】

補正データ記憶部50には、TFT用オフセットメモリ51a、OLED用オフセットメモリ51b、TFT用ゲインメモリ52a、およびOLED用ゲインメモリ52bが含まれている(図2参照)。なお、これら4つのメモリは、物理的には1つのメモリであっても良いし、物理的に異なるメモリであっても良い。補正データ記憶部50は、外部から送られる映像信号の補正に使用される補正データを記憶している。詳しくは、TFT用オフセットメモリ51aは、TFT特性の検出結果に基づくオフセット値を補正データとして記憶する。OLED用オフセットメモリ51bは、OLED特性の検出結果に基づくオフセット値を補正データとして記憶する。TFT用ゲインメモリ52aは、TFT特性の検出結果に基づくゲイン値を補正データとして記憶する。OLED用ゲインメモリ52bは、OLED特性の検出結果に基づく劣化補正係数を補正データとして記憶する。なお、典型的には、表示部10内の画素の数に等しい数のオフセット値およびゲイン値が、TFT特性の検出結果に基づく補正データとして、それぞれTFT用オフセットメモリ51aおよびTFT用ゲインメモリ52aに記憶される。また、典型的には、表示部10内の画素の数に等しい数のオフセット値および劣化補正係数が、OLED特性の検出結果に基づく補正データとして、それぞれOLED用オフセットメモリ51bおよびOLED用ゲイ

10

20

30

40

50

ンメモリ52bに記憶される。但し、複数の画素毎に1つの値が各メモリに記憶されるようにしても良い。

【0059】

コントロール回路20は、ソースドライバ30から与えられるモニタデータMOに基づいて、TFT用オフセットメモリ51a内のオフセット値、OLED用オフセットメモリ51b内のオフセット値、TFT用ゲインメモリ52a内のゲイン値、およびOLED用ゲインメモリ52b内の劣化補正係数を更新する。また、コントロール回路20は、TFT用オフセットメモリ51a内のオフセット値、OLED用オフセットメモリ51b内のオフセット値、TFT用ゲインメモリ52a内のゲイン値、およびOLED用ゲインメモリ52b内の劣化補正係数を読み出して、映像信号の補正を行う。その補正によって得られたデータが、データ信号DAとしてソースドライバ30に送られる。

10

【0060】

<2. 要部の詳細な構成>

次に、本実施形態における要部の詳細な構成について説明する。図1は、画素回路11、出力/電流モニタ回路330、および信号変換回路32の詳細な構成を示す回路図である。以下、これらの回路の構成および動作について詳しく説明する。

【0061】

<2.1 画素回路>

図1に示す画素回路11は、i行j列の画素回路11である。この画素回路11は、1個の有機EL素子OLED、3個のトランジスタT1~T3、および1個のコンデンサCstを備えている。トランジスタT1は画素を選択する入力トランジスタとして機能し、トランジスタT2は有機EL素子OLEDへの電流の供給を制御する駆動トランジスタとして機能し、トランジスタT3はTFT特性やOLED特性を検出するか否かを制御するモニタ制御トランジスタとして機能する。なお、本実施形態においては、トランジスタT2および有機EL素子OLEDが特性検出対象回路素子に相当する。また、各トランジスタに関し、ゲート端子が制御端子に相当し、ドレイン端子が第1導通端子に相当し、ソース端子が第2導通端子に相当する。

20

【0062】

トランジスタT1は、データ信号線S(j)とトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線G1(i)にゲート端子が接続され、データ信号線S(j)にソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、トランジスタT1のドレイン端子にゲート端子が接続され、ハイレベル電源線ELVDDにドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタT3については、モニタ制御線G2(i)にゲート端子が接続され、有機EL素子OLEDのアノード端子にドレイン端子が接続され、データ信号線S(j)にソース端子が接続されている。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のドレイン端子に他端が接続されている。なお、このコンデンサCstによって第1のコンデンサが実現されている。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。

30

40

【0063】

ところで、図32に示した構成においては、コンデンサCstは、トランジスタT2のゲート-ソース間に設けられていた。これに対して、本実施形態においては、コンデンサCstは、トランジスタT2のゲート-ドレイン間に設けられている。この理由は次のとおりである。本実施形態においては、1フレーム期間中に、トランジスタT3をオンにした状態でデータ信号線S(j)の電位を変動させる制御が行われる。仮にトランジスタT2のゲート-ソース間にコンデンサCstが設けられていると、データ信号線S(j)の電位の変動に応じてトランジスタT2のゲート電位も変動する。そうすると、トランジスタT2のオン/オフ状態が所望の状態とはならないことが生じ得る。そこで、本実施形態においては、データ信号線S(j)の電位の変動に応じてトランジスタT2のゲート電位

50

が変動することのないよう、図1に示すようにトランジスタT2のゲート-ドレイン間にコンデンサCstが設けられている。

【0064】

<2.2 画素回路内のトランジスタについて>

本実施形態においては、画素回路11内のトランジスタT1~T3はすべてnチャネル型である。また、本実施形態においては、トランジスタT1~T3には、酸化物TFET(酸化物半導体をチャネル層に用いた薄膜トランジスタ)が採用されている。

【0065】

以下、酸化物TFETに含まれる酸化物半導体層について説明する。酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体層である。酸化物半導体層は、例えばIn-Ga-Zn-O系の半導体を含む。In-Ga-Zn-O系半導体は、In(インジウム)、Ga(ガリウム)、Zn(亜鉛)の三元系酸化物である。In、GaおよびZnの割合(組成比)は、特に限定されない。例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2などでもよい。

【0066】

In-Ga-Zn-O系半導体層を有するTFETは、高い移動度(アモルファスシリコンTFETに比べて20倍を超える移動度)と低いリーク電流(アモルファスシリコンTFETに比べて100分の1未満のリーク電流)を有するので、画素回路内の駆動TFET(上記トランジスタT2)およびスイッチングTFET(上記トランジスタT1)として好適に用いられる。In-Ga-Zn-O系半導体層を有するTFETを用いれば、表示装置の消費電力を大幅に削減することができる。

【0067】

In-Ga-Zn-O系半導体は、アモルファスでもよく、結晶質部分を含み、結晶性を有していてもよい。結晶質In-Ga-Zn-O系半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系半導体が好ましい。このようなIn-Ga-Zn-O系半導体の結晶構造は、例えば日本の特開2012-134475号公報に開示されている。

【0068】

酸化物半導体層は、In-Ga-Zn-O系半導体に代えて、他の酸化物半導体を含んでいてもよい。例えばZn-O系半導体(ZnO)、In-Zn-O系半導体(IZO(登録商標))、Zn-Ti-O系半導体(ZTO)、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO(酸化カドニウム)、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体(例えばIn₂O₃-SnO₂-ZnO)、In-Ga-Sn-O系半導体などを含んでいてもよい。

【0069】

<2.3 出力/電流モニタ回路>

図1を参照しつつ、本実施形態における出力/電流モニタ回路330の構成および動作について詳しく説明する。出力/電流モニタ回路330には、オペアンプ331とコンデンサ332と3つのスイッチ(スイッチ333, 334, および335)とが含まれている。

【0070】

図1に示すように、出力/電流モニタ回路330の内部データ線Sin(j)は、スイッチ334を介して、データ信号線S(j)に接続されている。オペアンプ331については、反転入力端子は内部データ線Sin(j)に接続され、非反転入力端子にはデータ信号DAとしてのアナログ電圧Vsが与えられる。コンデンサ332およびスイッチ333は、オペアンプ331の出力端子と内部データ線Sin(j)との間に設けられている。スイッチ333には、制御クロック信号CLK1が与えられる。オペアンプ331, コンデンサ332, およびスイッチ333によって、積分回路が構成されている。ここで、この積分回路の動作について説明する。制御クロック信号CLK1によってスイッチ333がオフ状態からオン状態に切り替えられると、コンデンサ332に蓄積された電荷が放

10

20

30

40

50

電される。その後、スイッチ333がオン状態からオフ状態に切り替えられると、内部データ線 $Sin(j)$ を流れる電流に基づいてコンデンサ332への充電が行われる。すなわち、内部データ線 $Sin(j)$ に流れている電流の時間積分値がコンデンサ332に蓄積される。これにより、内部データ線 $Sin(j)$ を流れる電流の大きさに応じてオペアンプ331の出力端子の電位が変化する。そのオペアンプ331からの出力はモニタデータMOとして信号変換回路32に送られる。なお、制御クロック信号CLK1によってスイッチ333がオン状態にされると、オペアンプ331の出力端子 - 反転入力端子間が短絡状態となる。これにより、オペアンプ331の出力端子および内部データ線 $Sin(j)$ の電位がアナログ電圧 V_s の電位と等しくなる。

【0071】

スイッチ334は、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ との間に設けられている。スイッチ334には、制御クロック信号CLK2が与えられる。この制御クロック信号CLK2に基づいてスイッチ334の状態が切り替えられることによって、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ との電気的な接続状態が制御される。本実施形態においては、制御クロック信号CLK2がハイレベルであれば、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とが電気的に接続された状態となり、制御クロック信号CLK2がローレベルであれば、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とが電気的に切り離された状態となる。

【0072】

スイッチ335は、データ信号線 $S(j)$ と所定の制御線CLとの間に設けられている。スイッチ335には、制御クロック信号CLK2Bが与えられる。この制御クロック信号CLK2Bに基づいてスイッチ335の状態が切り替えられることによって、データ信号線 $S(j)$ と制御線CLとの電気的な接続状態が制御される。本実施形態においては、制御クロック信号CLK2Bがハイレベルであれば、データ信号線 $S(j)$ と制御線CLとが電気的に接続された状態となり、制御クロック信号CLK2Bがローレベルであれば、データ信号線 $S(j)$ と制御線CLとが電気的に切り離された状態となる。

【0073】

上述したように、スイッチ334がオフ状態になると、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とは電気的に切り離された状態となる。このとき、スイッチ333がオフ状態になっていれば、内部データ線 $Sin(j)$ の電位は維持される。本実施形態においては、このようにして内部データ線 $Sin(j)$ の電位が維持されている状態で、信号変換回路32内のA/Dコンバータ324でのAD変換が行われる。

【0074】

なお、本実施形態においては、スイッチ333によって第1の制御スイッチが実現され、スイッチ334によって第2の制御スイッチが実現され、スイッチ335によって第3の制御スイッチが実現されている。また、コンデンサ332によって第2のコンデンサが実現されている。

【0075】

< 2.4 信号変換回路 >

図1を参照しつつ、本実施形態における信号変換回路32の構成および動作について詳しく説明する。この信号変換回路32には、D/Aコンバータ321とセレクタ322とオフセット回路323とA/Dコンバータ324とが含まれている。D/Aコンバータ321は、駆動信号発生回路31から出力されたデジタル信号であるデータ信号DAをアナログ電圧 V_s に変換する。本実施形態においては、複数の列でA/Dコンバータ324が共有される。これを実現するために、信号変換回路32内にセレクタ322が設けられている。セレクタ322には、複数個の出力/電流モニタ回路330からモニタデータMOが与えられる。セレクタ322は、与えられた複数個のモニタデータMOを時分割で順次に出力する。オフセット回路323は、TFT特性検出の際とOLED特性検出の際とでA/Dコンバータ324への入力レベルを同じにする機能(オフセット調整機能)を有している。このオフセット回路323が設けられている理由は、TFT特性検出の際の基準

10

20

30

40

50

電位である V_{m_TFT} と $OLE D$ 特性検出の際の基準電位である V_{m_oled} とが異なる電位であるためである。A/Dコンバータ324は、オフセット回路323から出力されたアナログ電圧をデジタル信号に変換する。なお、オフセット調整に用いるオフセット値は、 V_{m_TFT} の値および V_{m_oled} の値に依存させると良い。以上より、信号変換回路32内の構成要素に関しては、D/Aコンバータ321については各列につき1個設けられ、セレクト322，オフセット回路323，およびA/Dコンバータ324については複数の列につき1個設けられている。

【0076】

ここで、 V_{m_TFT} と V_{m_oled} とが異なる大きさであることに起因するAD変換への影響とその対処について更に詳しく説明する。 V_{m_TFT} と V_{m_oled} とは異なる大きさの電位であるため、オフセット回路323が設けられていなければ、TFT特性検出時とOLE D特性検出時との間でA/Dコンバータ324への入力DCレベルが変化する。このため、A/Dコンバータ324によるAD変換の分解能が無駄になる(有効活用されない)。そこで、本実施形態においては、上述したオフセット回路323が設けられている。このオフセット回路323では、TFT特性検出時には $V_{offset1}$ ，OLE D特性検出時には $V_{offset2}$ によって、A/Dコンバータ324への入力DCレベルの調整が行われる。これにより、A/Dコンバータ324によるAD変換の際のDCレベルをほぼ一定にすることが可能となり、AD変換の分解能が有効活用される。なお、ここではオフセットレベルの種類が2種類の場合を例に挙げて説明しているが、本発明はこれに限定されない。例えば、RとGとBとで V_{m_oled} の値が異なる場合、OLE D特性検出時に3種類のオフセットレベルを用意して、それらを切り替えて用いるようにしても良い。また、電流測定条件によって、測定電流の予測値が大きいときと測定電流の予測値が小さいときとがある。これに関し、スイッチ333に与える制御クロック信号CLK1を例えば図7に示すように制御して積分時間(制御クロック信号CLK1のオフ時間)の長さを変化させることによって、A/Dコンバータ324によるAD変換の分解能が有効に活用することが可能となる。これにより、測定電流が小さなときでも十分なS/N比を確保することが可能となる。

【0077】

< 2.5 A/Dコンバータの共有 >

上述したように、本実施形態においては、複数の列でA/Dコンバータ324が共有される。これについて、図8を参照しつつ、詳しく説明する。なお、図8には、ソースドライバ30が1440チャンネルの出力部33を有している場合(すなわち、1440本のデータ信号線Sが設けられている場合)の例を示している。図8に示す例では、144列で1個のA/Dコンバータ324が共有されている。従って、144列毎に1個のセレクト322が設けられている。各セレクト322には、144個の出力/電流モニタ回路330からモニタデータMOが与えられる。そして、各セレクト322は、144個のモニタデータMOを時分割で順次にオフセット回路323に与える。オフセット回路323に与えられたモニタデータMOは、入力レベルの調整後、A/Dコンバータ324に与えられる。ところで、上述したように、出力/電流モニタ回路330では、上述したサンプルホールド機能によって、AD変換が行われている期間を通じてアナログデータの値が保持される。これにより、全ての列で同じタイミングで取得されたアナログデータの値が順次にA/Dコンバータ324に与えられる。なお、AD変換後のモニタデータMOは、駆動信号発生回路31内のロジック部311を介してコントロール回路20に送られる。

【0078】

上述の例では144列で1個のA/Dコンバータ324が共有されているが、本発明はこれに限定されない。1個のA/Dコンバータ324を共有する列の数については、A/Dコンバータ324の能力すなわちA/Dコンバータ324のサンプリング周波数に応じて決定すれば良い。A/Dコンバータ324のサンプリング周波数が大きいほど、1個のA/Dコンバータ324を共有する列の数を多くすることが可能となる。

【0079】

10

20

30

40

50

< 3 . 駆動方法 >

< 3 . 1 概要 >

次に、本実施形態における駆動方法について説明する。上述したように、本実施形態においては、各フレームに1つの行のTFT特性およびOLED特性の検出が行われる。各フレームにおいて、モニタ行についてはTFT特性およびOLED特性の検出を行うための動作（以下、「特性検出動作」という。）が行われ、非モニタ行については通常動作が行われる。すなわち、1行目についてのTFT特性およびOLED特性の検出が行われるフレームを $(k+1)$ フレーム目と定義すると、図9に示すように、各行の動作は推移する。また、TFT特性およびOLED特性の検出が行われると、その検出結果を用いて、補正データ記憶部50内の補正データの更新が行われる。そして、補正データ記憶部50に記憶されている補正データを用いて映像信号の補正が行われる。

10

【0080】

図10は、モニタ行に含まれる画素回路11（ i 行 j 列の画素回路11とする）の動作を説明するためのタイミングチャートである。なお、図10では、 i 行目がモニタ行とされるフレームにおける i 行目の1回目の選択期間開始時点を基準にして「1フレーム期間」を表している。また、ここでは、1フレーム期間のうちモニタ行における1水平走査期間 TH_m 以外の期間のことを「発光期間」という。発光期間には符号 TL を付している。図10に示すように、モニタ行についての1水平走査期間 TH_m は、モニタ行においてTFT特性およびOLED特性を検出する準備が行われる期間（以下、「検出準備期間」という。） T_a と、TFT特性を検出するための電流測定が行われる期間（以下、「TFT特性検出期間」という。） T_b と、OLED特性を検出するための電流測定が行われる期間（以下、「OLED特性検出期間」という。） T_c と、モニタ行において有機EL素子OLEDを発光させる準備が行われる期間（以下、「発光準備期間」という。） T_d とによって構成されている。なお、本実施形態においては、TFT特性検出期間 T_b とOLED特性検出期間 T_c とによって電流測定期間が実現されている。

20

【0081】

検出準備期間 T_a には、走査線 $G_1(i)$ はアクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態とされ、データ信号線 $S(j)$ には電位 V_{mg} が与えられる。TFT特性検出期間 T_b には、走査線 $G_1(i)$ は非アクティブな状態とされ、モニタ制御線 $G_2(i)$ はアクティブな状態とされ、データ信号線 $S(j)$ には電位 V_{m_TFT} が与えられる。OLED特性検出期間 T_c には、走査線 $G_1(i)$ は非アクティブな状態とされ、モニタ制御線 $G_2(i)$ はアクティブな状態とされ、データ信号線 $S(j)$ には電位 V_{m_oled} が与えられる。発光準備期間 T_d には、走査線 $G_1(i)$ はアクティブな状態とされ、モニタ制御線 $G_2(i)$ は非アクティブな状態とされ、データ信号線 $S(j)$ にはモニタ行に含まれる有機EL素子OLEDの目標輝度に応じたデータ電位 $D(i, j)$ が与えられる。発光期間 TL には、走査線 $G_1(i)$ およびモニタ制御線 $G_2(i)$ は非アクティブな状態とされる。また、TFT特性検出期間 T_b には、例えば電源回路から制御線 CL に電位 V_{m_TFT} が与えられ、OLED特性検出期間 T_c には、例えば電源回路から制御線 CL に電位 V_{m_oled} が与えられる。なお、電位 V_{mg} 、電位 V_{m_TFT} 、および電位 V_{m_oled} についての詳しい説明は後述する。

30

40

【0082】

< 3 . 2 画素回路の動作 >

< 3 . 2 . 1 通常動作 >

各フレームにおいて、非モニタ行では、通常動作が行われる。非モニタ行に含まれる画素回路11では、目標輝度に対応するデータ電位 V_{data} に基づく書き込みが選択期間に行われた後、トランジスタ T_1 はオフ状態で維持される。データ電位 V_{data} に基づく書き込みによってトランジスタ T_2 はオン状態となる。トランジスタ T_3 についてはオフ状態で維持される。以上より、図11で符号 F_1 で示す矢印のように、トランジスタ T_2 を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

50

【 0 0 8 3 】

< 3 . 2 . 2 特性検出動作 >

各フレームにおいて、モニタ行では、特性検出動作が行われる。図 1 2 は、モニタ行についての 1 水平走査期間 T H m の詳細を説明するためのタイミングチャートである。なお、この 1 水平走査期間 T H m によって特性検出処理期間が実現されている。図 1 2 に示すように、本実施形態においては、T F T 特性検出期間 T b は、期間 T b 1 ~ T b 6 によって構成されており、O L E D 特性検出期間 T c は、期間 T c 1 ~ T c 6 によって構成されている。なお、本実施形態においては、期間 T b 1 , T b 4 , T c 1 , および T c 4 によってデータ信号線充電期間が実現され、期間 T b 2 , T b 5 , T c 2 , および T c 5 によってモニタ期間が実現され、期間 T b 3 , T b 6 , T c 3 , および T c 6 によって A D 変換期間が実現されている。

10

【 0 0 8 4 】

検出準備期間 T a には、走査線 G 1 (i) はアクティブな状態とされ、モニタ制御線 G 2 (i) は非アクティブな状態で維持される。これにより、トランジスタ T 1 はオン状態となり、トランジスタ T 3 はオフ状態で維持される。また、この期間 T a には、制御クロック信号 C L K 1 , C L K 2 , および C L K 2 B はそれぞれハイレベル、ハイレベル、およびローレベルとなる。このため、スイッチ 3 3 3 , 3 3 4 , および 3 3 5 はそれぞれオン状態、オン状態、およびオフ状態となる。また、この期間 T a には、データ信号線 S (j) にはオペアンプ 3 3 1 を介して電位 V m g が与えられる。この電位 V m g に基づく書き込みによってコンデンサ C s t が充電され、トランジスタ T 2 がオン状態となる。以上より、検出準備期間 T a には、図 1 3 で符号 7 2 で示す矢印のように、トランジスタ T 2 を介して有機 E L 素子 O L E D に駆動電流が供給される。これにより、駆動電流に応じた輝度で有機 E L 素子 O L E D が発光する。但し、有機 E L 素子 O L E D が発光するのは極めて短い時間である。

20

【 0 0 8 5 】

期間 T b 1 (データ信号線充電期間) になると、走査線 G 1 (i) は非アクティブな状態とされ、モニタ制御線 G 2 (i) はアクティブな状態とされる。これにより、トランジスタ T 1 はオフ状態となり、トランジスタ T 3 はオン状態となる。なお、T F T 特性検出期間 T b を通じて、トランジスタ T 1 はオフ状態で維持され、トランジスタ T 3 はオン状態で維持される。また、期間 T b 1 になると、オペアンプ 3 3 1 を介してデータ信号線 S (j) に電位 V m _ T F T が与えられる。以上より、期間 T b 1 には、データ信号線 S (j) の電位が V m _ T F T となるように充電が行われる。なお、後述するように、O L E D 特性検出期間 T c 内の期間 T c 1 には、データ信号線 S (j) の電位が V m _ o l e d となるように充電が行われる。

30

【 0 0 8 6 】

期間 T b 2 (モニタ期間) になると、制御クロック信号 C L K 1 がハイレベルからローレベルに変化する。これにより、スイッチ 3 3 3 がオフ状態となる。ここで、T F T 用オフセットメモリ 5 1 a に格納されているオフセット値に基づいて求められるトランジスタ T 2 の閾値電圧を V t h (T 2) とすると、次式 (1) , (2) が成立するように、電位 V m g の値、電位 V m _ T F T の値、および電位 V m _ o l e d の値が設定されている。

40

$$V m _ T F T + V t h (T 2) < V m g \quad \dots (1)$$

$$V m g < V m _ o l e d + V t h (T 2) \quad \dots (2)$$

また、O L E D 用オフセットメモリ 5 1 b に格納されているオフセット値に基づいて求められる有機 E L 素子 O L E D の発光閾値電圧を V t h (o l e d) とすると、次式 (3) が成立するように電位 V m _ T F T の値が設定されている。

$$V m _ T F T < E L V S S + V t h (o l e d) \quad \dots (3)$$

さらに、有機 E L 素子 O L E D の降伏電圧を V b r (o l e d) とすると、次式 (4) が成立するように電位 V m _ T F T の値が設定されている。

$$V m _ T F T > E L V S S - V b r (o l e d) \quad \dots (4)$$

50

【 0 0 8 7 】

以上のように、検出準備期間 T_a に上式 (1) , (2) を満たす電位 V_{mg} に基づく書き込みが行われた後、期間 $T_{b1} \sim T_{b2}$ には上式 (1) , (3) , および (4) を満たす電位 V_{m_TFT} がデータ信号線 $S(j)$ に与えられている。上式 (1) より、期間 T_{b2} には、トランジスタ T_2 はオン状態となる。また、上式 (3) , (4) より、期間 T_{b2} には、有機 EL 素子 O L E D に電流は流れない。

【 0 0 8 8 】

以上より、期間 T_{b2} には、図 1 4 で符号 7 3 で示す矢印のように、トランジスタ T_2 を流れる電流が、トランジスタ T_3 を介してデータ信号線 $S(j)$ に出力される。また、期間 T_{b2} には、スイッチ 3 3 4 はオン状態になっている。これにより、期間 T_{b2} にデータ信号線 $S(j)$ に出力された電流 (シンク電流) の大きさ (時間積分値) に応じて、コンデンサ 3 3 2 に電荷が蓄積され、オペアンプ 3 3 1 の出力端子の電位が変化する。

10

【 0 0 8 9 】

期間 T_{b3} (A D 変換期間) になると、制御クロック信号 CLK_2 がハイレベルからローレベルに変化する。これにより、図 1 5 に示すように、スイッチ 3 3 4 がオフ状態となり、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とが電氣的に切り離された状態となる。その結果、期間 T_{b2} の終了時点におけるデータ信号線 $S(j)$ の電流の大きさを示すアナログデータが、出力 / 電流モニタ回路 3 3 0 に保持される。このような状態で、セクタ 3 2 2 が複数の列のアナログデータ (モニタデータ MO) を順次に出力することによって、各 A / D コンバータ 3 2 4 で複数の列のアナログデータに対して順次に A D 変換が行われる。

20

【 0 0 9 0 】

また、期間 T_{b3} には、制御クロック信号 CLK_2B がローレベルからハイレベルに変化する。これにより、図 1 5 に示すように、スイッチ 3 3 5 がオン状態となり、データ信号線 $S(j)$ と制御線 CL とが電氣的に接続された状態となる。その結果、期間 T_{b3} には、データ信号線 $S(j)$ の電位が V_{m_TFT} となるように充電が行われる。このようにして、A D 変換が行われている期間中、制御線 CL を介してデータ信号線 $S(j)$ の充電が行われる。

【 0 0 9 1 】

期間 T_{b4} (データ信号線充電期間) になると、制御クロック信号 CLK_1 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2B がハイレベルからローレベルに変化する。これにより、スイッチ 3 3 3 , 3 3 4 , および 3 3 5 はそれぞれオン状態 , オン状態 , およびオフ状態となる。このようにしてスイッチ 3 3 3 およびスイッチ 3 3 4 がオン状態となり、オペアンプ 3 3 1 を介してデータ信号線 $S(j)$ に電位 V_{m_TFT} が与えられる。以上より、期間 T_{b4} には、データ信号線 $S(j)$ の電位が V_{m_TFT} となるように再充電が行われる。ところで、上述したように、期間 T_{b3} には、制御線 CL を介してデータ信号線 $S(j)$ の充電が行われている。このため、期間 T_{b4} は、ごく短い長さの期間で良い。

30

【 0 0 9 2 】

期間 T_{b5} (モニタ期間) には、期間 T_{b2} と同様の動作が行われる。期間 T_{b6} (A D 変換期間) には、期間 T_{b3} と同様の動作が行われる。以上のようにして、トランジスタ T_2 のゲート - ソース間の電圧を所定の大きさ ($V_{mg} - V_{m_TFT}$) にした状態で当該トランジスタ T_2 のドレイン - ソース間を流れる電流の大きさが繰り返し測定され、 TFT 特性が検出される。

40

【 0 0 9 3 】

期間 T_{c1} (データ信号線充電期間) になると、制御クロック信号 CLK_1 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2B がハイレベルからローレベルに変化する。これにより、スイッチ 3 3 3 , 3 3 4 , および 3 3 5 はそれぞれオン状態 , オン状態 , およびオフ状態となる。また、本実施形態においては、 TFT 特性検出期間 T_b と同様、O L E D 特性

50

検出期間 T_c を通じて、トランジスタ T_1 はオフ状態で維持され、トランジスタ T_3 はオン状態で維持される。また、期間 T_{c1} になると、オペアンプ 331 を介してデータ信号線 $S(j)$ に電位 V_{m_oled} が与えられる。以上より、期間 T_{c1} には、データ信号線 $S(j)$ の電位が V_{m_oled} となるように充電が行われる。

【0094】

期間 T_{c2} (モニタ期間) になると、制御クロック信号 CLK_1 がハイレベルからローレベルに変化する。これにより、スイッチ 333 がオフ状態となる。ここで、上式 (2) および次式 (5) が成立するように電位 V_{m_oled} の値が設定されている。

$$ELVSS + V_{th}(oled) < V_{m_oled} \quad \dots (5)$$

また、トランジスタ T_2 の降伏電圧を $V_{br}(T_2)$ とすると、次式 (6) が成立するように電位 V_{m_oled} の値が設定されている。

$$V_{m_oled} < V_{mg} + V_{br}(T_2) \quad \dots (6)$$

【0095】

以上のように、期間 $T_{c1} \sim T_{c2}$ には、上式 (2), (5), および (6) を満たす電位 V_{m_oled} がデータ信号線 $S(j)$ に与えられる。上式 (2), (6) より、期間 T_{c2} には、トランジスタ T_2 はオフ状態となる。また、上式 (5) より、期間 T_{c2} には、有機 EL 素子 OLED に電流が流れる。

【0096】

以上より、期間 T_{c2} には、図 16 で符号 74 で示す矢印のように、データ信号線 $S(j)$ からトランジスタ T_3 を介して有機 EL 素子 OLED に電流が流れ、有機 EL 素子 OLED が発光する。このときの電流の大きさ (時間積分値) に応じて、コンデンサ 332 に電荷が蓄積され、オペアンプ 331 の出力端子の電位が変化する。

【0097】

期間 T_{c3} になると、制御クロック信号 CLK_2 がハイレベルからローレベルに変化する。これにより、期間 T_{b3} と同様に、スイッチ 334 がオフ状態となり、データ信号線 $S(j)$ と内部データ線 $Sin(j)$ とが電氣的に切り離された状態となる。その結果、期間 T_{c2} の終了時点におけるデータ信号線 $S(j)$ の電流の大きさを示すアナログデータが、出力/電流モニタ回路 330 に保持される。このような状態で、セレクタ 322 が複数の列のアナログデータ (モニタデータ MO) を順次に出力することによって、各 A/D コンバータ 324 で複数の列のアナログデータに対して順次に AD 変換が行われる。

【0098】

また、期間 T_{c3} (AD 変換期間) には、制御クロック信号 CLK_2B がローレベルからハイレベルに変化する。これにより、期間 T_{b3} と同様に、スイッチ 335 がオン状態となり、データ信号線 $S(j)$ と制御線 CL とが電氣的に接続された状態となる。その結果、期間 T_{c3} には、データ信号線 $S(j)$ の電位が V_{m_oled} となるように充電が行われる。このようにして、AD 変換が行われている期間中、制御線 CL を介してデータ信号線 $S(j)$ の充電が行われる。

【0099】

期間 T_{c4} (データ信号線充電期間) になると、制御クロック信号 CLK_1 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2 がローレベルからハイレベルに変化し、制御クロック信号 CLK_2B がハイレベルからローレベルに変化する。これにより、スイッチ 333, 334, および 335 はそれぞれオン状態, オン状態, およびオフ状態となる。このようにしてスイッチ 333 およびスイッチ 334 がオン状態となり、オペアンプ 331 を介してデータ信号線 $S(j)$ に電位 V_{m_oled} が与えられる。以上より、期間 T_{c4} には、データ信号線 $S(j)$ の電位が V_{m_oled} となるように再充電が行われる。ところで、上述したように、期間 T_{c3} には、制御線 CL を介してデータ信号線 $S(j)$ の充電が行われている。このため、期間 T_{c4} は、ごく短い長さの期間で良い。

【0100】

期間 T_{c5} (モニタ期間) には、期間 T_{c2} と同様の動作が行われる。期間 T_{c6} (A

10

20

30

40

50

D変換期間)には、期間 T_{c3} と同様の動作が行われる。以上のようにして、有機EL素子OLEDのアノード(陽極) - カソード(陰極)間の電圧を所定の大きさ($V_{m_oled} - ELVSS$)にした状態で当該有機EL素子OLEDを流れる電流の大きさが繰り返し測定され、OLED特性が検出される。

【0101】

なお、電位 V_{mg} の値、電位 V_{m_TFT} の値、および電位 V_{m_oled} の値については、上式(1)~(6)の他、採用されている出力/電流モニタ回路330での電流の測定可能範囲なども考慮して決定される。

【0102】

発光準備期間 T_d になると、走査線 $G1(i)$ はアクティブな状態とされ、モニタ制御線 $G2(i)$ は非アクティブな状態とされる。これにより、トランジスタ $T1$ はオン状態となり、トランジスタ $T3$ はオフ状態となる。また、発光準備期間 T_d には、制御クロック信号 $CLK1$ がローレベルからハイレベルに変化し、制御クロック信号 $CLK2$ がローレベルからハイレベルに変化し、制御クロック信号 $CLK2B$ がハイレベルからローレベルに変化する。これにより、スイッチ333, 334, および335はそれぞれオン状態, オン状態, およびオフ状態となる。また、発光準備期間 T_d には、オペアンプ331を介してデータ信号線 $S(j)$ に目標輝度に応じたデータ電位 $D(i, j)$ が与えられる。このデータ電位 $D(i, j)$ に基づく書き込みによってコンデンサ Cst が充電され、トランジスタ $T2$ がオン状態となる。以上より、発光準備期間 T_d には、図17で符号75で示す矢印のように、トランジスタ $T2$ を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

【0103】

発光期間 T_L (図10参照)には、走査線 $G1(i)$ は非アクティブな状態とされ、モニタ制御線 $G2(i)$ は非アクティブな状態で維持される。これにより、トランジスタ $T1$ はオフ状態となり、トランジスタ $T3$ はオフ状態で維持される。トランジスタ $T1$ はオフ状態となるが、発光準備期間 T_d 中に目標輝度に応じたデータ電位 $D(i, j)$ に基づく書き込みによってコンデンサ Cst が充電されていることから、トランジスタ $T2$ はオン状態で維持される。従って、発光期間 T_L には、図18で符号76で示す矢印のように、トランジスタ $T2$ を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。すなわち、発光期間 T_L には、目標輝度に応じて有機EL素子OLEDが発光する。ところで、トランジスタ $T1$ がオフ状態になると、トランジスタ $T2$ のゲート電位は理想的には保持される。しかしながら、実際には、トランジスタ $T1$ によるチャージインジェクション、走査線 $G1(i)$ のフィードスルー、寄生容量との電荷分配等の二次効果により、トランジスタ $T2$ のゲート電位については書き込まれた電位からの変動が生じる。一方、発光期間 T_L よりも先行するTFT特性検出期間 T_b の直前にも、トランジスタ $T1$ がオフ状態となってトランジスタ $T2$ のゲートがホールド状態になることから、TFT特性検出期間 T_b と発光期間 T_L における、二次効果の影響は、ほぼ等しくなる。従って、これら二次効果による影響の大きさが(寄生容量値のばらつき等によって)画素毎にばらついていても、二次効果を考慮してTFT特性の検出が行われ、補正が施される。よって、画素毎の二次効果のばらつきを互いに相殺することができる。

【0104】

以上のように、非モニタ行においては、一般的な有機EL表示装置と同様に、有機EL素子OLEDを発光させる処理が行われる。これに対して、モニタ行においては、TFT特性およびOLED特性を検出するための処理が行われた後に、有機EL素子OLEDを発光させる処理が行われる。従って、図19から把握されるように、モニタ行における発光期間の長さは非モニタ行における発光期間の長さよりも短くなる。このため、発光準備期間 T_d にデータ信号線 $S(j)$ に印加されるデータ電位 $D(i, j)$ の大きさについては、フレーム期間内での積分輝度が非モニタ行で現れる輝度と等しくなるように調整が施される。詳しくは、非モニタ行における階調電圧よりもやや大きい階調電圧に相当するデ

10

20

30

40

50

ータ電位が、発光準備期間 T_d にデータ信号線 $S(j)$ に与えられる。換言すれば、任意の有機 EL 素子 OLE D を着目有機 EL 素子と定義したとき、着目有機 EL 素子がモニタ行に含まれている場合、発光準備期間 T_d には、着目有機 EL 素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ 30 によってデータ信号線 $S(j)$ に与えられる。これにより、表示品位の低下が抑制される。

【0105】

なお、本実施形態においては、TFT 特性検出期間 T_b には TFT 特性の検出のための電流測定が 2 回行われ、OLE D 特性検出期間 T_c には OLE D 特性の検出のための電流測定が 2 回行われるが、本発明はこれに限定されない。TFT 特性検出期間 T_b および OLE D 特性検出期間 T_c に、TFT 特性の検出のための電流測定および OLE D 特性の検出のための電流測定が、それぞれ 1 回ずつ行われても良いし、それぞれ 3 回以上ずつ行われても良い。また、TFT 特性の検出のための電流測定の回数と OLE D 特性の検出のための電流測定の回数とが異なっても良い。また、TFT 特性検出期間 T_b のみを有するフレームがあっても良いし、OLE D 特性検出期間 T_c のみを有するフレームがあっても良い。すなわち、1 フレーム期間につき TFT 特性の検出または OLE D 特性の検出のいずれか一方のみが行われるようにしても良い。この場合、TFT 特性の検出が行われるフレーム期間には、図 10 で $T_b \sim T_c$ で示す期間を通じてデータ信号線 $S(j)$ に電位 V_{m_TFT} が与えられ、OLE D 特性の検出が行われるフレーム期間には、図 10 で $T_b \sim T_c$ で示す期間を通じてデータ信号線 $S(j)$ に電位 V_{m_oled} が与えられる。このようにすることによって、AD 変換後に AD 変換で得られたモニタデータ MO をコントロール回路 20 に転送するための時間が十分に確保される。

【0106】

また、本実施形態においては、図 9 に示すようにフレームが変わる毎にモニタ行も変わるが、本発明はこれに限定されない。複数フレームにわたって同じ行をモニタ行としても良い。たとえば、2 種類の V_{m_TFT} でトランジスタ T_2 (駆動トランジスタ) の特性検出を行う 2 フレームと 2 種類の V_{m_oled} で有機 EL 素子 OLE D (電気光学素子) の特性検出を行う 2 フレームとの合計 4 フレームにわたって同一の行をモニタ行とすることも可能である。さらに、同一のモニタ電圧 (V_{m_TFT} , V_{m_oled}) で複数フレームにわたって同じ行をモニタ行としても良い。このようにして 1 つの行で繰り返して特性検出の処理を行うことによって、S/N 比が向上するという効果が得られる。さらに、本実施形態においては、各フレームに 1 つの行のみがモニタ行とされるが、本発明はこれに限定されない。表示品位が損なわれない範囲内で、各フレームに複数の行がモニタ行とされても良いし、パネルの電源オン直後や電源オフ期間、又は非表示期間の任意のタイミングで、全行の特性検出を連続実行するようにしても良い。

【0107】

< 3.3 補正データ記憶部内の補正データの更新 >

次に、補正データ記憶部 50 に記憶されている補正データ (TFT 用オフセットメモリ 51 a に記憶されているオフセット値, OLE D 用オフセットメモリ 51 b に記憶されているオフセット値, TFT 用ゲインメモリ 52 a に記憶されているゲイン値, および OLE D 用ゲインメモリ 52 b に記憶されている劣化補正係数) がどのように更新されるかについて説明する。図 20 は、補正データ記憶部 50 内の補正データの更新の手順を説明するためのフローチャートである。なお、ここでは 1 つの画素に対応する補正データに着目する。

【0108】

まず、TFT 特性検出期間 T_b に TFT 特性の検出が行われる (ステップ S110)。このステップ S110 によって、映像信号を補正するためのオフセット値およびゲイン値が求められる。そして、ステップ S110 で求められたオフセット値が、新たなオフセット値として TFT 用オフセットメモリ 51 a に格納される (ステップ S120)。また、ステップ S110 で求められたゲイン値が、新たなゲイン値として TFT 用ゲインメモリ

52aに格納される(ステップS130)。その後、OLED特性検出期間Tcに、OLED特性の検出が行われる(ステップS140)。このステップS140によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS140で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される(ステップS150)。また、ステップS140で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される(ステップS160)。以上のようにして、1つの画素に対応する補正データの更新が行われる。本実施形態においては、各フレームに1つの行についてのTFT特性およびOLED特性の検出が行われるので、1フレーム期間につき、TFT用オフセットメモリ51a内のm個のオフセット値、TFT用ゲインメモリ52a内のm個のゲイン値、OLED用オフセットメモリ51b内のm個のオフセット値、およびOLED用ゲインメモリ52b内のm個の劣化補正係数の更新が行われる。

10

【0109】

なお、本実施形態においては、ステップS110およびステップS140での検出結果に基づいて得られるデータ(オフセット値、ゲイン値、劣化補正係数)によって特性データが実現されている。

【0110】

ところで、上述したように、OLED特性検出期間Tcには、一定電圧(Vm_{oled}-ELVSS)に基づいて有機EL素子OLEDを流れる電流の大きさの測定が行われる。その測定結果としての検出電流が小さいほど、有機EL素子OLEDの劣化の程度は大きい。従って、検出電流が小さいほど、オフセット値が大きいかつ劣化補正係数が大きくなるようにOLED用オフセットメモリ51bおよびOLED用ゲインメモリ52b内のデータの更新が行われる。

20

【0111】

<3.4 映像信号の補正>

本実施形態においては、駆動トランジスタの劣化および有機EL素子OLEDの劣化を補償するために、補正データ記憶部50に格納されている補正データを用いて、外部から送られる映像信号の補正が行われる。以下、映像信号のこの補正について図21を参照しつつ説明する。

【0112】

図21に示すように、コントロール回路20には、映像信号を補正するための構成要素として、LUT211、乗算部212、乗算部213、加算部214、加算部215、および乗算部216が設けられている。また、コントロール回路20には、OLED特性検出期間Tcにデータ信号線Sに与える電位Vm_{oled}を補正するための構成要素として、乗算部221および加算部222が設けられている。コントロール回路20内のCPU230は、上記各構成要素の動作の制御、補正データ記憶部50内の各メモリ(TFT用オフセットメモリ51a、TFT用ゲインメモリ52a、OLED用オフセットメモリ51b、およびOLED用ゲインメモリ52b)に対するデータの更新/読み出し、不揮発性メモリ70に対するデータの更新/読み出し、ソースドライバ30との間のデータ授受などを行う。

30

40

【0113】

以上のような構成において、外部から送られる映像信号は、以下のように補正される。まず、LUT211を用いて、外部から送られる映像信号にガンマ補正が施される。すなわち、映像信号が示す階調Pがガンマ補正によって制御電圧Vcに変換される。乗算部212は、制御電圧VcとTFT用ゲインメモリ52aから読み出されたゲイン値B1とを受け取り、それらに乗じて得られる値“Vc・B1”を出力する。乗算部213は、乗算部212から出力された値“Vc・B1”とOLED用ゲインメモリ52bから読み出された劣化補正係数B2とを受け取り、それらに乗じて得られる値“Vc・B1・B2”を出力する。加算部214は、乗算部213から出力された値“Vc・B1・B2”とTFT用オフセットメモリ51aから読み出されたオフセット値Vt1とを受け取り、それら

50

を加算することによって得られる値“ $V_c \cdot B_1 \cdot B_2 + V_{t1}$ ”を出力する。加算部215は、加算部214から出力された値“ $V_c \cdot B_1 \cdot B_2 + V_{t1}$ ”とOLED用オフセットメモリ51bから読み出されたオフセット値 V_{t2} とを受け取り、それらを加算することによって得られる値“ $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ ”を出力する。乗算部216は、加算部215から出力された値“ $V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2}$ ”と画素回路11内の寄生容量に起因するデータ電位の減衰を補償するための係数 Z とを受け取り、それらに乗じて得られる値“ $Z(V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ ”を出力する。以上のようにして得られた値“ $Z(V_c \cdot B_1 \cdot B_2 + V_{t1} + V_{t2})$ ”がデータ信号DAとしてコントロール回路20からソースドライバ30に送られる。検出準備期間 T_a にデータ信号線Sに与える電位 V_{mg} についても映像信号と同様の処理によって補正される。なお、加算部215から出力された値にデータ電位の減衰を補償するための係数 Z を乗ずる処理を行う乗算部216については、必ずしも設けられる必要はない。

10

【0114】

また、OLED特性検出期間 T_c にデータ信号線Sに与える電位 V_{m_oled} が以下のように補正される。乗算部221は、 $pre_V_{m_oled}$ （補正前の V_{m_oled} ）とOLED用ゲインメモリ52bから読み出された劣化補正係数 B_2 とを受け取り、それらに乗じて得られる値“ $pre_V_{m_oled} \cdot B_2$ ”を出力する。加算部222は、乗算部221から出力された値“ $pre_V_{m_oled} \cdot B_2$ ”とOLED用オフセットメモリ51bから読み出されたオフセット値 V_{t2} とを受け取り、それらを加算することによって得られる値“ $pre_V_{m_oled} \cdot B_2 + V_{t2}$ ”を出力する。以上

20

【0115】

<3.5 駆動方法のまとめ>

図22は、TFT特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。まず、TFT特性検出期間 T_b にTFT特性の検出が行われる（ステップS210）。そして、ステップS210での検出結果を用いて、TFT用オフセットメモリ51aおよびTFT用ゲインメモリ52aの更新が行われる（ステップS220）。次に、OLED特性検出期間 T_c にOLED特性の検出が行われる（ステップS230）。そして、ステップS230での検出結果を用いて、OLED用オフセットメモリ51bおよびOLED用ゲインメモリ52bの更新が行われる（ステップS240）。その後、TFT用オフセットメモリ51a、TFT用ゲインメモリ52a、OLED用オフセットメモリ51b、およびOLED用ゲインメモリ52bに格納されている補正データを用いて、外部から送られる映像信号の補正が行われる（ステップS250）。

30

【0116】

なお、本実施形態においては、ステップS210およびステップS230によって特性検出ステップが実現され、ステップS220およびステップS240によって補正データ記憶ステップが実現され、ステップS250によって映像信号補正ステップが実現されている。

40

【0117】

<4. 効果>

本実施形態によれば、各フレームにおいて1つの行についてのTFT特性およびOLED特性の検出が行われる。モニタ行における1水平走査期間 T_{Hm} は非モニタ行における1水平走査期間 T_{Hn} よりも長くされ、モニタ行では、その1水平走査期間 T_{Hm} 中にTFT特性の検出およびOLED特性の検出が行われる。そして、TFT特性の検出結果およびOLED特性の検出結果の双方を考慮して求められた補正データを用いて、外部から送られる映像信号が補正される。このようにして補正された映像信号に基づくデータ電位がデータ信号線Sに印加されるので、各画素回路11内の有機EL素子OLEDを発光させる際に、駆動トランジスタ（トランジスタT2）の劣化および有機EL素子OLEDの

50

劣化が補償されるような大きさの駆動電流が有機EL素子OLEDに供給される(図23参照)。また、図24に示すように劣化の最も少ない画素の劣化レベルに合わせて電流を増加させることによって、焼き付きに対する補償を行うことが可能となる。ここで、本実施形態におけるデータ信号線Sは、各画素回路11内の有機EL素子OLEDを所望の輝度で発光させるための輝度信号を伝達する信号線として用いられるだけでなく、特性検出用の信号線(特性検出用の制御電位(V_{mg}, V_{m_TFT}, V_{m_ole}d))を画素回路11に与える信号線、特性を表す電流であって出力/電流モニタ回路330で測定可能な電流の経路となる信号線)としても用いられる。すなわち、TFT特性やOLED特性を検出するために新たな信号線を表示部10内に設ける必要がない。従って、回路規模の増大を抑制しつつ、駆動トランジスタ(トランジスタT2)の劣化および有機EL素子OLEDの劣化の双方を同時に補償することが可能となる。

10

【0118】

また、本実施形態においては、各列に設けられた出力/電流モニタ回路330が、TFT特性やOLED特性を表すアナログデータを保持する機能(サンプルホールド機能)を有している。このサンプルホールド機能を利用して、上記アナログデータをデジタルデータに変換するためのA/Dコンバータ324が複数の列で共有されている。これにより、回路素子の特性検出を可能な構成にすることに伴う回路規模の増大が効果的に抑制される。また、出力/電流モニタ回路330には、データ信号線Sと内部データ線S_{in}との接続状態を制御するためのスイッチ334およびデータ信号線Sと所定の制御線C_Lとの接続状態を制御するためのスイッチ335が設けられている。そして、A/Dコンバータ324によるAD変換が行われている期間中には、データ信号線Sと内部データ線S_{in}とが電氣的に切り離され、制御線C_Lからデータ信号線Sに所定の電位(V_{m_TFT}あるいはV_{m_ole}d)が与えられる。これにより、A/Dコンバータ324の共有化に起因してAD変換中にデータ信号線Sの電位が変動することが防止される。このことより、データ信号線Sの再充電が極めて短時間で行われるので、特性検出のための電流測定を繰り返し行うことが可能となる。これにより、十分なS/N比を確保できるという効果が得られる。

20

【0119】

さらに、本実施形態においては、画素回路11内のトランジスタT1~T3に酸化物TFT(具体的にはIn-Ga-Zn-O系半導体層を有するTFT)が採用されている。この観点からも、十分なS/N比を確保できるという効果が得られる。これについて以下に説明する。なお、In-Ga-Zn-O系半導体層を有するTFTのことをここでは「In-Ga-Zn-O-TFT」という。In-Ga-Zn-O-TFTとLTPS(Low Temperature Poly silicon)-TFTとを比較すると、LTPS-TFTよりもIn-Ga-Zn-O-TFTの方がオフ電流が極めて小さい。例えば、画素回路11内のトランジスタT3にLTPS-TFTが採用されている場合には、オフ電流は最大1pA程度となる。これに対して、画素回路11内のトランジスタT3にIn-Ga-Zn-O-TFTが採用されている場合には、オフ電流は最大10fA程度となる。従って、例えば1000行分のオフ電流は、LTPS-TFTが採用されている場合には最大1nA程度となり、In-Ga-Zn-O-TFTが採用されている場合には最大10pA程度となる。検出電流については、いずれが採用されている場合にも10~100nA程度となる。ところで、各データ信号線Sは、対応する列の全ての行の画素回路11内のトランジスタT3に接続されている。従って、特性検出が行われているときのデータ信号線SのS/N比は、非モニタ行のトランジスタT3の漏れ電流の合計に依存する。具体的には、特性検出が行われているときのデータ信号線SのS/N比は「検出電流/(漏れ電流×非モニタ行の行数)」で表される。以上のことから、例えば、「Landscape FHD」の表示部10を有する有機EL表示装置においては、LTPS-TFTが採用されている場合にはS/N比は10程度となるのに対し、In-Ga-Zn-O-TFTが採用されている場合にはS/N比は1000程度となる。このように、本実施形態においては、電流の検出を行う際に十分なS/N比を確保することができる。

30

40

50

【0120】

< 5 . 変形例 >

以下、上記実施形態の変形例について説明する。なお、以下においては、上記実施形態と異なる点についてのみ詳しく説明し、上記実施形態と同様の点については説明を省略する。

【0121】

< 5 . 1 第1の変形例 >

上記実施形態においては、OLED特性検出期間 T_c にデータ信号線 S に与える電位については、OLED用オフセットメモリ51bに格納されているオフセット値 V_{t2} およびOLED用ゲインメモリ52bに格納されている劣化補正係数 B_2 に基づいて補正が施される(図21参照)。すなわち、電位 V_{m_oled} の大きさは、画素毎に異なり得る。これに関し、上述したようにAD変換中にはスイッチ334がオフ状態となるので、仮に画素毎に異なる大きさの電位 V_{m_oled} が制御線 CL からデータ信号線 S に供給されるようにするためには、図1に示すD/Aコンバータ321とは別のD/Aコンバータを備える必要がある。

10

【0122】

しかしながら、AD変換後のデータ信号線 S の再充電が短時間で行われるのであれば、必ずしも、画素毎に定まる電位 V_{m_oled} が制御線 CL からデータ信号線 S に供給される必要はない。そこで、本変形例においては、OLED特性検出期間 T_c には、電位 V_{m_oled} に近い一定の電位が電源回路から制御線 CL に与えられる。これにより、OLED特性検出期間 T_c には、上記一定の電位が制御線 CL からデータ信号線 S に与えられる。

20

【0123】

以上のように、OLED特性検出期間 T_c に制御線 CL に与える電位の大きさは、画素毎に定まる電位 V_{m_oled} の大きさに実質的に等しければ、電位 V_{m_oled} と全く同じ大きさであっても良いし、電位 V_{m_oled} に近い電位であっても良い。

【0124】

< 5 . 2 第2の変形例 >

上記実施形態においては、OLED特性検出期間 T_c 内でAD変換が行われる期間(期間 T_{c3} および期間 T_{c6})には制御ライン CL からデータ信号線 S に電位 V_{m_oled} が与えられる構成となっていた。しかしながら、本発明はこれに限定されない。OLED特性検出期間 T_c 内でAD変換が行われる期間にはデータ信号線 S がハイインピーダンスの状態にされる構成(本変形例の構成)を採用することもできる。以下、本変形例における駆動方法について、上記実施形態と異なる点を中心に説明する。

30

【0125】

図25は、本変形例において、モニタ行に含まれる画素回路11(i 行 j 列の画素回路11とする)の動作を説明するためのタイミングチャートである。図10および図25から把握されるように、OLED特性検出期間 T_c におけるモニタ制御線 $G_2(i)$ の波形が上記実施形態と本変形例とで異なっている。

【0126】

図26は、本変形例において、モニタ行についての1水平走査期間 TH_m の詳細を説明するためのタイミングチャートである。この図26を参照しつつ、本変形例における特性検出動作について説明する。検出準備期間 T_a 、FTT特性検出期間 T_b 、および発光準備期間 T_d については、上記実施形態と同様の動作が行われるので説明を省略する。

40

【0127】

上記実施形態と同様、OLED特性検出期間 T_c は、期間 $T_{c1} \sim T_{c6}$ によって構成されている。期間 T_{c1} (データ信号線充電期間)および期間 T_{c2} (モニタ期間)には、上記実施形態と同様の動作が行われる。期間 T_{c3} (AD変換期間)になると、制御クロック信号 CLK_2 がハイレベルからローレベルに変化する。これにより、スイッチ334がオフ状態となり、データ信号線 $S(j)$ と内部データ線 $S_{in}(j)$ とが電氣的に切

50

り離された状態となる。そして、上記実施形態と同様にして、各 A/Dコンバータ 324 で複数の列のアナログデータに対して順次に A/D変換が行われる。また、期間 Tc3 には、上記実施形態とは異なり、制御クロック信号 CLK2B はローレベルで維持され、モニタ制御線 G2(i) は非アクティブな状態とされる。これにより、スイッチ 335 がオフ状態で維持され、かつ、トランジスタ T3 もオフ状態となる。以上より、期間 Tc3 には、データ信号線 S(j) はハイインピーダンスの状態となる。このようにして、期間 Tc3 には、データ信号線 S(j) からの電荷の流出が防止され、データ信号線 S(j) の電位は Vm_ole d に近い電位で維持される。

【0128】

期間 Tc4 (データ信号線充電期間) には、上記実施形態と同様にして、データ信号線 S(j) の再充電が行われる。上述したように、期間 Tc3 には、データ信号線 S(j) はハイインピーダンスの状態となっており、データ信号線 S(j) の電位は Vm_ole d に近い電位で維持されている。従って、期間 Tc4 には、極めて短時間で、データ信号線 S(j) の電位が Vm_ole d となるように再充電が行われる。期間 Tc5 (モニタ期間) には、期間 Tc2 と同様の動作が行われ、期間 Tc6 (A/D変換期間) には、期間 Tc3 と同様の動作が行われる。

【0129】

以上のように、本変形例によれば、OLED 特性検出期間 Tc において A/Dコンバータ 324 による A/D変換が行われている期間中には、データ信号線 S はハイインピーダンスの状態とされる。また、TF T 特性検出期間 Tb において A/Dコンバータ 324 による A/D変換が行われている期間中には、上記実施形態と同様、制御線 CL からデータ信号線 S に所定の電位 (Vm_TF T) が与えられる。これにより、本変形例においても、データ信号線 S の再充電が極めて短時間で行われる。従って、特性検出のための電流測定を繰り返し行うことが可能となり、十分な S/N比を確保することができる。

【0130】

なお、TF T 特性検出期間 Tb 内で A/D変換が行われる期間 (期間 Tb3 および期間 Tb6) にも、トランジスタ T3 をオフ状態にしてデータ信号線 S(j) をハイインピーダンスの状態にすることもできる。この場合の回路構成は、図 1 に示した構成から制御線 CL およびスイッチ 335 を削除した構成 (図 27 参照) となる。但し、この場合、トランジスタ T2 がオン状態になっているので、有機 EL 素子 OLED に電流が供給されて有機 EL 素子 OLED が発光してしまう。また、トランジスタ T2 のソース電位が大きく変動するので、A/D変換後の再充電の期間を長くする必要がある。従って、TF T 特性検出期間 Tb 内で A/D変換が行われる期間については、上記実施形態のように、トランジスタ T3 をオン状態に維持しつつ、制御線 CL からデータ信号線 S(j) に電位 Vm_TF T を与えることが好ましい。しかしながら、図 27 に示す構成を採用した場合にも、A/Dコンバータ 324 を複数の列で共有することができるという効果、OLED 特性の検出の際の再充電期間を短くすることができるという効果、および図 1 に示した構成を採用した場合に比べて回路規模を小さくすることができるという効果が得られる。

【0131】

< 5.3 第3の変形例 >

一般に、有機 EL 表示装置においては、1 フレーム期間は、先頭行から最終行への順番で順次に画素への映像信号の書き込みが行われる期間である垂直走査期間と、映像信号の書き込みを最終行から先頭行に戻すために設けられている期間である垂直帰線期間 (垂直同期期間) とからなる。そして、有機 EL 表示装置の動作中、図 28 に示すように、垂直走査期間 Tv と垂直帰線期間 Tf とが交互に繰り返される。ところで、上記実施形態においては、垂直走査期間 Tv 中に TF T 特性の検出および OLED 特性の検出が行われていた。しかしながら、本発明はこれに限定されず、垂直帰線期間 Tf 中に TF T 特性の検出および OLED 特性の検出が行われる構成 (本変形例の構成) を採用することもできる。

【0132】

本変形例においては、例えば (k+1) フレーム目の垂直帰線期間 Tf に 1 行目につい

10

20

30

40

50

てのTFT特性およびOLED特性の検出が行われるとすると、 $(k+2)$ フレーム目の垂直帰線期間Tfには、2行目についてのTFT特性およびOLED特性の検出が行われ、 $(k+3)$ フレーム目の垂直帰線期間Tfには、3行目についてのTFT特性およびOLED特性の検出が行われ、 $(k+n)$ フレーム目の垂直帰線期間Tfには、n行目についてのTFT特性およびOLED特性の検出が行われる。すなわち、フレームが変わる毎にモニタ行も変わる。なお、垂直走査期間Tvには、一般的な有機EL表示装置と同様の動作が行われる。

【0133】

図29は、本変形例において、モニタ行に含まれる画素回路11(i行j列の画素回路11とする)の垂直帰線期間Tf中の動作についてのタイミングチャートである。図29に示すように、本変形例においては、垂直帰線期間Tf中の一部の期間が、検出準備期間Ta、TFT特性検出期間Tb、OLED特性検出期間Tc、および発光準備期間Tdからなる特性検出処理期間となっている。

10

【0134】

図30は、本変形例における垂直帰線期間Tfの詳細を説明するためのタイミングチャートである。図30から把握されるように、本変形例における垂直帰線期間Tf中の検出準備期間Ta、TFT特性検出期間Tb(Tb1~Tb6)、および発光準備期間Tdには、それぞれ上記実施形態における検出準備期間Ta、TFT特性検出期間Tb(Tb1~Tb6)、および発光準備期間Tdと同様の動作が行われる(上記第2の変形例も同様)。本変形例における垂直帰線期間Tf中のOLED特性検出期間Tc(Tc1~Tc6)には、上記第2の変形例におけるOLED特性検出期間Tc(Tc1~Tc6)と同様の動作が行われる。このようにして、垂直走査期間Tvではなく垂直帰線期間TfにTFT特性およびOLED特性の検出を行うことも可能である。なお、本変形例におけるOLED特性検出期間Tcに上記実施形態におけるOLED特性検出期間Tcと同様の動作が行われるようにしても良い。

20

【0135】

ところで、非モニタ行においては、垂直走査期間Tv中の選択期間に目標輝度に応じた書き込みが行われ、当該書き込みに基づく有機EL素子OLEDの発光がほぼ1フレーム期間継続される。これに対して、モニタ行においては、垂直走査期間Tv中の選択期間に書き込みが行われるが、垂直帰線期間Tfになると有機EL素子OLEDの発光が一時的に中断される。このため、垂直帰線期間Tf終了後にモニタ行で有機EL素子OLEDが発光するよう、垂直帰線期間Tf中の発光準備期間Tdにデータ電位D(i,j)に基づく書き込みが行われる。

30

【0136】

すなわち、モニタ行においては、図31に示すように、まず、先行フレームの垂直走査期間Tv中の選択期間における書き込みに基づいて有機EL素子OLEDが発光する。その後、垂直帰線期間Tfに、有機EL素子OLEDが一時的に消灯する。その後、垂直帰線期間Tf中の発光準備期間Tdにおける書き込みに基づいて有機EL素子OLEDが発光する。これに関し、発光準備期間Tdにデータ電位D(i,j)に基づく書き込みが可能となるよう、垂直走査期間Tv中の選択期間における書き込み後に、該当のデータを保持しておく必要がある。この点に関し、保持すべきデータは1ライン分のデータにすぎないので、メモリ容量の増大は僅かである。これに対して、上記実施形態においては、モニタ行と非モニタ行とで1水平走査期間の長さが異なるので、コントロール回路20からのデータ転送のタイミングによっては、数十ライン分のラインメモリが必要となることもある。以上より、本変形例によれば、上記実施形態と比較して、必要となるメモリ容量が低減される。

40

【0137】

なお、垂直帰線期間Tfにモニタ行での有機EL素子OLEDの発光が一時的に中断されることを考慮して、垂直走査期間Tv中の選択期間(図31で符号Tzで示す期間)に予め本来の階調電圧よりも大きい階調電圧に相当するデータ電位がデータ信号線Sに与え

50

られるようにしても良い。換言すれば、任意の有機 E L 素子 O L E D を着目有機 E L 素子と定義したとき、着目有機 E L 素子がモニタ行に含まれている場合、垂直走査期間 T v 中の選択期間には、着目有機 E L 素子が非モニタ行に含まれている場合における階調電圧よりも大きい階調電圧に相当するデータ電位がソースドライバ 3 0 によってデータ信号線 S (j) に与えられるようにしても良い。これにより、表示品位の低下が抑制される。

【 0 1 3 8 】

< 6 . その他 >

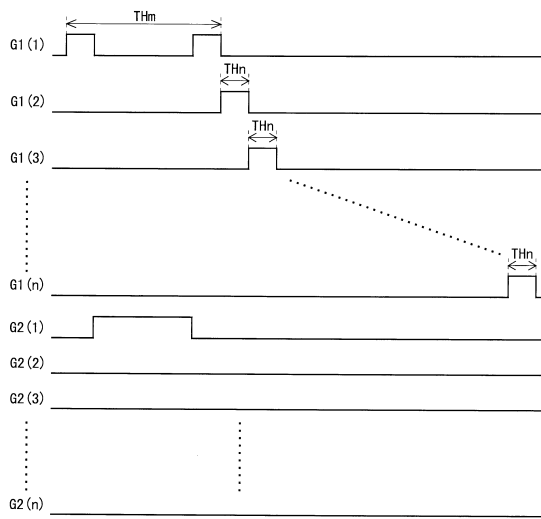
本発明は、上記実施形態および変形例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、本発明を適用可能な有機 E L 表示装置は、上記実施形態で例示した画素回路 1 1 を備えるものに限定されるものではない。画素回路は、少なくとも、電流によって制御される電気光学素子（有機 E L 素子 O L E D ）, トランジスタ T 1 ~ T 3 , およびコンデンサ C s t を備えていれば、上記実施形態で例示した構成以外の構成であっても良い。

【 符号の説明 】

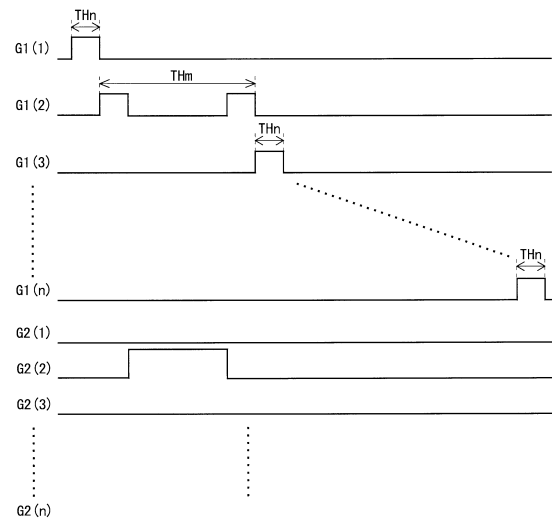
【 0 1 3 9 】

1 ... 有機 E L 表示装置	
1 0 ... 表示部	
1 1 ... 画素回路	
2 0 ... コントロール回路	
3 0 ... ソースドライバ	20
3 1 ... 駆動信号発生回路	
3 2 ... 信号変換回路	
3 3 ... 出力部	
4 0 ... ゲートドライバ	
5 0 ... 補正データ記憶部	
5 1 a ... T F T 用オフセットメモリ	
5 1 b ... O L E D 用オフセットメモリ	
5 2 a ... T F T 用ゲインメモリ	
5 2 b ... O L E D 用ゲインメモリ	
3 2 1 ... D / A コンバータ	30
3 2 2 ... セレクタ	
3 2 3 ... オフセット回路	
3 2 4 ... A / D コンバータ	
3 3 0 ... 出力 / 電流モニタ回路	
3 3 3 ~ 3 3 5 ... スイッチ	
T 1 ~ T 3 ... トランジスタ	
C s t ... コンデンサ	
G 1 , G 1 (1) ~ G 1 (n) ... 走査線	
G 2 , G 2 (1) ~ G 2 (n) ... モニタ制御線	
S , S (j) , S (1) ~ S (m) ... データ信号線	40
S i n , S i n (j) , S i n (1) ~ S i n (m) ... 内部データ線	
E L V D D ... ハイレベル電源電圧, ハイレベル電源線	
E L V S S ... ローレベル電源電圧, ローレベル電源線	
T a ... 検出準備期間	
T b ... T F T 特性検出期間	
T c ... O L E D 特性検出期間	
T b 1 , T b 4 , T c 1 , T c 4 ... データ信号線充電期間	
T b 2 , T b 5 , T c 2 , T c 5 ... モニタ期間	
T b 3 , T b 6 , T c 3 , T c 6 ... A D 変換期間	
T d ... 発光準備期間	50

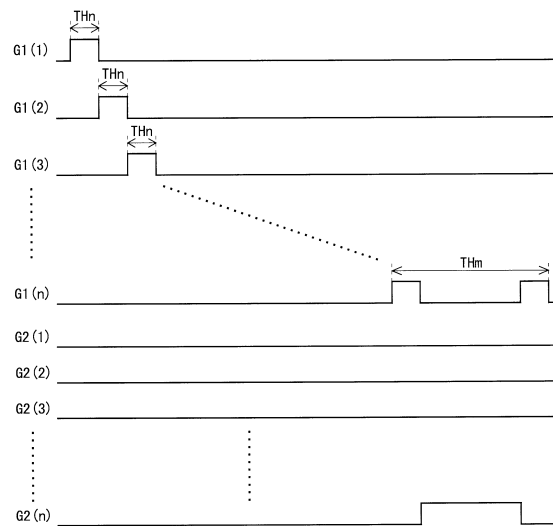
【図3】



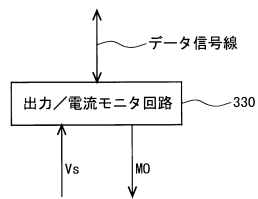
【図4】



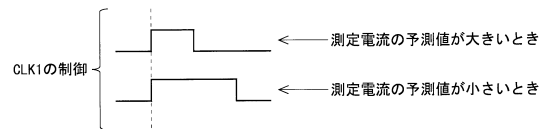
【図5】



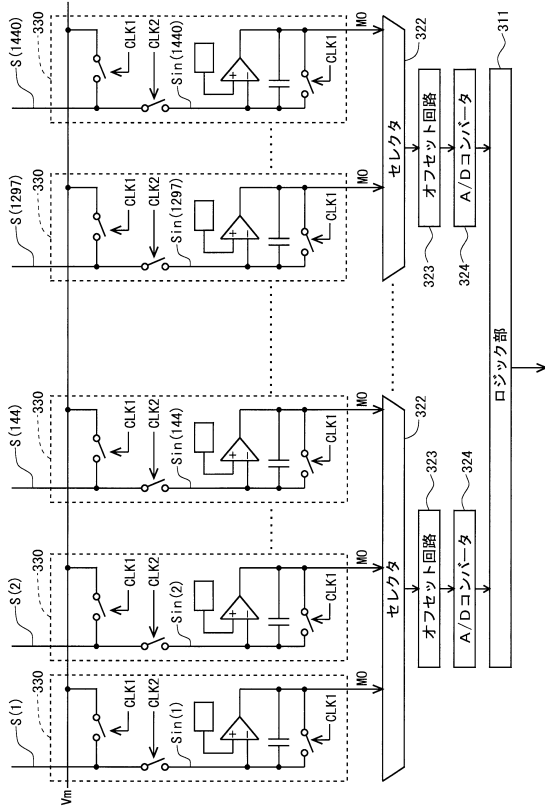
【図6】



【図7】



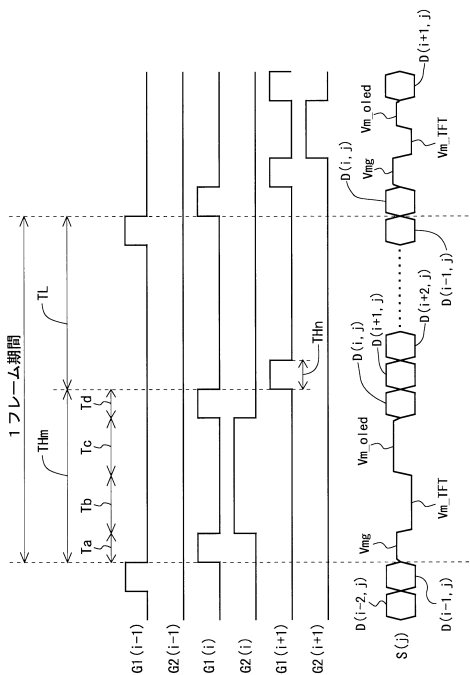
【図 8】



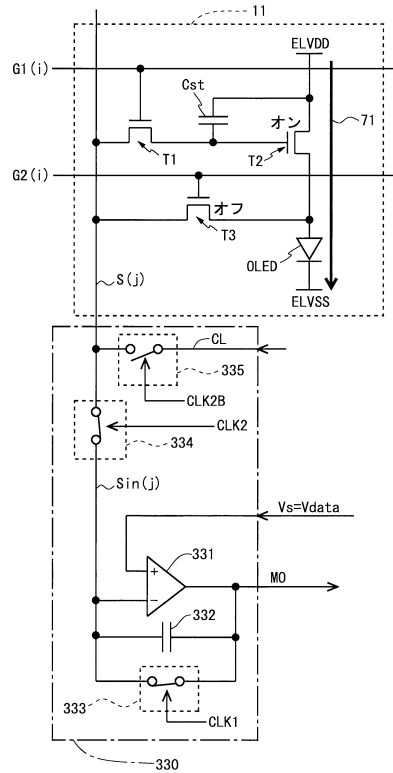
【図 9】

	特性検出動作	通常動作
(k+1) フレーム目	1 行目	2 ~ n 行目
(k+2) フレーム目	2 行目	1 行目, 3 ~ n 行目
(k+3) フレーム目	3 行目	1 ~ 2 行目, 4 ~ n 行目
...
(k+n) フレーム目	n 行目	1 ~ (n-1) 行目

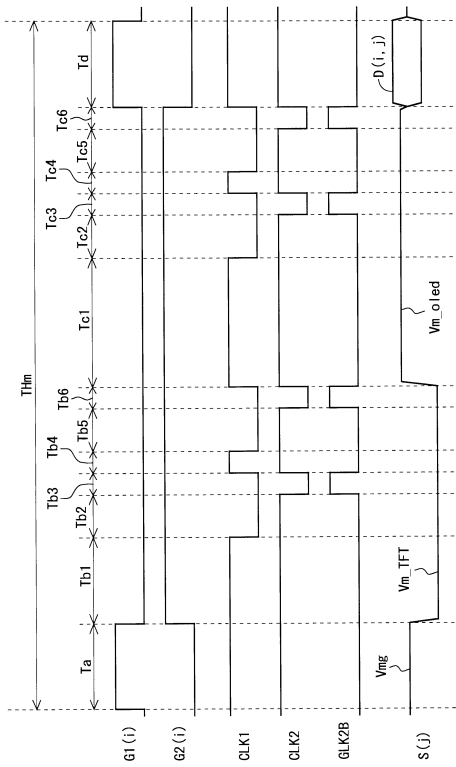
【図 10】



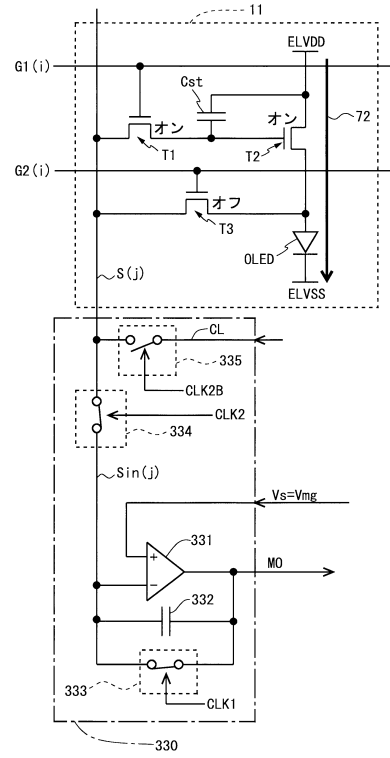
【図 11】



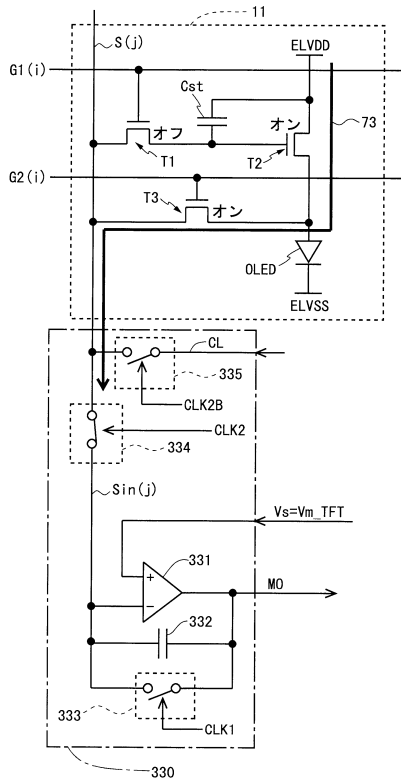
【図12】



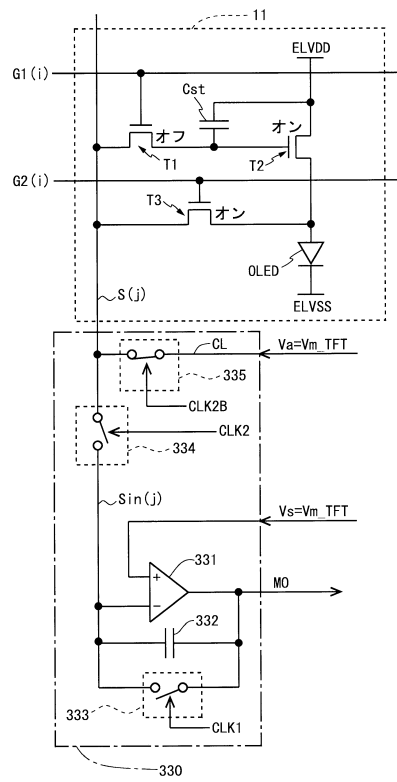
【図13】



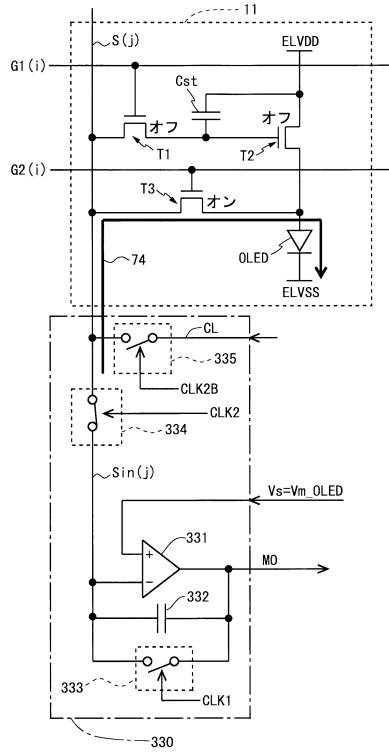
【図14】



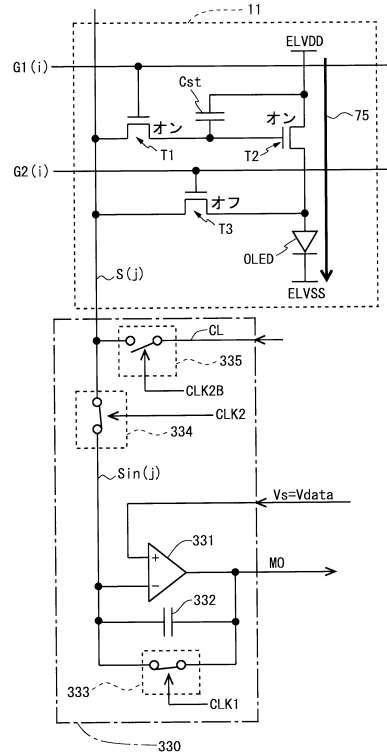
【図15】



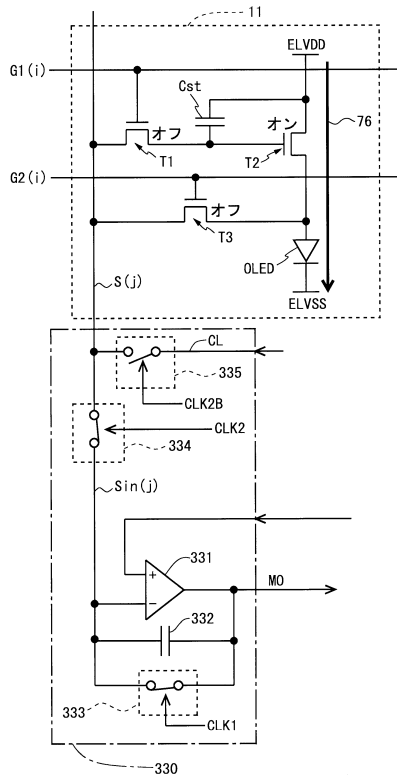
【図16】



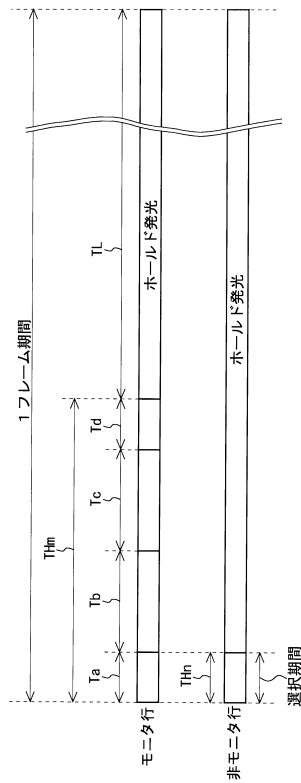
【図17】



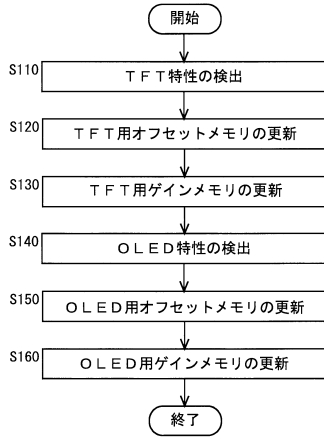
【図18】



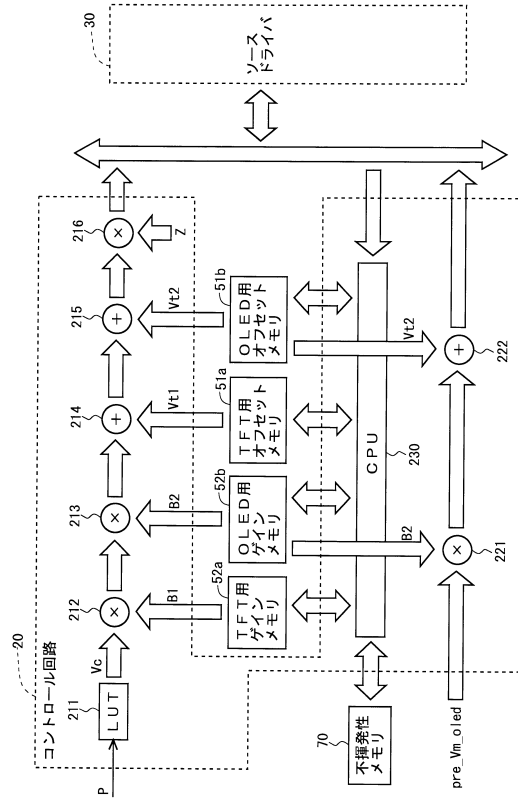
【図19】



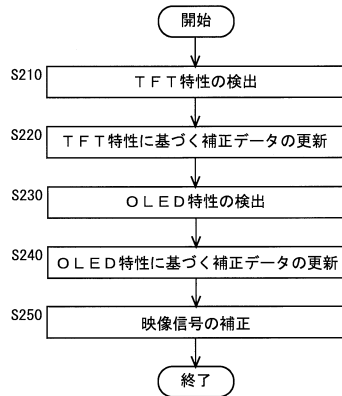
【図20】



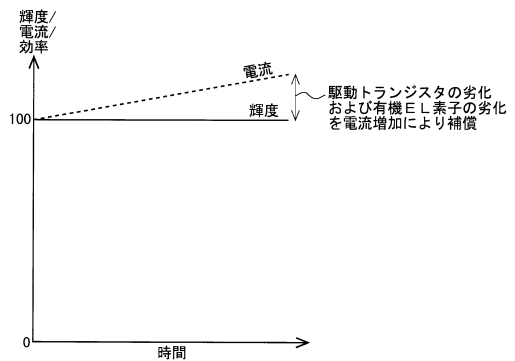
【図21】



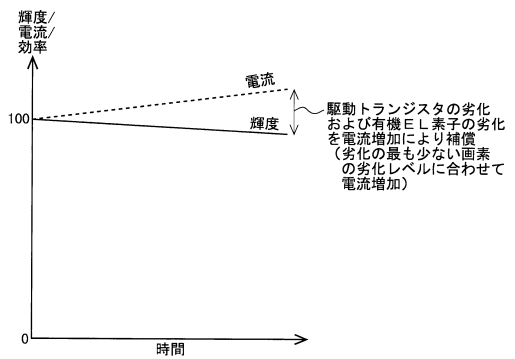
【図22】



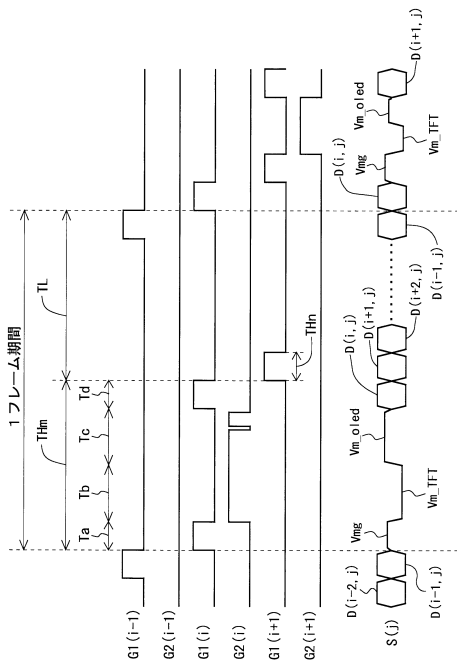
【図23】



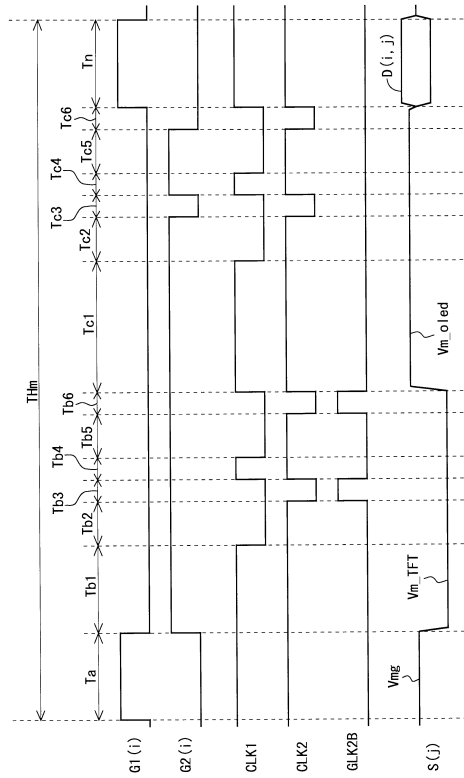
【図24】



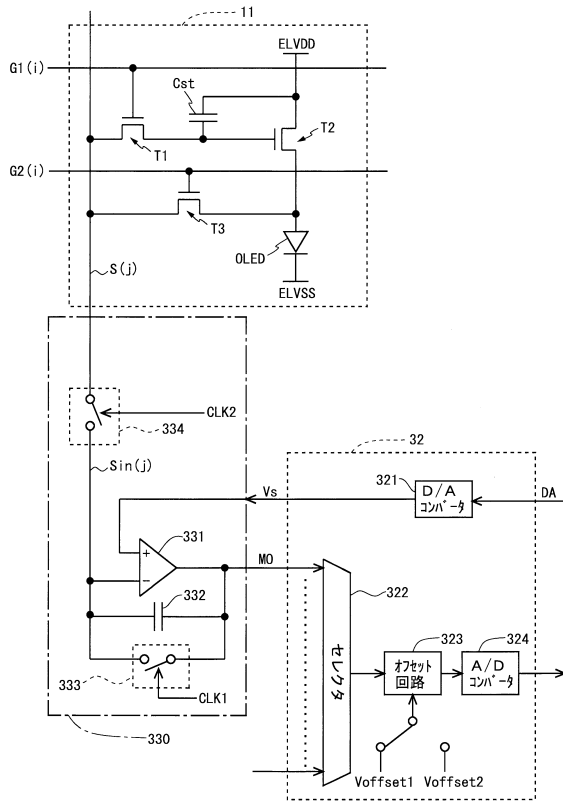
【図 25】



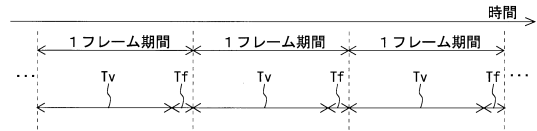
【図 26】



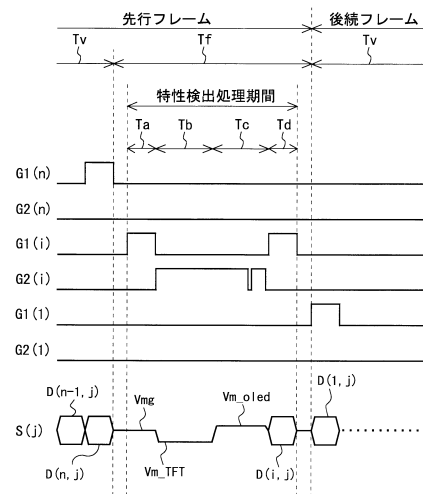
【図 27】



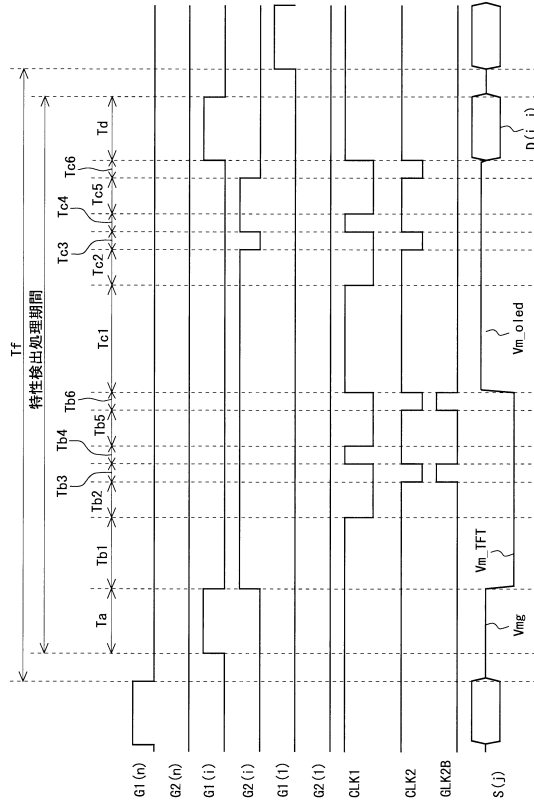
【図 28】



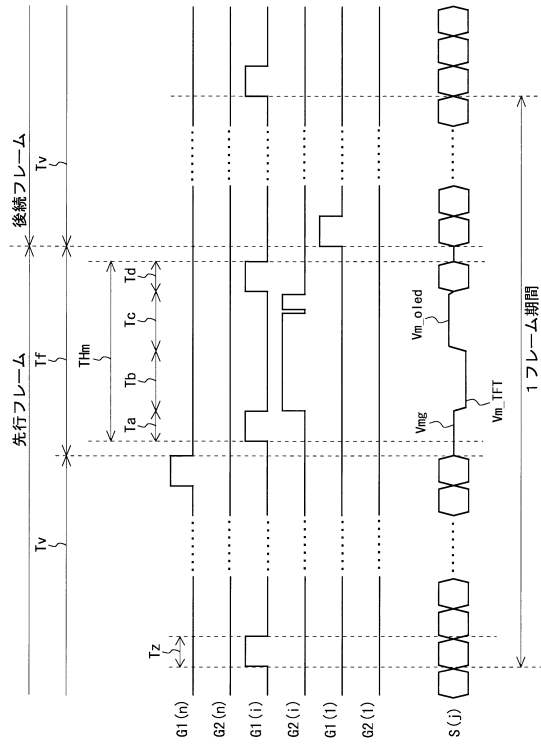
【図 29】



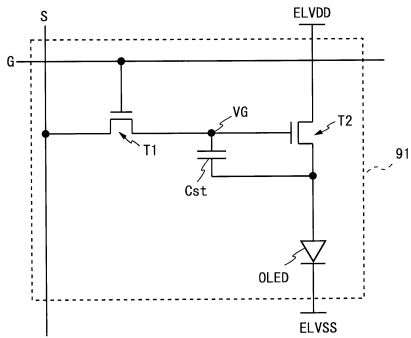
【図 30】



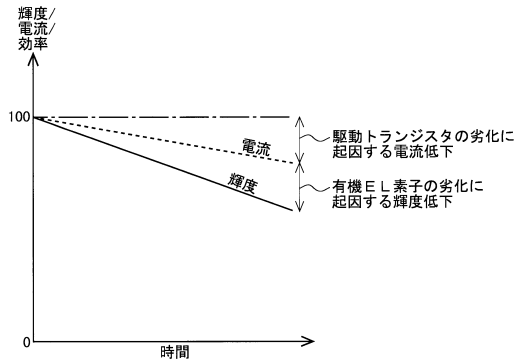
【図 31】



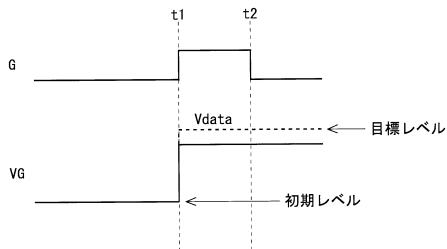
【図 32】



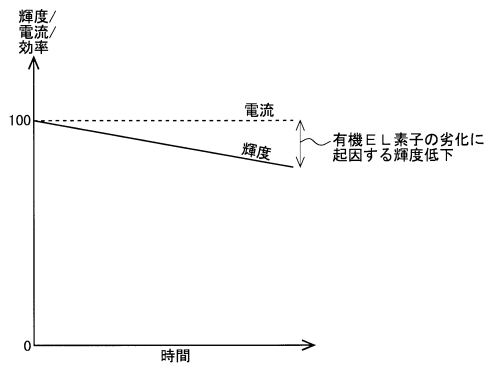
【図 34】



【図 33】



【図 35】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 4 2 P
G 0 9 G 3/20 6 7 0 J
G 0 9 G 3/3291
H 0 5 B 33/14 A

審査官 武田 悟

(56)参考文献 特開2011-95720(JP,A)
特開2010-281872(JP,A)
特表2006-505816(JP,A)
特表2007-536585(JP,A)
特開2011-221480(JP,A)
特表2012-519881(JP,A)
特開2009-69421(JP,A)
特許第6129318(JP,B2)
米国特許出願公開第2008/0048951(US,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP6169191B2	公开(公告)日	2017-07-26
申请号	JP2015553393	申请日	2014-08-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/3233 G09G3/20 G09G3/3291 H01L51/50		
CPC分类号	G09G3/3283 G09G3/3233 G09G3/325 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2310/0262 G09G2320/0295 G09G2320/043 G09G2320/045 G09G2320/046 G09G2320/0633 G09G2330/028		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.641.P G09G3/20.642.A G09G3/20.642.P G09G3/20.670.J G09G3/3291 H05B33/14.A		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	武田 悟		
优先权	2013264466 2013-12-20 JP		
其他公开文献	JPWO2015093097A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够在抑制电路规模的增加的同时补偿电路元件的劣化的显示装置(特别是能够同时补偿驱动晶体管的劣化和发光元件的劣化的显示装置)。数据信号线(S(j))不仅用作传输信号的信号线,该信号用于使每个像素电路(11)中的有机EL元件(OLED)发出具有所需亮度的光,而且还用于特征检测。它也被用作信号线在数据信号线(S(j))和内部数据线(Sin(j))之间提供开关(334)。在这样的配置中,开关(334)在AD转换时段中关闭,用于将为特征检测而获取的模拟数据转换为数字数据,以及数据信号线(S(j))的电位从预定的控制线(CL)提供给数据信号线(S(j))。

(19) 日本国特許庁(JP)	(12) 特 許 公 報(B2)	(11) 特許番号 特許第6169191号 (P6169191)
(45) 発行日 平成29年7月26日(2017.7.26)		(24) 登録日 平成29年7月7日(2017.7.7)
(51) Int. Cl.	F I	
G09G 3/3233 (2016.01)	G09G 3/3233	
G09G 3/20 (2006.01)	G09G 3/20	6 I 1 H
G09G 3/3291 (2016.01)	G09G 3/20	6 2 4 B
H01L 51/50 (2006.01)	G09G 3/20	6 4 1 D
	G09G 3/20	6 4 1 P
		請求項の数 13 (全 44 頁) 最終頁に続く
(21) 出願番号 特願2015-553393(P2015-553393)	(73) 特許権者 000005049	
(86) (22) 出願日 平成26年8月20日(2014.8.20)	シャープ株式会社	
(86) 国際出願番号 PCT/JP2014/071721	大阪府堺市堺区匠町1番地	
(87) 国際公開番号 W02015/093097	100104695	(74) 代理人
(87) 国際公開日 平成27年6月25日(2015.6.25)	弁理士 島田 明宏	100121348
審査請求日 平成28年5月16日(2016.5.16)	(74) 代理人	100114247
(31) 優先権主張番号 特願2013-264466(P2013-264466)	弁理士 川原 健児	100114247
(32) 優先日 平成25年12月20日(2013.12.20)	(74) 代理人	100148459
(33) 優先権主張国 日本国(JP)	弁理士 奥田 邦廣	100148459
	(74) 代理人	100148459
	弁理士 河本 悟	
	(72) 発明者	
	岸 宣孝	
	大阪府大阪市阿倍野区長池町2-2番22号	
	シャープ株式会社内	
		最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法