

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5779660号
(P5779660)

(45) 発行日 平成27年9月16日 (2015.9.16)

(24) 登録日 平成27年7月17日 (2015.7.17)

(51) Int. Cl. F I
G09G 3/30 (2006.01) G O 9 G 3/30 J
G09G 3/20 (2006.01) G O 9 G 3/20 6 2 4 B
 G O 9 G 3/20 6 1 1 H

請求項の数 12 (全 36 頁)

(21) 出願番号 特願2013-545655 (P2013-545655)
 (86) (22) 出願日 平成23年11月24日 (2011.11.24)
 (86) 国際出願番号 PCT/JP2011/006548
 (87) 国際公開番号 W02013/076774
 (87) 国際公開日 平成25年5月30日 (2013.5.30)
 審査請求日 平成26年9月10日 (2014.9.10)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 小野 晋也
 日本国大阪府門真市大字門真1006番地
 パナソニック株式会社内
 審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素回路を配置してなる表示部を有する表示装置であって、
 前記画素回路の各々は、
 駆動トランジスタと、
 第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、
 前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、
 前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、
 前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、
 第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、
 第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、
 を備え、

前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子

10

20

を導通の状態にして、前記データ線からデータ電圧が書き込まれる、
表示装置。

【請求項 3】

前記画素回路の各々は、容量素子として前記第 1 の容量素子のみを備える、
請求項 1 に記載の表示装置。

【請求項 5】

前記画素回路の各々において、前記第 1 のスイッチング素子及び前記第 3 のスイッチ
ング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 1 に記載の表示装置。

【請求項 6】

前記画素回路の各々において、前記第 2 のスイッチング素子は、ダブルゲート型の薄膜
トランジスタである、
請求項 5 に記載の表示装置。

【請求項 7】

複数の画素回路を配置してなる表示部を有する表示装置であって、
前記画素回路の各々は、
ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタ
と、

第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線
との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び
非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及
び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、
前記駆動トランジスタのソース端子と、前記発光素子の第 2 の端子との導通及び非導通
を切り換える第 4 のスイッチング素子と、

を備え、

前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3
のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いな
がら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子
を導通の状態にして、前記データ線からデータ電圧が書き込まれる、
表示装置。

【請求項 9】

前記画素回路の各々は、容量素子として前記第 1 の容量素子のみを備える、
請求項 7 に記載の表示装置。

【請求項 11】

前記画素回路の各々において、前記第 1 のスイッチング素子及び前記第 3 のスイッチ
ング素子は、ダブルゲート型の薄膜トランジスタである、
請求項 7 に記載の表示装置。

【請求項 12】

前記画素回路の各々において、前記第 2 のスイッチング素子は、ダブルゲート型の薄膜
トランジスタである、
請求項 11 に記載の表示装置。

【請求項 13】

表示装置の制御方法であって、
前記表示装置は、複数の画素回路を配置してなる表示部を有し、
前記画素回路の各々は、
駆動トランジスタと、

10

20

30

40

50

第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、
前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、

第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

を備え、

前記制御方法は、前記画素回路の各々において、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む、

表示装置の制御方法。

【請求項 1 4】

前記制御方法は、さらに、

前記画素回路の各々において、前記第 4 のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項 1 3 に記載の表示装置の制御方法。

【請求項 1 5】

表示装置の制御方法であって、

前記表示装置は、複数の画素回路を配置してなる表示部を有し、

前記画素回路の各々は、

ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、

第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、

前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、

前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、

前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、

第 1 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、

前記駆動トランジスタのソース端子と、前記発光素子の第 2 の端子との導通及び非導通を切り換える第 4 のスイッチング素子と、

を備え、

前記制御方法は、前記画素回路の各々において、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む、

表示装置の制御方法。

【請求項 1 6】

前記制御方法は、さらに、

10

20

30

40

50

前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、

を含む請求項15に記載の表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法に関し、特に有機エレクトロルミネッセンス (EL) 素子を用いた表示装置及びその制御方法に関する。

10

【背景技術】

【0002】

昨今、有機EL素子を用いた表示装置(以下、有機EL表示装置)の開発及び実用化が進んでいる。有機EL表示装置は、一般に、各々が有機EL素子を有する複数の画素回路をマトリクス状に配置してなる表示部と、当該表示部を駆動するための駆動回路とを有している。

【0003】

アクティブマトリクス型の有機EL表示装置に用いられる原理的な画素回路は、有機EL素子、スイッチングトランジスタ、キャパシタ、及び駆動トランジスタを用いて構成される。そのような画素回路では、まず、当該画素の選択スイッチングトランジスタを導通させ、当該画素の輝度信号に対応したデータ電圧を、信号線よりキャパシタに記録した後、前記選択スイッチングトランジスタを非導通の状態にすることで、前記キャパシタにデータ電圧を保持する。次いで、キャパシタに保持された電圧に応じた大きさの電流を駆動トランジスタから有機EL素子に供給し、有機EL素子が駆動トランジスタから供給された電流に応じた輝度で発光する。

20

【0004】

このような原理的な画素回路に対し、有機EL素子をデータ電圧に対応した、より正確な輝度で発光させるための構成を設けた画素回路、及びその制御方法が、種々提案されている(例えば、特許文献1)。

【0005】

図30は、特許文献1に開示された従来の画素回路90を示す回路図である。

30

【0006】

画素回路90は、トランジスタM1~M5、キャパシタC_{vth}、C_{st}、及び有機EL素子OLEDから構成される。信号線D_mは、有機EL素子OLEDの発光輝度に対応するデータ電圧V_{data}を伝達する。

【0007】

画素回路90は、概略として、次のように動作する。なお、以下の説明では、キャパシタの一端に電圧A、他端に電圧Bを印加し、当該キャパシタにて電圧Aと電圧Bとの差である電圧(A-B)を保持する動作を、電圧Aを、電圧Bを基準として、キャパシタに保持すると表現する。この表現は、本明細書の全体で用いられる。

40

【0008】

まず、キャパシタC_{vth}にて、トランジスタM1のソース電圧(ここでは電源電圧V_{DD})からトランジスタM1の閾値電圧V_{th}だけ低下した電圧V_{DD}-V_{th}を、基準電圧V_{sus}を基準として保持する。次に、キャパシタC_{st}にて、データ電圧V_{data}を、電源電圧V_{DD}を基準として保持する。

【0009】

その結果、キャパシタC_{vth}に保持されている電圧V_{sus}-(V_{DD}-V_{th})と、キャパシタC_{st}に保持されている電圧V_{DD}-V_{data}とを加算した電圧(つまり、キャパシタC_{vth}、C_{st}からなる直列回路の両端の電圧)は、基準電圧V_{sus}とデータ電圧V_{data}との差に閾値電圧V_{th}を加えた電圧V_{sus}-V_{data}+V_t

50

hとなる。

【0010】

当該電圧 $V_{sus} - V_{data} + V_{th}$ は、トランジスタ M1 のゲート・ソース端子間に、バイアス電圧として印加される。当該バイアス電圧には閾値電圧 V_{th} が含まれており、トランジスタ M1 のソース電圧は V_{DD} であるので、トランジスタ M1 のソース電流は、閾値電圧 V_{th} およびトランジスタ M1 のソース電圧の影響がキャンセルされ、基準電圧 V_{sus} とデータ電圧 V_{data} との差のみに依存する大きさの電流を、有機 EL 素子 OLED に供給することができる。

【先行技術文献】

【特許文献】

10

【0011】

【特許文献1】特開2005-258407号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、特許文献1に記載された従来の画素回路とその制御方法によれば、キャパシタ C_{vth} に上述したトランジスタ M1 のソース電圧である電源電圧 V_{DD} が保持された時刻以後において電源電圧 V_{DD} が変動した場合（例えば動画表示において表示画像が変化した場合）、トランジスタ M1 が有機 EL 素子 OLED に供給する電流量、すなわち有機 EL 素子 OLED の発光輝度には、その変動量に応じた誤差が生じるという問題がある。

20

【0013】

画素回路に供給される電源電圧 V_{DD} の電圧降下は、特に複数の画素回路を配置してなる表示部においては、近隣の画素回路で消費される電流量（発光の有無、輝度の大小など）に応じて必然的に生じるものであり、その大きさも刻々と変化して予測し難い。

【0014】

図31(a)～(c)を参照して、上述した誤差が生じるメカニズムを説明する。説明の便宜上、電源電圧 V_{DD} は、本来の電源電圧 V_{DD0} から V_1 または V_2 の大きさの電圧降下が生じた電圧であるとする。

【0015】

30

図31(a)は、 V_{th} 検出動作、つまり、キャパシタ C_{vth} にて、トランジスタ M1 のソース電圧（ここでは電源電圧 V_{DD} ）からトランジスタ M1 の閾値電圧 V_{th} だけ低下した電圧を保持する動作を説明する回路図である。この動作において非導通の状態になるトランジスタ M3、M5 は点線で示されている。このときの電源電圧 V_{DD} を $V_{DD0} - V_1$ とすると、電圧 $V_{DD0} - V_1 - V_{th}$ を、基準電圧 V_{sus} を基準として、キャパシタ C_{vth} に保持している。

【0016】

図31(b)は、データ書込み動作、つまり、トランジスタ M3 を介してデータ電圧 V_{data} を取得し、キャパシタ C_{st} にて、データ電圧 V_{data} を保持する動作を説明する回路図である。この動作において非導通の状態になるトランジスタ M2、M4、M5 は点線で示されている。このときの電源電圧 V_{DD} を $V_{DD0} - V_2$ とすると、データ電圧 V_{data} を、電源電圧 $V_{DD0} - V_2$ を基準として、キャパシタ C_{st} に保持している。

40

【0017】

その結果、キャパシタ C_{vth} 、 C_{st} のそれぞれに保持されている電圧を加算したバイアス電圧は、 $(V_{sus} - (V_{DD0} - V_1 - V_{th})) + ((V_{DD0} - V_2) - V_{data}) = (V_1 - V_2) + V_{sus} - V_{data} + V_{th}$ となり、バイアス電圧には電源電圧の変動量差 $(V_1 - V_2)$ が残留する。

【0018】

図31(c)は、発光動作、つまり、キャパシタ C_{vth} 、 C_{st} に保持されているバ

50

イアス電圧をトランジスタM1のゲート-ソース間に印加して、トランジスタM1から有機EL素子OLEDに電流を供給する動作を説明する回路図である。この動作において非導通の状態になるトランジスタM2、M3、M4は点線で示されている。トランジスタM1から有機EL素子OLEDに供給される電流 I_d は、 $I_d = \frac{1}{2} \times (V_{sg} - V_{th})^2 = \frac{1}{2} \times (V_1 - V_2 + V_{sus} - V_{data})^2$ となり、データ電圧 V_{data} に対応した正確な電流量と比べて、電源電圧の変動量差 $(V_1 - V_2)$ に応じた誤差が生じる。ここで $I_d = \mu \times C_{ox} \times (W/L)$ であり、 μ はトランジスタの移動度、 C_{ox} は単位面積当たりのトランジスタのゲート絶縁膜容量、 W はトランジスタのチャネル幅、 L はトランジスタのチャネル長である。

【0019】

そのため、例えば動画表示時のコントラストの高いイメージが高速に表示領域を移動するシーンにおいて、 V_{th} 検出動作完了時刻での電源電圧 V_{DD} の電圧降下量 V_1 と、データ書込み動作時の電源電圧 V_{DD} の電圧降下量 V_2 との変動量差 $(V_1 - V_2)$ が大きくなり、データ電圧 V_{data} のみで画素電流を精度高く制御することができず、有機EL素子OLEDをデータ電圧に対応する正確な輝度で発光させることができなくなり、表示品位の劣化が生じる。

【0020】

本発明は、上記の課題に鑑みてなされたものであり、電源電圧の変動の影響を受けるとなく、データ電圧に対応する正確な輝度で有機EL素子を発光させることができる画素回路を有する表示装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明の1つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備え、前記画素回路の各々は、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

【0022】

また、本発明の1つの態様に係る制御方法は、前記表示装置の制御方法であって、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

【発明の効果】

【0023】

本発明の表示装置およびその制御方法によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

【0024】

10

20

30

40

50

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

【図面の簡単な説明】

【0025】

【図1】図1は、実施の形態1における表示装置の構成の一例を示す機能ブロック図である。

【図2】図2は、実施の形態1における画素回路と、走査線駆動回路及び信号線駆動回路との接続の一例を示す回路図である。

【図3】図3は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図4】図4は、実施の形態1における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図5】図5は、実施の形態1における画素回路の構成の一例を示す回路図である。

【図6】図6は、実施の形態1における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図7】図7は、実施の形態1における画素回路の動作の一例を示す回路図である。

【図8】図8は、実施の形態2における画素回路の構成の一例を示す回路図である。

【図9】図9は、実施の形態2における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図10】図10は、実施の形態2における画素回路の構成の一例を示す回路図である。

【図11】図11は、実施の形態2における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図12】図12は、実施の形態2における画素回路の動作の一例を示す回路図である。

【図13】図13は、実施の形態2の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図14】図14は、実施の形態2の変形例における画素回路の動作の一例を示す回路図である。

【図15】図15は、実施の形態3における画素回路の構成の一例を示す回路図である。

【図16】図16は、実施の形態3における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図17】図17は、実施の形態3における画素回路の構成の一例を示す回路図である。

【図18】図18は、実施の形態3における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図19】図19は、実施の形態3の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図20】図20は、実施の形態3の変形例における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図21】図21は、実施の形態4における画素回路の構成の一例を示す回路図である。

【図22】図22は、実施の形態4における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図23】図23は、実施の形態4における画素回路の構成の一例を示す回路図である。

【図24】図24は、実施の形態4における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図25】図25は、実施の形態5における画素回路の構成の一例を示す回路図である。

【図26】図26は、実施の形態5における制御信号およびデータ信号の一例を示すタイミングチャートである。

【図27】図27は、実施の形態5における画素回路の構成の一例を示す回路図である。

【図28】図28は、実施の形態5における制御信号およびデータ信号の一例を示すタイ

10

20

30

40

50

ミングチャートである。

【図 29】図 29 は、本発明の表示装置を内蔵する薄型フラット TV の一例を示す外觀図である。

【図 30】図 30 は、従来の画素回路の構成の一例を示す回路図である。

【図 31】図 31 は、従来の画素回路において発光輝度の誤差が生じるメカニズムを説明する図である。

【発明を実施するための形態】

【0026】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、駆動トランジスタと、第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の電源電圧を伝達する第 1 の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第 4 のスイッチング素子と、第 1 の端子が前記駆動トランジスタのドレイン端子に接続され、第 2 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、を備え、前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

【0027】

本発明の 1 つの態様に係る表示装置は、複数の画素回路を配置してなる表示部を有する表示装置であって、前記画素回路の各々は、ドレイン端子が第 1 の電源電圧を伝達する第 1 の電源線に接続された駆動トランジスタと、第 1 の端子が前記駆動トランジスタのソース端子に接続された第 1 の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第 1 のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第 1 の容量素子の第 2 の端子との導通及び非導通を切り換える第 2 のスイッチング素子と、前記第 1 の容量素子の第 2 の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第 3 のスイッチング素子と、第 1 の端子が第 2 の電源電圧を伝達する第 2 の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第 2 の端子との導通及び非導通を切り換える第 4 のスイッチング素子と、を備え、前記画素回路の各々は、前記第 4 のスイッチング素子を非導通の状態、かつ、前記第 3 のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧検出を行いながら、前記第 2 のスイッチング素子を非導通の状態、かつ、前記第 1 のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれる。

【0029】

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

【0030】

そのため、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給することができるので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

10

20

30

40

50

【0031】

また、前記画素回路の各々は、容量素子として前記第1の容量素子のみを備えてもよい。

【0032】

この構成によれば、前記第1の容量素子以外の容量素子を用いることなく、前記閾値電圧を検出できる。

【0033】

また、前記第2の容量素子の容量値は、前記第1の容量素子の容量値よりも小さくすることもできる。また、前記画素回路の各々において、前記第1のスイッチング素子及び前記第3のスイッチング素子は、ダブルゲート型の薄膜トランジスタであってもよく、さらに、前記第2のスイッチング素子も、ダブルゲート型の薄膜トランジスタであってもよい。

10

【0034】

この構成によれば、前記第1の容量素子のリークを低減できるので、前記発光素子をより正確な輝度で発光させることができる。

【0035】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の電源電圧を伝達する第1の電源線と、前記駆動トランジスタのソース端子との導通及び非導通を切り換える第4のスイッチング素子と、第1の端子が前記駆動トランジスタのドレイン端子に接続され、第2の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

20

30

【0036】

本発明の1つの態様に係る制御方法は、表示装置の制御方法であって、前記表示装置は、複数の画素回路を配置してなる表示部を有し、前記画素回路の各々は、ドレイン端子が第1の電源電圧を伝達する第1の電源線に接続された駆動トランジスタと、第1の端子が前記駆動トランジスタのソース端子に接続された第1の容量素子と、前記駆動トランジスタのゲート端子と、輝度に対応したデータ電圧を伝達するデータ線との導通及び非導通を切り換える第1のスイッチング素子と、前記駆動トランジスタのゲート端子と、前記第1の容量素子の第2の端子との導通及び非導通を切り換える第2のスイッチング素子と、前記第1の容量素子の第2の端子と、一定の参照電圧を伝達する参照電圧線との導通及び非導通を切り換える第3のスイッチング素子と、第1の端子が第2の電源電圧を伝達する第2の電源線に接続された発光素子と、前記駆動トランジスタのソース端子と、前記発光素子の第2の端子との導通及び非導通を切り換える第4のスイッチング素子と、を備え、前記制御方法は、前記画素回路の各々において、前記第4のスイッチング素子を非導通の状態、かつ、前記第3のスイッチング素子を導通の状態にして、前記駆動トランジスタの閾値電圧を検出しながら、前記第2のスイッチング素子を非導通の状態、かつ、前記第1のスイッチング素子を導通の状態にして、前記データ線からデータ電圧が書き込まれるステップを含む。

40

【0037】

50

また、前記制御方法は、さらに、前記画素回路の各々において、前記第4のスイッチング素子を導通の状態にし、前記データ電圧 V_{data} に対応しかつ前記閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するステップと、を含んでもよい。

【0038】

これらの構成によれば、前記駆動トランジスタのソース端子を電源電圧から電氣的に切り離し、前記駆動トランジスタのゲート端子を所定の電圧に接続した状態で、前記駆動トランジスタの閾値電圧を検出するので、検出される閾値電圧には、電源電圧の変動の影響が全く含まれない。

10

【0039】

さらに、前記データ電圧に対応しかつ前記検出された閾値電圧 V_{th} で補正されたバイアス電圧を前記駆動トランジスタのゲート端子とソース端子との間に印加して、前記駆動トランジスタから前記発光素子に電流を供給するので、電源電圧の変動の影響を受けることなく、前記データ電圧に対応する正確な輝度で、前記発光素子を発光させることが可能となる。

【0040】

以下、本発明の実施の形態について説明する。なお、以下では、全ての図を通して同等の機能を発揮する要素には同じ符号を付し、重複する説明は適宜省略する。

【0041】

20

(実施の形態1)

本発明の実施の形態1について、図面を参照しながら説明する。

【0042】

実施の形態1における表示装置は、複数の画素回路をマトリクス状に配置してなる表示部を有する表示装置であって、前記各画素回路において、電源電圧の変動に係わらず、発光輝度に対応する正確なバイアス電圧がキャパシタにて保持されるように構成されている。

【0043】

以下、本発明の実施の形態1について、図面を参照しながら説明する。

【0044】

30

図1は、実施の形態1における表示装置1の構成の一例を示す機能ブロック図である。

【0045】

表示装置1は、表示部2、制御回路3、走査線駆動回路4、信号線駆動回路5、及び電源回路6から構成される。

【0046】

表示部2は、複数の画素回路10をマトリクスに配置してなる。当該マトリクスの各行には走査信号線が設けられ、当該マトリクスの各列にはデータ信号線が設けられる。

【0047】

制御回路3は、表示装置1の動作を制御する回路であり、外部から映像信号を受信し、当該映像信号で表される画像が表示部2に表示されるように、走査線駆動回路4、信号線駆動回路5を制御する。

40

【0048】

走査線駆動回路4は、表示部2の各行に設けられた走査信号線を介して画素回路10に、画素回路10の動作を制御するための制御信号を供給する。

【0049】

信号線駆動回路5は、表示部2の各列に設けられたデータ信号線を介して画素回路10に、発光輝度に対応する電圧信号であるデータ信号を供給する。

【0050】

電源回路6は、表示装置1の動作の電源を、表示装置1の各部に供給する。

【0051】

50

図2は、画素回路10と、走査線駆動回路4及び信号線駆動回路5との接続の一例を示す回路図である。

【0052】

表示部2の各行には、同じ行に配置される複数の画素回路10に共通に接続される走査信号線として、信号線SCAN、MERGE、RESET、ENABが設けられており、表示部2の各列には、同じ列に配置される複数の画素回路10に共通に接続されるデータ信号線として、信号線DATAが設けられている。

【0053】

また、表示部2には、電源回路6から供給される正の電源電圧を伝達して、画素回路10に分配する電源線VDD、電源回路6から供給される負の電源電圧を伝達して、画素回路10に分配する電源線VSS、及び電源回路6から供給される一定の参照電圧を伝達して、画素回路10に分配する参照電圧線VRが設けられている。電源線VDD、VSS、及び参照電圧線VRは、全ての画素回路10に共通に接続される。

【0054】

有機EL素子ELに電流を供給する電源線VDD、VSSの各々と画素回路10との接続点では、電気抵抗に起因する電圧降下による複雑な電圧変動が生じるが、直流電流を供給しない参照電圧線VRには、定常的な電圧降下は生じない。

【0055】

表示部2に配置されている各画素回路10は、画素回路10が配置されている行の信号線SCAN、MERGE、RESET、ENABで走査線駆動回路4に接続されると共に、画素回路10が配置されている行の信号線DATAで信号線駆動回路5に接続される。

【0056】

信号線SCAN、MERGE、RESET、ENABは、走査線駆動回路4から画素回路10へ、画素回路10の動作を制御するための制御信号を伝達する。信号線DATAは、信号線駆動回路5から画素回路10へ、発光輝度に対応するデータ信号を伝達する。

【0057】

図3は、画素回路10の構成の一例を示す回路図である。

【0058】

画素回路10は、データ信号に対応する輝度で有機EL素子を発光させる回路であり、駆動トランジスタTD、スイッチングトランジスタT1~T4、キャパシタC1、及び有機EL素子ELから構成される。駆動トランジスタTD、スイッチングトランジスタT1~T4は、n型の薄膜トランジスタ(TFT)で構成される。

【0059】

駆動トランジスタTDは、ドレイン端子dが電源線VDDに接続されている。

【0060】

キャパシタC1は、第1(紙面の右側)の端子が駆動トランジスタTDのソース端子sに接続され、第2(紙面の左側)の端子がスイッチングトランジスタT2を介して駆動トランジスタTDのゲート端子gに接続されている。

【0061】

有機EL素子ELは、第1(紙面の下側)の端子が電源線VSSに接続されている。

【0062】

スイッチングトランジスタT1は、信号線SCANで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとデータ線DATAとの導通及び非導通を切り換える。

【0063】

スイッチングトランジスタT2は、信号線MERGEで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとキャパシタC1の第2の端子との導通及び非導通を切り換える。

【0064】

スイッチングトランジスタT3は、信号線RESETで伝達される制御信号に従って、

10

20

30

40

50

キャパシタC 1の第2の端子と参照電圧線V Rとの導通及び非導通を切り換える。

【0065】

スイッチングトランジスタT 4は、信号線E N A Bで伝達される制御信号に従って、駆動トランジスタT Dのソース端子sと有機E L素子E Lの第2（紙面の上側）の端子との導通及び非導通を切り換える。

【0066】

ここで、スイッチングトランジスタT 1～T 4が、それぞれ第1～第4のスイッチング素子の一例であり、キャパシタC 1が第1の容量素子の一例であり、有機E L素子E Lが発光素子の一例である。また、電源線V D Dが第1の電源線の一例であり、電源線V S Sが第2の電源線の一例である。また、データ信号がデータ電圧の一例である。

10

【0067】

図4は、画素回路10を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図4において、縦軸は各信号のレベル、横軸は時間を表す。画素回路10のスイッチングトランジスタT 1～T 4はn型のトランジスタで構成されるので、スイッチングトランジスタT 1～T 4の各々は、対応する制御信号がH i g hレベルの期間に導通の状態になり、対応する制御信号がL o wレベルの期間に非導通の状態になる。

【0068】

図4に示す制御信号及びデータ信号に従って行われる画素回路10の動作を説明する。なお、説明の便宜上、電源線V D D、V S Sの各々と画素回路10との接続点の電圧を、それぞれ正の電源電圧V D D、負の電源電圧V S Sと表記し、参照電圧線V Rの電圧を参照電圧V Rと表記する。

20

【0069】

時刻t 1からt 2までのC 1リセット期間において、C 1リセット動作が行われる。C 1リセット動作とは、キャパシタC 1の電圧を所定の電圧にリセットする動作である。

【0070】

C 1リセット期間において、スイッチングトランジスタT 1、T 3、T 4が導通の状態になり、駆動トランジスタT Dのゲート端子gには、データ線D A T Aの電圧が設定され、キャパシタC 1の第2の端子の電圧には、参照電圧V Rが設定され、キャパシタC 1の第1の端子の電圧である駆動トランジスタT Dのソース電圧には、駆動トランジスタT Dのゲート端子gの電圧に応じた有機E L素子E Lのオン電圧を負の電源電圧V S Sに加えた電圧が設定される。これにより、キャパシタC 1の電圧はフレームごとに初期化されるので、先行フレームが終了したときにキャパシタC 1に残留している先行フレームの電圧の影響が排除される。

30

【0071】

時刻t 2からt 3までのデータ書込み及びV t h検出期間において、データ書込み動作及びV t h検出動作が並行して行われる。データ書込み動作とは、信号線D A T Aから、スイッチングトランジスタT 1を介して、データ電圧V d a t aを画素内に伝達する（つまり、データ電圧V d a t aが画素回路10内に書込まれる）動作である。V t h検出動作とは、駆動トランジスタT Dのゲート端子gに所定の電圧を印加して、駆動トランジスタT Dの閾値電圧V t hを検出する動作であり、ここでは、所定の電圧としてデータ電圧V d a t aを用いる。

40

【0072】

データ書込み及びV t h検出期間において、スイッチングトランジスタT 4は非導通の状態であり、駆動トランジスタT Dのソース端子sは負の電源電圧V S Sから電氣的に切り離される。また、スイッチングトランジスタT 1が導通の状態になり、信号線D A T Aからデータ電圧V d a t aが取得され、データ電圧V d a t aが駆動トランジスタT Dのゲート端子gに印加される。また正の電源電圧V D Dは、信号線D A T Aの最高電圧に、全ての画素の駆動トランジスタT Dにおける閾値電圧V t hの最大値を加算した電圧よりも高い電圧に設定しておく。

50

【 0 0 7 3 】

その結果、データ書込み及びV_{th}検出期間において、駆動トランジスタT_Dは、必ず飽和領域で動作するので、駆動トランジスタT_Dのドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタT_Dのゲート端子gはデータ電圧V_{data}に固定されているので、結局、駆動トランジスタT_Dのドレイン・ソース電流は、ソース端子sの電圧で制御されることになる。

【 0 0 7 4 】

駆動トランジスタT_Dのソース端子には、スイッチングトランジスタT₄が非導通の状態となっているのでキャパシタC₁の第1の端子のみが接続されており、駆動トランジスタT_Dのドレイン・ソース電流は、キャパシタC₁に流れる。よってキャパシタC₁は充電され、キャパシタC₁の第1の端子の電圧、すなわち駆動トランジスタT_Dのソース端子sの電圧は上昇して、ついにV_{data} - V_{th}となり、つまり駆動トランジスタT_Dのゲート・ソース端子間電圧が、駆動トランジスタT_Dの閾値電圧V_{th}と同じになると、駆動トランジスタT_Dはオフ状態となる。

10

【 0 0 7 5 】

このようにして、駆動トランジスタT_Dのソース端子sの電圧は、正の電源電圧V_{DD}および負の電源電圧V_{SS}の影響を受けることなく、データ電圧V_{data}から閾値電圧V_{th}だけ低下した電圧V_{data} - V_{th}に収束する。

【 0 0 7 6 】

この電圧が、参照電圧V_Rを基準として、キャパシタC₁に保持される。キャパシタC₁に保持される電圧はV_R - (V_{data} - V_{th})であり、この電圧には、正の電源電圧V_{DD}および負の電源電圧V_{SS}の影響が全く含まれない。

20

【 0 0 7 7 】

時刻t₄以降の発光期間において、発光動作が行われる。発光動作とは、データ電圧V_{data}に対応しかつ閾値電圧V_{th}で補正されたバイアス電圧を駆動トランジスタT_Dのゲート・ソース端子間に印加して、駆動トランジスタT_Dから有機EL素子ELに電流を供給する動作である。

【 0 0 7 8 】

発光期間において、スイッチングトランジスタT₁、T₃が非導通の状態になると共に、スイッチングトランジスタT₂が導通の状態になり、キャパシタC₁に保持されている電圧V_R - (V_{data} - V_{th})が駆動トランジスタT_Dのゲート・ソース端子間に印加される。

30

【 0 0 7 9 】

その結果、駆動トランジスタT_Dから有機EL素子ELに、データ電圧V_{data}に対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_R - V_{data})^2$ が供給されるので、有機EL素子ELを、電源電圧の変動の影響を受けることなく、データ電圧V_{data}に対応する正確な輝度で発光させることができる。

【 0 0 8 0 】

なお、画素回路10において、スイッチングトランジスタT₁、T₃はダブルゲート型のTFTで構成することが望ましく、さらに望ましくは、スイッチングトランジスタT₂もまたダブルゲート型のTFTで構成してもよい。そのような構成によれば、キャパシタC₁のリークを低減できるので、有機EL素子ELを、より正確な輝度で発光させることができる。

40

【 0 0 8 1 】

また、画素回路10において、次のような変形が可能である。

【 0 0 8 2 】

例えば、信号線SCAN、RESETは、図4に示されるように、同一の制御信号を伝達しているので、1つの信号線で兼用してもよい。

【 0 0 8 3 】

また、スイッチングトランジスタT₂をp型のトランジスタで構成してもよい。制御信

50

号のレベルが反転するため、p型のトランジスタで構成したスイッチングトランジスタT2は、n型のトランジスタで構成したスイッチングトランジスタT1、T3の制御信号で制御できる。その場合、信号線SCAN、MERGE、RESETを、1つの信号線で兼用してもよい。

【0084】

また、信号線ENABと、隣接する行の信号線MERGEとを、1つの信号線で兼用してもよい。

【0085】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路10の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

10

【0086】

さらに、駆動トランジスタTD及びスイッチングトランジスタT1～T5を全て、p型のトランジスタで構成することも可能である。以下では、そのような画素回路について説明する。

【0087】

図5は、画素回路20の構成の一例を示す回路図である。画素回路20は、図3に示す画素回路10と同様、データ信号に対応する輝度で有機EL素子を発光させる回路であり、駆動トランジスタTD、スイッチングトランジスタT1～T4、キャパシタC1、及び有機EL素子ELから構成される。

20

【0088】

画素回路20は、画素回路10と比べて、駆動トランジスタTD及びスイッチングトランジスタT1～T5が全てp型のトランジスタで構成されている点が異なる。画素回路20は、画素回路10に用いられる制御信号のレベルを単純に反転した制御信号が与えられると、画素回路10と同等の動作を行うように構成されている。

【0089】

キャパシタC1は、第1（紙面の右側）の端子が駆動トランジスタTDのソース端子sに接続され、第2（紙面の左側）の端子がスイッチングトランジスタT2を介して駆動トランジスタTDのゲート端子gに接続されている。

【0090】

有機EL素子ELは、第1（紙面の上側）の端子が駆動トランジスタTDのドレイン端子dに接続され、第2（紙面の下側）の端子が電源線VSSに接続されている。

30

【0091】

スイッチングトランジスタT1は、信号線SCANで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとデータ線DATAとの導通及び非導通を切り換える。

【0092】

スイッチングトランジスタT2は、信号線MERGEで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとキャパシタC1の第2の端子との導通及び非導通を切り換える。

40

【0093】

スイッチングトランジスタT3は、信号線RESETで伝達される制御信号に従って、キャパシタC1の第2の端子と参照電圧線VRとの導通及び非導通を切り換える。

【0094】

スイッチングトランジスタT4は、信号線ENABで伝達される制御信号に従って、電源線VDDと、駆動トランジスタTDのソース端子sとの導通及び非導通を切り換える。

【0095】

ここで、スイッチングトランジスタT1～T4が、それぞれ第1～第4のスイッチング素子の一例であり、キャパシタC1が第1の容量素子の一例であり、有機EL素子ELが発光素子の一例である。また、電源線VDDが第1の電源線の一例であり、電源線VSS

50

が第2の電源線の一例である。また、データ信号がデータ電圧の一例である。

【0096】

図6は、画素回路20を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図6において、縦軸は各信号のレベル、横軸は時間を表す。画素回路20のスイッチングトランジスタT1～T4はp型のトランジスタで構成されるので、スイッチングトランジスタT1～T4の各々は、対応する制御信号がLowレベルの期間に導通の状態になり、対応する制御信号がHighレベルの期間に非導通の状態になる。図6に示す画素回路20を動作させるための制御信号は、図4に示す画素回路10を動作させるための制御信号のレベルを単純に反転した制御信号である。

10

【0097】

図6に示す制御信号及びデータ信号に従って行われる画素回路20の動作を、図7(a)、(b)を参照して説明する。

【0098】

時刻t1からt2までのC1リセット期間において、C1リセット動作が行われる。

【0099】

C1リセット期間において、スイッチングトランジスタT3、T4が導通の状態になり、キャパシタC1の第2の端子には、参照電圧VRが設定され、キャパシタC1の第1の端子には、正の電源電圧VDDが設定される。これにより、キャパシタC1はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタC1に残留している先行フレームの電圧の影響が排除される。

20

【0100】

時刻t2からt3までのデータ書込み及びVth検出期間において、データ書込み動作及びVth検出動作が並行して行われる。

【0101】

図7(a)は、データ書込み動作及びVth検出動作を説明する回路図である。データ書込み及びVth検出期間において非導通の状態になるスイッチングトランジスタT2、T4は点線で示されている。

【0102】

データ書込み及びVth検出期間において、スイッチングトランジスタT4は非導通の状態であり、駆動トランジスタTDのソース端子sは正の電源電圧VDDから電氣的に切り離される。また、スイッチングトランジスタT1が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが駆動トランジスタTDのゲート端子gに印加される。また、負の電源電圧VSSは、信号線DATAの最低電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算し、有機EL素子ELの閾値電圧Vth(EL)を減算した電圧よりも低く設定しておく。

30

【0103】

その結果、データ書込み及びVth検出期間において、駆動トランジスタTDは、必ず飽和領域で動作するので、駆動トランジスタTDのソース・ドレイン電流はソース・ゲート端子間電圧のみで制御される。いま駆動トランジスタTDのゲート端子gはデータ電圧Vdataに固定されているので、結局、駆動トランジスタTDのドレイン電流は、ソース端子sの電圧で制御されることになる。

40

【0104】

駆動トランジスタTDのソース端子には、スイッチングトランジスタT4が非導通の状態となっているのでキャパシタC1の第1の端子のみが接続されており、駆動トランジスタTDのソース・ドレイン電流は、キャパシタC1から流れる。よってキャパシタC1は放電され、キャパシタC1の第1の端子の電圧、すなわち駆動トランジスタTDのソース端子sの電圧は下降して、ついにVdata+Vthとなり、つまり駆動トランジスタTDのゲート・ソース端子間電圧が、駆動トランジスタTDの閾値電圧Vthと同じになると、駆動トランジスタTDはオフ状態となる。

50

【 0 1 0 5 】

このようにして、駆動トランジスタ T D のソース端子 s の電圧は、正の電源電圧 V D D および負の電源電圧 V S S の影響を受けることなく、データ電圧 V d a t a から閾値電圧 V t h だけ上昇した電圧 V d a t a + V t h に収束する。

【 0 1 0 6 】

この電圧が、参照電圧 V R を基準として、キャパシタ C 1 に保持される。キャパシタ C 1 に保持される電圧は (V d a t a + V t h) - V R であり、この電圧には、正の電源電圧 V D D および負の電源電圧 V S S の影響が全く含まれない。

【 0 1 0 7 】

時刻 t 4 以降の発光期間において、発光動作が行われる。

10

【 0 1 0 8 】

図 7 (b) は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタ T 1、T 3 は点線で示されている。

【 0 1 0 9 】

発光期間において、スイッチングトランジスタ T 1、T 3 が非導通の状態になると共に、スイッチングトランジスタ T 2 が導通の状態になり、キャパシタ C 1 に保持されている電圧 (V d a t a + V t h) - V R が駆動トランジスタ T D のゲート - ソース間に印加される。

【 0 1 1 0 】

その結果、駆動トランジスタ T D から有機 E L 素子 E L に、データ電圧 V d a t a に対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_{data} - V_R)^2$ が供給されるので、有機 E L 素子 E L を、電源電圧の変動の影響を受けることなく、データ電圧 V d a t a に対応する正確な輝度で発光させることができる。

20

【 0 1 1 1 】

なお、画素回路 2 0 において、スイッチングトランジスタ T 1、T 3 はダブルゲート型の T F T で構成することが望ましく、さらに望ましくは、スイッチングトランジスタ T 2 もまたダブルゲート型の T F T で構成してもよい。そのような構成によれば、キャパシタ C 1 のリークを低減できるので、有機 E L 素子 E L を、より正確な輝度で発光させることができる。

【 0 1 1 2 】

また、画素回路 2 0 において、画素回路 1 0 で説明した変形と同様の変形が可能である。すなわち、信号線 S C A N、R E S E T を、1 つの信号線で兼用してもよく、またスイッチングトランジスタ T 2 を n 型のトランジスタで構成した上で、信号線 S C A N、M E R G E、R E S E T を、1 つの信号線で兼用してもよい。

30

【 0 1 1 3 】

また、信号線 E N A B と、隣接する行の信号線 M E R G E とを、1 つの信号線で兼用してもよい。

【 0 1 1 4 】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路 2 0 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

40

【 0 1 1 5 】

(実施の形態 2)

本発明の実施の形態 2 について、図面を参照しながら説明する。

【 0 1 1 6 】

図 8 は、実施の形態 2 における画素回路 1 1 の構成の一例を示す回路図である。画素回路 1 1 は、図 3 の画素回路 1 0 に、データ電圧 V d a t a を保持するためのキャパシタ C 2 を追加して構成される。キャパシタ C 2 は、スイッチングトランジスタ T 2 と並列に接続される。キャパシタ C 2 は、第 2 の容量素子の一例である。

【 0 1 1 7 】

50

図9は、画素回路11を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図9において、縦軸は各信号のレベル、横軸は時間を表す。

【0118】

図10は、実施の形態2における画素回路21の構成の一例を示す回路図である。画素回路21は、図5の画素回路20に、データ電圧Vdataを保持するためのキャパシタC2を追加して構成される。キャパシタC2は、スイッチングトランジスタT2と並列に接続される。キャパシタC2は、第2の容量素子の一例である。

【0119】

図11は、画素回路21を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図11において、縦軸は各信号のレベル、横軸は時間を表す。

10

【0120】

駆動トランジスタTD、スイッチングトランジスタT1~T4は、画素回路11においてはn型のトランジスタで構成され、画素回路21においてはp型のトランジスタで構成される。画素回路11及び画素回路21は、それぞれ図9及び図11に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【0121】

これらを代表して、図11に示す制御信号及びデータ信号に従って行われる画素回路21の動作を、図12(a)~(d)を参照して説明する。

20

【0122】

時刻t1において、先行フレームにおける発光が終了する。

【0123】

時刻t2からt3までのデータ書込み期間において、データ書込み動作が行われる。

【0124】

図12(a)は、データ書込み動作を説明する回路図である。データ書込み期間において非導通の状態になるスイッチングトランジスタT2、T4は点線で示されている。

【0125】

データ書込み期間において、スイッチングトランジスタT1、T3が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが、参照電圧VRを基準として、キャパシタC2に保持される。

30

【0126】

時刻t4からt5までのC1リセット期間において、C1リセット動作が行われる。

【0127】

図12(b)は、C1リセット動作を説明する回路図である。C1リセット期間において非導通の状態になるスイッチングトランジスタT1、T2は点線で示されている。

【0128】

C1リセット期間において、スイッチングトランジスタT3、T4が導通の状態になり、キャパシタC1の第2の端子には、参照電圧VRが設定され、キャパシタC1の第1の端子には、正の電源電圧VDDが設定される。これにより、キャパシタC1はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタC1に残留している先行フレームの電圧の影響が排除される。

40

【0129】

時刻t5からt6までのVth検出期間において、Vth検出動作が行われる。

【0130】

図12(c)は、Vth検出動作を説明する回路図である。Vth検出期間において非導通の状態になるスイッチングトランジスタT1、T2、T4は点線で示されている。

【0131】

Vth検出期間において、スイッチングトランジスタT4は非導通の状態であり、駆動トランジスタTDのソース端子sは正の電源電圧VDDから電氣的に切り離される。キャ

50

パシタC2に保持されているデータ電圧Vdataが、駆動トランジスタTDのゲート端子gに印加される。その結果、前述の図7(a)と同様の動作によって、駆動トランジスタTDのソース端子sの電圧は、正の電源電圧VDDおよび負の電源電圧VSSの影響を受けることなく、データ電圧Vdataから閾値電圧Vthだけ上昇した電圧Vdata + Vthに収束する。

【0132】

この電圧が、参照電圧VRを基準として、キャパシタC1に保持される。キャパシタC1に保持される電圧は(Vdata + Vth) - VRであり、この電圧には、正の電源電圧VDDおよび負の電源電圧VSSの影響が全く含まれない。

【0133】

時刻t7以降の発光期間において、発光動作が行われる。

【0134】

図12(d)は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタT1、T3は点線で示されている。

【0135】

発光期間において、スイッチングトランジスタT1、T3が非導通の状態になると共に、スイッチングトランジスタT2が導通の状態になり、キャパシタC1に保持されている電圧(Vdata + Vth) - VRが駆動トランジスタTDのゲート・ソース端子間に印加される。

【0136】

その結果、駆動トランジスタTDから有機EL素子ELに、データ電圧Vdataに対応した正確な大きさの電流 $I_{sd} = \frac{1}{2} \times (V_{data} - V_R)^2$ が供給されるので、有機EL素子ELを、電源電圧の変動の影響を受けることなく、データ電圧Vdataに対応する正確な輝度で発光させることができる。

【0137】

なお、画素回路11、21において、スイッチングトランジスタT1、T3はダブルゲート型のTFETで構成することが望ましく、さらに望ましくは、スイッチングトランジスタT2もまたダブルゲート型のTFETで構成してもよい。そのような構成によれば、キャパシタC1のリークを低減できるので、有機EL素子ELを、より正確な輝度で発光させることができる。

【0138】

また、画素回路11、21において、次のような変形が可能である。

【0139】

例えば、画素回路11のスイッチングトランジスタT2をp型のトランジスタで構成した上で、信号線MERGE、RESETを、1つの信号線で兼用してもよく、また、画素回路21のスイッチングトランジスタT2をn型のトランジスタで構成した上で、信号線MERGE、RESETを、1つの信号線で兼用してもよい。

【0140】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路11、21の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【0141】

(実施の形態2の変形例)

本発明の実施の形態2の変形例について、図面を参照しながら説明する。本変形例では、図8に示した画素回路11の動作の別の一例が示される。

【0142】

図13は、画素回路11を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図13において、縦軸は各信号のレベル、横軸は時間を表す。

【0143】

10

20

30

40

50

図13に示す制御信号及びデータ信号に従って行われる画素回路11の動作を、図14(a)~(d)を参照して説明する。

【0144】

時刻 t_1 において、先行フレームにおける発光が終了する。

【0145】

時刻 t_1 から t_5 までのC1リセット期間において、C1リセット動作が行われる。

【0146】

図14(a)は、C1リセット動作を説明する回路図である。C1リセット期間において非導通の状態になるスイッチングトランジスタT1、T2は点線で示されている。

【0147】

C1リセット期間において、スイッチングトランジスタT3、T4が導通の状態になり、キャパシタC1の第2の端子には、参照電圧VRが設定され、キャパシタC1の第1の端子には、キャパシタC1の第1の端子の電圧である駆動トランジスタTDのソース電圧には、駆動トランジスタTDのゲート端子gの電圧に応じた有機EL素子ELの電圧を負の電源電圧VSSに加えた電圧が設定される。これにより、キャパシタC1の電圧はフレームごとと同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタC1に残留している先行フレームの電圧の影響が排除される。

【0148】

時刻 t_3 から t_4 までのデータ書込み期間において、データ書込み動作が行われる。

【0149】

図14(b)は、データ書込み動作を説明する回路図である。データ書込み期間において非導通の状態になるスイッチングトランジスタT2は点線で示されている。

【0150】

データ書込み期間において、スイッチングトランジスタT1、T3が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが、参照電圧VRを基準として、キャパシタC2に保持される。

【0151】

時刻 t_5 から t_6 までのVth検出期間において、Vth検出動作が行われる。

【0152】

図14(c)は、Vth検出動作を説明する回路図である。Vth検出期間において非導通の状態になるスイッチングトランジスタT1、T2、T4は点線で示されている。

【0153】

Vth検出期間において、スイッチングトランジスタT4は非導通であり、駆動トランジスタTDのソース端子sは負の電源電圧VSSから電氣的に切り離される。キャパシタC2に保持されているデータ電圧Vdataが、駆動トランジスタTDのゲート端子gに印加される。また正の電源電圧VDDは、信号線DATAの最高電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算した電圧よりも高く設定しておく。

【0154】

その結果、データ書込み及びVth検出期間において、駆動トランジスタTDは、必ず飽和領域で動作するので、駆動トランジスタTDのドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタTDのゲート端子gはデータ電圧Vdataに固定されているので、結局、駆動トランジスタTDのドレイン・ソース電流は、ソース端子sの電圧で制御されることになる。

【0155】

駆動トランジスタTDのソース端子には、スイッチングトランジスタT4が非導通の状態となっているのでキャパシタC1の第1の端子のみが接続されており、駆動トランジスタTDのドレイン・ソース間電流は、キャパシタC1に流れる。よってキャパシタC1は充電され、キャパシタC1の第1の端子の電圧、すなわち駆動トランジスタTDのソース端子sの電圧は上昇して、ついにVdata-Vthとなり、つまり駆動トランジスタT

10

20

30

40

50

Dのゲート・ソース端子間電圧が、駆動トランジスタTDの閾値電圧V_{th}と同じになると、駆動トランジスタTDはオフ状態となる。

【0156】

このようにして、駆動トランジスタTDのソース端子sの電圧は、正の電源電圧V_{DD}および負の電源電圧V_{SS}の影響を受けることなく、データ電圧V_{data}から閾値電圧V_{th}だけ低下した電圧V_{data} - V_{th}に収束する。

【0157】

この電圧が、参照電圧V_Rを基準として、キャパシタC₁に保持される。キャパシタC₁に保持される電圧はV_R - (V_{data} - V_{th})であり、この電圧には、正の電源電圧V_{DD}および負の電源電圧V_{SS}の影響が全く含まれない。

10

【0158】

時刻t₇以降の発光期間において、発光動作が行われる。

【0159】

図14(d)は、発光動作を説明する回路図である。発光期間において非導通の状態になるスイッチングトランジスタT₁、T₃は点線で示されている。

【0160】

発光期間において、スイッチングトランジスタT₁、T₃が非導通の状態になると共に、スイッチングトランジスタT₂が導通の状態になり、キャパシタC₁に保持されている電圧V_R - (V_{data} - V_{th})が駆動トランジスタTDのゲート・ソース端子間に印加される。

20

【0161】

その結果、駆動トランジスタTDから有機EL素子ELに、データ電圧V_{data}に対応した正確な大きさの電流I_{sd} = $\sqrt{2 \times (V_R - V_{data})^2}$ が供給されるので、有機EL素子ELを、電源電圧の変動の影響を受けることなく、データ電圧V_{data}に対応する正確な輝度で発光させることができる。

【0162】

また、キャパシタC₂は、図12(c)および図14(c)に示すV_{th}検出期間において、駆動トランジスタTDのゲート電圧を保持する役割であり、図12(d)および図14(d)に示す発光期間においては、信号線MERGEによりスイッチングトランジスタT₂がオン状態とされているため、駆動トランジスタTDのゲート電圧を保持しているのはキャパシタC₁のみとなる。すなわち、発光期間の有機EL素子ELの電流密度を下げて有機EL素子ELの寿命を長くするために、発光期間がV_{th}検出期間よりも長く設定される場合には、キャパシタC₂が電圧を保持する時間は、キャパシタC₁が電圧を保持する時間よりも短い。すなわち、キャパシタC₂の容量はキャパシタC₁の容量よりも小さくすることができる。

30

【0163】

このことにより、キャパシタC₁に対して、キャパシタC₂より大きな面積を確保することが可能となり、発光期間において駆動トランジスタTDから有機EL素子ELに供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

【0164】

(実施の形態3)

本発明の実施の形態3について、図面を参照しながら説明する。

40

【0165】

図15は、実施の形態3における画素回路12の構成の一例を示す回路図である。画素回路12は、図8の画素回路11に、スイッチングトランジスタT₅を追加して構成される。画素回路12に対応して、表示部2の各行に設けられる信号線ENABが、2本の信号線ENAB₁、ENAB₂に変更される。

【0166】

画素回路12において、スイッチングトランジスタT₄は、信号線ENAB₁で伝達される制御信号に従って、駆動トランジスタTDのソース端子sと有機EL素子ELの第2

50

(紙面の上方)の端子との導通及び非導通を切り換える。

【0167】

スイッチングトランジスタT5は、電源線VDDと駆動トランジスタTDのドレイン端子dとの間に挿入され、信号線ENAB2で伝達される制御信号に従って、電源線VDDと駆動トランジスタTDのドレイン端子dとの導通及び非導通を切り替える。

【0168】

図16は、画素回路12を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図16において、縦軸は各信号のレベル、横軸は時間を表す。

【0169】

図17は、実施の形態3における画素回路22の構成の一例を示す回路図である。画素回路22は、図10の画素回路21に、スイッチングトランジスタT5を追加して構成される。画素回路22に対応して、表示部2の各行に設けられる信号線ENABが、2本の信号線ENAB1、ENAB2に変更される。

【0170】

画素回路22において、スイッチングトランジスタT4は、信号線ENAB1で伝達される制御信号に従って、電源線VDDと、駆動トランジスタTDのソース端子sとの導通及び非導通を切り換える。

【0171】

スイッチングトランジスタT5は、駆動トランジスタTDのドレイン端子dと有機EL素子ELの第1(紙面の上方)の端子との間に挿入され、信号線ENAB2で伝達される制御信号に従って、駆動トランジスタTDのドレイン端子dと有機EL素子ELの第1の端子との導通及び非導通を切り替える。

【0172】

図18は、画素回路22を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図18において、縦軸は各信号のレベル、横軸は時間を表す。

【0173】

駆動トランジスタTD、スイッチングトランジスタT1~T5は、画素回路12においてはn型のトランジスタで構成され、画素回路22においてはp型のトランジスタで構成される。画素回路12及び画素回路22は、それぞれ図16及び図18に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【0174】

図16に示す制御信号及びデータ信号に従って行われる画素回路12の動作は、図13に示す制御信号及びデータ信号に従って行われる画素回路11の動作と比べて、C1リセット動作、データ書込み動作、Vth検出動作、及び発光動作から構成される点で共通しているが、スイッチングトランジスタT5が非導通の状態になり、駆動トランジスタTDのドレイン端子dが正の電源電圧VDDから電氣的に切り離された状態で、C1リセット動作及びデータ書込み動作が行われる点が異なっている。

【0175】

これにより、C1リセット動作において、有機EL素子ELに電流を流さずに、キャパシタC1の両端の電圧を駆動トランジスタTDの閾値電圧Vth以上にすることが可能となる。その結果、有機EL素子ELの不要な発光が抑制され、表示コントラストを向上する効果が得られる。

【0176】

このことは、図18に示す制御信号及びデータ信号に従って行われる画素回路22の動作にもあてはまる。すなわち、図18に示す制御信号及びデータ信号に従って行われる画素回路22の動作においては、スイッチングトランジスタT5が非導通の状態になり、駆動トランジスタTDのドレイン端子dが負の電源電圧VDDから電氣的に切り離された状

10

20

30

40

50

態で、C 1リセット動作及びデータ書込み動作が行われる。その結果、上述と同様に、有機EL素子ELの不要な発光が抑制され、表示コントラストを向上する効果が得られる。

【0177】

また実施の形態2と同様に、キャパシタC 2の容量はキャパシタC 1の容量よりも小さくすることができ、キャパシタC 1に対して、キャパシタC 2より大きな面積を確保することが可能となり、発光期間において駆動トランジスタTDから有機EL素子ELに供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

【0178】

(実施の形態3の変形例)

本発明の実施の形態3の変形例について、図面を参照しながら説明する。本変形例では、画素回路12、22の動作の別の一例が示される。

10

【0179】

図19は、画素回路12を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。

【0180】

図20は、画素回路22を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。

【0181】

図19、図20において、縦軸は各信号のレベル、横軸は時間を表す。図20に示す画素回路22を動作させるための制御信号は、図19に示す画素回路12を動作させるための制御信号のレベルを単純に反転した制御信号である。

20

【0182】

これらを代表して、図19に示す制御信号及びデータ信号に従って行われる画素回路12の動作を説明する。

【0183】

時刻t 1において、先行フレームにおける発光が終了する。

【0184】

時刻t 2からt 3までのC 1リセット期間において、C 1リセット動作が行われる。

【0185】

C 1リセット期間において、スイッチングトランジスタT 3、T 4が導通の状態になり、キャパシタC 1の第2の端子に電圧は、参照電圧V Rが設定され、キャパシタC 1の第1の端子である駆動トランジスタTDのソース電圧には、有機EL素子ELのオフ電圧を負の電源電圧V S Sに加えた電圧が設定される。これにより、キャパシタC 1はフレームごとに同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタC 1に残留している先行フレームの電圧の影響が排除される。このとき、スイッチングトランジスタT 2も導通の状態になるので、キャパシタC 2の電圧は、0にリセットされる。

30

【0186】

時刻t 4からt 5までのV t h検出期間において、V t h検出動作が行われる。

【0187】

V t h検出期間において、スイッチングトランジスタT 4は非導通の状態であり、駆動トランジスタTDのソース端子sは負の電源電圧V S Sから電氣的に切り離される。スイッチングトランジスタT 2、T 3が導通の状態になり、参照電圧V Rが駆動トランジスタTDのゲート端子gに印加される。その結果、駆動トランジスタTDのソース端子sの電圧は、負の電源電圧V S Sの影響を受けることなく、参照電圧V Rから閾値電圧V t hだけ低下した電圧V R - V t hに収束する。

40

【0188】

この電圧が、参照電圧V Rを基準として、キャパシタC 1に保持される。キャパシタC 1に保持される電圧は $V R - (V R - V t h) = V t h$ であり、この電圧には、負の電源電圧V S Sの影響が全く含まれない。

【0189】

50

時刻 t_6 から t_7 までのデータ書込み期間において、データ書込み動作が行われる。

【0190】

データ書込み期間において、スイッチングトランジスタ T_1 、 T_3 が導通の状態になり、信号線 $DATA$ からデータ電圧 V_{data} が取得され、参照電圧 V_R を基準として、キャパシタ C_2 に保持される。

【0191】

時刻 t_8 以降の発光期間において、発光動作が行われる。

【0192】

発光期間において、スイッチングトランジスタ $T_1 \sim T_3$ は非導通であり、キャパシタ C_1 、 C_2 のそれぞれに保持されている電圧を加算した電圧 $(V_{data} - V_R) + V_{th}$ が駆動トランジスタ T_D のゲート・ソース端子間に印加される。

10

【0193】

その結果、駆動トランジスタ T_D から有機 EL 素子 EL に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{sd} = \sqrt{2 \times (V_{data} - V_R)^2}$ が供給されるので、有機 EL 素子 EL を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

【0194】

(実施の形態 4)

本発明の実施の形態 4 について、図面を参照しながら説明する。

【0195】

図 21 は、実施の形態 4 における画素回路 13 の構成の一例を示す回路図である。画素回路 13 は、図 8 の画素回路 11 に、キャパシタ C_3 を追加して構成される。画素回路 13 に対応して、表示部 2 の各行に設けられる信号線 $RESET$ が、2 本の信号線 $RESET_1$ 、 $RESET_2$ に変更される。

20

【0196】

画素回路 13 において、スイッチングトランジスタ T_3 は、信号線 $RESET_1$ で伝達される制御信号に従って、キャパシタ C_1 の第 2 (紙面の左側) の端子と参照電圧線 V_R との導通及び非導通を切り換える。

【0197】

キャパシタ C_3 は、第 1 (紙面の上側) の端子が駆動トランジスタ T_D のソース端子 s に接続され、第 2 (紙面の下側) の端子が信号線 $RESET_2$ に接続されている。

30

【0198】

図 22 は、画素回路 13 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 22 において、縦軸は各信号のレベル、横軸は時間を表す。

【0199】

図 23 は、実施の形態 4 における画素回路 23 の構成の一例を示す回路図である。画素回路 23 は、図 10 の画素回路 21 に、キャパシタ C_3 を追加して構成される。画素回路 23 に対応して、表示部 2 の各行に設けられる信号線 $RESET$ が、2 本の信号線 $RESET_1$ 、 $RESET_2$ に変更される。

40

【0200】

画素回路 23 において、スイッチングトランジスタ T_3 は、信号線 $RESET_1$ で伝達される制御信号に従って、キャパシタ C_1 の第 2 (紙面の左側) の端子と参照電圧線 V_R との導通及び非導通を切り換える。

【0201】

キャパシタ C_3 は、第 1 (紙面の下側) の端子が駆動トランジスタ T_D のソース端子 s に接続され、第 2 (紙面の上側) の端子が信号線 $RESET_2$ に接続されている。

【0202】

図 24 は、画素回路 23 を動作させるための制御信号およびデータ信号の一例を、1 フレーム期間にわたって示すタイミングチャートである。図 24 において、縦軸は各信号の

50

レベル、横軸は時間を表す。

【0203】

駆動トランジスタTD、スイッチングトランジスタT1～T5は、画素回路13においてはn型のトランジスタで構成され、画素回路23においてはp型のトランジスタで構成される。画素回路13及び画素回路23は、それぞれ図22及び図24に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【0204】

これらを代表して、図22に示す制御信号及びデータ信号に従って行われる画素回路13の動作を説明する。

10

【0205】

時刻t1において、先行フレームにおける発光が終了する。

【0206】

時刻t2からt3までのデータ書込み期間において、データ書込み動作が行われる。

【0207】

データ書込み期間において、スイッチングトランジスタT1、T3が導通の状態になり、信号線DATAからデータ電圧Vdataが取得され、データ電圧Vdataが、参照電圧VRを基準として、キャパシタC2に保持される。

【0208】

時刻t4からt5までのVth検出期間において、Vth検出動作が行われる。

20

【0209】

Vth検出期間において、スイッチングトランジスタT4は非導通の状態であり、駆動トランジスタTDのソース端子sは負の電源電圧VSSから電氣的に切り離される。キャパシタC2に保持されているデータ電圧Vdataが、駆動トランジスタTDのゲート端子gに印加される。また正の電源電圧VDDは、信号線DATAの最高電圧に、全ての画素の駆動トランジスタTDにおける閾値電圧Vthの最大値を加算した電圧よりも高く設定しておく。

【0210】

時刻t4においてRESET2がHighからLowに立下る。このときのRESET2の電圧変動量をVrstとすると、駆動トランジスタTDのソース端子sの電圧は、t4の直前においてVso(VDD-Vso)であるとすれば、 $Vso - Vrst \cdot C3 / (C1 + C3)$ となる。ここでRESET2の立下り電圧変動量Vrstは、 $Vdata - Vso + Vrst \cdot C3 / (C1 + C3) - Vth$ となるように設定する。

30

【0211】

すると、駆動トランジスタTDのゲート・ソース端子間電圧は閾値電圧Vthよりも大きくなるので駆動トランジスタTDは導通の状態となり、駆動トランジスタTDのドレイン端子からソース端子へと電流が流れる。このとき、スイッチングトランジスタT4は非導通の状態のため、駆動トランジスタTDのドレイン・ソース間電流は、キャパシタC1およびキャパシタC3に流れ、有機EL素子ELには電流は供給されず発光しない。

【0212】

よってキャパシタC1およびキャパシタC3は充電され、キャパシタC1の第1の端子の電圧、すなわち駆動トランジスタTDのソース端子sの電圧は上昇して、ついにVdata-Vthとなり、つまり駆動トランジスタTDのゲート・ソース端子間電圧が、駆動トランジスタTDの閾値電圧Vthと同じになると、駆動トランジスタTDはオフ状態となる。

40

【0213】

その結果、駆動トランジスタTDのソース端子sの電圧は、正の電源電圧VDDおよび負の電源電圧VSSの影響を受けることなく、データ電圧Vdataから閾値電圧Vthだけ低下した電圧Vdata-Vthに収束する。

【0214】

50

この電圧が、参照電圧 V_R を基準として、キャパシタ C_1 に保持される。キャパシタ C_1 に保持される電圧は $V_R - (V_{data} - V_{th})$ であり、この電圧には、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響が全く含まれない。

【0215】

時刻 t_7 以降の発光期間において、発光動作が行われる。

【0216】

発光期間において、スイッチングトランジスタ T_1 、 T_3 が非導通の状態になると共に、スイッチングトランジスタ T_2 が導通の状態になり、キャパシタ C_1 に保持されている電圧 $V_R - (V_{data} - V_{th})$ が駆動トランジスタ T_D のゲート・ソース端子間に印加される。

10

【0217】

その結果、駆動トランジスタ T_D から有機 EL 素子 EL に、データ電圧 V_{data} に対応した正確な大きさの電流 $I_{ds} = \frac{1}{2} \times (V_R - V_{data})^2$ が供給されるので、有機 EL 素子 EL を、電源電圧の変動の影響を受けることなく、データ電圧 V_{data} に対応する正確な輝度で発光させることができる。

【0218】

なお、画素回路13、23において、次のような変形が可能である。

【0219】

例えば、類似した波形の制御信号を伝達している信号線 $RESET_2$ 、 $SCAN$ を、1つの信号線で兼用してもよい。

20

【0220】

また、例えば、信号線 $SCAN$ で伝達される制御信号がアクティブ（図22ではHighレベル、図24ではLowレベル）になる時間を、図22、図24に破線で示すように、データ書込み期間の1倍以上の長さに拡大してもよい。例えば、信号線 $SCAN$ で伝達される制御信号がアクティブになる時間を、データ書込み期間の2倍の長さとした場合は、拡大された部分は、隣接する行に配置された画素回路のデータ書込み期間と等しい。そのため、信号線 $SCAN$ で伝達される拡大された制御信号と、隣接する行の信号線 $RESET_2$ で伝達される制御信号とが同じ波形になるので、信号線 $SCAN$ と、隣接する行の信号線 $RESET_2$ とを兼用してもよい。

【0221】

30

信号線の兼用は、信号線のフットプリントを削減するので、画素回路13、23の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路4の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【0222】

また実施の形態2と同様に、キャパシタ C_2 の容量はキャパシタ C_1 の容量よりも小さくすることができ、キャパシタ C_1 に対して、キャパシタ C_2 より大きな面積を確保することが可能となり、発光期間において駆動トランジスタ T_D から有機 EL 素子 EL に供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

【0223】

（実施の形態5）

40

本発明の実施の形態5について、図面を参照しながら説明する。

【0224】

図25は、実施の形態5における画素回路14の構成の一例を示す回路図である。画素回路14は、図8の画素回路11に、スイッチングトランジスタ T_6 を追加して構成される。画素回路14に対応して、表示部2の各行に設けられる信号線 $RESET$ が、2本の信号線 $RESET_1$ 、 $RESET_2$ に変更されると共に、各行に設けられる信号線 $MERGE$ 、 $ENAB$ が、1本の信号線 $ENAB$ で兼用される。また、表示部2の参照電圧線 V_R が、2本の参照電圧線 V_{R1} 、 V_{R2} に変更される。

【0225】

なお、信号線 $MERGE$ 、 $ENAB$ は、それぞれ独立に設置してもよい。独立に設置し

50

た場合はスイッチングトランジスタT6は、参照電圧線VR2と有機EL素子ELの第2の端子と接続されてもよく、これにより有機EL素子ELの電圧リセット動作が可能となり、例えば有機EL素子ELに逆バイアス電圧を印加することにより、有機EL素子ELの劣化を抑制することが可能となる。

【0226】

画素回路14において、スイッチングトランジスタT3は、信号線RESET1で伝達される制御信号に従って、キャパシタC1の第2（紙面の左側）の端子と参照電圧線VR1との導通及び非導通を切り換える。

【0227】

スイッチングトランジスタT2は、信号線ENABで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとキャパシタC1の第2の端子との導通及び非導通を切り換える。

10

【0228】

スイッチングトランジスタT6は、参照電圧線VR2と駆動トランジスタTDのソース端子sとの間に挿入され、信号線RESET2で伝達される制御信号に従って、参照電圧線VR2と駆動トランジスタTDのソース端子sとの導通及び非導通を切り替える。

【0229】

図26は、画素回路14を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図26において、縦軸は各信号のレベル、横軸は時間を表す。

20

【0230】

図27は、実施の形態5における画素回路24の構成の一例を示す回路図である。画素回路24は、図10の画素回路21に、スイッチングトランジスタT6を追加して構成される。画素回路14に対応して、表示部2の各行に設けられる信号線RESETが、2本の信号線RESET1、RESET2に変更されると共に、各行に設けられる信号線MERGE、ENABが、1本の信号線ENABで兼用される。また、表示部2の参照電圧線VRが、2本の参照電圧線VR1、VR2に変更される。

【0231】

画素回路24において、スイッチングトランジスタT3は、信号線RESET1で伝達される制御信号に従って、キャパシタC1の第2（紙面の左側）の端子と参照電圧線VRとの導通及び非導通を切り換える。

30

【0232】

スイッチングトランジスタT2は、信号線ENABで伝達される制御信号に従って、駆動トランジスタTDのゲート端子gとキャパシタC1の第2の端子との導通及び非導通を切り換える。

【0233】

スイッチングトランジスタT6は、参照電圧線VR2と有機EL素子ELの第1（紙面の左側）の端子との間に挿入され、信号線RESET2で伝達される制御信号に従って、参照電圧線VR2と有機EL素子ELの第1の端子との導通及び非導通を切り替える。

【0234】

図28は、画素回路23を動作させるための制御信号およびデータ信号の一例を、1フレーム期間にわたって示すタイミングチャートである。図28において、縦軸は各信号のレベル、横軸は時間を表す。

40

【0235】

駆動トランジスタTD、スイッチングトランジスタT1～T4、T6は、画素回路14においてはn型のトランジスタで構成され、画素回路24においてはp型のトランジスタで構成される。画素回路14及び画素回路24は、それぞれ図26及び図28に示すような、互いにレベルが反転した制御信号が与えられると、同等の動作を行うように構成されている。

【0236】

50

これらを代表して、図 2 6 に示す制御信号及びデータ信号に従って行われる画素回路 1 4 の動作を説明する。

【 0 2 3 7 】

時刻 t_1 において、先行フレームにおける発光が終了する。

【 0 2 3 8 】

時刻 t_2 から t_3 までのデータ書込み期間において、データ書込み動作が行われる。

【 0 2 3 9 】

データ書込み期間において、スイッチングトランジスタ T_1 、 T_3 が導通の状態になり、信号線 $D A T A$ からデータ電圧 V_{data} が取得され、データ電圧 V_{data} が、参照電圧 V_R を基準として、キャパシタ C_2 に保持される。

10

【 0 2 4 0 】

時刻 t_4 から t_5 までの C_1 リセット期間において、 C_1 リセット動作が行われる。

【 0 2 4 1 】

C_1 リセット期間において、スイッチングトランジスタ T_3 、 T_6 が導通の状態になり、キャパシタ C_1 の第 2 の端子の電圧には、参照電圧 V_{R1} が設定され、キャパシタ C_1 の第 1 の端子の電圧には、参照電圧 V_{R2} が設定される。これにより、キャパシタ C_1 はフレームごとに同じ電圧に初期化されるので、先行フレームが終了したときにキャパシタ C_1 に残留している先行フレームの電圧の影響が排除される。ここで参照電圧 V_{R1} および V_{R2} は、 $V_{R1} - V_{R2} = V_{th}$ となるように設定する。このとき、駆動トランジスタ T_D はオン状態となるが、スイッチングトランジスタ T_4 は非導通の状態となっているため、有機 $E L$ 素子 $E L$ には電流は供給されず発光しない。

20

【 0 2 4 2 】

時刻 t_5 から t_6 までの V_{th} 検出期間において、 V_{th} 検出動作が行われる。

【 0 2 4 3 】

V_{th} 検出期間において、スイッチングトランジスタ T_4 、 T_6 は非導通の状態であり、駆動トランジスタ T_D のソース端子 s は負の電源電圧 V_{SS} および参照電圧 V_{R2} から電氣的に切り離される。キャパシタ C_2 に保持されているデータ電圧 V_{data} が、駆動トランジスタ T_D のゲート端子 g に印加される。また正の電源電圧 V_{DD} は、信号線 $D A T A$ の最高電圧に、全ての画素の駆動トランジスタ T_D における閾値電圧 V_{th} の最大値を加算した電圧よりも高く設定しておく。

30

【 0 2 4 4 】

その結果、 V_{th} 検出期間において、駆動トランジスタ T_D は、必ず飽和領域で動作するので駆動トランジスタ T_D のドレイン・ソース電流はゲート・ソース端子間電圧のみで制御される。いま駆動トランジスタ T_D のゲート端子 g はデータ電圧 V_{data} に固定されているので、結局、駆動トランジスタ T_D のドレイン・ソース電流は、ソース端子 s の電圧で制御されることになる。

【 0 2 4 5 】

駆動トランジスタ T_D のソース端子には、スイッチングトランジスタ T_4 、 T_6 が非導通の状態になっているのでキャパシタ C_1 の第 1 の端子のみが接続されており、駆動トランジスタ T_D のドレイン・ソース電流は、キャパシタ C_1 に流れる。よってキャパシタ C_1 は充電され、キャパシタ C_1 の第 1 の端子の電圧、すなわち駆動トランジスタ T_D のソース端子 s の電圧は上昇して、ついに $V_{data} - V_{th}$ となり、つまり駆動トランジスタ T_D のゲート・ソース端子間電圧が、駆動トランジスタ T_D の閾値電圧 V_{th} と同じになると、駆動トランジスタ T_D はオフ状態となる。

40

【 0 2 4 6 】

このようにして、駆動トランジスタ T_D のソース端子 s の電圧は、正の電源電圧 V_{DD} および負の電源電圧 V_{SS} の影響を受けることなく、データ電圧 V_{data} から閾値電圧 V_{th} だけ低下した電圧 $V_{data} - V_{th}$ に収束する。

【 0 2 4 7 】

この電圧が、参照電圧 V_{R1} を基準として、キャパシタ C_1 に保持される。キャパシタ

50

C 1 に保持される電圧は $V R 1 - (V d a t a - V t h)$ であり、この電圧には、正の電源電圧 $V D D$ および負の電源電圧 $V S S$ の影響が全く含まれない。

【 0 2 4 8 】

時刻 $t 7$ 以降の発光期間において、発光動作が行われる。

【 0 2 4 9 】

発光期間において、スイッチングトランジスタ $T 1$ 、 $T 3$ が非導通の状態になると共に、スイッチングトランジスタ $T 2$ が導通の状態になり、キャパシタ $C 1$ に保持されている電圧 $V R 1 - (V d a t a - V t h)$ が駆動トランジスタ $T D$ のゲート - ソース間に印加される。

【 0 2 5 0 】

その結果、駆動トランジスタ $T D$ から有機 $E L$ 素子 $E L$ に、データ電圧 $V d a t a$ に対応した正確な大きさの電流 $I s d = \quad / 2 \times (V R 1 - V d a t a)^2$ が供給されるので、有機 $E L$ 素子 $E L$ を、電源電圧の変動の影響を受けることなく、データ電圧 $V d a t a$ に対応する正確な輝度で発光させることができる。

【 0 2 5 1 】

なお、画素回路 1 4、2 4 において、次のような変形が可能である。

【 0 2 5 2 】

例えば、スイッチングトランジスタ $T 3$ を、画素回路 1 4 では p 型のトランジスタ、画素回路 2 4 では n 型のトランジスタで構成した上で、信号線 $R E S E T 1$ 、 $E N A B$ を、1 つの信号線で兼用してもよい。

【 0 2 5 3 】

また、例えば、データ書込み期間が、隣接する行に配置された画素回路の $C 1$ リセット期間と等しい場合、信号線 $S C A N$ で伝達される制御信号と、隣接する行の信号線 $R E S E T 2$ で伝達される制御信号とが同じ波形になるので、信号線 $S C A N$ と、隣接する行の信号線 $R E S E T 2$ とを兼用してもよい。

【 0 2 5 4 】

信号線の兼用は、信号線のフットプリントを削減するので、画素回路 1 4、2 4 の配置密度を向上し、高精細な表示装置を実現するために役立つ。また走査線駆動回路 4 の出力本数を削減できるので、回路サイズを縮小することができ、コストの低減が実現できる。

【 0 2 5 5 】

また実施の形態 2 と同様に、キャパシタ $C 2$ の容量はキャパシタ $C 1$ の容量よりも小さくすることができ、キャパシタ $C 1$ に対して、キャパシタ $C 2$ より大きな面積を確保することが可能となり、発光期間において駆動トランジスタ $T D$ から有機 $E L$ 素子 $E L$ に供給される電流を安定化させることが可能となる。つまり表示品位が向上する。

【 0 2 5 6 】

以上、本発明に係る表示装置及びその制御方法、特に、表示装置に用いられる特徴的な画素回路とその動作について、いくつかの実施の形態及び変形例を挙げて説明したが、本発明は、これらの実施の形態や変形例に限定されるものではない。本発明の主旨を逸脱しない範囲で、当業者が思いつく各種変形を施し、また実施の形態及び変形例における構成要素及び動作を任意に組み合わせて実現される表示装置およびその制御方法も本発明に含まれる。

【 0 2 5 7 】

本発明に係る表示装置は、図 2 9 に記載されたような薄型フラット $T V$ に内蔵されてもよい。本発明に係る表示装置が内蔵されることにより、映像信号で表される画像を高精度に表示可能な薄型フラット $T V$ が実現される。

【産業上の利用可能性】

【 0 2 5 8 】

本発明は、有機 $E L$ 素子を用いた表示装置に有用であり、特に、アクティブマトリクス型の有機 $E L$ 表示装置に有用である。

【符号の説明】

10

20

30

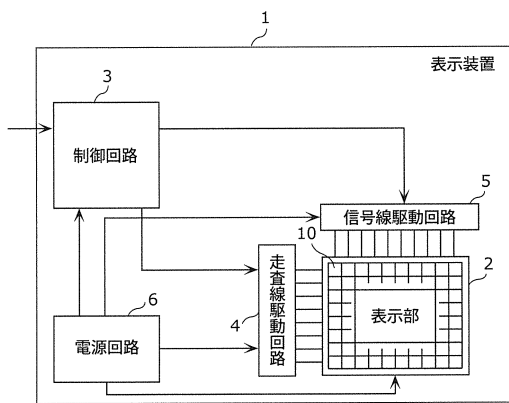
40

50

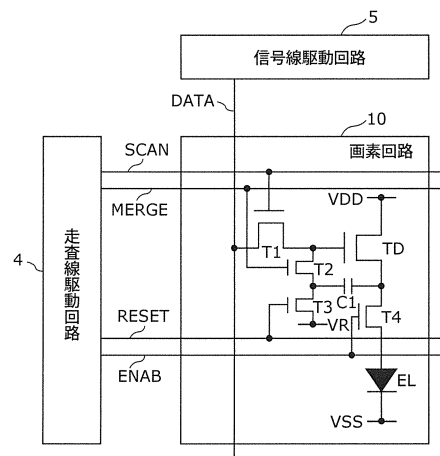
【 0 2 5 9 】

- 1 表示装置
- 2 表示部
- 3 制御回路
- 4 走査線駆動回路
- 5 信号線駆動回路
- 6 電源回路
- 10 ~ 14、20 ~ 24、90 画素回路
- T D 駆動トランジスタ
- T 1 ~ T 6 スwitchングトランジスタ
- C 1、C 2 キャパシタ
- E L 有機 E L 素子

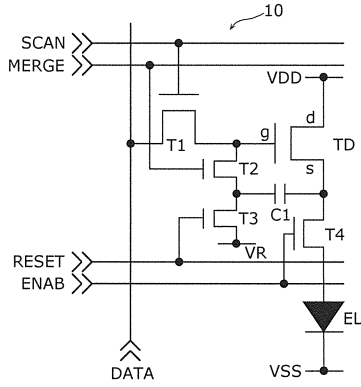
【 図 1 】



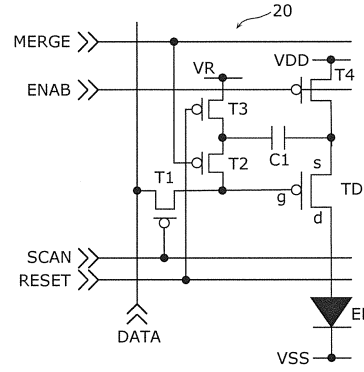
【 図 2 】



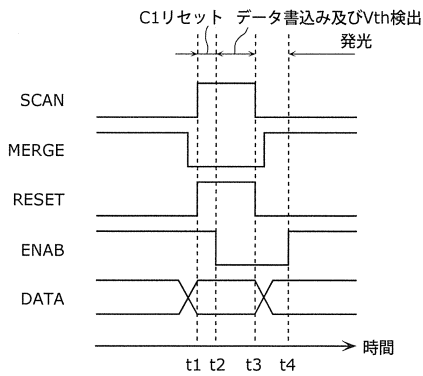
【図3】



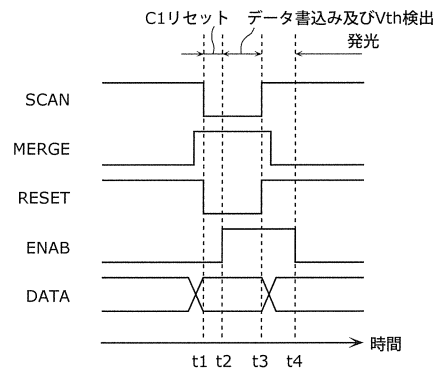
【図5】



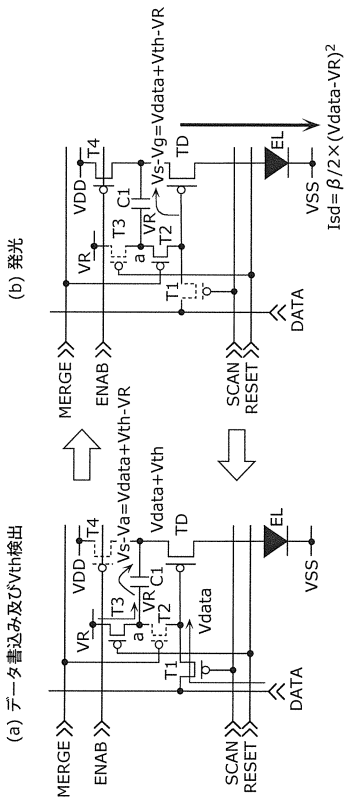
【図4】



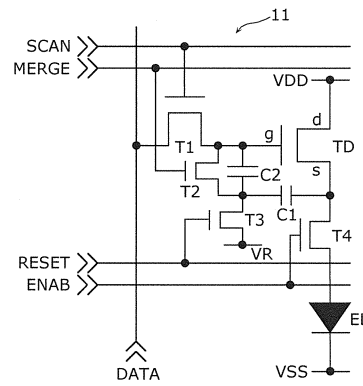
【図6】



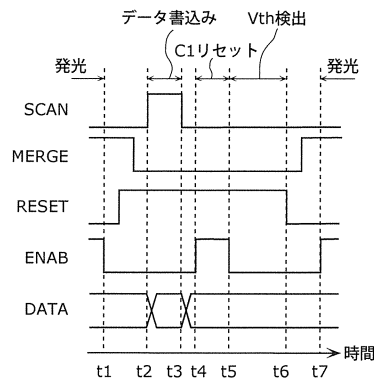
【図7】



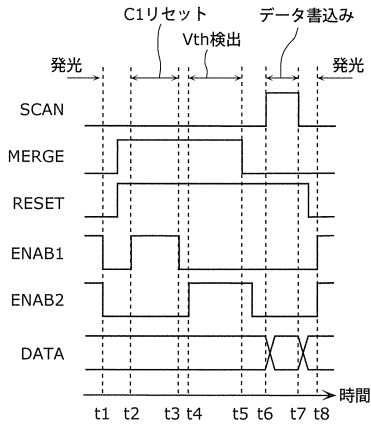
【図8】



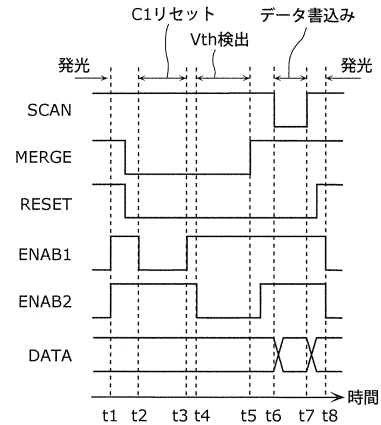
【図9】



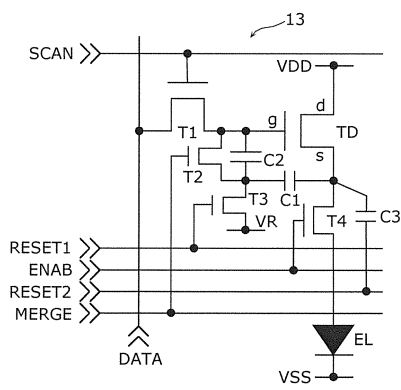
【図19】



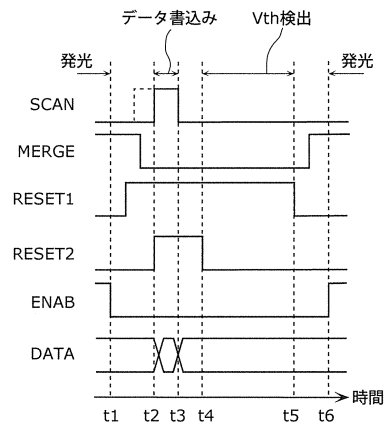
【図20】



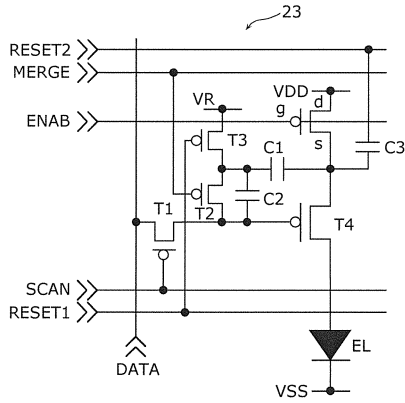
【図21】



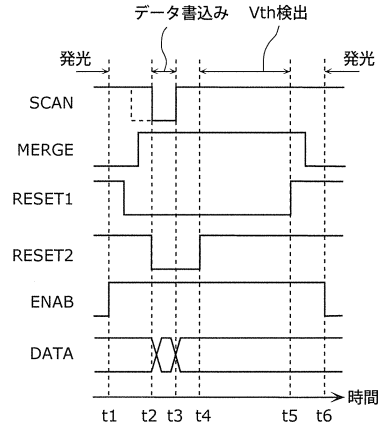
【図22】



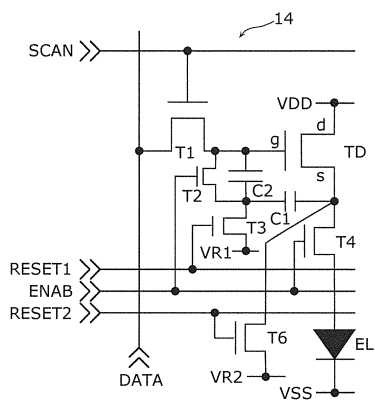
【図 23】



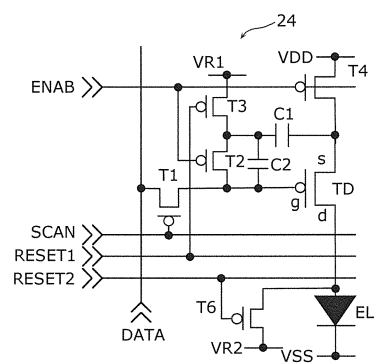
【図 24】



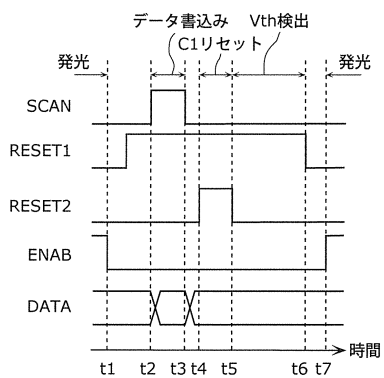
【図 25】



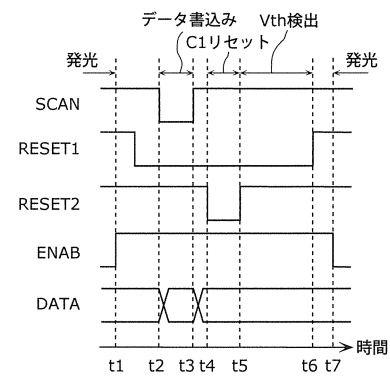
【図 27】



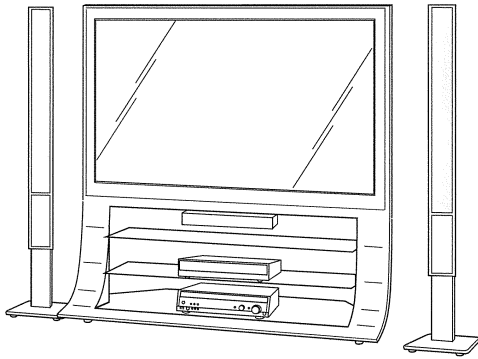
【図 26】



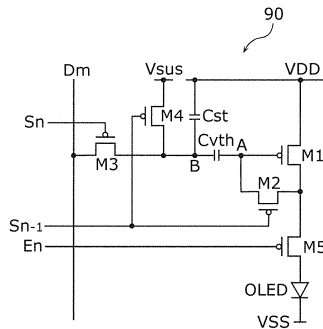
【図 28】



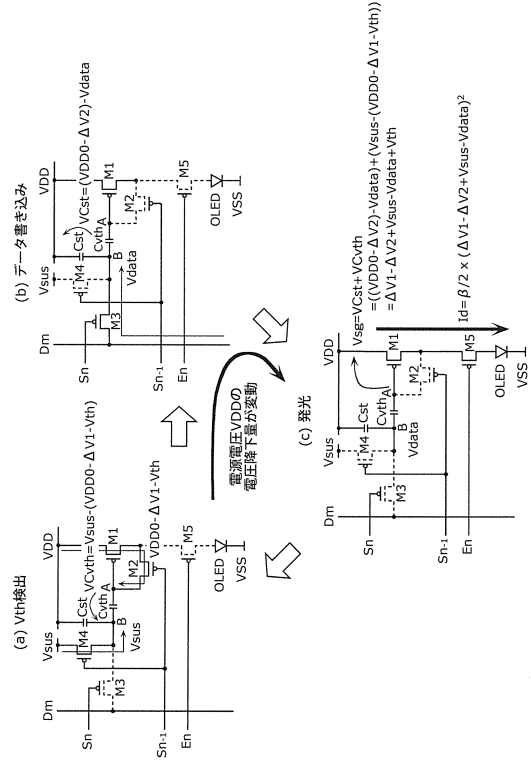
【図29】



【図30】



【図31】



フロントページの続き

(56)参考文献 国際公開第2006/103797(WO, A1)
国際公開第2007/018006(WO, A1)
国際公開第2010/041426(WO, A1)

(58)調査した分野(Int.Cl., DB名)
G09G 3/20 - 3/38

专利名称(译)	显示装置及其控制方法		
公开(公告)号	JP5779660B2	公开(公告)日	2015-09-16
申请号	JP2013545655	申请日	2011-11-24
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	小野晋也		
发明人	小野 晋也		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	小川博		
其他公开文献	JPWO2013076774A1		
外部链接	Espacenet		

摘要(译)

包括在显示装置中的多个像素电路 (10) 中的每一个包括驱动晶体管 (TD) , 具有连接到驱动晶体管 (TD) 的源极端子的第一端子的第一电容元件 (C1) , 驱动用于在晶体管 (TD) 的栅极端子和数据线 (DATA) 之间切换导通和非导通的第一开关元件 (T1) , 第一开关元件 (T1) 第二开关 , 用于在第二开关的端子之间切换导通和非导通的开关元件 (T2) , 用于所述第二端子与所述第一电容元件 (C1) (VR) (T3) , 所述第一电源线的参考电压线之间切换导通和非导通第三开关元件驱动晶体管的源极端子和 (VDD) (T4) , 第二端子连接到驱动晶体管的漏极端子 (TD) 的第一端子之间的切换导通和非导通的第四开关元件是并且发光元件 (EL) 连接到第二发光元件的电源线 (VSS) 。

(21) 出願番号	特願2013-545655 (P2013-545655)	(73) 特許権者	514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2-3番地
(86) (22) 出願日	平成23年11月24日 (2011.11.24)	(74) 代理人	100189430 弁理士 吉川 修一
(86) 国際出願番号	PCT/JP2011/006548	(74) 代理人	100190805 弁理士 傍島 正朗
(87) 国際公開番号	W02013/076774	(72) 発明者	小野 晋也 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
(87) 国際公開日	平成25年5月30日 (2013.5.30)	審査官	小川 浩史
審査請求日	平成26年9月10日 (2014.9.10)		