

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-86440
(P2020-86440A)

(43) 公開日 令和2年6月4日(2020.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3225 (2016.01)	G09G 3/3225	5C080
G09G 3/20 (2006.01)	G09G 3/20 680G	5C380
	G09G 3/20 642A	
	G09G 3/20 612T	
	G09G 3/20 621M	
審査請求 有 請求項の数 17 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2019-190787 (P2019-190787)
 (22) 出願日 令和1年10月18日 (2019.10.18)
 (31) 優先権主張番号 10-2018-0151001
 (32) 優先日 平成30年11月29日 (2018.11.29)
 (33) 優先権主張国・地域又は機関 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨウィーテロ 128
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100106183
 弁理士 吉澤 弘司
 (74) 代理人 100114915
 弁理士 三村 治彦
 (74) 代理人 100125139
 弁理士 岡部 洋
 (74) 代理人 100209808
 弁理士 三宅 高志

最終頁に続く

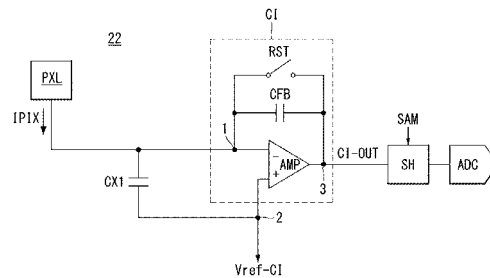
(54) 【発明の名称】 ピクセルセンシング装置及び同装置を含む有機発光表示装置

(57) 【要約】

【課題】パネルノイズの影響を最小化し、センシングの精度と信頼性を向上させるようにしたピクセルセンシング装置と、同装置を含む有機発光表示装置を提供する。

【解決手段】本発明に係るピクセルセンシング装置は、表示パネルのセンシングラインを介してピクセルに接続され、ピクセルから流出されるピクセル電流を積分して積分器の出力電圧を生成する電流積分器と積分器の出力電圧をサンプリング及びホールディングするサンプルアンドホールド部と、サンプルアンドホールド部から出力された積分器の出力電圧をデジタル信号に変換するアナログ-デジタル変換部と、ピクセル電流に混入されたパネルノイズにより積分器の出力電圧が歪曲されることを最小化する第1キャパシタを含む。

【選択図】図7



【特許請求の範囲】**【請求項 1】**

表示パネルのセンシングラインを介してピクセルに接続され、前記ピクセルから流出されるピクセル電流を積分して積分器の出力電圧を生成する電流積分器と、

前記積分器の出力電圧をサンプリング及びホールディングするサンプルアンドホールド部と、

前記サンプルアンドホールド部から出力された前記積分器の出力電圧をデジタル信号に変換するアナログ - デジタル変換部と、

前記ピクセル電流に混入されたパネルノイズにより前記積分器の出力電圧が歪曲されることを最小化する第 1 キャパシタと

を含む、ピクセルセンシング装置。

10

【請求項 2】

前記電流積分器は、

前記ピクセル電流の入力を受ける前記センシングラインに接続された第 1 入力端子、積分器の基準電圧の入力を受ける第 2 入力端子、及び前記積分器の基準電圧から変わる前記積分器の出力電圧を出力する出力端子を有するアンプと、

前記第 1 入力端子と前記出力端子との間に接続された積分器キャパシタと、

前記第 1 入力端子と前記出力端子との間で、前記積分器キャパシタと並列に接続されたリセットスイッチと

を含む、請求項 1 に記載のピクセルセンシング装置。

20

【請求項 3】

前記ピクセル電流に混入された前記パネルノイズは、前記第 1 入力端子に印加されると共に、前記第 1 キャパシタを介して前記第 2 入力端子に印加され、

前記ピクセル電流が前記積分器キャパシタに蓄積されるセンシング期間内で、前記パネルノイズは、前記アンプの内部で相殺される、

請求項 2 に記載のピクセルセンシング装置。

【請求項 4】

前記第 1 キャパシタは、前記センシングラインと前記第 2 入力端子との間に接続されている、請求項 2 に記載のピクセルセンシング装置。

【請求項 5】

前記積分器の出力電圧から前記アンプのオフセットを除去するためのオフセット除去部をさらに含む、請求項 2 に記載のピクセルセンシング装置。

30

【請求項 6】

前記オフセット除去部は、

前記第 1 キャパシタと前記第 2 入力端子との間に接続され、前記第 1 キャパシタを前記第 1 入力端子及び前記第 2 入力端子とカップリングさせる第 2 キャパシタと、

前記第 2 入力端子と前記積分器の基準電圧の入力端子との間に接続された第 1 スイッチと、

前記第 1 キャパシタと前記第 2 キャパシタとの間のノードと前記積分器の基準電圧の入力端子との間に接続された第 2 スイッチと、

前記第 1 キャパシタと前記第 2 キャパシタとの間の前記ノードと前記第 1 入力端子との間に接続された第 3 スイッチと

を含む、請求項 5 に記載のピクセルセンシング装置。

40

【請求項 7】

オフセット検出期間において、前記アンプのオフセットを前記第 2 キャパシタに貯蔵するために、前記第 1 スイッチ、前記第 3 スイッチ及び前記リセットスイッチはターンオンされ、前記第 2 スイッチはターンオフされる、請求項 6 に記載のピクセルセンシング装置。

【請求項 8】

初期化期間において、前記第 2 入力端子をフローティングさせ、前記第 1 入力端子及び

50

前記出力端子の電圧を初期化するために、前記第 1 スイッチ及び前記第 3 スイッチはターンオフされ、前記リセットスイッチ及び前記第 2 スイッチはターンオンされる、請求項 6 に記載のピクセルセンシング装置。

【請求項 9】

センシング期間において、前記ピクセル電流の電荷を前記積分器キャパシタに格納し、前記アンプのオフセットが除去された前記積分器の出力電圧を生成するために、前記第 1 スイッチ、前記第 2 スイッチ、前記第 3 スイッチ及び前記リセットスイッチはターンオフされる、請求項 6 に記載のピクセルセンシング装置。

【請求項 10】

前記センシング期間において、前記ピクセル電流に混入したパネルノイズが前記第 1 入力端子に印加されると共に、前記第 1 キャパシタと前記第 2 キャパシタを介して前記第 2 入力端子に印加され、前記アンプの内部で、前記パネルノイズが相殺される、請求項 9 に記載のピクセルセンシング装置。

10

【請求項 11】

複数のピクセルを含む表示パネルと、
前記ピクセルの駆動特性をセンシングするセンシング部と、
を含み、
前記センシング部は、
表示パネルのセンシングラインを介してピクセルに接続され、前記ピクセルから流出されるピクセル電流を積分して積分器の出力電圧を生成する電流積分器と、
前記積分器の出力電圧をサンプリング及びホールディングするサンプルアンドホールド部と、
前記サンプルアンドホールド部から出力された前記積分器の出力電圧をデジタル信号に変換するアナログ - デジタル変換部と、
前記ピクセル電流に混入されたパネルノイズにより、前記積分器の出力電圧が歪曲されることを最小化する第 1 キャパシタと
を含む、有機発光表示装置。

20

【請求項 12】

センシング駆動に必要なセンシング用データ電圧とディスプレイ駆動に必要なディスプレイ用のデータ電圧を生成して前記表示パネルのデータラインに供給し、前記センシング駆動と、前記ディスプレイ駆動にさらに必要な基準電圧を生成して前記表示パネルの基準電圧ラインに供給する駆動電圧生成部をさらに含む、請求項 11 に記載の有機発光表示装置。

30

【請求項 13】

前記データラインは、前記センシングラインとして使用される、請求項 12 に記載の有機発光表示装置。

【請求項 14】

前記基準電圧ラインは、前記センシングラインとして使用される、請求項 12 に記載の有機発光表示装置。

【請求項 15】

前記表示パネルのセンシング駆動タイミングとディスプレイ駆動タイミングを制御するタイミングコントローラをさらに含む、

40

前記センシング部は、前記タイミングコントローラの制御の下で、パワーオン区間、垂直アクティブ区間、垂直ブランク区間、パワーオフ区間の内の少なくとも一つにおいて、前記ピクセルの駆動特性をセンシングする、
請求項 11 に記載の有機発光表示装置。

【請求項 16】

前記センシング部から入力を受けるデジタルセンシング結果データに基づいて、前記ピクセルの駆動特性の変化を補償することができる補償値を計算し、ホストシステムから入力を受けた映像データを前記補償値に基づいて補正し、補正された映像データを駆動電圧

50

生成部に供給する補償部をさらに含み、

前記駆動電圧生成部は、前記補正された映像データに基づいて、前記ディスプレイ用のデータ電圧を生成する、

請求項 1 2 に記載の有機発光表示装置。

【請求項 1 7】

前記センシング部及び駆動電圧生成部は、データ駆動回路に含まれている、請求項 1 2 に記載の有機発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光表示装置に関する。

【背景技術】

【0002】

アクティブマトリックス型の有機発光表示装置は、有機発光ダイオード (Organic Light Emitting Diode: 以下、「OLED」と称する) と駆動 TFT (Thin Film Transistor) をそれぞれ含むピクセルをマトリックスの形に配列し、映像データの階調に応じて、ピクセルにおいて実現される映像の輝度を調節する。駆動 TFT は、ゲート電極とソース電極との間にかかる電圧 (以下、「ゲート-ソース間電圧」と称する) に基づいて OLED に流れるピクセル電流を制御する。ピクセル電流に応じて、OLED の発光量及び画面の輝度が決定される。

【0003】

駆動 TFT のしきい値電圧と電子移動度、OLED の動作点電圧などは、ピクセルの駆動特性を決定するため、すべてのピクセルにおいて同じでなければならない。しかし、工程特性、時間変化特性など、様々な原因によってピクセルの駆動特性がばらつくことがある。このような駆動特性の違いは、輝度に偏差をもたらし、所望する画像の実現を困難にする。ピクセル間の輝度偏差を補償するために、ピクセルの駆動特性をセンシングし、そのセンシング結果に基づいて、入力映像のデータを補正する外部補償技術が知られている。

【0004】

外部補償技術においてピクセルの駆動特性をセンシングするために、電流積分器を用いて、駆動 TFT に流れるピクセル電流をセンシングする方式がある。この方式は、積分器の基準電圧と積分器の出力電圧との間の電圧差を介してピクセル電流の変化を探り出す。

【0005】

電流積分器は、表示パネルのセンシングラインを介して、各ピクセルに接続される。したがって、電流積分器を介してセンシングされるピクセル電流にパネルノイズが反映されることがある。パネルノイズは、工程特性、駆動環境など、さまざまな原因によって起こり、種々のサイズのセンシングチャンネルに影響を与える。このようなパネルノイズは、積分器アンプを介して増幅され、積分器の出力電圧を歪曲させるので、同じピクセル電流をセンシングしても、そのセンシング結果が電流積分器間で異なることがある。

【発明の概要】

【発明が解決しようとする課題】

【0006】

従って、本発明の目的は、パネルノイズの影響を最小化し、センシングの正確性と信頼性を向上させることができるピクセルセンシング装置と、それを含む有機発光表示装置を提供することにある。

【課題を解決するための手段】

【0007】

本発明の上記目的を達成するために、本発明の実施形態に係るピクセルセンシング装置は、表示パネルのセンシングラインを介してピクセルに接続され、ピクセルから流出されるピクセル電流を積分して積分器の出力電圧を生成する電流積分器と、積分器の出力電圧

10

20

30

40

50

をサンプリング及びホールディングするサンプルアンドホールド部と、サンプルアンドホールド部から出力された積分器の出力電圧をデジタル信号に変換するアナログ - デジタル変換部と、ピクセル電流に混入されたパネルノイズにより、積分器の出力電圧が歪曲されることを最小化する第 1 キャパシタを含む。

【発明の効果】

【0008】

前述のように、本発明は、センシング部内に電流積分器と一緒にパネルノイズ抑制用キャパシタを備えることにより、積分器の出力電圧に混入されるパネルノイズの量を最小化してセンシングの正確性と信頼性を高めることができる。

【0009】

さらに、本発明は、センシング部内にオフセット除去回路をさらに備えることにより、積分器アンプのオフセットにより、積分器の出力電圧が歪曲される程度を最小化してセンシングの正確性と信頼性をさらに高めることができる。

【図面の簡単な説明】

【0010】

【図 1】本発明の実施形態に係る有機発光表示装置を示す図である。

【図 2】図 1 の表示パネルに備えられたピクセルアレイの一例を示す図である。

【図 3】図 2 のピクセルアレイに接続されたデータ駆動部の構成を示す図である。

【図 4】図 3 に示されたピクセルの等価回路図である。

【図 5】図 2 のピクセルアレイに接続されたデータ駆動部の他の構成を示す図である。

【図 6】図 5 に示されたピクセルの等価回路図である。

【図 7】本発明の一実施形態に係るピクセルセンシング装置を示す図である。

【図 8】図 7 のピクセルセンシング装置の駆動波形図である。

【図 9】図 7 のピクセルセンシング装置の動作を示す図である。

【図 10】図 7 のピクセルセンシング装置の動作を示す別の図である。

【図 11】本発明の他の実施形態に係るピクセルセンシング装置を示す図である。

【図 12】図 11 のピクセルセンシング装置の駆動波形図である。

【図 13】図 11 のピクセルセンシング装置の動作を示す図である。

【図 14】図 11 のピクセルセンシング装置の動作を示す別の図である。

【図 15】図 11 のピクセルセンシング装置の動作を示す更に別の図である。

【図 16】パネルノイズ改善に関するシミュレーション結果を示す図である。

【図 17】パネルノイズ改善に関するシミュレーション結果を示す別の図である。

【発明を実施するための形態】

【0011】

本発明の利点及び特徴、そしてそれらを達成する方法は添付される図面と共に詳細に後述される実施形態を参照すると明確になる。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる多様な形態で実現されるものであり、但し、本実施形態は、本発明の開示が完全するようにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は、請求項の範疇によって定義されるだけである。

【0012】

本発明の実施形態を説明するための図で開示された形状、大きさ、比率、角度、個数などは例示的なものなので、本発明が、示された事項に限定されるものではない。明細書全体に亘って同一参照符号は同一の構成要素を指す。本明細書上で言及された「含む」、「有する」、「なる」などが用いられる場合、「～だけ」が使用されない限り、他の部分が追加されることができる。構成要素を単数で表現した場合に特に明示的な記載事項がない限り、複数が含まれる場合を含む。

【0013】

構成要素を解釈することにおいて、別の明示的な記載がなくとも誤差の範囲を含むものと解釈する。

10

20

30

40

50

【0014】

位置関係の説明である場合、例えば、「～の上に」、「～の上部に」、「～の下部に」、「～の隣に」などで、二つの部分の位置関係が説明される場合、「すぐに」または「直接」が使用されない限り、二つの部分の間に1つ以上の他の部分が位置することもできる。

【0015】

第1、第2などがさまざまな構成要素を叙述するために使用することがあるが、この構成要素はこれらの用語によって制限されない。これらの用語は、ただ一つの構成要素を他の構成要素と区別するために使用されるものである。したがって、以下で言及される第1構成要素は、本発明の技術的思想内で第2構成要素で有り得る。

10

【0016】

本発明において表示パネルの基板上に形成されるピクセル回路は、n型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 構造のTFTで実現されるかまたはp型MOSFET構造のTFTに実現されることもできる。TFTは、ゲート (gate)、ソース (source) 及びドレイン (drain) を含む3電極素子である。ソースは、キャリア (carrier) をトランジスタに供給する電極である。TFT内でのキャリアは、ソースから流れ始める。ドレインはTFT内のキャリアが外部に出るための電極である。つまり、MOSFETでのキャリアの流れは、ソースからドレインに流れる。n型TFT (NMOS) の場合、キャリアが電子 (electron) であるため、ソースからドレインに電子が流れることができるよう、ソース電圧をドレイン電圧より低くする。n型TFTで電子がソースからドレインの方向に流れるため、電流は、ドレインからソースの方向に流れる。p型TFT (PMOS) の場合、キャリアが正孔 (hole) であるため、ソースからドレインに正孔が流れることができるように、ソース電圧をドレイン電圧より高くする。p型TFTにおいては、正孔がソースからドレインの方向に流れるため、電流がソースからドレインの方向に流れる。MOSFETのソースとドレインは、固定されたものではないことに注意しなければならない。例えば、MOSFETのソースとドレインは、印加電圧に応じて変更されることができる。

20

【0017】

一方、本明細書においてTFTの半導体層は、酸化物素子、アモルファスシリコン素子、ポリシリコン素子の内、少なくともいずれか一つで実現することができる。

30

【0018】

以下、添付された図面を参照して、本明細書の実施形態を詳細に説明する。以下の説明において、本明細書に関連する公知の機能あるいは構成についての具体的な説明が本明細書の要旨を不必要に曖昧にすることができると判断される場合には、その詳細な説明を省略する。

【0019】

図1は、本発明の実施形態に係る有機発光表示装置を示す図である。そして、図2は、図1の表示パネルに備えられたピクセルアレイの一例を示す図である。

【0020】

図1及び図2を参照すると、本発明の一実施形態に係る有機発光表示装置は、表示パネル10、ドライバIC (D-IC) 20、補償IC 30、ホストシステム40、及び貯蔵メモリ50を含むことができる。本発明のパネル駆動部は、表示パネル10に備えられたゲート駆動部15と、ドライバIC (D-IC) 20に内蔵されたデータ駆動部25を含む。

40

【0021】

表示パネル10には、複数のピクセルライン (PNL1~PNL4) が備えられ、各ピクセルラインには複数のピクセル (PXL) と、複数の信号ラインが備えられる。本発明で説明される「ピクセルライン」は、物理的な信号ラインではなく、ゲートラインの延長方向に沿って互いに隣接したピクセル (PXL) と信号ラインの集合体を意味する。信号ラインは、ピクセル (PXL) にディスプレイ用のデータ電圧 (VDIS) とセンシング

50

用データ電圧 (VSEN) を供給するためのデータライン 140、ピクセル (PXL) に基準電圧 (VREF) を供給するための基準電圧ライン 150、ピクセル (PXL) にゲート信号を供給するゲートライン 160、及びピクセル (PXL) に高電位ピクセル電圧を供給するための高電位電源ライン (PWL) を含むことができる。

【0022】

表示パネル 10 のピクセル (PXL) はマトリックス形態に配置され、ピクセルアレイ (Pixel array) を構成する。図 2 のピクセルアレイに含まれた各ピクセル (PXL) は、データライン 140 の内のいずれか 1 つに接続され、かつ基準電圧ライン 150 の内のいずれか 1 つに接続され、かつ高電位電源ライン (PWL) の内のいずれか 1 つに接続され、かつゲートライン 160 の内のいずれか 1 つに接続される。図 2 のピクセルアレイに含まれた各ピクセル (PXL) を、複数のゲートライン 160 に接続することもできる。そして、図 2 のピクセルアレイに含まれた各ピクセル (PXL) は、電源生成部から低電位ピクセル電圧の供給を受けることができる。電源生成部は、低電位電源ラインまたはパッド部を通して低電位ピクセル電圧をピクセル (PXL) に供給することができる。

10

【0023】

表示パネル 10 には、ゲート駆動部 15 を内蔵させることができる。

【0024】

ゲート駆動部 15 は、図 2 のピクセルアレイのゲートライン 160 に接続された複数のステージを含むことができる。ステージは、ピクセル (PXL) のスイッチ素子を制御するためのゲート信号を生成してゲートライン 160 に供給することができる。

20

【0025】

ドライバ IC (D-IC) 20 は、タイミング制御部 21 と、データ駆動部 25 を含む。データ駆動部 25 は、センシング部 22 と駆動電圧生成部 23 を含むことができるが、これに限定されない。

【0026】

タイミング制御部 21 は、ホストシステム 40 から入力されるタイミング信号、例えば垂直同期信号 (Vsync)、水平同期信号 (Hsync)、ドットクロック信号 (DCLK) 及びデータイネーブル信号 (DE) などを参照して、ゲート駆動部 15 の動作タイミングを制御するためのゲートタイミング制御信号 (GDC) と、データ駆動部 25 の動作タイミングを制御するためのデータタイミング制御信号 (DDC) を生成することができる。

30

【0027】

データタイミング制御信号 (DDC) は、ソーススタートパルス (Source Start Pulse)、ソースサンプリングクロック (Source Sampling Clock)、及びソース出力イネーブル信号 (Source Output Enable) などを含むことができるが、これらに限定されない。ソーススタートパルスは、駆動電圧生成部 23 のデータサンプリング開始タイミングを制御する。ソースサンプリングクロックは、ライジングまたはフォールディングエッジに基づいて、データのサンプリングタイミングを制御するクロック信号である。ソース出力イネーブル信号は、駆動電圧生成部 23 の出力タイミングを制御する。

【0028】

ゲートタイミング制御信号 (GDC) は、ゲートスタートパルス (Gate Start Pulse)、ゲートシフトクロック (Gate Shift Clock) などを含むことができるが、これに限定されない。ゲートスタートパルスは、最初のゲートの出力を生成するステージに印加され、そのステージの動作を活性化する。ゲートシフトクロックはステージに共通に入力されるものとして、ゲートスタートパルスをシフトさせるためのクロック信号である。

40

【0029】

タイミング制御部 21 はパネル駆動部の動作タイミングを制御することにより、パワーオン期間、各フレームの垂直アクティブ期間、各フレームの垂直ブランク期間、及びパワーオフ期間の内の少なくとも一つの期間でピクセル (PXL) の駆動特性をセンシングすることができる。ここで、パワーオン期間は、システムの電源が印加された後から画面が

50

オンになるまでの期間であり、パワーオフの期間は、画面がオフになってから、システムの電源がオフになるまでの期間である。垂直アクティブ期間は、画面の再生のためのビデオデータが表示パネル10に書き込まれる期間であり、垂直ブランク期間は隣接した垂直アクティブ期間の間に位置し、映像データの書き込みが停止される期間である。ピクセル(PXL)の駆動特性は、ピクセル(PXL)に含まれた駆動素子のしきい値電圧と電子移動度を含む。

【0030】

タイミング制御部21は、表示パネル10のピクセルライン(PNL1~PNL4)のセンシング駆動タイミングとディスプレイ駆動タイミングを決められたシーケンスに基づいて制御することにより、ディスプレイ駆動とセンシング駆動を実現することができる。

10

【0031】

タイミング制御部21は、ディスプレイ駆動のためのタイミング制御信号(GDC、DDC)とセンシング駆動のためのタイミング制御信号(GDC、DDC)を互いに異なるように生成することができる。センシング駆動は、センシング対象ピクセルのラインに含まれたピクセル(PXL)にセンシング用データ電圧(VSEN)を書き込んで、当該ピクセル(PXL)の駆動特性をセンシングし、センシング結果のデータ(SDATA)に基づいて、当該ピクセル(PXL)の駆動特性の変化を補償するための補償値を更新することを意味する。そして、ディスプレイ駆動は、更新された補償値に基づいて、当該ピクセル(PXL)に入力されるデジタル映像データを補正し、補正された映像データ(CDATA)に対応するディスプレイ用のデータ電圧(VDIS)を当該ピクセル(PXL)

20

【0032】

駆動電圧生成部23は、デジタル信号をアナログ信号に変換するデジタル-アナログ変換器(Digital to Analog converter、以下DACと称する)で実現される。駆動電圧生成部23は、センシング駆動に必要なセンシング用データ電圧(VSEN)とディスプレイ駆動に必要なディスプレイ用データ電圧(VDIS)を生成して、データライン140に供給する。駆動電圧生成部23は、センシング駆動とディスプレイの駆動にさらに必要な基準電圧(VREF)を生成して基準電圧ライン150に供給する。

【0033】

ディスプレイ用データ電圧(VDIS)は、補償IC30で補正されたデジタル映像データ(CDATA)のデジタル-アナログ変換結果として、階調値と補正值に基づいてピクセル単位で、その大きさが変化し得る。センシング用データ電圧(VSEN)は、カラーごとに駆動素子の駆動特性が相違することを考慮して、R(赤色)、G(緑色)、B(青色)、W(白色)の各ピクセルの単位で異なるように設定することができる。

30

【0034】

センシング部22は、センシング駆動のために、ピクセル(PXL)の駆動特性、例えば、駆動素子のしきい値電圧と電子移動度、発光素子の動作点電圧をセンシングラインを介してセンシングすることができる。センシングラインは、データライン140で実現されることもでき、基準電圧ライン150で実現されることもできる。ただし、データライン140をセンシングラインに活用すれば、データ出力チャンネルとセンシングチャンネルを一元化することができ、ドライバIC(D-IC)20のパッド数を削減できる点で有利である。センシング部22は、各ピクセル(PXL)に流れるピクセル電流を直接センシングする電流センシング型で実現されることができる。このため、センシング部22は、電流積分器とパネルノイズ抑制用キャパシタを含むことができるが、これについては図7を参照しながら詳細に説明する。また、センシング部22は、電流積分器とパネルノイズ抑制用キャパシタとオフセット除去回路を含むことができるが、これについては図11を参照しながら詳細に説明する。

40

【0035】

センシング部22は、複数のアナログセンシング値を、複数のADC(Aanlog-Digital Conveter)を用いて同時に並列処理することもでき、複数のアナログセンシング値を、

50

1つのADCを用いて順次直列処理することもできる。ADCのサンプリング速度とセンシングの精度はトレードオフ(Trade-off)の関係にある。並列処理方式のADCは、直列処理方式のADCに比べてサンプリング速度を遅くすることができ、センシングの精度を高めるために有利である。ADCは、フラッシュタイプのADC、トラッキング(tracking)技法を用いたADC、連続近似レジスタタイプ(Successive Approximation Register type)のADCなどで実現されることができる。ADCは、あらかじめ決められたセンシングレンジに応じて、アナログセンシング値をデジタルセンシング結果データ(SDATA)に変換した後、貯蔵メモリ50とセンシング出力制御部27に供給する。

【0036】

貯蔵メモリ50は、センシング駆動時センシング部22から入力されるデジタルセンシング結果データ(SDATA)を貯蔵する。貯蔵メモリ50は、フラッシュメモリで実現されることができるが、これに限定されない。

10

【0037】

補償IC30は、補償部31と補償メモリ32を含むことができる。補償メモリ32は、貯蔵メモリ50から読み込んだデジタルセンシング結果データ(SDATA)を補償部31に伝達する。補償メモリ32は、RAM(Random Access Memory)、例えば、DDR SDRAM(Double Data Rate Synchronous Dynamic RAM)で有り得るが、これに限定されない。補償部31は、貯蔵メモリ50から読み込んだデジタルセンシング結果データ(SDATA)に基づいて、各ピクセルごとに補償オフセット(Offset)と補償ゲイン(Gain)を演算し、演算された補償オフセットと補償ゲインに従って、ホストシステム40から入力を受けた映像データを補正し、補正された映像データ(CDATA)をドライバIC20に供給する。

20

【0038】

図3は図2のピクセルアレイに接続されたデータ駆動部25の一構成を示す図である。図3のデータ駆動部25は、ピクセル(PXL)の駆動特性を、基準電圧ライン150を介してセンシングする。

【0039】

図3を参照すると、データ駆動部25は、データライン140を介してピクセル(PXL)の第1ノード(駆動素子のゲート電極に接続される)に接続され、基準電圧ライン150を通じてピクセル(PXL)の第2ノード(駆動素子のソース電極に接続される)に接続されることができる。ピクセル(PXL)の第2ノードにはピクセル電流(IPIX)が流れるので、第2スイッチ素子を介して第2ノードに接続された基準電圧ライン150をセンシングラインとして活用することができる。

30

【0040】

基準電圧ライン150は、接続スイッチ(SX1、SX2)を介して駆動電圧生成部23とセンシング部22に選択的に接続される。駆動電圧生成部23は、センシング用データ電圧(VSEN)とディスプレイ用のデータ電圧(VDIS)を生成する第1駆動電圧生成部(DAC1)、及び基準電圧(VREF)を生成する第2駆動電圧生成部(DAC2)を含むことができる。基準電圧ライン150と第2駆動電圧生成部(DAC2)の間には、第1接続スイッチ(SX1)が接続され、基準電圧ライン150とセンシング部22の間には、第2接続スイッチ(SX2)が接続される。第1接続スイッチ(SX1)と第2接続スイッチ(SX2)は選択的にターンオンされる。基準電圧(VREF)がピクセル(PXL)に書き込まれるタイミングに同期して、第1接続スイッチ(SX1)のみターンオンされ、ピクセル(PXL)に流れるピクセル電流(IPIX)をセンシングするタイミングに同期して第2接続スイッチ(SX2)のみターンオンされる。したがって、基準電圧ライン150は、第1及び第2接続スイッチ(SX1、SX2)を介して第2駆動電圧生成部(DAC2)とセンシング部22に選択的に接続される。

40

【0041】

図4は、図3に示されたピクセルの等価回路図である。

【0042】

50

図4を参照すると、基準電圧ライン150をセンシングラインとして活用するピクセル(PXL)はOLED、駆動TFT(DT)、スイッチTFT(ST1、ST2)、及びストレージキャパシタ(Cst)を含む。駆動TFT(DT)とスイッチTFT(ST1、ST2)はNMOSで実現されることができ、これに限定されない。

【0043】

OLEDは、駆動TFT(DT)から引き込まれるピクセル電流に対応した強さで発光する発光素子である。OLEDのアノード電極は、第2ノード(N2)に接続され、カソード電極は、低電位ピクセル電圧(EVSS)の入力端に接続される。

【0044】

駆動TFT(DT)は、ゲート-ソース間電圧に対応してピクセル電流を生成する駆動素子である。駆動TFT(DT)のゲート電極は、第1ノード(N1)に接続され、第1電極は、高電位電源ライン(PWL)を介して高電位ピクセル電圧(EVDD)の入力端に接続され、第2電極は、第2ノード(N2)に接続される。

【0045】

スイッチTFT(ST1、ST2)は、駆動TFT(DT)のゲート-ソース間電圧を設定し、駆動TFT(DT)の第2電極と基準電圧ライン150を接続するスイッチ素子である。

【0046】

第1スイッチTFT(ST1)は、データライン140と第1ノード(N1)との間に接続され、ゲートライン160からのゲート信号(SCAN)によってターンオンされる。第1スイッチTFT(ST1)は、ディスプレイ駆動またはセンシング駆動のためのプログラミング時にターンオンされる。第1スイッチTFT(ST1)がターンオンされる時、センシング用データ電圧(VSEN)またはディスプレイ用のデータ電圧(VDIS)が第1ノード(N1)に印加される。第1スイッチTFT(ST1)のゲート電極は、ゲートライン160に接続され、第1電極は、データライン140に接続され、第2電極は、第1ノード(N1)に接続される。

【0047】

第2スイッチTFT(ST2)は、基準電圧ライン150と第2ノード(N2)との間に接続され、ゲートライン160からのゲート信号(SCAN)によってターンオンされる。第2スイッチTFT(ST2)は、ディスプレイ駆動またはセンシング駆動のためのプログラミング時にターンオンされ、基準電圧(VREF)を第2ノード(N2)に印加する。また、第2スイッチTFT(ST2)は、センシング駆動中のセンシング期間でもターンオンされ、駆動TFT(DT)で生成されたピクセル電流を基準電圧ライン150に印加する。第2スイッチTFT(ST2)のゲート電極は、ゲートライン160に接続され、第1電極は、基準電圧ライン150に接続され、第2電極は、第2ノード(N2)に接続される。

【0048】

ストレージキャパシタ(Cst)は、第1ノード(N1)と第2ノード(N2)との間に接続され、駆動TFT(DT)のゲート-ソース間電圧を一定期間維持する。

【0049】

図5は、図2のピクセルアレイに接続されたデータ駆動部25の他の構成を示す図である。図5のデータ駆動部25は、ピクセル(PXL)の駆動特性を、データライン140を介してセンシングする。

【0050】

図5を参照すると、データ駆動部25は、基準電圧ライン150を介してピクセル(PXL)の第1ノード(駆動素子のゲート電極)に接続され、データライン140を通じてピクセル(PXL)の第2ノード(駆動素子のソース電極)に接続されることができ、ピクセル(PXL)の第2ノードには、ピクセル電流(IPIX)が流れるので、第2スイッチ素子を介して第2ノードに接続されたデータライン140をセンシングラインとして活用することができる。

10

20

30

40

50

【0051】

データライン140は、接続スイッチ(SX1、SX2)を介して、駆動電圧生成部23とセンシング部22に選択的に接続される。駆動電圧生成部23は、センシング用データ電圧(VSEN)とディスプレイ用のデータ電圧(VDIS)を生成する第1駆動電圧生成部(DAC1)、及び基準電圧(VREF)を生成する第2駆動電圧生成部(DAC2)を含むことができる。データライン140と第1駆動電圧生成部(DAC1)との間には、第1接続スイッチ(SX1)が接続され、データライン140とセンシング部22との間には、第2接続スイッチ(SX2)が接続される。第1接続スイッチ(SX1)と第2接続スイッチ(SX2)は選択的にターンオンされる。センシング用データ電圧(VSEN)とディスプレイ用データ電圧(VDIS)がピクセル(PXL)に書き込まれるタイミングに同期して、第1接続スイッチ(SX1)のみターンオンされ、ピクセル(PXL)に流れるピクセル電流(IPIX)をセンシングするタイミングに同期して第2接続スイッチ(SX2)のみターンオンされる。したがって、データライン140は、第1及び第2接続スイッチ(SX1、SX2)を介して第1駆動電圧生成部(DAC1)とセンシング部22に選択的に接続される。

10

【0052】

図6は、図5に示されたピクセルの等価回路図である。

【0053】

図6を参照すると、データライン140をセンシングラインとして活用するピクセル(PXL)は、OLED、駆動TFT(DT)、スイッチTFT(ST1、ST2)、及びストレージキャパシタ(Cst)を含む。駆動TFT(DT)とスイッチTFT(ST1、ST2)はNMOSで実現されることができ、これに限定されない。

20

【0054】

OLEDは、駆動TFT(DT)から引き込まれるピクセル電流に対応する強さで発光する発光素子である。OLEDのアノード電極は、第2ノード(N2)に接続され、カソード電極は、低電位ピクセル電圧(EVSS)の入力端に接続される。

【0055】

駆動TFT(DT)は、ゲート-ソース間電圧に対応してピクセル電流を生成する駆動素子である。駆動TFT(DT)のゲート電極は、第1ノード(N1)に接続され、第1電極は、高電位電源ライン(PWL)を介して高電位ピクセル電圧(EVDD)の入力端に接続され、第2電極は、第2ノード(N2)に接続される。

30

【0056】

スイッチTFT(ST1、ST2)は、駆動TFT(DT)のゲート-ソース間電圧を設定し、駆動TFT(DT)の第2電極とデータライン140を接続するスイッチ素子である。

【0057】

第1スイッチTFT(ST1)は、基準電圧ライン150と第1ノード(N1)との間に接続され、ゲートライン160からのゲート信号(SCAN)によってターンオンされる。第1スイッチTFT(ST1)は、ディスプレイ駆動またはセンシング駆動のためのプログラミング時にターンオンされる。第1スイッチTFT(ST1)がターンオンされるとき、基準電圧(VREF)が第1ノード(N1)に印加される。第1スイッチTFT(ST1)のゲート電極は、ゲートライン160に接続され、第1電極は、基準電圧ライン150に接続され、第2電極は、第1ノード(N1)に接続される。

40

【0058】

第2スイッチTFT(ST2)は、データライン140と第2ノード(N2)との間に接続され、ゲートライン160からのゲート信号(SCAN)によってターンオンされる。第2スイッチTFT(ST2)は、ディスプレイ駆動またはセンシング駆動のためのプログラミング時にターンオンされ、センシング用データ電圧(VSEN)またはディスプレイ用のデータ電圧(VDIS)を第2ノード(N2)に印加する。また、第2スイッチTFT(ST2)は、センシング駆動中のセンシング期間でもターンオンされ、駆動TFT

50

T (DT) で生成されたピクセル電流をデータライン 140 に印加する。第 2 スイッチ T F T (S T 2) のゲート電極は、ゲートライン 160 に接続され、第 1 電極は、データライン 140 に接続され、第 2 電極は、第 2 ノード (N 2) に接続される。

【0059】

ストレージキャパシタ (C s t) は、第 1 ノード (N 1) と第 2 ノード (N 2) との間に接続され、駆動 T F T (D T) のゲート - ソース間電圧を一定期間維持する。

【0060】

図 7 は、本発明の一実施形態に係るピクセルセンシング装置を示す図である。図 7 のピクセルセンシング装置は、図 1 のセンシング部 22 を含む。

【0061】

図 7 を参照すると、センシング部 22 は、電流積分器 (C I)、サンプルアンドホールド部 (S H)、A D C と第 1 キャパシタ (C X 1) を含むことができる。

【0062】

電流積分器 (C I) は、表示パネル 10 のセンシングラインを介してピクセル (P X L) に接続される。電流積分器 (C I) は、ピクセル (P X L) に流れるピクセル電流 (I P I X) を積分して、積分器基準電圧 (V r e f - C I) から変化する積分器出力電圧 (C I - O U T) を生成する。

【0063】

電流積分器 (C I) は、積分器アンプ (A M P) と積分キャパシタ (C F B) とリセットスイッチ (R S T) を含む。積分器アンプ (A M P) は、センシングラインに接続された第 1 ノード 1 を介してピクセル電流 (I P I X) の入力を受ける第 1 入力端子、第 2 ノード 2 を介して積分器の基準電圧 (V r e f - C I) の入力を受ける第 2 入力端子、及びピクセル電流 (I P I X) の積分結果である積分器出力電圧 (C I - O U T) を第 3 ノード 3 に出力する出力端子を含む。積分キャパシタ (C F B) は、第 1 ノード 1 と第 3 ノード 3 との間に接続される。つまり、積分キャパシタ (C F B) は、積分器アンプ (A M P) の第 1 入力端子と出力端子との間に接続される。積分器アンプ (A M P) の第 1 入力端子と出力端子の間には、積分キャパシタ (C F B) と並列にリセットスイッチ (R S T) がさらに接続される。

【0064】

積分器アンプ (A M P) は、ネガティブ型で実現されることもありポジティブ型で実現されることもある。ネガティブ型アンプ (A M P) は、図 7 に示すように、第 1 入力端子が積分器アンプ (A M P) の反転入力端子 (-) になり、第 2 入力端子が積分器アンプ (A M P) の非反転入力端子 (+) となる。このようなネガティブ型アンプ (A M P) は、ピクセル電流 (I P I X) が積分キャパシタ (C F B) に累積されることによって、積分器出力電圧 (C I - O U T) が積分器の基準電圧 (V r e f - C I) から徐々に低くなる。積分器出力電圧 (C I - O U T) の下降傾斜は、ピクセル電流 (I P I X) の大きさに比例する。

【0065】

一方、ポジティブ型アンプ (A M P) は、第 1 入力端子が積分器アンプの非反転入力端子 (+) となり、第 2 入力端子が積分器アンプの反転入力端子 (-) となる。このようなポジティブ型アンプ (A M P) は、ピクセル電流 (I P I X) が積分キャパシタ (C F B) に累積されることによって、積分器出力電圧 (C I - O U T) が積分器基準電圧 (V r e f - C I) から徐々に高くなる。積分器の基準電圧 (V r e f - C I) の上昇傾きは、ピクセル電流 (I P I X) の大きさに比例する。

【0066】

本発明の技術的思想は、ネガティブ型アンプ (A M P) にも適用することができ、ポジティブ型アンプ (A M P) にも適用することができる。本発明の実施形態においては、便宜上、ネガティブ型アンプ (A M P) を中心に説明する。

【0067】

サンプルアンドホールド部 (S H) は、積分器出力電圧 (C I - O U T) をサンプリン

10

20

30

40

50

グとホールディングした後、ADC出力する。サンプルアンドホールド部(SH)は、サンプリング信号(SAM)に基づいて動作するサンプリング・スイッチとサンプリングキャパシタ及びホールディングスイッチで実現されることができ、これに限定されない。

【0068】

ADCは、あらかじめ決められたセンシングレンジに応じてアナログ信号(つまり、積分器出力電圧)をデジタル信号(つまり、デジタルセンシング結果データ)に変換する。

【0069】

第1キャパシタ(CX1)は積分器出力電圧(CI-OUT)がパネルノイズによって歪曲される程度を最小化する役割をする。第1キャパシタ(CX1)は、第1ノード1と第2ノード2との間に接続され、積分器アンプ(AMP)の第1入力端子(-)と第2入力端子(+)をカップリングさせる。第1キャパシタ(CX1)は、ピクセル電流(IPIX)に混入されたパネルノイズが積分器アンプ(AMP)の両入力端子(+、-)に共通に印加されるようにする。ピクセル電流(IPIX)に混入されたパネルノイズは、積分器アンプ(AMP)の第1入力端子(-)に印加されると共に、第1キャパシタ(CX1)を介して積分器アンプ(AMP)の第2入力端子(+)にも印加される。これにより、積分器アンプ(AMP)の両入力端子(+、-)に印加されたパネルノイズが積分器アンプ(AMP)内で相殺される。このようにして、パネルノイズの影響を最小化することができる。

10

【0070】

第1キャパシタ(CX1)の容量が大きいほど積分器出力電圧(CI-OUT)に混入されるパネルノイズの量が減る。その理由は、第1キャパシタ(CX1)の容量が大きければ大きいほど積分器アンプ(AMP)の第1入力端子(-)に印加されるパネルノイズの大きさと第1キャパシタ(CX1)を介して積分器アンプ(AMP)の第2入力端子(+)に印加されるパネルノイズの大きさが類似になるからである。理想的には、積分器アンプ(AMP)の両入力端子(+、-)に印加されたパネルノイズの大きさが同じである場合に、積分器出力電圧(CI-OUT)に混入されるパネルノイズを完全に除去することができる。

20

【0071】

図8は、図7のピクセルセンシング装置の駆動波形図である。図9及び図10は、図7のピクセルセンシング装置の動作を示す図である。

30

【0072】

図8を参照すると、本発明の一実施形態に係るセンシング駆動は、初期化期間(1)とセンシング期間(2)とから実現されることができ。

【0073】

図8及び図9を参照すると、初期化期間(1)で、リセットスイッチ(RST)は、オンされる。リセットスイッチ(RST)がオンされると、第1~第3ノード(1~3)だけでなく、センシングラインも積分器基準電圧(Vref-CI)で初期化される。したがって、初期化期間(1)で、積分器出力電圧(CI-OUT)は、積分器の基準電圧(Vref-CI)となる。

40

【0074】

図8及び図10を参照すると、センシング期間(2)で、リセットスイッチ(RST)はオフされ、センシングラインと第1ノード1を介してピクセル電流(IPIX)が積分キャパシタ(CFB)に累積される。ピクセル電流(IPIX)が積分キャパシタ(CFB)に累積されることによって、積分器出力電圧(CI-OUT)は、積分器基準電圧(Vref-CI)から徐々に低くなる。

【0075】

センシング期間(2)において、第1キャパシタ(CX1)によってピクセル電流(IPIX)に混入されたパネルノイズが積分器アンプ(AMP)の両入力端子(+、-)に共通に印加され、積分器アンプ(AMP)の内部で相殺されるので、積分器出力電圧(C

50

I - O U T) に混入されるパネルノイズは最小化される。

【 0 0 7 6 】

センシング期間 (2) において、サンプルアンドホールド部 (S H) は、サンプリング信号 (S A M) のオン期間中に、積分器出力電圧 (C I - O U T) をサンプリングする。

【 0 0 7 7 】

図 1 1 は、本発明の他の実施形態に係るピクセルセンシング装置を示す図である。図 1 1 のピクセルセンシング装置は、図 7 に比べてアンプオフセットをさらに除去することができるので、センシングの精度をさらに向上させることができる。

【 0 0 7 8 】

図 1 1 を参照すると、センシング部 2 2 は、電流積分器 (C I)、サンプルアンドホールド部 (S H)、A D C 及び第 1 キャパシタ (C X 1) を含む。また、センシング部 2 2 は、オフセット除去部 (C A Z) をさらに含む。

10

【 0 0 7 9 】

電流積分器 (C I) は、表示パネル 1 0 のセンシングラインを介してピクセル (P X L) に接続される。電流積分器 (C I) は、ピクセル (P X L) に流れるピクセル電流 (I P I X) を積分して、積分器基準電圧 (V r e f - C I) から変化される積分器出力電圧 (C I - O U T) を生成する。

【 0 0 8 0 】

電流積分器 (C I) は、積分器アンプ (A M P) と積分キャパシタ (C F B) とリセットスイッチ (R S T) を含む。積分器アンプ (A M P) は、センシングラインに接続された第 1 ノード 1 を介してピクセル電流 (I P I X) の入力を受ける第 1 入力端子 (-)、第 2 ノード 2 を介して積分器の基準電圧 (V r e f - C I) の入力を受ける第 2 入力端子 (+)、及びピクセル電流 (I P I X) の積分結果である積分器出力電圧 (C I - O U T) を第 3 ノード 3 に出力する出力端子を含む。積分キャパシタ (C F B) は、第 1 ノード 1 と第 3 ノード 3 との間に接続される。つまり、積分キャパシタ (C F B) は、積分器アンプ (A M P) の第 1 入力端子 (-) と出力端子との間に接続される。積分器アンプ (A M P) の第 1 入力端子 (-) と出力端子の間には、積分キャパシタ (C F B) と並列にリセットスイッチ (R S T) がさらに接続される。

20

【 0 0 8 1 】

サンプルアンドホールド部 (S H) は、積分器出力電圧 (C I - O U T) をサンプリングとホールディングした後、A D C に出力する。サンプルアンドホールド部 (S H) は、サンプリング信号 (S A M) によって動作するサンプリング・スイッチとサンプリングキャパシタ、及びホールディングスイッチで実現されることができ、これに限定されない。

30

【 0 0 8 2 】

A D C は、あらかじめ決められたセンシングレンジに応じてアナログ信号 (つまり、積分器の出力電圧) をデジタル信号 (つまり、デジタルセンシング結果データ) に変換する。

【 0 0 8 3 】

第 1 キャパシタ (C X 1) は、オフセット除去部 (C A Z) に含まれた第 2 キャパシタ (C X 2) と共に、積分器出力電圧 (C I - O U T) がパネルノイズによって歪曲される程度を最小化にする役割をする。第 1 キャパシタ (C X 1) と第 2 キャパシタ (C X 2) は、第 1 ノード 1 と第 2 ノード 2 との間に接続され、積分器アンプ (A M P) の第 1 入力端子 (-) と第 2 入力端子 (+) をカップリングさせる。

40

【 0 0 8 4 】

オフセット除去部 (C A Z) は、積分器基準電圧 (V r e f - C I) の入力端と第 1 ノード 1 と第 2 ノード 2 に接続され、積分器アンプ (A M P) のオフセットを除去することができる補正基準電圧を、第 2 ノード 2 を介して積分器アンプ (A M P) に印加する。オフセット除去部 (C A Z) は、第 2 キャパシタ (C X 2) と第 1 ~ 第 3 スイッチ (A Z 1、A Z 2、A Z 3) を含む。

50

【0085】

第2キャパシタ(CX2)は一側電極が第2ノード2に接続され他側電極が第4ノード4を介して第1キャパシタ(CX1)に接続される。第1ノード1と第2ノード2との間で、第2キャパシタ(CX2)は、第1キャパシタ(CX1)と直列に接続される。第2キャパシタ(CX2)は、第4ノード4を介して第1キャパシタ(CX1)に接続される。

【0086】

第1キャパシタ(CX1)と第2キャパシタ(CX2)は、ピクセル電流(IPIX)に混入されたパネルノイズが積分器アンプ(AMP)の両入力端子(+、-)に共通に印加されるようにする。ピクセル電流(IPIX)に混入されたパネルノイズは、積分器アンプ(AMP)の第1入力端子(-)に印加されると共に、第1キャパシタ(CX1)と第2キャパシタ(CX2)を介して積分器アンプ(AMP)の第2入力端子(+)にも印加される。これにより、積分器アンプ(AMP)の両入力端子(+、-)に印加されたパネルノイズが積分器アンプ(AMP)内で相殺される。このようにして、パネルノイズの影響を最小化になることができる。

10

【0087】

第1キャパシタ(CX1)の容量と第2キャパシタ(CX2)の容量が大きいほど積分器出力電圧(CI-OUT)に混入されるパネルノイズの量が減る。その理由は、第1キャパシタ(CX1)の容量と第2キャパシタ(CX2)の容量が大きいほど積分器アンプ(AMP)の第1入力端子(-)に印加されるパネルノイズの大きさと第1キャパシタ(CX1)と第2キャパシタ(CX2)を介して積分器アンプ(AMP)の第2入力端子(+)に印加されるパネルノイズの大きさが類似になるからである。理想的には、積分器アンプ(AMP)の両入力端子(+、-)に印加されたパネルノイズの大きさが同じであるとき、積分器出力電圧(CI-OUT)に混入されるパネルノイズは完全に除去される。

20

【0088】

一方、第1スイッチ(AZ1)は、第2ノード2と積分器基準電圧(Vref-CI)の入力端との間に接続される。第2スイッチ(AZ2)は、第4ノード4と積分器基準電圧(Vref-CI)の入力端との間に接続される。第3スイッチ(AZ3)は、第1ノード1と第4ノード4との間に接続される。このような第1~第3スイッチ(AZ1、AZ2、AZ3)のスイッチング作用と第2キャパシタ(CX2)のカップリング作用により、積分器アンプ(AMP)のオフセットを除去することができる補正基準電圧が、第2ノード2を介して積分器アンプ(AMP)に印加されることことができる。

30

【0089】

図12は、図11のピクセルセンシング装置の駆動波形図である。図13~図15は、図11のピクセルセンシング装置の動作を示す図である。

【0090】

図12を参照すると、本発明の他の実施形態に係るセンシング駆動は、オフセット検出期間(1)と、初期化期間(2)と、センシング期間(3)とから実現されることができると。

【0091】

図12及び図13を参照すると、オフセット検出期間(1)で、第1スイッチ(AZ1)と第3スイッチ(AZ3)とリセットスイッチ(RST)はオンされ、第2スイッチ(AZ2)はオフされる。第1スイッチ(AZ1)と第3スイッチ(AZ3)とリセットスイッチ(RST)がオンされると、第2ノード2には、積分器基準電圧(Vref-CI)が印加される一方で、第1、第3、第4ノード(1,3,4)とセンシングラインには、積分器アンプ(AMP)のオフセット(Vofs)を加算した第1積分器基準電圧((Vref-CI)+Vofs)が印加される。したがって、オフセット検出期間(1)で、積分器アンプ(AMP)のオフセット(Vofs)が検出され、第2キャパシタ(CX2)に格納される。

40

【0092】

50

図 1 2 及び図 1 4 を参照すると、初期化期間 (2) で、第 1 スイッチ (A Z 1) と第 3 スイッチ (A Z 3) はオフされ、リセットスイッチ (R S T) と第 2 スイッチ (A Z 2) はオンされる。リセットスイッチ (R S T) がオンされると、第 4 ノード 4 の電圧が第 1 積分器基準電圧 ($(V r e f - C I) + V o f s$) から積分器基準電圧 ($V r e f - C I$) に変わる。このとき、第 1 スイッチ (A Z 1) がオフされるので、第 2 ノード 2 はフローティングされ、第 2 キャパシタ (C X 2) のカップリング作用により、第 2 ノード 2 の電圧が積分器の基準電圧 ($V r e f - C I$) から第 2 積分器基準電圧 ($(V r e f - C I) - V o f s$) に変わる。第 2 ノード 2 を介して印加される第 2 積分器基準電圧 ($(V r e f - C I) - V o f s$) によって、積分器アンプ (A M P) のオフセット ($V o f s$) は相殺される。このとき、リセットスイッチ (R S T) がオンされるので、第 1、第 3 ノード (1, 3) とセンシングラインの電圧は、第 1 積分器基準電圧 ($(V r e f - C I) + V o f s$) から積分器基準電圧 ($V r e f - C I$) に変わる。つまり、初期化期間 (2) で、第 1、第 3 ノード (1, 3) の電圧が、積分器アンプ (A M P) のオフセット ($V o f s$) の除去された積分器基準電圧 ($V r e f - C I$) で初期化される。

【 0 0 9 3 】

図 1 2 及び図 1 5 を参照すると、センシング期間 (3) で、第 1、第 2、第 3 スイッチ (A Z 1、A Z 2、A Z 3) とリセットスイッチ (R S T) はオフされ、センシングラインと第 1 ノード 1 を介して、ピクセル電流 (I P I X) が積分キャパシタ (C F B) に累積される。ピクセル電流 (I P I X) が積分キャパシタ (C F B) に累積されることによって、積分器出力電圧 (C I - O U T) は、積分器基準電圧 ($V r e f - C I$) から徐々に低くなる。

【 0 0 9 4 】

センシング期間 (3) において、第 1、第 2 キャパシタ (C X 1、C X 2) によってピクセル電流 (I P I X) に混入したパネルノイズが積分器アンプ (A M P) の両入力端子 (+、-) に共通に印加され、積分器アンプ (A M P) の内部で相殺されるので、積分器出力電圧 (C I - O U T) に混入されるパネルノイズは最小化される。

【 0 0 9 5 】

センシング期間 (3) において、積分器出力電圧 (C I - O U T) は、積分器アンプ (A M P) のオフセット ($V o f s$) が除去された積分器基準電圧 ($V r e f - C I$) から変化するので、積分器アンプ (A M P) のオフセット ($V o f s$) による積分器出力電圧 (C I - O U T) の歪みが顕著に減少する。

【 0 0 9 6 】

センシング期間 (3) において、サンプルアンドホールド部 (S H) は、サンプリング信号 (S A M) のオン期間中に積分器出力電圧 (C I - O U T) をサンプリングする。

【 0 0 9 7 】

図 1 6 及び図 1 7 は、パネルノイズ改善に関するシミュレーション結果を示す図である。

【 0 0 9 8 】

図 1 6 及び図 1 7 のシミュレーション結果からわかるように、ピクセル電流 (I P I X) に乗せたパネルノイズを、前述した第 1 キャパシタ (C X 1) を介して、または、前述した第 1 キャパシタ (C X 1) と第 2 キャパシタ (C X 2) を介して積分器アンプ (A M P) の両入力端子 (+、-) に印加し、ピクセル電流 (I P I X) を積分すると、積分器出力電圧 (C I - O U T) に混入されたパネルノイズが著しく減少する。

【 0 0 9 9 】

図 1 6 を参照すると、第 1 キャパシタ (C X 1) の容量 (または、第 1 キャパシタ (C X 1) と第 2 キャパシタ (C X 2) の合成容量) を 1 0 p F に設定した場合、パネルノイズの振幅が約 0 . 3 V になるが、これは改善前 (キャパシタ無接続) の 0 . 8 5 V に比べて著しく改善された結果である。

【 0 1 0 0 】

図 1 7 を参照すると、第 1 キャパシタ (C X 1) の容量 (または、第 1 キャパシタ (C

10

20

30

40

50

X 1) と第 2 キャパシタ (C X 2) の合成容量) を 5 0 p F に増加させた場合、パネルノイズの振幅が約 0 . 1 V になるが、これは改善前 (キャパシタ無接続) の 0 . 8 5 V に比べて著しく改善された結果である。

【 0 1 0 1 】

図 1 6 及び図 1 7 を参照すると、第 1 キャパシタ (C X 1) の容量 (または、第 1 キャパシタ (C X 1) と第 2 キャパシタ (C X 2) の合成容量) が大きいほど、積分器出力電圧 (C I - O U T) に混入されるパネルノイズの量が減ることが分かる。

【 0 1 0 2 】

前述したように、本発明は、センシング部内に電流積分器と一緒にパネルノイズ抑制用キャパシタを備えることにより、積分器の出力電圧に混入されるパネルノイズの量を最小化してセンシングの正確性と信頼性を高めることができる。

10

【 0 1 0 3 】

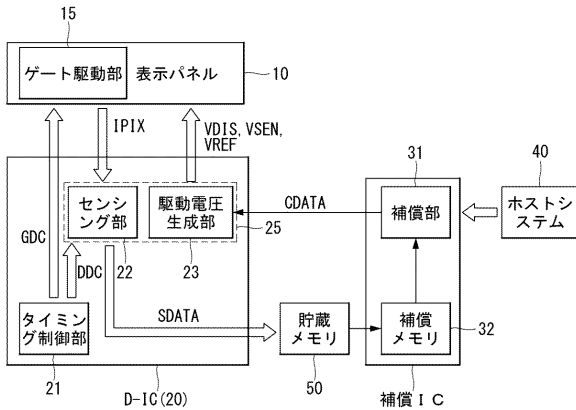
さらに、本発明は、センシング部内にオフセット除去回路をさらに備えることにより、積分器アンプのオフセットにより、積分器出力電圧が歪曲される程度を最小化してセンシングの正確性と信頼性をさらに高めることができる。

【 0 1 0 4 】

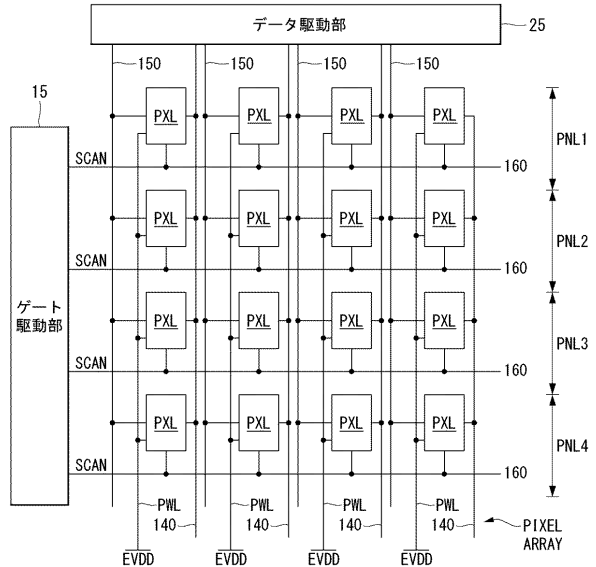
以上説明した内容を通じて、当業者であれば本発明の技術思想を逸脱しない範囲で様々な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲によって定めるべきである。

20

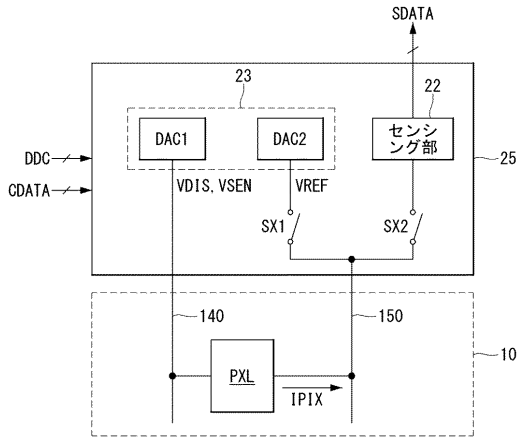
【 図 1 】



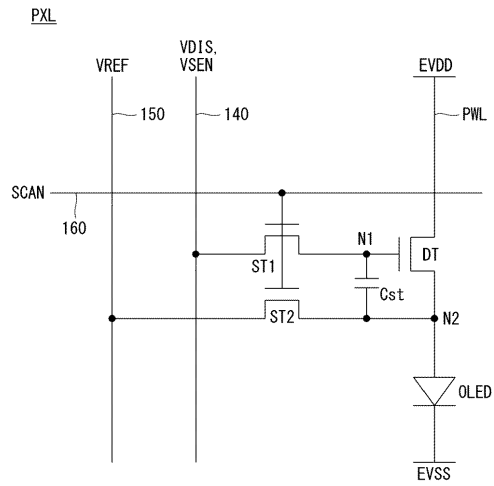
【 図 2 】



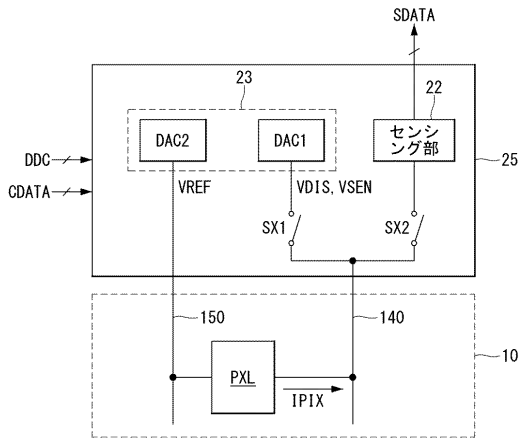
【 図 3 】



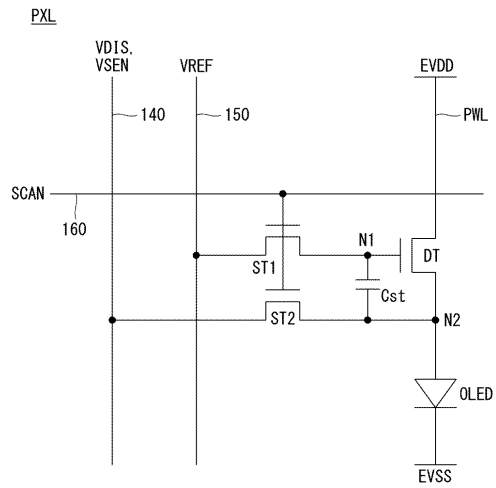
【 図 4 】



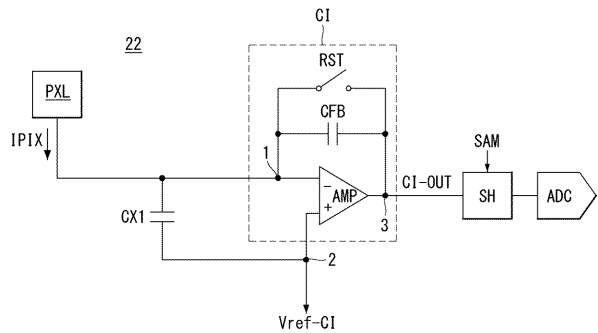
【 図 5 】



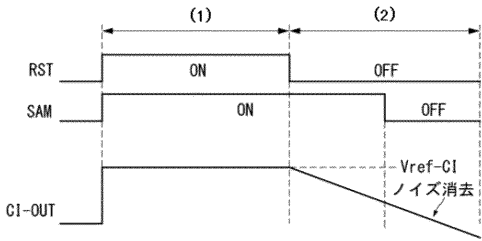
【 図 6 】



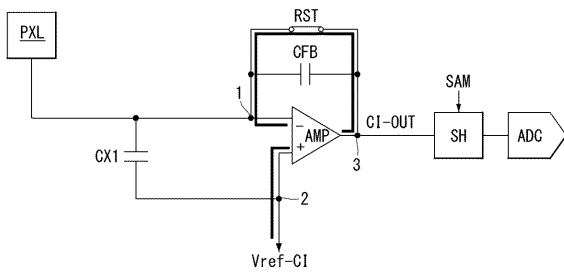
【 図 7 】



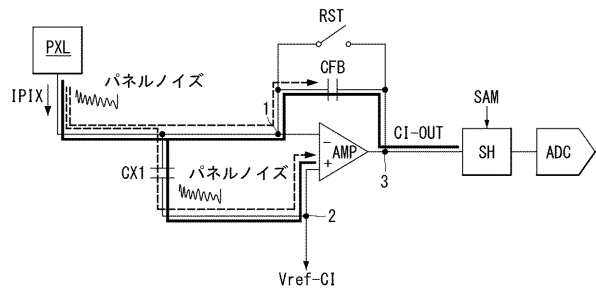
【図 8】



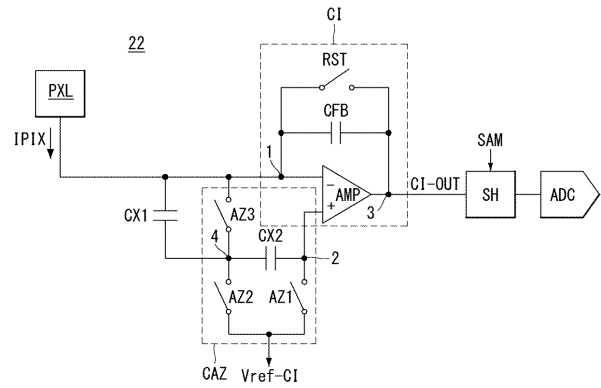
【図 9】



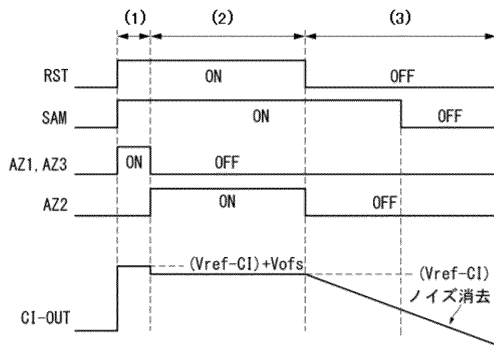
【図 10】



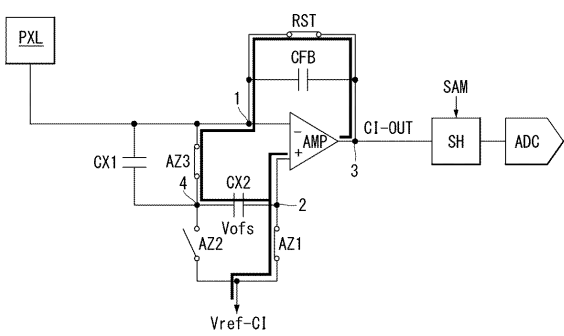
【図 11】



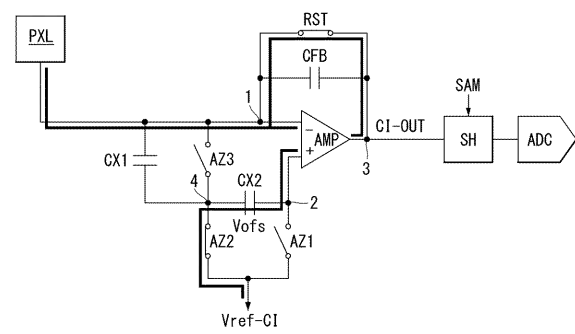
【図 12】



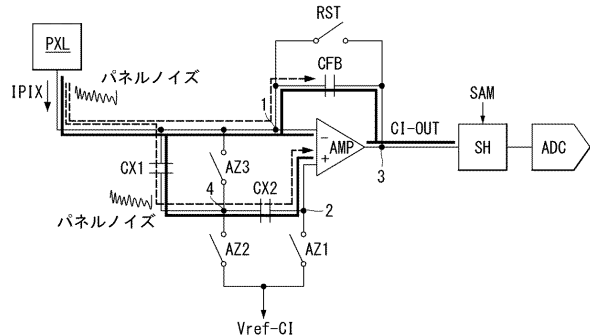
【図 13】



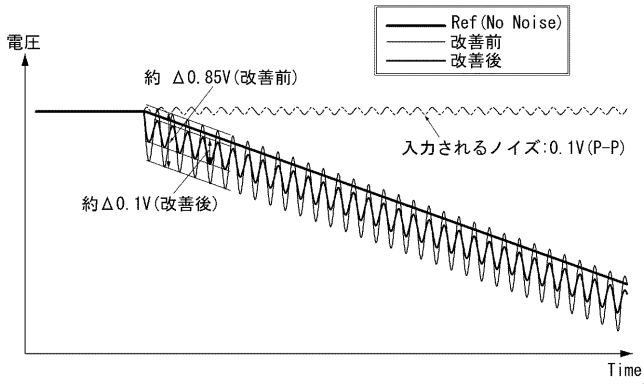
【図 14】



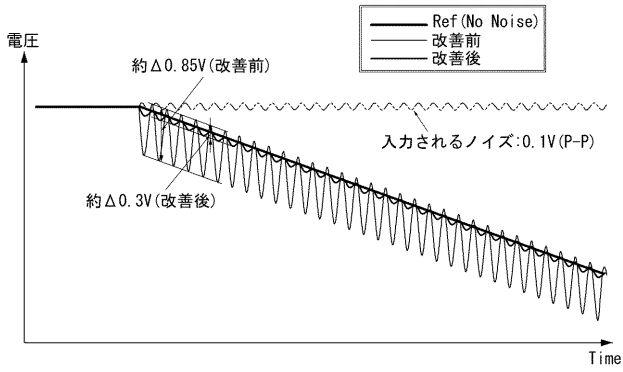
【図 15】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 4 1 P

(72)発明者 洪 錫 顯

大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 李 昌 祐

大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 FF11 JJ02 JJ03 JJ04 JJ05

5C380 AA01 AB06 AB36 BA08 BA38 BA39 BB04 CA04 CA12 CA32

CC03 CC09 CC27 CC33 CC52 CC62 CD013 CF01 CF20 CF27

CF43 CF48 CF49 CF51 DA02 DA06 DA39 DA40 DA49 EA01

FA03 FA21 FA28

专利名称(译)	像素感测装置和包括其的有机发光显示装置		
公开(公告)号	JP2020086440A	公开(公告)日	2020-06-04
申请号	JP2019190787	申请日	2019-10-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
发明人	洪錫顯 李昌祐		
IPC分类号	G09G3/3225 G09G3/20		
CPC分类号	G09G3/3291 G09G2300/0819 G09G2320/0233 G09G2320/0285 G09G2320/029 G09G2320/0295 G09G2320/045 G09G2330/06 G09G3/3233 G09G2310/08		
FI分类号	G09G3/3225 G09G3/20.680.G G09G3/20.642.A G09G3/20.612.T G09G3/20.621.M G09G3/20.641.P		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB36 5C380/BA08 5C380/BA38 5C380/BA39 5C380/BB04 5C380/CA04 5C380/CA12 5C380/CA32 5C380/CC03 5C380/CC09 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CD013 5C380/CF01 5C380/CF20 5C380/CF27 5C380/CF43 5C380/CF48 5C380/CF49 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA40 5C380/DA49 5C380/EA01 5C380/FA03 5C380/FA21 5C380/FA28		
代理人(译)	吉泽博 三村治彦 冈部弘 三宅隆		
优先权	1020180151001 2018-11-29 KR		
外部链接	Espacenet		

摘要(译)

解决的问题:提供一种用于使面板噪声的影响最小化并提高感测精度和可靠性的像素感测装置以及包括该像素感测装置的有机发光显示装置。根据本发明的像素感测装置通过显示面板的感测线连接到像素,并且对从像素流出的像素电流进行积分以产生积分器和积分器的输出电压。采样保持器的输出电压保持部,将采样保持器的积分器的输出电压转换为数字信号的模数转换器,以及在像素电流中混入的面板噪声 它包括一个第一电容器,该电容器可使积分器输出电压的失真最小化。 [选择图]图7

