

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-95381

(P2016-95381A)

(43) 公開日 平成28年5月26日(2016.5.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 642A	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 611D	
	H05B 33/14 A	
審査請求 未請求 請求項の数 26 O L (全 48 頁) 最終頁に続く		

(21) 出願番号	特願2014-231097 (P2014-231097)	(71) 出願人	514188173
(22) 出願日	平成26年11月13日 (2014.11.13)		株式会社 J O L E D
			東京都千代田区神田錦町三丁目23番地
		(74) 代理人	100189430
			弁理士 吉川 修一
		(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	戎野 浩平
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		(72) 発明者	小野 晋也
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC33 EE04 FF04
			FF15 HH02 HH05
			最終頁に続く

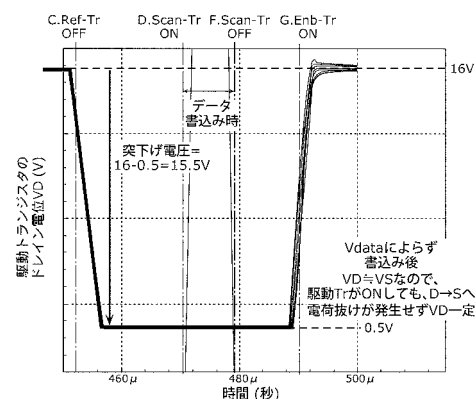
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】スイッチ素子の突抜け電圧による書き込電圧の変動が抑制された表示装置を提供する。

【解決手段】表示装置1は、スイッチ205を非導通状態かつスイッチ203を導通状態とすることにより容量素子210にデータ電圧を書込む期間である書込み期間と、スイッチ205を導通状態かつスイッチ203を非導通状態とすることによりデータ電圧に応じた電流を有機EL素子201に流す期間である発光期間とを実行する制御回路60を備え、スイッチ205は、書込み期間において、ゲート電極からソース電極への突抜け電圧によりソース電極の電位を低下させる、および、スイッチ203は、書込み期間の終了時において、ゲート電極からソース電極への突抜け電圧によりソース電極の電位を低下させる、の少なくともいずれかである。

【選択図】 図7B



【特許請求の範囲】

【請求項 1】

複数の表示画素が行列状に配置された表示部を有する表示装置であって、
前記複数の表示画素に高電位側の駆動電圧を供給するための第 1 駆動電源線と、
画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、
前記複数の表示画素の各々は、
発光素子と、
前記データ電圧に対応した電圧を保持するための容量素子と、
前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、

第 1 ゲート電極、第 2 電極および第 3 電極を有し、前記第 2 電極が前記第 1 駆動電源線に接続され、前記第 3 電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記第 1 駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第 1 スイッチトランジスタと、

第 2 ゲート電極、第 4 電極および第 5 電極を有し、前記第 4 電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第 5 電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第 2 スイッチトランジスタとを備え、

前記表示装置は、さらに、

前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップとを実行する制御部とを備え、

前記第 1 スイッチトランジスタは、前記書込みステップにおいて前記第 3 電極から前記第 1 ゲート電極への電荷突抜けにより前記第 3 電極の電位を低下させる、および、前記第 2 スイッチトランジスタは、前記書込みステップの終了時において前記第 5 電極から前記第 2 ゲート電極への電荷突抜けにより前記第 5 電極の電位を低下させる、の少なくともいずれかが実行される

表示装置。

【請求項 2】

前記表示装置は、

前記複数の表示画素に低電位側の駆動電圧を供給するための第 2 駆動電源線を備え、

前記制御部は、

前記書込みステップにおいて、前記第 2 駆動電源線の電圧値から所定値だけ小さい電圧よりもさらに小さい第 1 制御電圧を前記第 1 ゲート電極に印加することにより、前記第 1 スイッチトランジスタを非導通状態とする

請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 スイッチトランジスタは、前記電荷突抜けにより前記第 3 電極の電位が前記駆動トランジスタのソースおよびドレインの他方の電位となるまで前記電位を低下させる

請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記制御部は、

前記書込みステップの終了時において、前記データ電圧の電圧範囲の下限電圧値から所定値だけ小さい電圧よりもさらに小さい第 2 制御電圧を前記第 2 ゲート電極に印加することにより、前記第 2 スイッチトランジスタを非導通状態とする

請求項 1 ～ 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記第 1 スイッチトランジスタは、
 前記第 1 ゲート電極と前記第 2 電極とで形成された第 1 寄生容量と、
 前記第 1 ゲート電極と前記第 3 電極とで形成された第 2 寄生容量とを有し、
 前記第 2 寄生容量が前記第 1 寄生容量よりも大きくなるよう形成されている
 請求項 1 ～ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記第 1 スイッチトランジスタは、スタガ型または逆スタガ型構造を有する
 請求項 5 に記載の表示装置。

【請求項 7】

さらに、

10

前記制御部と前記表示部との間に配置され、前記制御部の指示により行順次に前記第 1
 ゲート電極に制御信号を印加する第 1 駆動回路を備え、

前記表示部に配置された前記複数の表示画素において、前記第 1 駆動回路に近い表示画
 素ほど前記第 2 寄生容量が小さい前記第 1 スイッチトランジスタを備える

請求項 5 または 6 に記載の表示装置。

【請求項 8】

前記第 2 スイッチトランジスタは、
 前記第 2 ゲート電極と前記第 4 電極とで形成された第 3 寄生容量と、
 前記第 2 ゲート電極と前記第 5 電極とで形成された第 4 寄生容量とを有し、
 前記第 4 寄生容量が前記第 3 寄生容量よりも大きくなるよう形成されている
 請求項 1 ～ 7 のいずれか 1 項に記載の表示装置。

20

【請求項 9】

前記第 2 スイッチトランジスタは、スタガ型または逆スタガ型構造を有する
 請求項 8 に記載の表示装置。

【請求項 10】

さらに、

前記制御部と前記表示部との間に配置され、前記制御部の指示により行順次に前記第 2
 ゲート電極に制御信号を印加する第 2 駆動回路を備え、

前記表示部に配置された前記複数の表示画素において、前記第 2 駆動回路に近い表示画
 素ほど前記第 4 寄生容量が小さい前記第 2 スイッチトランジスタを備える

30

請求項 8 または 9 に記載の表示装置。

【請求項 11】

前記第 1 駆動電源線の電圧を V_{tft} 、前記容量素子および前記駆動トランジスタのゲ
 ート電極に印加される参照電圧を V_{ref} 、前記駆動トランジスタの閾値電圧を $V_{th_{drv}}$ 、
 $V_{th_{drv}}$ 、前記第 1 スイッチトランジスタの閾値電圧を $V_{th_{enb}}$ 、および前記駆動トラン
 ジスタのゲートと前記ソースおよびドレインの一方とで形成される寄生容量を C_{drv} と
 した場合、前記第 1 スイッチトランジスタを非導通状態とするゲート電位 V_{enbL} およ
 び前記第 1 ゲート電極と前記第 3 電極とで形成される寄生容量 C_{enb} は、

【数 1】

$$V_{tft} - (V_{ref} - V_{th_{drv}}) = (V_{tft} + V_{th_{enb}} - V_{enbL}) \times \left(\frac{C_{enb}}{C_{enb} + C_{drv}} \right)$$

40

なる関係を満たす

請求項 1 に記載の表示装置。

【請求項 12】

前記駆動トランジスタのゲートーソース間電圧 V_{gs} の低階調側への目標シフト量を Δ
 V_{gs} 、階調特性に歪みが発生する前記データ電圧を V_{data} 、前記第 2 スイッチトラ
 ンジスタの閾値電圧を $V_{th_{scn}}$ 、および前記容量素子の静電容量を C_s とした場合、
 前記第 2 スイッチトランジスタを非導通状態とするゲート電位 V_{scnL} および前記第 2

50

ゲート電極と前記第 5 電極とで形成される寄生容量 C_{scn} は、
【数 2】

$$\Delta V_{gs} = (V_{data} + V_{th_{scn}} - V_{scn}L) \times \left(\frac{C_{scn}}{C_s + C_{scn}} \right)$$

なる関係を満たす

請求項 1 に記載の表示装置。

【請求項 1 3】

複数の表示画素が行列状に配置された表示部を有する表示装置であって、
前記複数の表示画素に駆動電圧を供給するための駆動電源線と、 10

画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、

前記複数の表示画素の各々は、

発光素子と、

前記データ電圧に対応した電圧を保持するための容量素子と、

前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、

第 1 ゲート電極、第 2 電極および第 3 電極を有し、前記第 2 電極が前記駆動電源線に接続され、前記第 3 電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第 1 スイッチトランジスタと、 20

第 2 ゲート電極、第 4 電極および第 5 電極を有し、前記第 4 電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第 5 電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第 2 スイッチトランジスタとを備え、

前記表示装置は、さらに、

前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップとを実行する制御部とを備え、 30

前記駆動トランジスタは、

ゲート電極と前記ソースおよびドレインの一方とで形成された第 5 寄生容量と、

前記ゲート電極とソースおよびドレインの他方とで形成された第 6 寄生容量とを有し、

前記第 5 寄生容量が前記第 6 寄生容量よりも小さくなるよう形成されている

表示装置。

【請求項 1 4】

前記制御部は、さらに、

前記書込みステップの前に、前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップを実行する 40

請求項 1 ～ 1 3 のいずれか 1 項に記載の表示装置。

【請求項 1 5】

前記複数の表示画素の各々は、さらに、

前記参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第 3 スイッチトランジスタを備える

請求項 1 4 に記載の表示装置。

【請求項 1 6】

前記複数の表示画素の各々は、さらに、

初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第４スイッチトランジスタを備え、

前記制御部は、

前記第１スイッチトランジスタおよび前記第２スイッチトランジスタを非導通状態かつ前記第３スイッチトランジスタおよび前記第４スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップと、

前記第１スイッチトランジスタおよび前記第３スイッチトランジスタを導通状態かつ前記第２スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる前記閾値電圧検出ステップと、

前記閾値電圧検出ステップの後、前記第１スイッチトランジスタおよび前記第３スイッチトランジスタを非導通状態かつ前記第２スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む前記書込みステップと、

前記発光ステップと、

前記閾値電圧検出ステップの終了時点と前記書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを実行し、

前記初期化ステップの前に前記第１スイッチトランジスタ、前記第２スイッチトランジスタ、前記第３スイッチトランジスタおよび前記第４スイッチトランジスタのうち前記第４スイッチトランジスタのみを導通状態に切り換えることで第１期間を開始し、前記第３スイッチトランジスタを導通状態に切り換えることで前記第１期間に続く前記初期化期間を開始する

請求項１５に記載の表示装置。

【請求項１７】

前記初期化電源線は、前記駆動電源線および前記参照電源線と直交する方向に配置されている

請求項１６に記載の表示装置。

【請求項１８】

前記制御部は、さらに、

前記第１期間前に、前記第１スイッチトランジスタを非導通に切り換えることで、前記発光素子を発光させる期間を終了させて、前記第１スイッチトランジスタ、前記第２スイッチトランジスタ、前記第３スイッチトランジスタおよび前記第４スイッチトランジスタが非導通状態に切り換えられた第２期間を開始し、前記第４スイッチトランジスタを導通状態に切り換えることで前記第２期間に続く前記１期間を開始する

請求項１６または１７に記載の表示装置。

【請求項１９】

複数の表示画素が行列状に配置された表示部を有する表示装置の駆動方法であって、

前記表示装置は、

前記複数の表示画素に高電位側の駆動電圧を供給するための第１駆動電源線と、

画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、

前記複数の表示画素の各々は、

発光素子と、

前記データ電圧に対応した電圧を保持するための容量素子と、

前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、

第１ゲート電極、第２電極および第３電極を有し、前記第２電極が前記第１駆動電源線に接続され、前記第３電極が前記駆動トランジスタのソースおよびドレインの一方に接続

10

20

30

40

50

され、前記第 1 駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第 1 スイッチトランジスタと、

第 2 ゲート電極、第 4 電極および第 5 電極を有し、前記第 4 電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第 5 電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第 2 スイッチトランジスタとを備え、

前記第 1 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、

前記書込みステップの後、前記第 1 スイッチトランジスタを導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップと、

前記書込みステップにおいて前記第 1 スイッチトランジスタを非導通状態にし、前記第 3 電極から前記第 1 ゲート電極への電荷突抜けにより前記第 3 電極の電位を低下させる、および、前記書込みステップの終了時において前記第 2 スイッチトランジスタを非導通状態にし、前記第 5 電極から前記第 2 ゲート電極への電荷突抜けにより前記第 5 電極の電位を低下させる、の少なくともいずれかを実行する電荷突抜けステップとを含む

表示装置の駆動方法。

【請求項 20】

前記表示装置は、さらに、

前記複数の表示画素に低電位側の駆動電圧を供給するための第 2 駆動電源線を備え、

前記電荷突抜けステップでは、

前記第 2 駆動電源線の電圧値から所定値だけ小さい電圧よりもさらに小さい第 1 制御電圧を前記第 1 ゲート電極に印加することにより、前記第 1 スイッチトランジスタを非導通状態とする

請求項 19 に記載の表示装置の駆動方法。

【請求項 21】

前記電荷突抜けステップでは、

前記データ電圧の電圧範囲の下限電圧値から所定値だけ小さい電圧よりもさらに小さい第 2 制御電圧を前記第 2 ゲート電極に印加することにより、前記第 2 スイッチトランジスタを非導通状態とする

請求項 19 または 20 に記載の表示装置の駆動方法。

【請求項 22】

前記表示装置は、さらに、

前記書込みステップの前に、前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第 1 スイッチトランジスタを導通状態かつ前記第 2 スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップとを含む、

請求項 19 ～ 21 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 23】

前記複数の表示画素の各々は、さらに、

前記参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第 3 スイッチトランジスタを備え、

前記書込みステップでは、前記第 1 スイッチトランジスタおよび前記第 3 スイッチトランジスタを非導通状態かつ前記第 2 スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む

請求項 22 に記載の表示装置の駆動方法。

【請求項 24】

前記複数の表示画素の各々は、さらに、

初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第 4 スイッチトランジスタを備え、

前記表示装置の駆動方法は、さらに、

10

20

30

40

50

前記閾値電圧検出ステップの前に、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタを非導通状態かつ前記第3スイッチトランジスタおよび前記第4スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップを含み、

前記初期化ステップの前において、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタのうち前記第4スイッチトランジスタのみを導通状態に切り換えることで第1期間を開始し、

前記初期化ステップにおいて、前記第3スイッチトランジスタを導通状態に切り換えることで前記第1期間に続く前記初期化期間を開始する

請求項23に記載の表示装置の駆動方法。

10

【請求項25】

前記初期化電源線は、前記駆動電源線および前記参照電源線と直交する方向に配置されている

請求項24に記載の表示装置の駆動方法。

【請求項26】

さらに、前記第1期間前に、

前記第1スイッチトランジスタを非導通状態に切り換えることで、前記発光素子を発光させる期間を終了させて、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタが非導通状態に切り換えられた第2期間を開始し、前記第4スイッチトランジスタを導通状態に切り換えることで前記第2期間に続く前記1期間を開始する

20

請求項23または24に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス（EL）素子を用いた表示装置が知られている。この自発光する有機EL素子を用いた表示装置は、液晶を用いた表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機EL素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

30

【0003】

有機EL素子を用いた表示装置では、通常、画素を構成する有機EL素子がマトリクス状に配置される。複数の走査線と複数のデータ線との交点にスイッチング薄膜トランジスタ（TFT：Thin Film Transistor）を設け、このスイッチングTFTに駆動トランジスタのゲート電極を接続し、選択した走査線を通じてこのスイッチングTFTを導通状態（導通状態）にさせてデータ線からデータ信号電圧を駆動トランジスタに入力する。この駆動トランジスタによって有機EL素子を駆動するものをアクティブマトリクス型の有機EL表示装置と呼ぶ。

40

【0004】

アクティブマトリクス型の有機EL表示装置では、高精度な画像表示を実現するため、映像信号を反映したデータ電圧を、画素回路に正確に書き込むことが必要となる。つまり、駆動トランジスタは、上記データ電圧に対応した駆動電流を発光素子に流すことで発光素子を所望の輝度で発光させるため、駆動トランジスタのゲートソース間に正確にデータ電圧を書き込むことが必要となる。

【0005】

例えば、特許文献1では、駆動素子の移動度を補正することで、駆動素子のデバイス特

50

性のばらつきを抑える方法が開示されている。具体的には、駆動電源 V_{cc} 、駆動トランジスタ T_{rd} 、および有機 EL 素子 EL が接続された駆動電流経路に、有機 EL 素子の発光および非発光を制御するスイッチ素子 T_{r4} が存在し、データ電圧の書込み時においてデータ電圧が、駆動トランジスタ T_{rd} のゲートに印加される。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-310352号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、特許文献1に開示された画素回路では、データ電圧の書込み時に、駆動トランジスタのドレイン側の寄生容量からソース側に放電される電荷量が、データ電圧の大きさおよびスイッチ素子の突抜け電圧により影響を受ける。このため、データ電圧書込み完了時の駆動トランジスタのドレイン電位が階調によって変動する。これにより、駆動トランジスタの発光時のゲートソース電圧が上記変動の影響を受け、データ電圧と駆動電流との関係を表すガンマカーブに歪みが生じる。また、上記歪みが発生する階調が面内分布を持つため、表示パネルに輝度ムラが生じる。

【0008】

本発明は上記課題に鑑みてなされたものであり、ガンマカーブの歪みが抑制された表示装置およびその駆動方法を提供することを目的とする。

20

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明の一態様に係る表示装置は、複数の表示画素が行列状に配置された表示部を有する表示装置であって、前記複数の表示画素に高電位側の駆動電圧を供給するための第1駆動電源線と、画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、前記複数の表示画素の各々は、発光素子と、前記データ電圧に対応した電圧を保持するための容量素子と、前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、第1ゲート電極、第2電極および第3電極を有し、前記第2電極が前記第1駆動電源線に接続され、前記第3電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記第1駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第1スイッチトランジスタと、第2ゲート電極、第4電極および第5電極を有し、前記第4電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第5電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第2スイッチトランジスタとを備え、前記表示装置は、さらに、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップとを実行する制御部とを備え、前記第1スイッチトランジスタは、前記書込みステップにおいて前記第3電極から前記第1ゲート電極への電荷突抜けにより前記第3電極の電位を低下させる、および、前記第2スイッチトランジスタは、前記書込みステップの終了時において前記第5電極から前記第2ゲート電極への電荷突抜けにより前記第5電極の電位を低下させる、の少なくともいずれかが実行されることを特徴とする。

30

40

【発明の効果】

【0010】

本発明に係る表示装置によれば、容量素子のへ書込み電圧を変動させる要因である駆動トランジスタのソースおよびドレインの一方、ならびに、駆動トランジスタのゲート、の少なくとも一方について、スイッチトランジスタのオフ時に電荷突抜けを発生させること

50

により電位を低下させる。これにより、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧のデータ電圧依存性を低減する、および、駆動トランジスタのゲート電位を低電位側へとシフトさせる、の少なくともいずれかが実行される。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【図面の簡単な説明】

【0011】

【図1】表示装置の全体構成を示す機能ブロック図である。

【図2A】表示装置の画素回路構成の一例を示す図である。

【図2B】表示装置の画素回路の動作タイミングチャートの一例である。

【図3】データ電圧と画素電流との関係を表すグラフである。

10

【図4A】データ電圧が1.0Vの場合の、V_{th}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図4B】データ電圧が2.6Vの場合の、V_{th}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図4C】データ電圧が3.4Vの場合の、V_{th}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図4D】データ電圧が4.0Vの場合の、V_{th}検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【図5】駆動トランジスタのドレイン電位の時間変化を表すグラフである。

【図6】階調特性と駆動トランジスタのゲートーソース間電圧との関係を表すグラフである。

20

【図7A】実施の形態1に係る画素回路のスイッチ制御を説明する回路図である。

【図7B】実施の形態1に係るスイッチ制御による駆動トランジスタのドレイン電位の時間変化を表すグラフである。

【図7C】従来のスイッチ制御による駆動トランジスタのドレイン電位の時間変化を表すグラフである。

【図8】実施の形態の変形例1に係るスイッチの構成を表す概略平面図である。

【図9】実施の形態の変形例2に係るスイッチの構成を表す概略平面図である。

【図10A】実施の形態2に係る画素回路のスイッチ制御を説明する回路図である。

【図10B】遷移領域を非発光領域へシフトさせた階調特性を表すグラフである。

30

【図11】実施の形態3に係る駆動トランジスタの構成を表す概略平面図である。

【図12】実施の形態1～3のいずれかに係る表示装置を内蔵した薄型フラットTVの外観図である。

【図13】表示装置の電源線の配置の一例を示す図である。

【図14】表示装置の電源線の配置の一例を示す図である。

【発明を実施するための形態】

【0012】

(本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載した表示装置に関し、0-3. 階調特性の歪みで後述するような問題が生じることを見出した。以下、図面を用いて本問題について説明する。

40

【0013】

[0-1. 表示装置の全体構成]

図1は、表示装置の全体構成を示す機能ブロック図である。表示装置1は、表示部2と、電源部3と、データ線駆動回路40と、走査線駆動回路50と、制御回路60とを備える。

【0014】

表示部2は、有機EL素子および当該有機EL素子を発光駆動するための回路素子を有する画素20が行列状に配置されている。

【0015】

50

電源部 3 は、表示部 2 の外周領域に配置された給電線 30 から各画素 20 に電源電圧を給電する。なお、給電線 30 は、正電源電圧を伝達する正電圧給電線と、当該正電源電圧よりも低電位である負電源電圧を伝達する負電圧給電線とを有している。なお、給電線 30 は、図 1 のように表示部 2 の外周部を包囲している必要はなく、例えば、表示部 2 の上下辺または左右辺に分割して配置されていてもよい。なお、給電線 30 の電位は、正電圧給電線の電位より相対的に低ければよく、必ずしも負の電位である必要はない。

【0016】

制御回路 60 は、外部から入力された映像信号に基づいて、データ線駆動回路 40 を制御するための制御信号 S4 を生成し、生成した制御信号 S4 をデータ線駆動回路 40 へ出力する。また、制御回路 60 は、入力される同期信号に基づいて走査線駆動回路 50 を制御するための制御信号 S5 を生成し、当該生成した制御信号 S5 を走査線駆動回路 50 へ出力する。

10

【0017】

データ線駆動回路 40 は、制御回路 60 で生成された制御信号 S4 に基づいて、表示部 2 のデータ線を駆動する。より具体的には、データ線駆動回路 40 は、映像信号および水平同期信号に基づいて、各画素回路に映像信号を反映したデータ電圧を出力する。

【0018】

走査線駆動回路 50 は、制御回路 60 で生成された制御信号 S5 に基づいて、表示部 2 の走査線を駆動する。より具体的には、走査線駆動回路 50 は、垂直同期信号および水平同期信号に基づいて、各画素回路に走査信号等を、少なくとも表示ライン単位で出力する。

20

【0019】

[0-2. 画素回路構成および駆動方法]

図 2A は、表示装置の画素回路構成の一例を示す図である。また、図 2B は、表示装置の画素回路の動作タイミングチャートの一例である。図 2A には、有機 EL 発光パネル上に行列状に配置された複数の画素のうちの一画素における回路が示されている。画素 20 は、有機 EL 素子 201 と、駆動トランジスタ 202 と、スイッチ 203 ~ 206 と、容量素子 210 とを備えた表示画素である。また、画素 20 には、参照電源線 24 と、EL アノード電源線 21 (第 1 駆動電源線: V_{tft}) と、EL カソード電源線 22 (第 2 駆動電源線: V_{el}) と、初期化電源線 23 (V_{ini}) と、走査線 93 と、参照電圧制御線 94 と、初期化制御線 96 と、発光制御線 95 と、データ線 25 とが配線されている。

30

【0020】

図 2A に示されように、スイッチ 205 および 203 を有する画素回路構成では、図 3 に示されたような、階調特性の歪みが発生する。

【0021】

図 3 は、データ電圧と画素電流との関係を表すグラフである。同図の左側には、データ電圧 V_{data} - 画素電流 I_{pix} 特性であるガンマカーブが示されており、右側には、データ電圧 V_{data} - 画素電流 I_{pix} の微分値特性が示されている。ガンマカーブの特性を、微分により詳細に分析した右側のグラフでは、階調特性の歪み (領域 P) が観測される。この歪みが発生する階調は表示パネル内でばらつくため、輝度ムラとなって表示品位を下げる原因となる。この歪みが発生する主要因として、駆動トランジスタ 202 のゲートドレイン間寄生容量を介した発光時の突上げ電圧量が表示階調により異なること、が挙げられる。

40

【0022】

以下、図 2B の駆動タイミングチャート、図 4A ~ 図 4D の状態遷移図、図 5 の駆動トランジスタ 202 のドレイン電位の時間変化、および図 6 のガンマカーブと駆動トランジスタ 202 のゲートソース間電圧 V_{gs} との関係を参照しながら、上記歪みの発生原理について説明する。

【0023】

[期間 T21]

50

図2Bに示すように、時刻 t_0 において、スイッチ206のみを導通状態として、駆動トランジスタ202のソース電位を安定させる（駆動トランジスタ202のソース電位を初期化電圧 V_{ini} に設定する）。より具体的には、時刻 t_0 において、走査線駆動回路50は、走査線93と参照電圧制御線94と発光制御線95との電圧レベルをLOWに維持しつつ、初期化制御線96の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻 t_0 において、スイッチ203、スイッチ204およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ206が導通状態（オン状態）にされる。なお初期化電圧 V_{ini} は、電位差（ $V_{ini} - V_{el}$ ）が有機EL素子201の閾値電圧よりも小さくなるように設定されている。より望ましくは（ $V_{ini} - V_{el}$ ） < 0 である。

【0024】

10

このように、初期化制御線96の動作により、スイッチ203、スイッチ204、スイッチ205およびスイッチ206のうちスイッチ206のみを導通とする期間T21を設けることにより、駆動トランジスタ202のソース電位を初期化電源線23の電圧 V_{ini} により短期間に設定することができる。また、容量素子210により、駆動トランジスタ202のゲート電位も、初期化電源線23の電圧 V_{ini} + 前フレームでの発光時の駆動トランジスタ202のゲートソース間電圧に低下する。

【0025】

この期間T21を設ける理由は次の通りである。

【0026】

表示装置1を構成する表示部2のサイズや1画素あたり（画素20）のサイズが大きい場合に、有機EL素子201の容量が大きくなり、初期化電源線23の配線時定数が大きくなることで、駆動トランジスタ202のソース電位を初期化電源線23の電圧 V_{ini} にすることに時間を要する。そのため、スイッチ206を先に導通させる期間T21を設けることにより、駆動トランジスタ202のソース電位を初期化電源線23の電圧 V_{ini} により短期間で設定（電圧 V_{ini} を書込み）することができる。

20

【0027】

なお、参照電源線24の電圧 V_{ref} を駆動トランジスタ202のゲートに印加することも同様に時間を要する。しかし、電圧 V_{ref} を充放電する時間に影響する要因は、容量素子210および参照電源線24の配線時定数である。つまり、参照電源線24と初期化電源線23との配線時定数がほぼ同等であるが、有機EL素子201の容量 $>$ 容量素子210であり、容量比は、（有機EL素子201）／（容量素子210）が1.3～9倍である。そのため、有機EL素子201を充電する（駆動トランジスタ202のソース電位に初期化電源線23の電圧 V_{ini} を書き込む）方が容量素子210を充電する（駆動トランジスタ202のゲート電位に参照電源線24の電圧 V_{ref} を書き込む）よりも時間がかかる。

30

【0028】

また、期間T21において、スイッチ206のみを導通させスイッチ204の導通を遅らせる利点としては次のようなものもある。

【0029】

すなわち、期間T21において、駆動トランジスタ202のソース電位に初期化電源線23の電圧 V_{ini} を書き込む期間を設けることで参照電源線24の電圧 V_{ref} を駆動トランジスタ202のゲートに書き込む負荷を軽くすることができる利点がある。つまり、期間T21を設けることで、駆動トランジスタ202のゲート電位を低い電位に設定することができ、参照電源線24は画素20に充電するための電流（電圧）を供給するのみでよくなる。換言すると、参照電源線24の電圧 V_{ref} が有機EL素子201を充電するための電圧として用いられないため、参照電源線24の負荷が軽くなるという利点がある。

40

【0030】

さらに、参照電源線24の負荷をより軽くするために、初期化電源線23を、ELアノード電源線21および参照電源線24と直交する方向に配置されているとしてもよい。以

50

下、この場合について図を用いて説明する。

【0031】

図13および図14は、表示装置の電源線の配置の一例を示す図である。

【0032】

以下では、参照電源線24、ELアノード電源線21、ELカソード電源線22および初期化電源線23を電源線とも称する。

【0033】

例えば図13に示すように、表示パネル6上に、4本の電源線をすべて縦方向に引くとしてもよい。しかし、この場合、表示部2の外周およびドライバIC51を備える走査線駆動回路50のフレキ部分52での抵抗を下げるのが難しい。

10

【0034】

それに対して、例えば図14に示すように、表示パネル6A上に、4本の電源線のうち1本の電源線を横に引く（つまり、他の3本の電源線と直交するように配置されること）。それにより、表示部2の外周とドライバIC51Aおよび51Bとを備える走査線駆動回路50のフレキ部分53、54で1電源線あたりの端子数および配線幅を太くすることができ、電圧ドロップによる電力損失を小さくできる。

【0035】

横に引く1本の電源線としては、上述したように、初期化電源線23を選ぶとよい。すなわち、初期化電源線23を他の3本の電源線と直交するように配置される1本の電源線とすればよい。

20

【0036】

より具体的には、画素20に必要な電源線は4種類あるが、電源線が表示パネル6Aの外部に引き出される場合には、配線抵抗による電圧ドロップが生じる。そのため、この電圧ドロップを抑えるために、表示パネル6Aの消費電力に影響する参照電源線24およびELカソード電源線22を、図14の縦方向（データ線の方向）に引き出すとよい。また、電源の揺れが直接表示輝度に影響する参照電源線24も、図14の縦方向（データ線の方向）に引き出すとよい。参照電源線24が縦方向に配置されると、参照電源線24が充放電する容量素子210の数は、期間T22～T24の長さに対応した画素数となるので、負荷となる容量の数が小さくなり充放電が容易となる。

【0037】

30

一方、初期化電源線23は、1水平走査期間で、有機EL素子201を1行分同時に充電する必要があるため、特に時定数が大きく、充放電に時間がかかるため、図14の横方向（データ線と直交する方向）に引き出すとよい。それにより、初期化電源線23の配線幅を太くすることができるので、初期化電源線23の配線遅延を少なくでき、より早く駆動トランジスタ202のソース電位を安定させることができる。

【0038】

なお、図13および図14では、走査線駆動回路50の一部として、TAB（Tape Automated Bonding）で形成されたフレキ部分52、53、54を一例に図示されているが、それに限らない。COF（Chip on Film）またはTCP（Tape Carrier Package）で形成されていてもよくドライバIC51等を表示パネル6または6A上に搭載したCOG（Chip on Glass）で形成されているとしてもよい。また、図13および図14では、表示パネル6または6Aの片側にのみ形成されている例を示しているが、それに限らず両側からの給電される構成でもよい。

40

【0039】

また、後述する期間T24（閾値補償動作時）においては、参照電源線24は画素20から電流を引き込むことが要求されるため、期間T21を設けることで、たとえ期間T21で参照電源線24から画素20に対して電流の供給（双方向）を十分に行えなくとも、期間T24において画素20間で電荷を再配分できるので所望の動作が実現できるようになる。つまり、期間T21を設けることで、参照電源線24の電源能力が高くなくても画

50

素 20 を駆動できる。

【0040】

また、表示装置 1 を構成する表示部 2 のサイズが大きい場合には、電源線は、表示部 2 の端から中央に引き回された配線抵抗により電圧ドロップの問題が生じるが、期間 T 21 と設けることで、期間 T 24 において画素 20 間で電荷やり取りが可能となるため、電圧ドロップを抑制できる。つまり、期間 T 21 を設けることで、参照電源線 24 の配線幅を小さくできる。

【0041】

このように、スイッチ 206 のみを導通状態（オン状態）に切り換えて、先に駆動トランジスタ 202 のソース電位を安定させる期間 T 21 を設ける。それにより、表示部 2 の電力消費と表示部 2 の輝度変動の影響とを小さくしつつ、期間 T 21 以降の期間 T 22 の総時間を短くすることができる。

【0042】

なお、図 12 を用いて、初期化電源線 23 が EL アノード電源線 21 および参照電源線 24 と直交する方向に配置されている場合について説明したが、それに限らない。参照電源線 24 が EL アノード電源線 21 および初期化電源線 23 と直交する方向に配置されているとしてもよい。

【0043】

この場合、表示部 2 の外部（パネル外部）への電源線の引き出しが、参照電源線 24 とそれ以外で異なる方向に引き出されることから、パネル外部への電源引き出し配線を太くすることができ、表示部 2 の周辺から外部電源回路までの参照電源線 24 の抵抗を小さく設計することが容易となる。それにより、抵抗による電圧ドロップによる電源変動の影響を受けにくくなり、均一性の高い表示が実現可能となる。

【0044】

〔期間 T 22〕

図 2B に示す時刻 t1 ～時刻 t2 の期間 T 22 は、駆動トランジスタ 202 の閾値電圧補償を行うために駆動トランジスタ 202 を導通状態とし、ドレイン電流を流すのに必要な電圧を駆動トランジスタ 202 のゲートソース間に印加する初期化期間である。

【0045】

具体的には、時刻 t1 において、走査線駆動回路 50 は、走査線 93 と発光制御線 95 の電圧レベルを LOW に維持し、初期化制御線 96 の電圧レベルを HIGH に維持しつつ、参照電圧制御線 94 の電圧レベルを LOW から HIGH に変化させる。すなわち、時刻 t1 において、スイッチ 203 およびスイッチ 205 は非導通状態（オフ状態）、かつ、スイッチ 206 が導通状態（オン状態）のままで、スイッチ 204 が導通状態（オン状態）にされる。

【0046】

これにより、駆動トランジスタ 202 のゲート電位が参照電源線 24 の電圧 V_{ref} に設定される。ここで、スイッチ 206 が導通状態であるから、駆動トランジスタ 202 のソース電位は初期化電源線 23 の電圧 V_{ini} に設定されている。すなわち、駆動トランジスタ 202 は、参照電源線 24 の電圧 V_{ref} および初期化電源線 23 の電圧 V_{ini} が印加される。

【0047】

なお、期間 T 22 は、駆動トランジスタ 202 のゲートおよび駆動トランジスタ 202 のソース電位が、所定電位になるまでの長さ（時間）に設定される。

【0048】

また、上述したように、駆動トランジスタ 202 のゲートソース間電圧は、閾値補正動作を行うのに必要な初期ドレイン電流を確保できる電圧に設定されることが必要である。そのため、参照電源線 24 の電圧 V_{ref} と初期化電源線 23 の電圧 V_{ini} の電位差は駆動トランジスタ 202 の最大閾値電圧よりも大きな電圧に設定される。また、電圧 V_{ref} および電圧 V_{ini} は、有機 EL 素子 201 に電流が流れないように、電圧 V_{in}

10

20

30

40

50

$i < (V_{e1} + \text{有機EL素子201の順方向電流閾値電圧})$ 、および、 $V_{ref} < (V_{e1} + \text{有機EL素子201の順方向電流閾値電圧} + \text{駆動トランジスタ202の閾値電圧})$ 、となるように設定される。

【0049】

[期間T23]

図2Bに示す時刻t2～時刻t3の期間T23は、スイッチ206とスイッチ205とが同時に導通状態とならないようにするための期間である。

【0050】

より具体的には、時刻t2において、走査線駆動回路50は、走査線93と発光制御線95の電圧レベルをLOWに維持し、参照電圧制御線94の電圧レベルをHIGHに維持しつつ、初期化制御線96の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t2において、スイッチ203およびスイッチ205は非導通状態（オフ状態）、かつ、スイッチ204が導通状態（オン状態）のままで、スイッチ206が非導通状態（オフ状態）にされる。

【0051】

このように、初期化制御線96の動作によりスイッチ206を非導通とする期間T23を設けることにより、期間T23がなければスイッチ206とスイッチ205とが同時に導通状態となり、スイッチ205、駆動トランジスタ202、および、スイッチ206を介して、ELアノード電源線21と初期化電源線23との間に貫通電流が流れてしまうのを防止することができる。

【0052】

なお、この時の貫通電流は、駆動トランジスタ202が閾値補償動作を行うのに十分な電流となるため、駆動トランジスタ202の閾値電圧が小さい場合には最高階調以上の電流が流れることも想定される。

【0053】

ELアノード電源線21は、発光期間において有機EL素子201に流れる電流に対応して、電圧降下が少ないように太く配線されているため、期間T23での貫通電流があっても、電圧変動の影響が少ない。一方、初期化電源線23については、駆動トランジスタ202のソースを所定電位に充電できればよく、電流が必要でない配線のため、ELアノード電源線21ほど太く配線されない。しかし、貫通電流が発生すると、ELアノード電源線21の配線抵抗により電圧降下がおき、電圧降下量が大きくなることから、駆動トランジスタ202のソースの所定の電位が印加できなくなる場合も考えられる。初期化電源線23の配線幅を太くすればよいが、配線幅を太くしないで良い方法として、本開示のように期間T23を設ける（挿入する）方法がある。期間T23を挿入する（設ける）ことにより、上述したように、初期化電源線23に流れる電流を少なくすることができるので、細い配線であっても駆動トランジスタ202のソースに所定電圧を印加することができる。

【0054】

[期間T24]

次に、図2Bの時刻t3～時刻t4の期間T24は、駆動トランジスタ202の閾値電圧を補償する閾値補償期間である。

【0055】

具体的には、時刻t3において、走査線駆動回路50は、走査線93および初期化制御線96の電圧レベルをLOW、参照電圧制御線94の電圧レベルをHIGHに維持し、発光制御線95の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t3において、スイッチ203およびスイッチ206は非導通状態（オフ状態）に、かつ、スイッチ204は導通状態（オン状態）に維持されつつ、スイッチ205が導通状態（オン状態）にされる。

【0056】

ここで、電圧は、初期化期間（期間T22）で上述したように設定されているので、有

10

20

30

40

50

機EL素子201には電流が流れない。駆動トランジスタ202は、ELアノード電源線21の電圧 V_{tft} によりドレイン電流が供給されるが、それとともに駆動トランジスタ202のソース電位が変化する。言い換えると、駆動トランジスタ202は、ELアノード電源線21の電圧 V_{tft} により供給されるドレイン電流がほぼ0となる点まで駆動トランジスタ202のソース電位が変化する。

【0057】

このように、駆動トランジスタ202のゲート電極に参照電源線24の電圧 V_{ref} を入力した状態で、スイッチ205を導通状態（オン状態）にすると、駆動トランジスタ202の閾値補償動作を開始することができる。

【0058】

そして、期間T24の終了時（時刻 t_4 ）には、駆動トランジスタ202のゲートと駆動トランジスタ202のソースとの電位差（駆動トランジスタ202のゲートーソース間電圧）は駆動トランジスタ202の閾値に相当する電位差となっており、この電圧は容量素子210に保持（記憶）される。

【0059】

〔期間T25〕

図2Bに示す時刻 t_4 ～時刻 t_5 の期間T25は、閾値補償動作を終了させるための期間である。

【0060】

より具体的には、走査線駆動回路50は、走査線93および初期化制御線96の電圧レベルをLOW、参照電圧制御線94の電圧レベルをHIGHに維持し、発光制御線95の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_4 において、スイッチ203およびスイッチ206は非導通状態（オフ状態）に、かつ、スイッチ204は導通状態（オン状態）に維持されつつ、スイッチ205が非導通状態（オフ状態）にされる。

【0061】

このようにして、発光制御線95の動作によりスイッチ205を非導通とする期間T25を設けることにより、駆動トランジスタ202経由で、ELアノード電源線21から駆動トランジスタ202のソースへの電流の供給をなくすことができ、閾値補償動作を確実に終了させてから次の動作を行うことができる。

【0062】

〔期間T26〕

図2Bに示す時刻 t_5 ～時刻 t_6 の期間T26は、スイッチ204を非導通状態（オフ状態）にすることで、データ線25を介して供給されたデータ電圧と参照電源線24の電圧 V_{ref} とが同時に駆動トランジスタ202のゲートに印加されるのを防止する期間である。

【0063】

具体的には、時刻 t_5 において、走査線駆動回路50は、走査線93と初期化制御線96と発光制御線95との電圧レベルをLOWに維持しつつ、参照電圧制御線94の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻 t_5 において、スイッチ203、スイッチ206およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ204が非導通状態（オフ状態）にされる。

【0064】

このように、参照電圧制御線94の動作によりスイッチ204をさらに非導通とし、スイッチ203およびスイッチ204が非導通状態（オフ状態）となる期間T26を設けることで、データ線25を介してスイッチ203から供給されるデータ電圧と、参照電源線24の電圧 V_{ref} とが駆動トランジスタ202のゲートに同時に印加されるのを防止することができる。

【0065】

なお、スイッチ204とスイッチ205とを同時に非導通状態（オフ状態）にし、期間T25および期間T26は一つにまとめてよい。

10

20

30

40

50

【0066】

期間T25および期間T26と2段階にわけられる場合には、以下に説明する利点がある。すなわち、期間T25および期間T26を設けることで、駆動トランジスタ202のゲート電位である駆動トランジスタ202のゲート電位が不定となる期間をなるべく短くし、不定期間中で発生する恐れのある電位変動を抑え、映像信号に基づいた表示がより正確にできる。

【0067】

また、階調表示は期間T26の最後（時刻t6）の駆動トランジスタ202のゲート電位と、データ線25で入力されるデータ電圧（映像信号）の書き込み完了時（時刻t27）の駆動トランジスタ202のゲート電位との電位差によって行われるため、期間T26における駆動トランジスタ202のゲート電位変動は少ないほうが好ましい。理想的には、期間T24において駆動トランジスタ202のゲートに参照電源線24の電圧Vrefが印加され、期間T25においては駆動トランジスタ202のゲート電位が保持されることから、電位差（データ電圧－電圧Vref）に基づいて有機EL素子201の表示輝度が決まる。

【0068】

なお、（データ電圧－電圧Vref）の電位差を正確に反映させるには、期間T26はなるべく短い方がよい。

【0069】

また、発光制御線95に接続されるスイッチ205は駆動トランジスタ202のドレイン側に接続されている。スイッチ205をn型トランジスタで形成した場合、スイッチ205のオン抵抗は高くなりやすく、オン抵抗による電圧ドロップは、表示部2の消費電力に影響する。そのため、できる限りスイッチ205のオン抵抗を下げて形成する。一般的にはスイッチ205のチャネルサイズを大きくしたり、発光制御線95のオン制御電圧を高くしたりするなどオン抵抗を下げる方法が知られているが、いずれの方法であっても発光制御線95の立下り時間を長くする方向となってしまう。

【0070】

そこで、以下に示す実施の形態では、参照電圧制御線94に対して先に発光制御線95を立ち下げる期間T25を設けることにより、駆動トランジスタ202のゲートの電圧が不安定となる期間を短くすることができる、つまり、立下り時間を短くすることができる。

【0071】

[期間T27]

次に、図2Bの時刻t6～時刻t7の期間T27は、データ線25から表示階調に応じた映像信号電圧（データ電圧）を画素20にスイッチ203を介して取り込み、容量素子210に書き込む書込期間である。

【0072】

具体的には、時刻t6において、走査線駆動回路50は、初期化制御線96、参照電圧制御線94および発光制御線95の電圧レベルをLOWに維持しつつ、走査線93の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t6において、スイッチ204とスイッチ206とスイッチ205は非導通状態（オフ状態）に維持されつつ、スイッチ203が導通状態（オン状態）にされる。

【0073】

これにより、容量素子210には、閾値補償期間で記憶された駆動トランジスタ202の閾値電圧Vthに加えて、データ電圧と参照電源線24の電圧Vrefとの電圧差が、（容量211の静電容量）／（容量211の静電容量＋容量素子210の静電容量）倍されて、記憶（保持）される。スイッチ205が非導通状態にあるため、駆動トランジスタ202はドレイン電流を流さない。そのため、駆動トランジスタ202のソース電位は期間T27の間で大きく変化することはない。なお、容量211は、有機EL素子201が有する寄生容量であってもよいし、容量素子210のようにTFET工程で形成してもよい

。

【0074】

大画面化（表示部2のサイズが大きくなる）、かつ、画素20の数が増加するのに伴い、画素20に映像信号を書き込むための期間（水平走査期間）が短くなる。大画面化に伴い走査線93配線時定数も増加するため、水平走査期間の短縮とあわせて、所定の階調電圧を画素20に書き込むことが難しくなる。

【0075】

そこで、以下に示す実施の形態では、図2Bに示すように、限られた時間で映像信号（データ電圧）を取り込むために、スイッチ203を導通させる時間（期間T27）を増加させている。また、以下に示す実施の形態では、走査線93の波形なまりがあっても、所定の映像信号（データ電圧）がデータ線25に入力される前に走査線93が立ち上がりを完了させて、スイッチ203が導通状態（オン状態）となるようにしている。これは期間T27での駆動トランジスタ202のソース電位変動が大きく発生しないためである。

【0076】

これにより、走査線93の負荷（配線時定数）が大きく、立ち上がりに時間がかかるような大画面、高画素数の表示部2であっても確実に書き込むことができる。

【0077】

なお、このように駆動させることから、走査線93の配線幅をより細くすることもできる。その場合、配線幅を細くした分を容量素子210の大きさ（容量）を拡大することに用いて、表示性能を上げるとしてもよい。

【0078】

表示性能は、容量素子210が小さいと、駆動トランジスタ202のドレインゲート間寄生容量と容量素子210と容量211が直列になっている関係から、ELカソード電源線22の変動により、容量素子210に書き込まれている電荷量に変化するという問題が顕著となる。そのため、表示性能は、寄生容量と蓄積容量（容量素子210の静電容量）の比率が重要であり、蓄積容量／寄生容量 $\gg 1$ が好ましい。

【0079】

このように、期間T27（書込期間）では、データ電圧（映像信号電圧）および駆動トランジスタ202の閾値電圧に応じた電圧が容量素子210に記憶（保持）される。

【0080】

[期間T28]

図2Bに示す時刻t7～時刻t8の期間T28は、スイッチ203を確実に非導通にさせるための期間である。

【0081】

より具体的には、時刻t7において、走査線駆動回路50は、参照電圧制御線94と初期化制御線96と発光制御線95の電圧レベルをLOWに維持しつつ、走査線93の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t7において、スイッチ204、スイッチ206およびスイッチ205は非導通状態（オフ状態）のままで、スイッチ203が非導通状態（オフ状態）にされる。

【0082】

これにより、続く期間T29（発光期間）においてスイッチ205が導通状態（オン状態）にするまえにスイッチ203を確実に非導通状態（オフ状態）にすることができる。

【0083】

期間T28を設けず、スイッチ205とスイッチ203とが同時に導通状態（オン状態）になってしまった場合、駆動トランジスタ202のドレイン電流により、駆動トランジスタ202のソース電位が上昇する一方で、駆動トランジスタ202のゲート電位はデータ電圧となることから、駆動トランジスタ202のゲートソース間電圧が小さくなってしまう。この場合には、所望の輝度に比べて少ない輝度で発光してしまうという問題となる。これを防止するため、本実施の形態では、期間T28を設けてスイッチ203が非導通であることを確保してから、続く期間T29においてスイッチ205を導通状態にする

10

20

30

40

50

。

【0084】

[期間T29]

次に、図2Bに示す時刻t8～時刻t9の期間T29は、発光期間である。

【0085】

具体的には、時刻t8において、走査線駆動回路50は、走査線93、参照電圧制御線94および初期化制御線96の電圧レベルをLOWに維持しつつ、発光制御線95の電圧レベルをLOWからHIGHに変化させる。すなわち、時刻t8において、スイッチ203、スイッチ204およびスイッチ206は非導通状態（オフ状態）に維持されつつ、スイッチ205が導通状態（オン状態）にされる。

10

【0086】

このように、スイッチ205を導通状態（オン状態）にさせることで、容量素子210に蓄えられた電圧に応じて駆動トランジスタ202に有機EL素子201に電流を供給し有機EL素子201を発光させることができる。

【0087】

[期間T30]

図2Bに示す時刻t9～時刻t0の期間T30は、すべてのスイッチを非導通状態として、駆動トランジスタ202のゲートおよび駆動トランジスタ202のソース電位を、期間T21で必要な電圧に近い電位まで変化させるための期間である。

【0088】

20

より具体的には、時刻t9において、走査線駆動回路50は、走査線93と参照電圧制御線94と初期化制御線96の電圧レベルをLOWに維持しつつ、発光制御線95の電圧レベルをHIGHからLOWに変化させる。すなわち、時刻t9において、スイッチ203、スイッチ204、スイッチ206は非導通状態（オフ状態）のままで、さらにスイッチ205が非導通状態（オフ状態）にされる。

【0089】

このようにすることで、期間T29と期間T21の間に期間T30を設けることで、電源線による電流の充放電なしに、駆動トランジスタ202のゲートおよび駆動トランジスタ202のソース電位を、期間T21で必要な電圧に近い電位まで変化させることができる。

30

【0090】

より具体的には、駆動トランジスタ202のソースは、期間T30において、ELカソード電源線22の電圧 V_{e1} ＋有機EL素子201の閾値電圧に収束する。また、駆動トランジスタ202のゲートは、期間T30において、駆動トランジスタ202のソースの電圧＋容量素子210に記憶された電位となる。

【0091】

つまり、期間T21の開始時点（時刻t0）では、期間T29の終了時点（時刻t9）に比べ、有機EL素子201の発光時電圧－閾値電圧分だけ低くできる。

【0092】

この電位低下により、期間T21での初期化電源線23の電圧 V_{ini} と参照電源線24の電圧 V_{ref} による充放電作業の負荷が軽くなる。

40

【0093】

以上のようなシーケンスにより、画素20は、階調表示を行う。

【0094】

なお、制御回路60は、表示部2を構成する他の画素20についても、同様の駆動方法を線順次に行う。

【0095】

以上、表示パネルのサイズが大きい場合でも高精度な画像表示を可能とする駆動方法および表示装置を実現することができる。

【0096】

50

より具体的には、例えば、制御回路60は、複数の画素20の各々において、スイッチ205（第1スイッチ）およびスイッチ203（第2スイッチ）が非導通、かつ、スイッチ204（第3スイッチ）およびスイッチ206（第4スイッチ）が導通に切り換えられて駆動トランジスタ202が初期化される期間T22（初期化期間）を実行する。また、制御回路60は、スイッチ205（第1スイッチ）およびスイッチ204（第3スイッチ）が導通、かつ、スイッチ203（第2スイッチ）およびスイッチ206（第4スイッチ）が非導通に切り換えられて駆動トランジスタ202の閾値電圧が補償される期間T24（閾値電圧補償期間）を実行する。

【0097】

また、例えば、制御回路60は、複数の画素20の各々において、期間T22（初期化期間）の前にスイッチ206（第4スイッチ）のみ導通に切り換えることで期間T21を開始させ、スイッチ204（第3スイッチ）を導通に切り換えることで期間T21に続く期間T22（初期化期間）を開始させる。

【0098】

また、例えば、制御回路60は、複数の画素20の各々において、期間T21の前にスイッチ205（第1スイッチ）を非導通に切り換えることで、有機EL素子201を発光させる期間を終了させて、スイッチ205（第1スイッチ）、スイッチ204（第3スイッチ）、スイッチ203（第2スイッチ）およびスイッチ206（第4スイッチ）が非導通に切り換えられた後の期間T30を開始し、スイッチ206（第4スイッチ）を導通に切り換えることで期間T30に続く期間T21を開始する。

【0099】

また、制御回路60は、複数の画素20の各々において、期間T24（閾値電圧補償期間）内で、スイッチ205（第1スイッチ）を非導通に切り換えることで、期間T24（閾値電圧補償期間）を終了させて期間T24（閾値電圧補償期間）に続く期間T25を開始し、期間T25の終了後に、スイッチ203（第2スイッチ）が導通に、かつ、スイッチ205（第1スイッチ）、スイッチ204（第3スイッチ）およびスイッチ206（第4スイッチ）が非導通に切り換えられた後の期間であって容量素子210に電圧を書き込む期間T27（書込期間）を開始する。

【0100】

また、例えば、制御回路60は、複数の画素20の各々において、期間T25内で、スイッチ204（第3スイッチ）を非導通に切り換えることで、期間T25を終了させて期間T25に続く期間T26を開始し、期間T26内で、スイッチ203（第2スイッチ）を導通に切り換えることで、期間T26を終了させて期間T26に続く期間T27（書込期間）を開始する。

【0101】

以上のように、表示パネルのサイズが大きい場合でも高精度な画像表示を可能とする駆動方法および表示装置を実現することができる。

【0102】

上述したように、期間T21～T30は、1フレームに相当し、初期化期間、Vth検出期間、書込み期間、および発光期間で構成される。

【0103】

[0-3. 階調特性の歪み]

階調特性の歪みは、上述したVth検出期間の終了時点～発光期間開始時点の動作に起因して発生する。また、上記歪みが発生する領域Pは、データ電圧Vdataの中域にて発生する。以下、データ電圧Vdataの低域（Vdata=1.0V、1.5V）、中域（Vdata=2.6V、3.4V）、高域（Vdata=4.0V、5.0V）、に分けて説明する。なお、ここでは、全階調を表現するデータ電圧の電圧範囲を0V（最低輝度）～10V（最高輝度）としている。また、ELアノード電源電圧（Vtft）=16V、および参照電圧（Vref）=1.5Vとし、駆動トランジスタ202の閾値電圧Vthを1Vと想定している。

10

20

30

40

50

【0104】

[Vdata = 1.0V]

図4Aは、データ電圧が1.0Vの場合の、Vth検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0105】

まず、Vth検出終了(t4)直前において(図4AのA)、スイッチ205および204が導通状態であるので、駆動トランジスタ202のドレイン電位VD = 16V、ゲート電位VG = 1.5V、およびソース電位VS = 0.5Vとなっている。

【0106】

次に、時刻t4において(図4AのB)、スイッチ205を非導通としたことに伴い、ドレイン電位VDは16V→7Vへと低下する。これは、スイッチ205の突下げによるものである。具体的には、発光制御線95に印加されたオフ電圧(-3V)が、スイッチ205のゲート-ソース間に存在する寄生容量Cenbを介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。

10

【0107】

次に、時刻t5において(図4AのC)、スイッチ204を非導通としたことに伴い、ゲート電位VGは1.5V→0.3Vへと低下する。これは、スイッチ204の突下げによるものである。具体的には、参照電圧制御線94に印加されたオフ電圧(-3V)が、スイッチ204のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。

20

【0108】

次に、時刻t6において(図4AのD)、スイッチ203を導通させたことに伴い、ゲート電位VGは0.3V→1.5Vへと増加する。これは、スイッチ203の突上げによるものである。具体的には、走査線93に印加されたオン電圧(+20V)が、スイッチ203のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。

【0109】

次に、期間T27において(図4AのE)、データ電圧Vdata = 1.0Vが駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位VGは1.0Vとなる。また、ドレイン電位VDは、7V→6.7Vへと低下する。これは、第1には、ゲート電位VGが、駆動トランジスタ202のゲート-ドレイン間に存在する寄生容量Cdrvを介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。また、第2には、ゲート電位VG = 1.0Vであるので、駆動トランジスタ202が非導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷放電がほぼ無い状態となることによるものである。

30

【0110】

次に、時刻t7において(図4AのF)、スイッチ203を非導通としたことに伴い、ゲート電位VGは1V→0.1Vへと低下する。これは、スイッチ203の突下げによるものである。具体的には、走査線93に印加されたオフ電圧(-3V)が、スイッチ203のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位VDは、6.7V→6.4Vへと低下する。これは、ゲート電位VGが、駆動トランジスタ202のゲート-ドレイン間に存在する寄生容量Cdrvを介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。

40

【0111】

次に、時刻t8において(図4AのG)、スイッチ205を導通させたことに伴い、ドレイン電位VDは、ELアノード電源線21の電圧(16V)へと増加する。

【0112】

上記回路動作により、Vdata = 1.0Vを書込んだ場合、時刻t7→t8でのドレイン電位VDの変動量は、16V - 6.4V = 9.6Vである。これに伴い、ゲート電位

50

V_Gは1.0Vとなる。これは、ドレイン電位V_Dが、駆動トランジスタ202のゲートドレイン間に存在する寄生容量C_{drv}を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。

【0113】

[V_{data}=1.5V]

データ電圧V_{data}=1.5Vの場合の状態遷移については図示していないが、図4Aを用いてその差異点を説明する。

【0114】

V_{th}検出終了(t₄)直前(図4AのA)～時刻t₆(図4AのD)まではデータ電圧によらず、図4Aと同様の回路状態となる。

【0115】

次に、期間T₂₇において(状態E)、データ電圧V_{data}=1.5Vが駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位V_Gは1.5Vとなる。また、ドレイン電位V_Dは、7V→6.7Vへと減少する。これは、第1には、ゲート電位V_Gが、駆動トランジスタ202のゲートドレイン間に存在する寄生容量C_{drv}を介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。また、第2には、ゲート電位V_G=1.5Vであるので、駆動トランジスタ202が非導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷放電がほぼ無い状態となることによるものである。

【0116】

次に、時刻t₇において(状態F)、スイッチ203を非導通としたことに伴い、ゲート電位V_Gは1.5V→0.6Vへと低下する。これは、スイッチ203の突下げによるものである。具体的には、走査線93に印加されたオフ電圧(−3V)が、スイッチ203のゲート−ソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位V_Dは、6.7V→6.4Vへと低下する。これは、ゲート電位V_Gが、駆動トランジスタ202のゲートドレイン間に存在する寄生容量C_{drv}を介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。

【0117】

次に、時刻t₈において(状態G)、スイッチ205を導通させたことに伴い、ドレイン電位V_Dは、E_Lアノード電源電圧V_{tft}(16V)へと増加する。

【0118】

上記回路動作により、V_{data}=1.5Vを書込んだ場合、時刻t₇→t₈でのドレイン電位V_Dの変動量は、16V−6.4V=9.6Vである。

【0119】

データ電圧V_{data}が1.0Vおよび1.5Vの場合には、期間T₂₇(状態E)において駆動トランジスタ202が導通状態とならず駆動トランジスタ202のドレイン電極からソース電極へと電荷が抜けない。これにより、時刻t₇でのドレイン電位V_Dは、いずれの場合も6.4Vとなる。

【0120】

ここで、時刻t₇→t₈でのドレイン電位変動量ΔV_Dによるゲート電位突上げ量ΔV_Gは、以下の式1で表される。

【0121】

【数1】

$$\Delta V_G = \Delta V_D \left(\frac{C_{drvD}}{C_{drvD} + C_{drvS} + C_s} \right) \quad (式1)$$

【0122】

上記式1において、C_sは容量素子210の静電容量であり、C_{drvD}は駆動トランジスタ202のゲートドレイン間に発生する寄生容量であり、C_{drvS}は駆動トラン

10

20

30

40

50

ジスタ202のゲートソース間に発生する寄生容量である。 $V_{data} = 1.0\text{ V}$ および 1.5 V の場合において、ドレイン電位変動量 ΔV_D によるゲート電位突上げ量 ΔV_G は、上記式3に各容量値($C_s = 0.5\text{ pF}$ 、 $C_{drvD} = C_{drvS} = 0.056\text{ pF}$)および $\Delta V_D = 9.6\text{ V}$ を代入すると、 $\Delta V_G = 0.88\text{ V}$ となる。

【0123】

[$V_{data} = 2.6\text{ V}$]

図4Bは、データ電圧が 2.6 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0124】

V_{th} 検出終了(t_4)直前(図4BのA)～時刻 t_6 (図4BのD)まではデータ電圧によらず、図4Aと同様の回路状態となる。

10

【0125】

次に、期間T27において(図4BのE)、データ電圧 $V_{data} = 2.6\text{ V}$ が駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位 V_G は 2.6 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 6\text{ V}$ へと低下する。これは、ゲート電位 $V_G = 2.6\text{ V}$ であるので、駆動トランジスタ202が導通状態となり、駆動トランジスタ202のドレイン電極からソース電極への電荷放電が発生することによるものである。

【0126】

次に、時刻 t_7 において(図4BのF)、スイッチ203を非導通としたことに伴い、ゲート電位 V_G は $2.6\text{ V} \rightarrow 1.4\text{ V}$ へと低下する。これは、スイッチ203の突下げによるものである。具体的には、走査線93に印加されたオフ電圧(-3 V)が、スイッチ203のゲートソース間に存在する寄生容量を介して駆動トランジスタ202のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $6\text{ V} \rightarrow 5.7\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ202のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ202のドレインノードへと突抜けることによるものである。

20

【0127】

次に、時刻 t_8 において(図4BのG)、スイッチ205を導通させたことに伴い、ドレイン電位 V_D は、ELアノード電源電圧 V_{tft} (16 V)へと増加する。

【0128】

上記回路動作により、 $V_{data} = 2.6\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 5.7\text{ V} = 10.3\text{ V}$ である。

30

【0129】

データ電圧 V_{data} が 2.6 V の場合には、期間T27(状態E)において駆動トランジスタ202が導通状態となりドレイン電極からソース電極へと電荷が抜け始める。これにより、時刻 t_7 でのドレイン電位 V_D は、 5.7 V となる。

【0130】

$V_{data} = 2.6\text{ V}$ の場合において、ドレイン電位変動量 ΔV_D によるゲート電位突上げ量 ΔV_G は、上記式3に駆動トランジスタ202の各容量値および $\Delta V_D = 10.3\text{ V}$ を代入すると、 $\Delta V_G = 0.94\text{ V}$ となる。

40

【0131】

[$V_{data} = 3.4\text{ V}$]

図4Cは、データ電圧が 3.4 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

【0132】

V_{th} 検出終了(t_4)直前(図4CのA)～時刻 t_6 (図4CのD)まではデータ電圧によらず、図4Aと同様の回路状態となる。

【0133】

次に、期間T27において(図4CのE)、データ電圧 $V_{data} = 3.4\text{ V}$ が駆動トランジスタ202のゲートノードに印加されたことに伴い、ゲート電位 V_G は 3.4 V と

50

なる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 4.6\text{ V}$ へと低下する。これは、ゲート電位 $V_G = 3.4\text{ V}$ であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷放電が発生することによるものである。

【0134】

次に、時刻 t_7 において（図 4 C の F）、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は $3.4\text{ V} \rightarrow 2.2\text{ V}$ へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧（ -3 V ）が、スイッチ 203 のゲートーソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $4.6\text{ V} \rightarrow 4.3\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突抜けることによるものである。

10

【0135】

次に、時刻 t_8 において（図 4 C の G）、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} （ 16 V ）へと増加する。

【0136】

上記回路動作により、 $V_{data} = 3.4\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 4.3\text{ V} = 11.7\text{ V}$ である。

【0137】

データ電圧 V_{data} が 3.4 V の場合には、期間 T_{27} （状態 E）において駆動トランジスタ 202 が導通状態となり、 $V_{data} = 2.6\text{ V}$ の場合よりもドレイン電極からソース電極への電荷放電量が多い。これにより、時刻 t_7 でのドレイン電位 V_D は、 4.3 V となる。

20

【0138】

$V_{data} = 3.4\text{ V}$ の場合において、ドレイン電位変動量 ΔV_D によるゲート電位上げ量 ΔV_G は、上記式 3 に駆動トランジスタ 202 の各容量値および $\Delta V_D = 11.7\text{ V}$ を代入すると、 $\Delta V_G = 1.07\text{ V}$ となる。

【0139】

[$V_{data} = 4.0\text{ V}$]

図 4 D は、データ電圧が 4.0 V の場合の、 V_{th} 検出期間の終了時点～発光期間開始時点の画素回路の状態遷移図である。

30

【0140】

V_{th} 検出終了（ t_4 ）直前（図 4 D の A）～時刻 t_6 （図 4 D の D）まではデータ電圧によらず、図 4 A と同様の回路状態となる。

【0141】

次に、期間 T_{27} において（図 4 D の E）、データ電圧 $V_{data} = 4.0\text{ V}$ が駆動トランジスタ 202 のゲートノードに印加されたことに伴い、ゲート電位 V_G は 4.0 V となる。また、ドレイン電位 V_D は、 $7\text{ V} \rightarrow 1\text{ V}$ へと低下する。これは、ゲート電位 $V_G = 4.0\text{ V}$ であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷放電が発生することによるものである。

40

【0142】

次に、時刻 t_7 において（図 4 D の F）、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は $4\text{ V} \rightarrow 2.8\text{ V}$ へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧（ -3 V ）が、スイッチ 203 のゲートーソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位 V_D は、 $1\text{ V} \rightarrow 0.5\text{ V}$ へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲートドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突抜けることによるものである。

【0143】

50

次に、時刻 t_8 において（図 4 D の G）、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} （16 V）へと増加する。

【0144】

上記回路動作により、 $V_{data} = 4.0\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 0.5\text{ V} = 15.5\text{ V}$ である。

【0145】

データ電圧 V_{data} が 4.0 V の場合には、期間 T27（状態 E）において駆動トランジスタ 202 が導通状態となり、 $V_{data} = 3.4\text{ V}$ の場合よりもドレイン電極からソース電極への電荷放電量が多い。これにより、時刻 t_7 でのドレイン電位 V_D は、0.5 V となる。

10

【0146】

[$V_{data} = 5.0\text{ V}$]

データ電圧 $V_{data} = 5.0\text{ V}$ の場合の状態遷移については図示していないが、図 4 D を用いてその差異点を説明する。

【0147】

V_{th} 検出終了（ t_4 ）直前（状態 A）～時刻 t_6 （状態 D）まではデータ電圧によらず、図 4 D と同様の回路状態となる。

【0148】

次に、期間 T27 において（状態 E）、データ電圧 $V_{data} = 5.0\text{ V}$ が駆動トランジスタ 202 のゲートノードに印加されたことに伴い、ゲート電位 V_G は 5.0 V となる。また、ドレイン電位 V_D は、7 V $\rightarrow$ 1 V へと低下する。これは、ゲート電位 $V_G = 5.0\text{ V}$ であるので、駆動トランジスタ 202 が導通状態となり、駆動トランジスタ 202 のドレイン電極からソース電極への電荷放電が発生することによるものである。

20

【0149】

次に、時刻 t_7 において（状態 F）、スイッチ 203 を非導通としたことに伴い、ゲート電位 V_G は 5 V $\rightarrow$ 3.8 V へと低下する。これは、スイッチ 203 の突下げによるものである。具体的には、走査線 93 に印加されたオフ電圧（-3 V）が、スイッチ 203 のゲート-ソース間に存在する寄生容量を介して駆動トランジスタ 202 のゲートノードへと突抜けることによるものである。また、同時に、ドレイン電位 V_D は、1 V $\rightarrow$ 0.5 V へと低下する。これは、ゲート電位 V_G が、駆動トランジスタ 202 のゲート-ドレイン間に存在する寄生容量 C_{drv} を介して駆動トランジスタ 202 のドレインノードへと突抜けることによるものである。

30

【0150】

次に、時刻 t_8 において（状態 G）、スイッチ 205 を導通させたことに伴い、ドレイン電位 V_D は、EL アノード電源電圧 V_{tft} （16 V）へと増加する。

【0151】

上記回路動作により、 $V_{data} = 5.0\text{ V}$ を書込んだ場合、時刻 $t_7 \rightarrow t_8$ でのドレイン電位 V_D の変動量は、 $16\text{ V} - 0.5\text{ V} = 15.5\text{ V}$ である。

【0152】

データ電圧 V_{data} が 5.0 V の場合には、期間 T27（状態 E）において駆動トランジスタ 202 が導通状態となり、ドレイン電極からソース電極への電荷放電が発生するが、 $V_{data} = 4.0\text{ V}$ 以上の場合は、駆動トランジスタ 202 のドレインノードに溜まった電荷が全て抜けきっているので、ドレイン電位 V_D は 0.5 V で一定となる。

40

【0153】

$V_{data} = 4.0\text{ V}$ および 5.0 V の場合において、ドレイン電位変動量 ΔV_D によるゲート電位突上げ量 ΔV_G は、上記式 3 に駆動トランジスタ 202 の各容量値および $\Delta V_D = 15.5\text{ V}$ を代入すると、いずれの場合も $\Delta V_G = 1.41\text{ V}$ となる。

【0154】

図 5 は、駆動トランジスタのドレイン電位の時間変化を表すグラフである。同図において、横軸は 1 フレームにおける閾値電圧検出期間の終了時（ t_5 ）～発光期間の終了時（

50

t 9) までを表している。データ電圧の書込み直前である時刻 t 6 (Scan-Track ON) では、ドレイン電位 V_D は、いずれのデータ電圧においても 7 V となっている。その後、データ電圧 V_{data} の大きさ (階調レベル) により、書込み終了時点 (t 7) でのドレイン電位 V_D は 0.5 V ~ 6.4 V の間で変化する。つまり、階調により駆動トランジスタ 202 を介して抜ける電荷量が変わるため、書込み後のドレイン電位 V_D が異なる。

【0155】

図 6 は、階調特性と駆動トランジスタのゲート-ソース間電圧との関係を表すグラフである。

【0156】

非発光領域 ($V_{data} = 1.0 \text{ V}$ 、 1.5 V) では、駆動トランジスタ 202 のドレインからソースへ電荷が抜けないので、ドレイン電位変動量 ΔV_D は 9.6 V で一定であり、ゲート電位突上げ量 ΔV_G は 0.87 V で一定である。

【0157】

これに対して、遷移領域 ($V_{data} = 2.6 \text{ V}$ 、 3.4 V) では、データ電圧が大きくなるほど駆動トランジスタ 202 のドレインからソースへの電荷放電量が多くなるので、 V_{data} に連動してドレイン電位変動量 ΔV_D は大きくなる。これに伴い、ゲート電位突上げ量 ΔV_G も大きくなり、ゲート電位 V_G もその分大きくなる。これにより、階調カーブの傾きが大きくなる。

【0158】

また、安定領域 ($V_{data} = 4.0 \text{ V}$ 、 5.0 V) では、駆動トランジスタ 202 のドレインからソースへの電荷放電が発生しないので、ドレイン電位変動量 ΔV_D およびゲート電位突上げ量 ΔV_G が一定となる。これにより、階調カーブの傾きが低下する。遷移領域と安定領域との境界において、階調カーブの傾きが変わることにより、歪みが発生する。

【0159】

以上のように、(1) 駆動トランジスタ 202 のドレイン側に発光を制御するスイッチ 205 が存在し、(2) スwitch 205 をデータ書込み時に非導通とし発光時に導通させ、(3) データ書込み時にデータ電圧が駆動トランジスタ 202 のゲートに印加される、特徴を有する画素回路では、データ書込み時に駆動トランジスタ 202 のドレイン側の寄生容量からソース側に放電される電荷量が、データ電圧およびスイッチの突抜け電圧に影響を受ける。このため、データ書込み完了時のドレイン電位 V_D が階調によって変動し、それにより、発光開始時の駆動トランジスタ 202 のゲート-ソース間電圧 V_{gs} の変動量が変化して、階調特性 (ガンマカーブ) に歪みが生じることを、発明者らは見出した。また、上記歪みが発生する階調は、面内分布を有する。なぜなら、第 1 には、スイッチを導通、非導通とした際に、各制御線から駆動トランジスタ 202 のゲートおよびドレインに突抜ける電圧は、走査線駆動回路 50 からの距離に応じて異なるためである。第 2 には、期間 T27 において (状態 E)、駆動トランジスタ 202 が導通状態となる期間が、データ線駆動回路 40、および走査線駆動回路 50 からの距離に応じて異なるため、駆動トランジスタ 202 のドレイン電極からソース電極へ抜ける電荷量も異なるためである。このため、表示部において輝度ムラが発生する問題を有する。

【0160】

上記の課題は、特にスタガ型または逆スタガ型構造の様なセルフアライメント構造を取らないトランジスタにおいて顕著である。セルフアライメント構造を取らないトランジスタにおいては、チャンネル領域を確実にゲート電極で覆うために、マスクのアライメントずれ量や各層のエッチング後退量を考慮して、ゲート電極とドレイン電極またはソース電極とをオーバーラップさせる構造を取ることが一般的である。そのため、スイッチ 205 のゲート-ソース間に存在する寄生容量 C_{enb} や、駆動トランジスタ 202 のゲート-ドレイン間に存在する寄生容量 C_{drv} が大きくなり、データ書込み時に駆動トランジスタ 202 のドレイン側の寄生容量からソース側に放電される電荷量の影響を受けやすいと言

10

20

30

40

50

う特徴がある。スタガ型または逆スタガ型構造を取るトランジスタとしては、アモルファスシリコントランジスタや、IGZO (Indium Gallium Zinc Oxide) などの酸化物半導体が代表的である。

【0161】

このような問題を解決するために、本発明の一態様に係る表示装置は、複数の表示画素が行列状に配置された表示部を有する表示装置であって、前記複数の表示画素に高電位側の駆動電圧を供給するための第1駆動電源線と、画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、前記複数の表示画素の各々は、発光素子と、前記データ電圧に対応した電圧を保持するための容量素子と、前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、第1ゲート電極、第2電極および第3電極を有し、前記第2電極が前記第1駆動電源線に接続され、前記第3電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記第1駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第1スイッチトランジスタと、第2ゲート電極、第4電極および第5電極を有し、前記第4電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第5電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第2スイッチトランジスタとを備え、前記表示装置は、さらに、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップとを実行する制御部とを備え、前記第1スイッチトランジスタは、前記書込みステップにおいて前記第3電極から前記第1ゲート電極への電荷突抜けにより前記第3電極の電位を低下させる、および、前記第2スイッチトランジスタは、前記書込みステップの終了時において前記第5電極から前記第2ゲート電極への電荷突抜けにより前記第5電極の電位を低下させる、の少なくともいずれかが実行されることを特徴とする。

【0162】

本態様によれば、容量素子のへ書込み電圧を変動させる要因である駆動トランジスタのソースおよびドレインの一方、ならびに、駆動トランジスタのゲート、の少なくとも一方を、スイッチトランジスタのオフ時に電荷突抜けを発生させることにより電位を低下させる。これにより、駆動トランジスタのソースおよびドレインの一方からゲートへの突抜け電圧のデータ電圧依存性を低減する、および、駆動トランジスタのゲート電位を低電位側へとシフトさせる、の少なくともいずれかが実行される。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0163】

また、前記表示装置は、前記複数の表示画素に低電位側の駆動電圧を供給するための第2駆動電源線を備え、前記制御部は、前記書込みステップにおいて、前記第2駆動電源線の電圧値から所定値だけ小さい電圧よりもさらに小さい第1制御電圧を前記第1ゲート電極に印加することにより、前記第1スイッチトランジスタを非導通状態としてもよい。

【0164】

これにより、駆動トランジスタのソースおよびドレインの一方の電位は、データ書込み完了時において、データ電圧の大きさによらず一定電位となる。よって、全階調範囲における書込み電圧の変動が抑制される。

【0165】

また、前記第1スイッチトランジスタは、前記電荷突抜けにより前記第3電極の電位が前記駆動トランジスタのソースおよびドレインの他方の電位となるまで前記電位を低下させてもよい。

【0166】

これにより、第1スイッチトランジスタが非導通状態である書込み期間において、駆動トランジスタのソースおよびドレインの一方に蓄積された電荷を、第1スイッチトランジ

スタの寄生容量を介して、第1スイッチトランジスタのゲート電極へと突抜けさせることが可能となる。よって、駆動トランジスタのソースおよびドレインの一方の電位は、データ書込み完了時において、データ電圧の大きさによらず一定電位となる。よって、全階調範囲における書込み電圧の変動が抑制される。

【0167】

また、前記制御部は、前記書込みステップの終了時において、前記データ電圧の電圧範囲の下限電圧値から所定値だけ小さい電圧よりもさらに小さい第2制御電圧を前記第2ゲート電極に印加することにより、前記第2スイッチトランジスタを非導通状態としてもよい。

【0168】

これにより、第2スイッチトランジスタが非導通状態である書込み期間の終了時において、駆動トランジスタのゲートに蓄積された電荷を、第2スイッチトランジスタの寄生容量を介して、第2スイッチトランジスタのゲート電極へと突抜けさせることが可能となる。よって、書込み電圧である駆動トランジスタのゲートソース間電圧 V_{gs} は、データ書込み完了時において低電位側へシフトする。このため、階調特性の歪みが発生する領域は、階調特性の歪みが目立たない低階調側へと移動するので、輝度ムラが視認され易い中階調以上での書込み電圧の変動が抑制される。

【0169】

また、前記第1スイッチトランジスタは、前記第1ゲート電極と前記第2電極とで形成された第1寄生容量と、前記第1ゲート電極と前記第3電極とで形成された第2寄生容量とを有し、前記第2寄生容量が前記第1寄生容量よりも大きくなるよう形成されていてもよい。

【0170】

これにより、第1スイッチトランジスタが非導通状態である書込み期間において、駆動トランジスタのソースおよびドレインの一方から第1スイッチトランジスタのゲート電極への電荷突抜け量を大きくすることが可能となる。よって、駆動トランジスタのソースおよびドレインの一方の電位は、データ書込み完了時において、データ電圧の大きさによらず一定電位となる。よって、全階調範囲における書込み電圧の変動が抑制される。

【0171】

また、前記第1スイッチトランジスタは、スタガ型または逆スタガ型構造を有してもよい。

【0172】

これにより、第1スイッチトランジスタにおいて、ゲート電極が構成要素となって形成される寄生容量を大きく確保することが可能となる。よって、駆動トランジスタのソースおよびドレインの一方から第1スイッチトランジスタのゲート電極への電荷突抜け量を大きくすることが可能となる。

【0173】

また、さらに、前記制御部と前記表示部との間に配置され、前記制御部の指示により行順次に前記第1ゲート電極に制御信号を印加する第1駆動回路を備え、前記表示部に配置された前記複数の表示画素において、前記第1駆動回路に近い表示画素ほど前記第2寄生容量が小さい前記第1スイッチトランジスタを備えてもよい。

【0174】

これにより、第1スイッチトランジスタの非導通時における突下げ電圧を、表示部内で均一化することが可能となる。よって、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0175】

また、前記第2スイッチトランジスタは、前記第2ゲート電極と前記第4電極とで形成された第3寄生容量と、前記第2ゲート電極と前記第5電極とで形成された第4寄生容量とを有し、前記第4寄生容量が前記第3寄生容量よりも大きくなるよう形成されていてもよい。

10

20

30

40

50

【0176】

これにより、第2スイッチトランジスタが非導通状態である書込み期間の終了時において、駆動トランジスタのゲートから第2スイッチトランジスタのゲート電極への電荷突抜け量を大きくすることが可能となる。よって、書込み電圧である駆動トランジスタのゲートソース間電圧 V_{gs} は、データ書込み完了時において低電位側へシフトする。このため、階調特性の歪みが発生する領域は、階調特性の歪みが目立たない低階調側へと移動するので、書込み電圧の変動が抑制される。

【0177】

また、前記第2スイッチトランジスタは、スタガ型または逆スタガ型構造を有してもよい。

10

【0178】

これにより、第2スイッチトランジスタにおいて、ゲート電極が構成要素となって形成される寄生容量を大きく確保することが可能となる。よって、駆動トランジスタのゲートから第2スイッチトランジスタのゲート電極への電荷突抜け量を大きくすることが可能となる。

【0179】

また、さらに、前記制御部と前記表示部との間に配置され、前記制御部の指示により行順次に前記第2ゲート電極に制御信号を印加する第2駆動回路を備え、前記表示部に配置された前記複数の表示画素において、前記第2駆動回路に近い表示画素ほど前記第4寄生容量が小さい前記第2スイッチトランジスタを備えてもよい。

20

【0180】

これにより、第2スイッチトランジスタの非導通時における突下げ電圧を、表示部内で均一化することが可能となる。よって、輝度ムラが視認され易い中階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0181】

また、前記第1駆動電源線の電圧を V_{tft} 、前記容量素子および前記駆動トランジスタのゲート電極に印加される参照電圧を V_{ref} 、前記駆動トランジスタの閾値電圧を $V_{th_{drv}}$ 、前記第1スイッチトランジスタの閾値電圧を $V_{th_{enb}}$ 、および前記駆動トランジスタのゲートと前記ソースおよびドレインの一方とで形成される寄生容量を C_{drv} とした場合、前記第1スイッチトランジスタを非導通状態とするゲート電位 V_{enb} L および前記第1ゲート電極と前記第3電極とで形成される寄生容量 C_{enb} は、

30

【数2】

$$V_{tft} - (V_{ref} - V_{th_{drv}}) = (V_{tft} + V_{th_{enb}} - V_{enb}L) \times \left(\frac{C_{enb}}{C_{enb} + C_{drv}} \right)$$

なる関係を満たしてもよい。

【0182】

上記関係式により、第1スイッチトランジスタのオフ電圧（第1制御電圧） $V_{enb}L$ および第1ゲート電極と第3電極とで形成される寄生容量 C_{enb} を選択することにより、画素回路の設計パラメータの自由度が大きくなる。

40

【0183】

また、前記駆動トランジスタのゲートソース間電圧 V_{gs} の低階調側への目標シフト量を ΔV_{gs} 、階調特性に歪みが発生する前記データ電圧を V_{data} 、前記第2スイッチトランジスタの閾値電圧を $V_{th_{scn}}$ 、および前記容量素子の静電容量を C_s とした場合、前記第2スイッチトランジスタを非導通状態とするゲート電位 $V_{scn}L$ および前記第2ゲート電極と前記第5電極とで形成される寄生容量 C_{scn} は、

【数 3】

$$\Delta V_{gs} = (V_{data} + V_{th_{scn}} - V_{scn} L) \times \left(\frac{C_{scn}}{C_s + C_{scn}} \right)$$

なる関係を満たしてもよい。

【0184】

上記関係式により、第2スイッチトランジスタのオフ電圧（第2制御電圧） $V_{scn} L$ および第2ゲート電極と第5電極とで形成される寄生容量 C_{scn} を選択することにより、画素回路の設計パラメータの自由度が大きくなる。

10

【0185】

また、本発明の一態様に係る表示装置は、複数の表示画素が行列状に配置された表示部を有する表示装置であって、前記複数の表示画素に駆動電圧を供給するための駆動電源線と、画素列に対応して配置され、映像信号を反映したデータ電圧を前記複数の表示画素へ伝達する複数のデータ線とを備え、前記複数の表示画素の各々は、発光素子と、前記データ電圧に対応した電圧を保持するための容量素子と、前記電圧がゲートソース間に印加されることにより当該電圧に応じた電流を前記発光素子に流す駆動トランジスタと、第1ゲート電極、第2電極および第3電極を有し、前記第2電極が前記駆動電源線に接続され、前記第3電極が前記駆動トランジスタのソースおよびドレインの一方に接続され、前記駆動電源線と前記駆動トランジスタの導通および非導通を切り換える第1スイッチトランジスタと、第2ゲート電極、第4電極および第5電極を有し、前記第4電極が前記複数のデータ線のうち対応するデータ線に接続され、前記第5電極が前記容量素子に接続され、前記データ線と前記容量素子との導通および非導通を切り換える第2スイッチトランジスタとを備え、前記表示装置は、さらに、前記第1スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む書込みステップと、前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより当該電圧に応じた電流を前記発光素子に流す発光ステップとを実行する制御部とを備え、前記駆動トランジスタは、ゲート電極と前記ソースおよびドレインの一方とで形成された第5寄生容量と、前記ゲート電極とソースおよびドレインの他方とで形成された第6寄生容量とを有し、前記第5寄生容量が前記第6寄生容量よりも小さくなるよう形成されていることを特徴とする。

20

30

【0186】

本態様によれば、発光期間開始時において、駆動トランジスタのソースおよびドレインの一方からゲートへの電荷突抜け量を小さくすることが可能となる。よって、駆動トランジスタのゲートの電位は、データ書込み完了時における上記ソースおよびドレインの一方の電位変動の影響を受けず、正確なデータ電圧を反映した電位となる。よって、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0187】

また、前記制御部は、さらに、前記書込みステップの前に、前記駆動トランジスタのゲートに参照電圧を印加した状態で、かつ前記第1スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる閾値電圧検出ステップを実行してもよい。

40

【0188】

これにより、データ書込み前に、駆動トランジスタの閾値電圧が容量素子に書き込まれるので、駆動トランジスタの特性を考慮した書込み動作が可能となり、輝度ムラをより抑制することが可能となる。

【0189】

また、前記複数の表示画素の各々は、さらに、前記参照電圧を伝達する参照電源線と前記容量素子との導通および非導通を切り換える第3スイッチトランジスタを備えてもよい。

50

【0190】

これにより、駆動トランジスタのゲート電極に印加される参照電圧を、他の電源線および信号線から独立して制御出来るので、より精度よく閾値電圧を容量素子に書込むことが可能となり、輝度ムラをより抑制することが可能となる。

【0191】

また、前記複数の表示画素の各々は、さらに、初期化電圧を伝達する初期化電源線と前記容量素子との導通および非導通を切り換える第4スイッチトランジスタを備え、前記制御部は、前記第1スイッチトランジスタおよび前記第2スイッチトランジスタを非導通状態かつ前記第3スイッチトランジスタおよび前記第4スイッチトランジスタを導通状態とすることにより、前記駆動トランジスタを導通状態とすることで初期化期間を開始する初期化ステップと、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを導通状態かつ前記第2スイッチトランジスタを非導通状態とすることにより前記容量素子に前記駆動トランジスタの閾値電圧を保持させる前記閾値電圧検出ステップと、前記閾値電圧検出ステップの後、前記第1スイッチトランジスタおよび前記第3スイッチトランジスタを非導通状態かつ前記第2スイッチトランジスタを導通状態とすることにより前記容量素子に前記データ電圧を書込む前記書込みステップと、前記発光ステップと、前記閾値電圧検出ステップの終了時点と前記書込みステップの終了時点との間に、前記駆動トランジスタの前記ソースおよびドレインの一方の電位とソースおよびドレインの他方の電位とが同電位となるまで、前記ソースおよびドレインの一方に蓄積されている電荷を前記ソースおよびドレインの他方へと引き抜く電荷引き抜きステップとを実行し、前記初期化ステップの前に前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタのうち前記第4スイッチトランジスタのみを導通状態に切り換えることで第1期間を開始し、前記第3スイッチトランジスタを導通状態に切り換えることで前記第1期間に続く前記初期化期間を開始してもよい。

【0192】

これにより、短期間に駆動トランジスタのソース電位を初期化することが出来るので、表示パネルのサイズが大きい場合でも高精度な画像表示を可能とする駆動方法および表示装置を実現することができる。

【0193】

また、前記初期化電源線は、前記駆動電源線および前記参照電源線と直交する方向に配置されていてもよい。

【0194】

これにより、初期化電源線の配線幅を太くすることができるので、初期化電源線の配線遅延を少なくでき、より早く駆動トランジスタのソース電位を安定させることが可能となる。

【0195】

また、前記制御部は、さらに、前記第1期間前に、前記第1スイッチトランジスタを非導通に切り換えることで、前記発光素子を発光させる期間を終了させて、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ、前記第3スイッチトランジスタおよび前記第4スイッチトランジスタが非導通状態に切り換えられた第2期間を開始し、前記第4スイッチトランジスタを導通状態に切り換えることで前記第2期間に続く前記1期間を開始してもよい。

【0196】

これにより、駆動トランジスタのソース電位を発光素子の発光時電圧一閾値電圧分だけ低くできるので、初期化電源線と参照電源線による充放電作業の負荷を軽くすることが可能となる。

【0197】

また、本発明は、このような特徴的な手段を備える表示装置として実現することが出来るだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法と

して実現することができる。

【0198】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。

【0199】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって特許請求の範囲に記載の主題を限定することを意図するものではない。

【0200】

10

(実施の形態1)

以下、実施の形態1に係る表示装置およびその駆動方法について、図面を参照しながら説明する。

【0201】

[1-1. 表示装置の全体構成]

本実施の形態に係る表示装置の全体構成は、図1に示された表示装置1と同様の構成であるため、ここでは、説明を省略する。

【0202】

[1-2. 画素回路構成およびスイッチ制御]

本実施の形態に係る表示装置の画素回路構成は、図2Aに示された画素20の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

20

【0203】

本実施の形態に係る表示装置1は、複数の画素20が行列状に配置された表示部2を有する。また、表示装置1は、複数の画素20にELアノード電圧 V_{tft} を供給するためのELアノード電源線21と、画素列に対応して配置され、映像信号を反映したデータ電圧 V_{data} を複数の画素20へ伝達する複数のデータ線25とを備える。

【0204】

画素20は、有機EL素子201と、データ電圧 V_{data} に対応した電圧を保持するための容量素子210と、容量素子210に保持された電圧がゲートソース間に印加されることにより当該電圧に応じた電流を有機EL素子201に流す駆動トランジスタ202と、スイッチ203~206を備える。

30

【0205】

スイッチ205は、ゲート電極(第1ゲート電極)、ドレイン電極(第2電極)およびソース電極(第3電極)を有し、ドレイン電極がELアノード電源線21(第1駆動電源線)に接続され、ソース電極が駆動トランジスタ202のドレイン電極に接続されている。スイッチ205は、ELアノード電源線21と駆動トランジスタ202との導通および非導通を切り換える第1スイッチトランジスタである。

【0206】

スイッチ203は、ゲート電極(第2ゲート電極)、ドレイン電極(第4電極)およびソース電極(第5電極)を有し、ドレイン電極がデータ線25に接続され、ソース電極が容量素子210の第1電極に接続されている。スイッチ203は、データ線25と容量素子210との導通および非導通を切り換える第2スイッチトランジスタである。

40

【0207】

スイッチ204は、ドレイン電極が参照電源線24に接続され、ソース電極が容量素子210の第1電極に接続されている。スイッチ204は、参照電圧 V_{ref} を伝達する参照電源線24と容量素子210との導通および非導通を切り換える第3スイッチトランジスタである。

【0208】

スイッチ206は、ドレイン電極が初期化電源線23に接続され、ソース電極が容量素子210の第2電極に接続されている。スイッチ206は、初期化電圧 V_{ini} を伝達す

50

る初期化電源線 23 と容量素子 210 との導通および非導通を切り換える第 4 スイッチトランジスタである。

【0209】

表示装置 1 は、さらに、スイッチ 205 および 204 を導通状態かつスイッチ 203 を非導通状態とすることにより容量素子 210 に駆動トランジスタ 202 の閾値電圧 V_{th} を保持させる期間である閾値電圧検出期間 (T_{24}) と、スイッチ 205 を非導通状態かつスイッチ 203 を導通状態とすることにより容量素子 210 にデータ電圧 V_{data} を書込む期間である書込み期間 (T_{27}) と、スイッチ 205 を導通状態かつスイッチ 203 を非導通状態とすることにより当該電圧に応じた電流を有機 EL 素子 201 に流す期間である発光期間 (T_{29}) とを実行する制御回路 60 を備える。

10

【0210】

ここで、スイッチ 205 は、書込み期間 (T_{27}) において、ソース電極からゲート電極への電荷突抜けにより駆動トランジスタ 202 のドレイン電極の電位を低下させる。

【0211】

より具体的には、制御回路 60 は、書込み期間 (T_{27}) において、EL カソード電圧 V_{el} から所定値だけ小さい電圧よりもさらに小さい第 1 制御電圧をゲート電極に印加することにより、スイッチ 205 を非導通状態とする。

【0212】

本実施の形態に係る表示装置のスイッチ制御について、図 2B および図 7A を用いて説明する。

20

【0213】

図 7A は、実施の形態 1 に係る画素回路のスイッチ制御を説明する回路図である。本実施の形態に係る表示装置の駆動シーケンスについては、図 2B に示された $T_{21} \sim T_{30}$ が実行される。ここで、制御回路 60 は、スイッチ 205 のゲート電極に印加されるオン／オフ電圧を、 $2.5V / -1.7V$ としている。なお、本実施の形態において、データ電圧 V_{data} の電圧範囲は、 $0V$ (最低階調) $\sim 10V$ (最高階調) であり、EL アノード電圧 V_{tft} は $16V$ 、EL カソード電圧 V_{el} は $0V$ である。

【0214】

従来の画素回路のスイッチにおけるオン／オフ電圧は、スイッチング時のゲート電位の変動による突上げおよび突下げにより各ノードの電位が変動してしまうことを回避するため、データ電圧 V_{data} の電圧範囲、および、画素回路内の各ノードの駆動電圧の範囲に対して所定値を加算した範囲に設定されている。この観点から、従来の駆動方法によればスイッチ 205 のゲート電極に印加されるオン／オフ電圧は、例えば、 $2.5V / -3V$ である。ここで、従来の駆動方法によるオフ電圧は、発光期間の終了時 (t_9) において、駆動トランジスタのドレインノードが取り得る電位の最小値、すなわち、EL カソード電圧 V_{el} ($0V$) から所定値 ($3V$) だけ小さい電圧に設定されている。これによれば、スイッチ 205 のドレイン電極およびソース電極の一方に EL アノード電圧に相当する電圧が、他方に EL カソード電圧に相当する電圧が印加されていても、ゲート電位により、確実にスイッチ 205 を非導通状態とし、有機 EL 素子 201 に電流が流れない様にして、発光期間を終了させることが出来る。

30

40

【0215】

ここで、スイッチ 205 のオフ電圧が $-3V$ である場合について、ドレイン電位 V_D の突下げ電圧 V_{Dd} を求める。スイッチ 205 の閾値電圧 $V_{th_{enb}}$ を $1V$ 、 $V_{tft} = 16V$ とする。この場合、スイッチ 205 が非導通状態となるのは、スイッチ 205 のゲート電位が $2.5V$ から $1.7V$ ($V_{tft} + V_{th_{enb}}$) まで下がった時である。その後、スイッチ 205 のゲート電位が $1.7V \sim -3V$ までは、スイッチ 205 が非導通状態であり、駆動トランジスタ 202 のドレインノードはフローティングとなり、スイッチ 205 の寄生容量 C_{enb} の影響を受けて、ドレイン電位 V_D が低下する (突下げ)。ここで、突下げ電圧 V_{Dd} は、以下の式 2 で求められる。

【0216】

50

【数 4】

$$VDd = (V_{ft} + V_{th_{enb}} - V_{enb}L) \times \left(\frac{C_{enb}}{C_{enb} + C_{drv}} \right) \quad (式 2)$$

【0217】

上記式 2 は、スイッチ 205 の非導通状態におけるゲート電極の電圧変化量が、 C_{enb} を介して駆動トランジスタ 202 のドレイン電極へ突抜ける電圧変化量を表している。式 2 に、 $V_{th_{enb}} = 1 \text{ V}$ 、 $V_{ft} = 16 \text{ V}$ 、 $V_{enb}L = -3 \text{ V}$ 、 $C_{enb} = 0.046 \text{ pF}$ 、 $C_{drv} = 0.056 \text{ pF}$ を代入すると、 $VDd = 9.2 \text{ V}$ となる。つまり、データ書込み開始時には、ドレイン電位 $VD = 16 \text{ V} - 9.2 \text{ V} = 6.8 \text{ V}$ 程度となっている。

【0218】

これに対して、本実施の形態では、スイッチ 205 のゲート電極に印加されるオフ電圧（第 1 制御電圧）は、 -17 V に設定されている。つまり、本実施の形態に係る駆動方法によるスイッチ 205 のオフ電圧は、EL カソード電圧 V_{el} (0 V) から所定値 (3 V) だけ小さい電圧よりもさらに小さい電圧が設定されている。つまり、図 2 B の駆動シーケンスにおける書込み期間を含む期間（時刻 $t_4 \sim t_7$ ）において、例えば、走査線駆動回路 50 から発光制御線 95 に -17 V のオフ電圧を印加することにより、駆動トランジスタ 202 のドレイン電位 VD は、いわゆる突下げされる。言い換えると、スイッチ 205 のゲート電極から駆動トランジスタ 202 のドレインノードに、スイッチ 205 の寄生容量 C_{enb} を介して、大きな電荷突抜けが発生する。式 2 に、 $V_{th_{enb}} = 1 \text{ V}$ 、 $V_{ft} = 16 \text{ V}$ 、 $V_{enb}L = -17 \text{ V}$ 、 $C_{enb} = 0.046 \text{ pF}$ 、 $C_{drv} = 0.056 \text{ pF}$ を代入すると、 $VDd = 15.7 \text{ V}$ となる。つまり、データ書込み開始時には、ドレイン電位 $VD = 16 \text{ V} - 15.7 \text{ V} = 0.3 \text{ V}$ 程度となり、ソース電位 VS とほぼ等しくなっている。つまり、書込み期間に書き込まれるデータ電圧 V_{data} の大きさに関わらず、駆動トランジスタ 202 のドレイン電位 VD は、ソース電位 VS 程度となるまで電位が低下している。

【0219】

図 7 B は、実施の形態 1 に係るスイッチ制御による駆動トランジスタのドレイン電位の時間変化を表すグラフである。また、図 7 C は、従来のスイッチ制御による駆動トランジスタのドレイン電位の時間変化を表すグラフである。

【0220】

図 7 B に示すように、スイッチ 205 が非導通状態となる時刻 t_4 から、スイッチ 205 の突下げ現象により、ドレイン電位 VD はソース電位 VS と同じ電位まで低下する。このとき、スイッチ 205 の非導通によるドレイン電位 VD の突下げ量は、 $16 \text{ V} - 0.5 \text{ V} = 15.5 \text{ V}$ であり、前述の $VDd = 15.7 \text{ V}$ とほぼ等しい（若干の違いはシミュレーションパラメータの誤差によるものである）。これにより、その後、データ電圧 V_{data} が書き込まれても、駆動トランジスタ 202 のドレイン電極からソース電極への電荷放電は発生せず、データ電圧の大きさによらずドレイン電位 VD は所定の低電位 (0.5 V) を保っている。よって、時刻 t_7 において、スイッチ 205 が導通状態となったとき、 VD 変動量はデータ電圧によらず一定 ($\Delta VD = 15.5 \text{ V}$) となる。つまり、スイッチ 205 が非導通状態である書込み期間において、駆動トランジスタ 202 のドレインに蓄積された電荷を、スイッチ 205 の寄生容量 C_{enb} を介して、スイッチ 205 のゲート電極へと突抜けさせて、ドレイン電位 VD とソース電位 VS とをほぼ同じ電位にすることが可能となる。よって、駆動トランジスタ 202 のドレイン電極からソース電極への電荷放電は発生せず、駆動トランジスタ 202 のドレイン電位 VD は、データ書込み完了時において、データ電圧の大きさによらず一定電位となる。よって、全階調範囲において書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0221】

一方、図7Cに示すように、従来のスイッチ制御によれば、データ書込み前における、スイッチ205の非導通によるドレイン電位 V_D の突下げ量 V_{Dd} は、 $16V - 7V = 9V$ であり、ドレイン電位 V_D とソース電位 V_S との間に電位差が生じる。このため、その後の書込み期間において、データ電圧の大きさにより駆動トランジスタ202のドレイン電極からソース電極への電荷放電が発生し、ドレイン電位が変動するため、階調特性に歪みが生じてしまう。

【0222】

[1-3. 駆動方法]

また、本実施の形態に係る表示装置の駆動方法は、以下のステップを実行する。

【0223】

まず、スイッチ205を非導通状態かつスイッチ203を導通状態とすることにより容量素子210にデータ電圧 V_{data} を書込む（書込みステップ）。

【0224】

次に、スイッチ205を導通状態とすることによりデータ電圧 V_{data} に応じた電流を有機EL素子201に流す（発光ステップ）。

【0225】

ここで、上記書込みステップでは、スイッチ205を非導通状態にし、駆動トランジスタのドレイン電極からスイッチ205のゲート電極への電荷突抜けにより駆動トランジスタのドレイン電極の電位を低下させる（電荷突抜けステップ）。

【0226】

上記駆動方法によれば、容量素子210のへ書込み電圧を変動させる要因である駆動トランジスタ202のドレイン電極に対して、スイッチ205のオフ時の電荷突抜け量を発生させることにより電位を低下させる。これにより、書込みステップにおける駆動トランジスタ202のドレイン電極からソース電極への電荷放電を抑制し、発光ステップにおける駆動トランジスタ202のドレインからゲートへの突抜け電圧のデータ電圧依存性を低減できる。よって、全階調範囲において書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0227】

[1-4. 変形例1]

上記実施の形態では、スイッチ205のオフ電圧を低電位に設定することにより駆動トランジスタ202のドレイン電極からスイッチ205のゲート電極への電荷突抜け量を大きくした。これにより、ドレイン電位 V_D をソース電位 V_S 程度まで低減させ、書込み終了時から発光開始時までのドレイン電圧の変化量 ΔV_D を、データ電圧によらず一定とした。これに対して、本変形例では、スイッチ205のオフ電圧を低電位に設定する代わりに、スイッチ205の容量構成によりドレイン電位 V_D を低減させる。

【0228】

本変形例に係るスイッチ205は、ゲート電極とドレイン（第2電極）とで形成された第1寄生容量と、ゲート電極とソース電極（第3電極）とで形成された第2寄生容量（ C_{enb} ）とを有し、第2寄生容量が第1寄生容量よりも大きくなるよう形成されている。

【0229】

上記第1寄生容量および第2寄生容量（ C_{enb} ）は、通常は同じ静電容量を有し、例えば、第1寄生容量＝第2寄生容量（ C_{enb} ）＝ 0.046 pF である。これに対して、本変形例では、第2寄生容量（ C_{enb} ）を 0.2 pF まで大きくする。式2に、 $V_{th_{enb}} = 1V$ 、 $V_{tft} = 16V$ 、 $V_{enbL} = -3V$ 、 $C_{enb} = 0.2\text{ pF}$ 、 $C_{drv} = 0.056\text{ pF}$ を代入すると、 $V_{Dd} = 15.6V$ となる。つまり、実施の形態1のように、スイッチ205のオフ電圧を $-17V$ まで低くする代わりに、第2寄生容量（ C_{enb} ）を大きくする。

【0230】

図8は、実施の形態の変形例1に係るスイッチの構成を表す概略平面図である。同図の左側に示される平面図は、比較例に係るスイッチ205の電極構成を表し、右側に示され

10

20

30

40

50

る平面図は本変形例に係るスイッチ 205 の電極構成を表す。同図の右側に示すように、例えば、ソース電極の電極長さを大きくすることによりソース電極とゲート電極との重複面積を増加させ、寄生容量 C_{enb} を増大させることが可能となる。

【0231】

本変形例のスイッチ構成により、スイッチ 205 が非導通状態である書込み期間において、駆動トランジスタ 202 のドレイン電極からスイッチ 205 のゲート電極への電荷突抜け量を大きくすることが可能となる。よって、駆動トランジスタ 202 のドレイン電位 V_D は、データ書込み完了時において、データ電圧の大きさによらず一定電位となる。よって、全階調範囲において書込み電圧の変動が抑制される。

【0232】

なお、スイッチ 205 は、スタガ型または逆スタガ型構造を有することが好ましい。これにより、スイッチ 205 において、ゲート電極が構成要素となって形成される第 2 寄生容量 (C_{enb}) を大きく確保することが容易になる。よって、駆動トランジスタ 202 のドレイン電極からスイッチ 205 のゲート電極への電荷突抜け量を大きくすることが可能となる。

【0233】

以上より、上記式 2 で表されるドレイン電位 V_D の突下げ電圧 V_{Dd} により、データ書込み期間において、ドレイン電位 V_D がソース電位 V_S とほぼ等しくなればよいという観点から、以下の式 3 が成立する。また式 3 は、式 4 のように表すことができる。この式 4 を満たすようなスイッチ 205 のオフ電圧 (第 1 制御電圧) V_{enbL} および第 2 寄生容量 C_{enb} を選択すればよい。

【0234】

【数 5】

$$VD - VDd = VS \quad (\text{式 3})$$

【数 6】

$$V_{ift} - (V_{ref} - V_{th_{drv}}) = (V_{ift} + V_{th_{enb}} - V_{enbL}) \times \left(\frac{C_{enb}}{C_{enb} + C_{drv}} \right) \quad (\text{式 4})$$

【0235】

上記式 4 により、スイッチ 205 のオフ電圧 (第 1 制御電圧) V_{enbL} および第 2 寄生容量 C_{enb} を選択することにより、画素回路の設計パラメータの自由度が大きくなる。

【0236】

[1-5. 変形例 2]

なお、図 1 に示すように、表示部 2 における画素 20 の配置により、画素 20 と走査線駆動回路 50 との距離が異なる。これにより、スイッチ 205 のゲート電極に印加される第 1 制御信号は、第 1 駆動回路である走査線駆動回路 50 に近い画素 20 では、ほぼ走査線駆動回路 50 の出力波形そのままの信号が入力されるが、表示部中央の画素 20 → 表示部右端の画素 20 へと向かうにつれ、信号波形は鈍ってゆく。信号波形が鈍るほど、スイッチ 205 の非導通時の突下げ電圧量が減少する。このため、表示部上の位置により、画素 20 ごとに階調特性の歪みの改善度合いが変わってしまうことが起こり得る。

【0237】

上記観点から、本変形例に係るスイッチ 205 は、表示部 2 内のスイッチ 205 の非導通時の突下げ電圧を均一化するために、第 2 寄生容量 (C_{enb}) に対して表示部 2 内の分布を持たせる構成とする。

【0238】

図 9 は、実施の形態の変形例 2 に係るスイッチの構成を表す概略平面図である。同図に示すように、走査線駆動回路 50 に近い画素 20 のスイッチ 205 は第 2 寄生容量 (C

10

20

30

40

50

e n b) を小さくし、遠い画素 2 0 のスイッチ 2 0 5 ほど第 2 寄生容量 (C e n b) を大きくする。

【0239】

これにより、スイッチ 2 0 5 の非導通時における突下げ電圧を、表示部内で均一化することが可能となる。よって、全階調範囲において書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0240】

(実施の形態 2)

以下、実施の形態 2 に係る表示装置およびその駆動方法について、図面を参照しながら説明する。本実施の形態に係る表示装置は、実施の形態 1 に係る表示装置がスイッチ 2 0 5 の電荷突抜け量を大きくさせる構成を有しているのに対して、スイッチ 2 0 3 の電荷突抜け量を大きくさせる構成を有する。以下、実施の形態 1 と同じ構成は説明を省略し、実施の形態 1 と異なる点を中心に説明する。

【0241】

[2-1. 表示装置の全体構成]

本実施の形態に係る表示装置の全体構成は、図 1 に示された表示装置 1 と同様の構成であるため、ここでは、説明を省略する。

【0242】

[2-2. 画素回路構成およびスイッチ制御]

本実施の形態に係る表示装置の画素回路構成は、図 2 A に示された画素 2 0 の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

【0243】

スイッチ 2 0 3 は、ゲート電極 (第 2 ゲート電極)、ドレイン電極 (第 4 電極) およびソース電極 (第 5 電極) を有し、ドレイン電極がデータ線 2 5 に接続され、ソース電極が容量素子 2 1 0 の第 1 電極に接続されている。スイッチ 2 0 3 は、データ線 2 5 と容量素子 2 1 0 との導通および非導通を切り換える第 2 スイッチトランジスタである。

【0244】

さらに、本実施の形態に係る表示装置は、スイッチ 2 0 5 を非導通状態かつスイッチ 2 0 3 を導通状態とすることにより容量素子 2 1 0 にデータ電圧 V d a t a を書込む期間である書込み期間 (T 2 7) と、スイッチ 2 0 5 を導通状態かつスイッチ 2 0 3 を非導通状態とすることにより当該電圧に応じた電流を有機 E L 素子 2 0 1 に流す期間である発光期間 (T 2 9) とを実行する制御回路 6 0 を備える。

【0245】

ここで、スイッチ 2 0 3 は、書込み期間の終了時において、ソース電極からゲート電極への電荷突抜けにより駆動トランジスタ 2 0 2 のゲート電極の電位を低下させる。これにより、書込み電圧である駆動トランジスタのゲートーソース間電圧 V g s は低電位側へシフトする。このため、階調特性の歪みが発生する領域は、階調特性の歪みが目立たない低階調側へと移動するので、輝度ムラが視認され易い中階調以上での書込み電圧の変動が抑制される。

【0246】

より具体的には、制御回路 6 0 は、書込み期間の終了時において、データ電圧 V d a t a の電圧範囲の下限電圧値から所定値だけ小さい電圧よりもさらに小さい第 2 制御電圧をゲート電極に印加することにより、スイッチ 2 0 3 を非導通状態とする。

【0247】

本実施の形態に係る表示装置のスイッチ制御について、図 2 B、図 1 0 A および図 1 0 B を用いて説明する。

【0248】

図 1 0 A は、実施の形態 2 に係る画素回路のスイッチ制御を説明する回路図である。また、図 1 0 B は、遷移領域を非発光領域へシフトさせた階調特性を表すグラフである。

本実施の形態に係る表示装置の駆動シーケンスについては、図 2 B に示された T 2 1 ~ T

10

20

30

40

50

30が実行される。ここで、制御回路60は、スイッチ203のゲート電極に印加されるオン／オフ電圧を、20V／－22Vとしている。なお、本実施の形態において、データ電圧Vdataの電圧範囲は、0V（最低階調）～10V（最高階調）であり、ELアノード電圧Vtftは16Vである。

【0249】

従来の画素回路のスイッチにおけるオン／オフ電圧は、スイッチング時のゲート電位による突上げおよび突下げにより各ノードの電位が変動してしまうことを回避するため、データ電圧Vdataの電圧範囲、および、駆動電圧の範囲に対して所定値を加算した範囲に設定されている。この観点から、従来の駆動方法によればスイッチ203のゲート電極に印加されるオン／オフ電圧は、例えば、20V／－3Vである。ここで、従来の駆動方法によるオフ電圧は、データ電圧の最小電圧（0V）から所定値（3V）だけ小さい電圧に設定されている。これによれば、スイッチ203のドレイン電極またはソース電極にデータ電圧の最小電圧（0V）に相当する電圧が印加されていても、ゲート電位により、確実にスイッチ203を非導通状態とし、データ線25と容量素子210間に電流が流れない様にして、当該電圧が変動することを回避できる。

【0250】

ここで、スイッチ203のオフ電圧が－3Vである場合について、ゲート電位VGの突下げ電圧VGdを求める。スイッチ203の閾値電圧Vth_{scn}を1V、図10Bの右側のグラフに示されるように遷移領域と安定領域との境界となるデータ電圧Vdata＝4.0Vとする。このとき、スイッチ203が非導通状態となるのは、スイッチ203のゲート電位（第2制御電圧）が20Vから5V（Vdata＋Vth_{scn}）まで下がった時である。その後、スイッチ203のゲート電位が5V～－3Vまでは、スイッチ203が非導通状態であり、駆動トランジスタ202のゲートノードはフローティングとなり、スイッチ203の寄生容量Cscnの影響を受けて、ゲート電位VGが低下する（突下げ）。ここで、突下げ電圧VGdは、以下の式4で求められる。

【0251】

【数7】

$$VGd = (Vdata + Vth_{scn} - V_{scn}L) \times \left(\frac{Cscn}{Cs + Cscn} \right) \quad (式5)$$

【0252】

上記式5は、スイッチ203の非導通状態におけるゲート電極の電圧変化量が、Cscnを介して駆動トランジスタ202のゲート電極へ突抜けする変化量を表している。式5に、Vth_{enb}＝1V、Vdata＝4V、V_{scn}L＝－3V、Cs＝0.5pF、Cscn＝0.025pFを代入すると、VGd＝0.38Vとなる。つまり、データ書き込み終了時には、ゲート－ソース間電圧Vgsが0.38Vだけ小さくなることとなる。

【0253】

これに対して、本実施の形態では、スイッチ203のゲート電極に印加されるオフ電圧（第2制御電圧）は、－22Vに設定されている。つまり、本実施の形態に係る駆動方法によるスイッチ203のオフ電圧は、データ電圧の最小電位（0V）から所定値（3V）だけ低い電位よりもさらに低い電位が設定されている。つまり、図2Bの駆動シーケンスにおける書き込み期間の終了時（時刻t7～t8）において、例えば、走査線駆動回路50から走査線93に－22Vのオフ電圧を印加することにより、駆動トランジスタ202のゲート電位VGは、いわゆる突下げされる。言い換えると、駆動トランジスタ202のゲートノードからスイッチ203のゲート電極に、スイッチ203の寄生容量Cscnを介して、大きな電荷突抜けが発生する。式5に、Vth_{scn}＝1V、Vdata＝4V、V_{scn}L＝－22V、Cs＝0.5pF、Cscn＝0.025pFを代入すると、VGd＝1.3Vとなる。つまり、データ書き込み終了時には、ゲート－ソース間電圧Vgsが1.3V程度小さくなる。

【0254】

0-3. 階調特性の歪み、でも述べたように、歪みが発生する階調は、データ書込み時に駆動トランジスタ202が導通するデータ電圧(約3.5~4.0V付近)で決まるため、歪み発生の際調領域は変わらない。つまり、図10B左側グラフに示された遷移領域は必ず存在する。

【0255】

これに対して、本実施の形態に係るスイッチ制御によれば、階調特性を全体的に低域側にシフトさせて(輝度を低下させて)、歪みが発生する遷移領域を非発光領域に追いやってしまうものである。これにより、歪みが発生する遷移領域は映像表示に使用されなくなるので、ムラは発生しなくなる。

10

【0256】

上述したように、スイッチ203のオフ電圧を-2.2Vまで下げて、スイッチ203の非導通時の突下げ電圧を大きくすることにより、ゲートソース間電圧 V_{gs} を1.3V程度小さくすることが可能となる。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0257】

[2-3. 駆動方法]

また、本実施の形態に係る表示装置の駆動方法は、以下のステップを実行する。

【0258】

まず、スイッチ205を非導通状態かつスイッチ203を導通状態とすることにより容量素子210にデータ電圧 V_{data} を書込む(書込みステップ)。

20

【0259】

次に、スイッチ205を導通状態とすることによりデータ電圧 V_{data} に応じた電流を有機EL素子201に流す(発光ステップ)。

【0260】

ここで、上記書込みステップの終了時において、スイッチ203を非導通状態にし、駆動トランジスタ202のゲート電極からスイッチ203のゲート電極への電荷突抜けにより駆動トランジスタ202のゲート電極の電位を低下させる(電荷突抜けステップ)。

【0261】

上記駆動方法によれば、容量素子210のへ書込み電圧を変動させる要因である駆動トランジスタ202のゲート電極に対して、スイッチ203のオフ時の電荷突抜け量を発生させることにより電位を低下させる。これにより、駆動トランジスタ202のゲートソース間電圧を低域側へシフトできる。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

30

【0262】

[2-4. 変形例1]

上記実施の形態では、スイッチ203のオフ電圧を低電位に設定することにより駆動トランジスタ202のゲート電極からスイッチ203のゲート電極への電荷突抜け量を大きくした。これに対して、本変形例では、スイッチ203のオフ電圧を低電位に設定する代わりに、スイッチ203の容量構成によりゲート電位 V_G を低下させる。

40

【0263】

本変形例に係るスイッチ203は、ゲート電極とドレイン(第4電極)とで形成された第3寄生容量と、ゲート電極とソース電極(第5電極)とで形成された第4寄生容量(C_{scn})とを有し、第4寄生容量が第3寄生容量よりも大きくなるよう形成されている。

【0264】

上記第3寄生容量および第4寄生容量(C_{scn})は、通常は同じ静電容量を有し、例えば、第3寄生容量=第4寄生容量(C_{scn})=0.025pFである。これに対して、第4寄生容量(C_{scn})を0.095pFまで大きくする。式5に、 $V_{th_{scn}}=1V$ 、 $V_{data}=4V$ 、 $V_{scnL}=-3V$ 、 $C_s=0.5pF$ 、 $C_{scn}=0.095pF$ を代入すると、 $V_{Gd}=1.3V$ となる。つまり、実施の形態2のように、スイッ

50

チ 203 のオフ電圧を -2.2 V まで低くする代わりに、第 4 寄生容量 (C_{scn}) を大きくする。

【0265】

なお、第 4 寄生容量 (C_{scn}) を大きくする方法としては、実施の形態 1 における第 2 寄生容量 (C_{enb}) を大きくする方法と同様であり、図 8 を参照することができる。同図の左側に示される平面図を、比較例に係るスイッチ 203 の電極構成とし、右側に示される平面図は本変形例に係るスイッチ 203 の電極構成とみなす。同図の右側に示すように、例えば、ソース電極の電極長さを大きくすることによりソース電極とゲート電極との重複面積を増加させ、寄生容量 C_{scn} を増大させることが可能となる。

【0266】

10

本変形例のスイッチ構成により、スイッチ 203 が非導通状態である書込み期間の終了時において、駆動トランジスタ 202 のゲート電極からスイッチ 203 のゲート電極への電荷突抜け量を大きくすることが可能となる。よって、書込み電圧である駆動トランジスタのゲートーソース間電圧 V_{gs} は、データ書込み完了時において低電位側へシフトする。このため、階調特性の歪みが発生する領域は階調特性の歪みが目立たない低階調側へと移動するので、書込み電圧の変動が抑制される。

【0267】

なお、スイッチ 203 は、スタガ型または逆スタガ型構造を有することが好ましい。これにより、スイッチ 203 において、ゲート電極が構成要素となって形成される第 4 寄生容量 (C_{scn}) を大きく確保することが容易になる。よって、駆動トランジスタ 202 のゲート電極からスイッチ 203 のゲート電極への電荷突抜け量を大きくすることが可能となる。

20

【0268】

以上より、上記式 5 で表されるゲート電位 V_G の突下げ電圧 V_{Gd} は、データ書込み期間の終了時における駆動トランジスタ 202 のゲートーソース間電圧の変動量 ΔV_{gs} である。よって、変動量 ΔV_{gs} は以下の式 6 で表される。

【0269】

【数 8】

$$\Delta V_{gs} = (V_{data} + V_{th_{scn}} - V_{scn}L) \times \left(\frac{C_{scn}}{C_s + C_{scn}} \right) \quad (\text{式 6})$$

30

【0270】

ここで、変動量 ΔV_{gs} の決定方法を例示する。

【0271】

まず、遷移領域と安定領域との境界となるデータ電圧 ($V_{data1} = 4\text{ V}$) における画素電流 I_{pix} を実測する。また、表示部 2 の周辺部に予め駆動トランジスタ 202 と同形状のトランジスタを配置しておき、そのドレイン電流 (I_d) - ゲートソース間電圧 (V_{gs1}) 特性データを取得しておく。これにより、画素電流 I_{pix} を流すのに必要となる V_{gs1} を取得することができる。

【0272】

40

一方、非発光領域と遷移領域との境界となるデータ電圧 ($V_{data2} = 2\text{ V}$) におけるゲートソース間電圧 V_{gs2} は、トランジスタの特性より、ほぼ $V_{gs2} = V_{th}$ である。

【0273】

以上より、 $\Delta V_{gs} = V_{gs1} - V_{gs2}$ を上記の方法で取得することができる。なお、 ΔV_{gs} を取得する方法はこれに限らない。例えば、SPICE シミュレーションにより計算してもよい。

【0274】

設定すべき ΔV_{gs} を予め決定しておき、上記式 6 を満たすようなスイッチ 203 のオフ電圧 (第 2 制御電圧) $V_{scn}L$ および第 4 寄生容量 C_{scn} を選択すればよい。

50

【0275】

上記式6により、スイッチ203のオフ電圧（第2制御電圧） V_{scnL} および第4寄生容量 C_{scn} を選択することにより、画素回路の設計パラメータの自由度が大きくなる。

【0276】

〔2-5. 変形例2〕

なお、図1に示すように、表示部2における画素20の配置により、画素20と走査線駆動回路50との距離が異なる。これにより、スイッチ203のゲート電極に印加される第2制御信号は、第2駆動回路である走査線駆動回路50に近い画素20では、ほぼ走査線駆動回路50の出力波形そのままの信号が入力されるが、表示部中央の画素20 → 表示部右端の画素20へと向かうにつれ、信号波形は鈍ってゆく。信号波形が鈍るほど、スイッチ203の非導通時の突下げ電圧量が減少する。このため、表示部上の位置により、画素20ごとに階調特性の歪みの改善度合いが変わってしまうことが起こり得る。

【0277】

上記観点から、本変形例に係るスイッチ203は、表示部2内のスイッチ203の非導通時の突下げ電圧を均一化するために、第4寄生容量（ C_{scn} ）に対して表示部2内の分布を持たせる構成とする。つまり、走査線駆動回路50に近い画素20のスイッチ203ほど第4寄生容量（ C_{scn} ）を小さくし、遠い画素20のスイッチ203ほど第4寄生容量（ C_{scn} ）を大きくする。

【0278】

これにより、スイッチ203の非導通時における突下げ電圧を、表示部内で均一化することが可能となる。よって、書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

【0279】

（実施の形態3）

以下、実施の形態3に係る表示装置およびその駆動方法について、図面を参照しながら説明する。本実施の形態に係る表示装置は、実施の形態1に係る表示装置が発光を制御するためのスイッチ205の電荷突抜け量を大きくさせる構成を有しているのに対して、駆動トランジスタ202のドレイン電極からゲート電極への電荷突抜け量を小さくさせる構成を有する。以下、実施の形態1と同じ構成は説明を省略し、実施の形態1と異なる点を中心に説明する。

【0280】

〔3-1. 表示装置の全体構成〕

本実施の形態に係る表示装置の全体構成は、図1に示された表示装置1と同様の構成であるため、ここでは、説明を省略する。

【0281】

〔3-2. 画素回路構成〕

本実施の形態に係る表示装置の画素回路構成は、図2Aに示された画素20の回路構成と同様の構成であるため、ここでは、詳細な説明を省略する。

【0282】

さらに、本実施の形態に係る表示装置は、スイッチ205を非導通状態かつスイッチ203を導通状態とすることにより容量素子210にデータ電圧 V_{data} を書込む期間である書込み期間（ T_{27} ）と、スイッチ205を導通状態かつスイッチ203を非導通状態とすることにより当該電圧に応じた電流を有機EL素子201に流す期間である発光期間（ T_{29} ）とを実行する制御回路60を備える。

【0283】

ここで、駆動トランジスタ202は、ゲート電極とドレイン電極とで形成された第5寄生容量（ C_{drvD} ）と、ゲート電極とソース電極とで形成された第6寄生容量（ C_{drvS} ）とを有し、第5寄生容量（ C_{drvD} ）が第6寄生容量（ C_{drvS} ）よりも小さくなるよう形成されている。

【0284】

図11は、実施の形態3に係る駆動トランジスタの構成を表す概略平面図である。同図の左側には、比較例に係る駆動トランジスタ202の積層レイアウト構造が示されている。比較例に係る構造では、ドレイン電極とゲート電極とで形成される第5寄生容量 C_{drvD} と、ソース電極とゲート電極とで形成される第6寄生容量 C_{drvS} とは、同じ容量値を有している。

【0285】

これに対して、右側に示された、本実施の形態に係る駆動トランジスタ202の積層レイアウト構造では、(a)ソース電極とドレイン電極とを楕円構造とし、ドレイン電極よりもソース電極の本数を多くしている。これにより、第5寄生容量 $C_{drvD} <$ 第6寄生容量 C_{drvS} を実現している。また、(b)ドレイン電極とゲート電極との重複面積を低減させる構造とし、第5寄生容量 $C_{drvD} <$ 第6寄生容量 C_{drvS} を実現している。

10

【0286】

以上のように、第5寄生容量 C_{drvD} を、第6寄生容量 C_{drvS} よりも小さくすることで、駆動トランジスタ202のドレイン電位 V_D の変動をゲートソース電圧 V_{gs} に伝播することを低減できる。なお、第5寄生容量 C_{drvD} を、容量素子210の容量 $C_s +$ 第6寄生容量 C_{drvS} よりも小さくすることが好ましい。

【0287】

本実施の形態に係る駆動トランジスタ202の構成によれば、発光期間開始時において、駆動トランジスタ202のドレイン電極からゲート電極への電荷突抜け量を小さくすることが可能となる。よって、駆動トランジスタ202のゲート電位は、データ書込み完了時における上記ドレイン電極の電位変動の影響を受けず、正確なデータ電圧を反映した電位となる。よって、全階調範囲における書込み電圧の変動が抑制され、表示パネルの輝度ムラを抑制できる。

20

【0288】

(その他の実施の形態)

以上、実施の形態1～3に係る表示装置およびその駆動方法について説明したが、本発明表示装置およびその駆動方法は、上述した実施の形態に限定されるものではない。実施の形態1～3およびその変形例に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、実施の形態1～3に係る表示装置のいずれかを内蔵した各種機器も本発明に含まれる。

30

【0289】

また、上記実施の形態1～3およびその変形例では、本発明に係る表示装置が有する画素回路構成の一例を挙げたが、画素20の回路構成は上記回路構成に限定されない。上記実施の形態1～3では、ELアノード電源線21とELカソード電源線22との間に、スイッチ205、駆動トランジスタ202および有機EL素子201が、この順に配置されている構成を例示したが、これらの3素子が異なる順で配置されていてもよい。つまり、本発明の表示装置は、駆動トランジスタがn型であってもp型であっても、駆動トランジスタ202のドレイン電極およびソース電極、ならびに有機EL素子201のアノード電極およびカソード電極が、ELアノード電源線21とELカソード電源線22との間の電流経路上に配置されていればよく、駆動トランジスタ202および有機EL素子201の配置順には限定されない。

40

【0290】

また、上記実施の形態では、スイッチ203～206は、ゲート電極、ソース電極およびドレイン電極を有するMOSFETであることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタおよびエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【0291】

また、上記実施の形態に係る表示装置に含まれる制御回路および演算回路は、典型的に

50

は集積回路である L S I として実現される。なお、上記表示装置に含まれる制御回路および演算回路の一部を、表示部 2 と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、又は L S I 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

【0292】

また、上記実施の形態に係る表示装置に含まれる走査線駆動回路 50、データ線駆動回路 40、および制御回路 60 の機能の一部を、C P U 等のプロセッサがプログラムを実行することにより実現してもよい。

10

【0293】

また、上記実施の形態 1 ～ 3 およびその変形例に係る表示装置では、有機 E L 素子を用いた表示装置である場合を例に述べたが、有機 E L 素子以外の発光素子を用いた表示装置に適用してもよい。

【0294】

また、例えば、実施の形態 1 ～ 3 およびその変形例に係る表示装置は、図 12 に示されたような薄型フラット T V に内蔵される。上記実施の形態 1 ～ 3 のいずれかに係る表示装置が内蔵されることにより、表示ムラが抑制された高精度な画像表示が可能な薄型フラット T V が実現される。

20

【産業上の利用可能性】

【0295】

本発明は、特に、アクティブ型の有機 E L フラットパネルディスプレイに有用である。

【符号の説明】

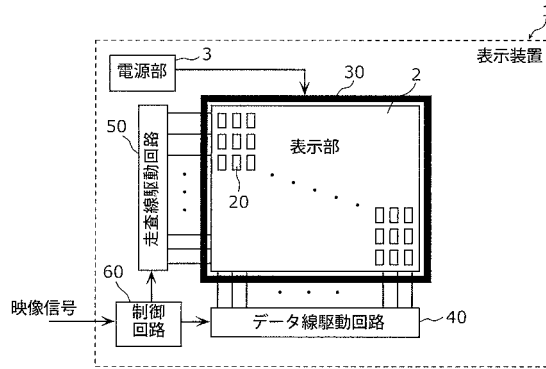
【0296】

- 1 表示装置
- 2 表示部
- 3 電源部
- 6、6 A 表示パネル
- 20 画素
- 21 E L アノード電源線
- 22 E L カソード電源線
- 23 初期化電源線
- 24 参照電源線
- 25 データ線
- 30 給電線
- 40 データ線駆動回路
- 50 走査線駆動回路
- 51 ドライバ I C
- 52、53、54 フレキ部分
- 60 制御回路
- 93 走査線
- 94 参照電圧制御線
- 95 発光制御線
- 96 初期化制御線
- 201 有機 E L 素子
- 202 駆動トランジスタ
- 203、204、205、206 スイッチ
- 210 容量素子
- 211 容量

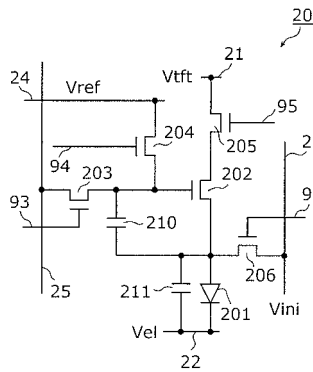
30

40

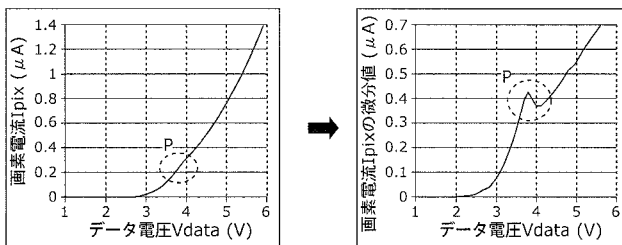
【図 1】



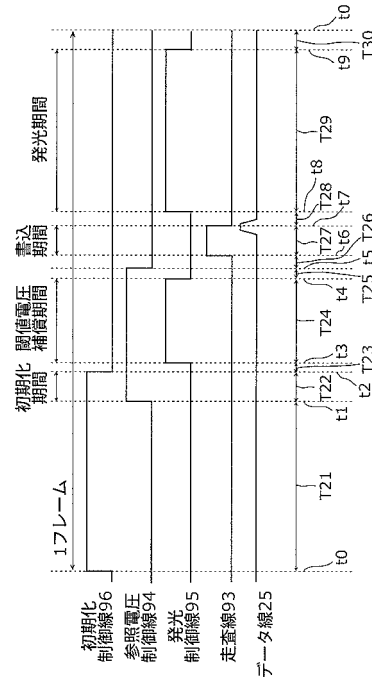
【図 2 A】



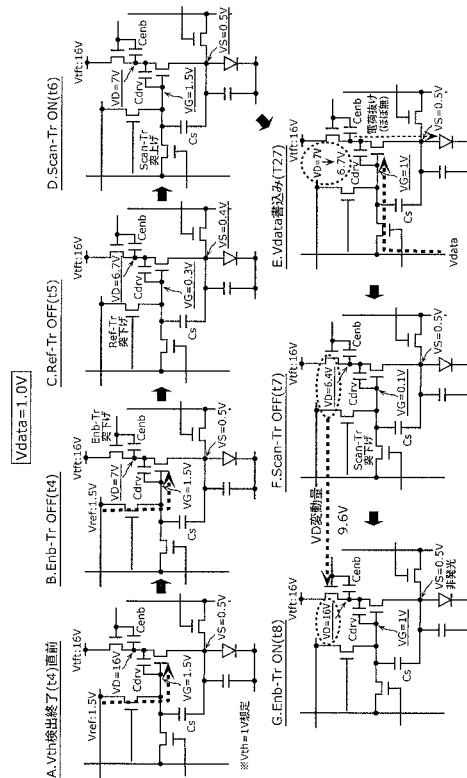
【図 3】



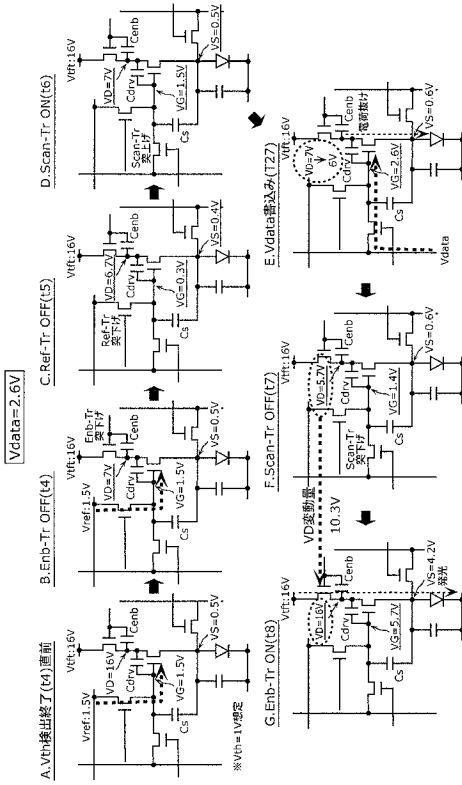
【図 2 B】



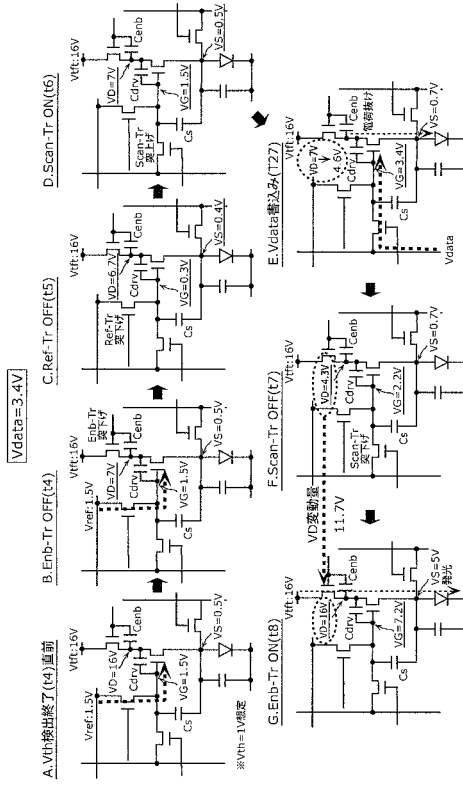
【図 4 A】



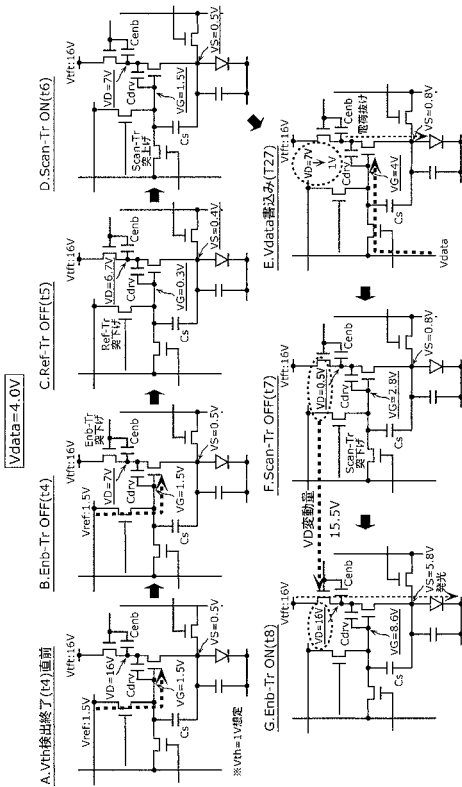
【図 4 B】



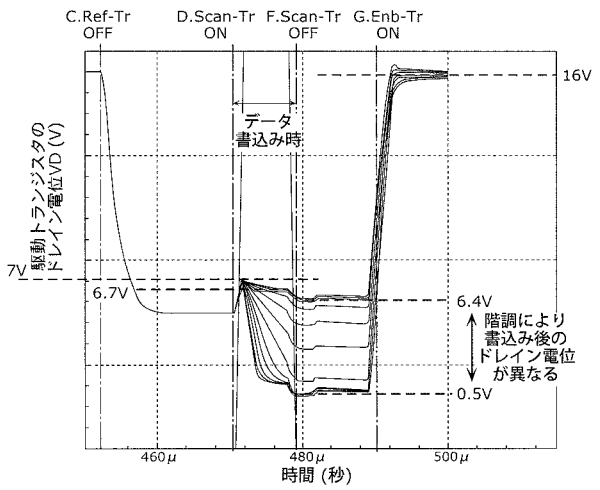
【図 4 C】



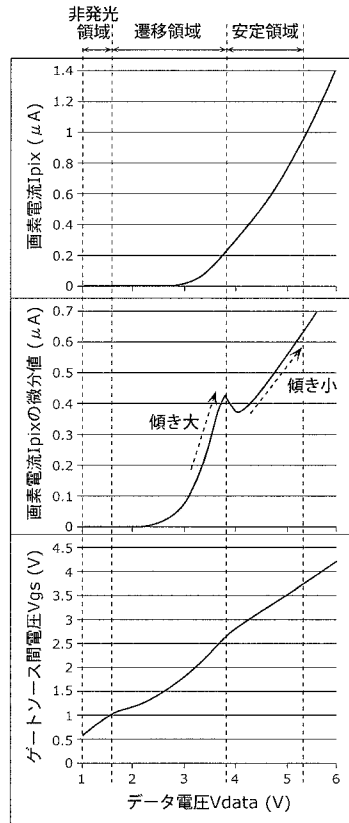
【図 4 D】



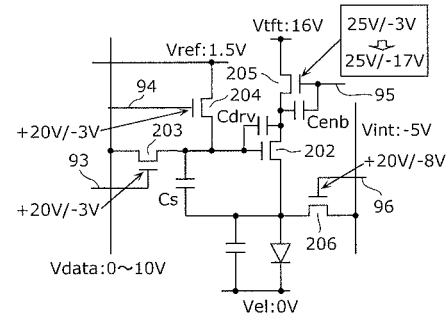
【図 5】



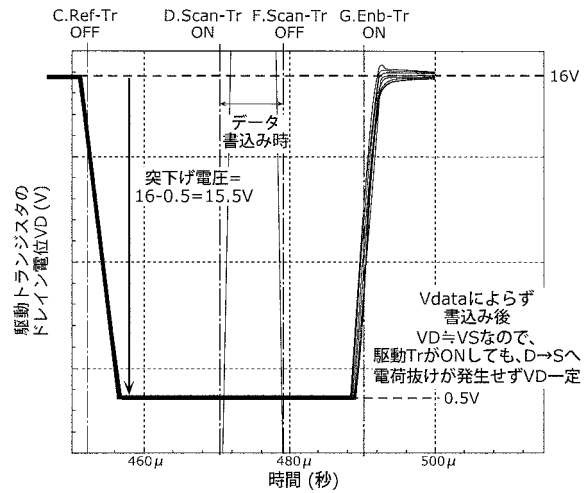
【図 6】



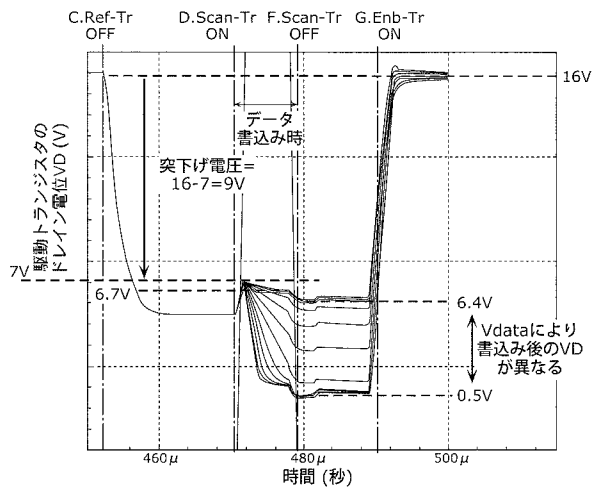
【図 7 A】



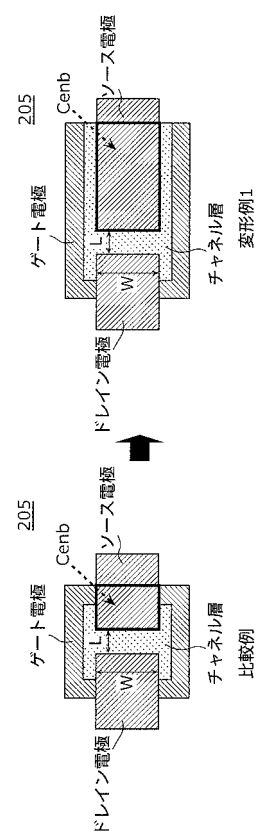
【図 7 B】



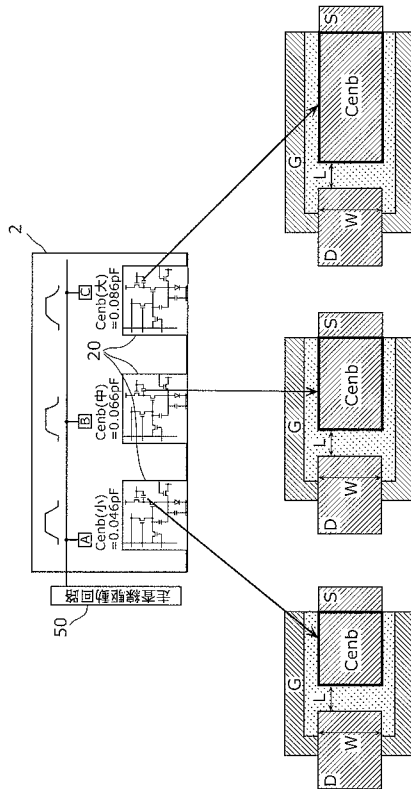
【図 7 C】



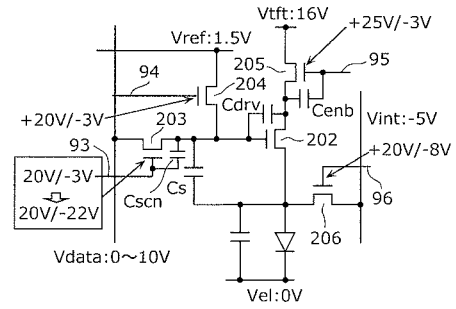
【図 8】



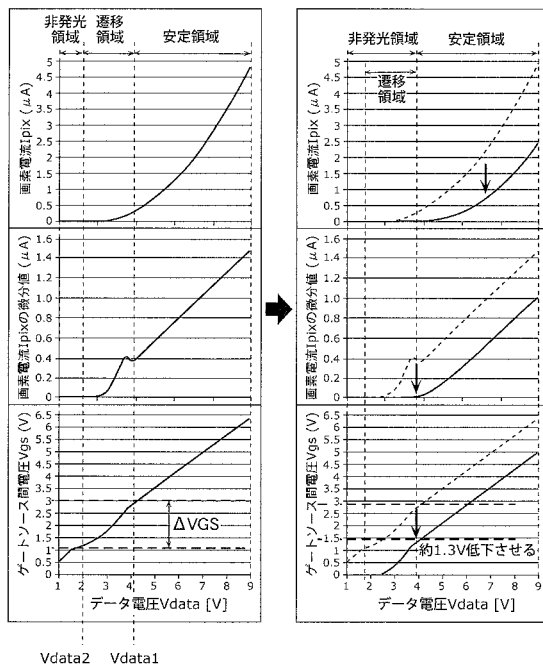
【図 9】



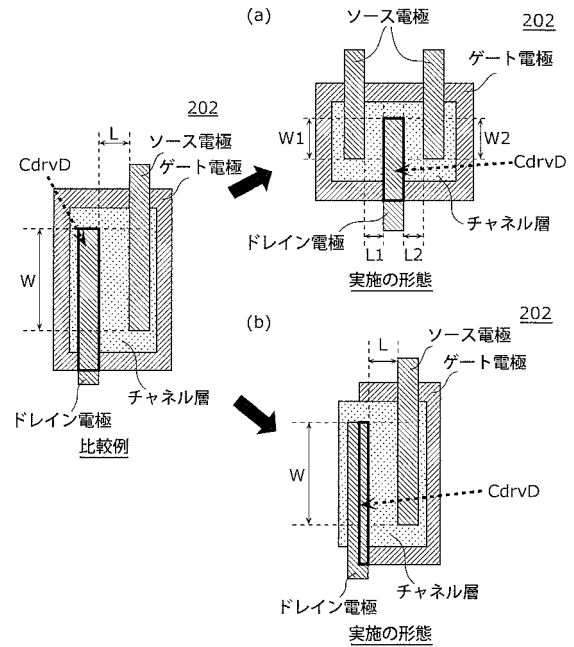
【図 10 A】



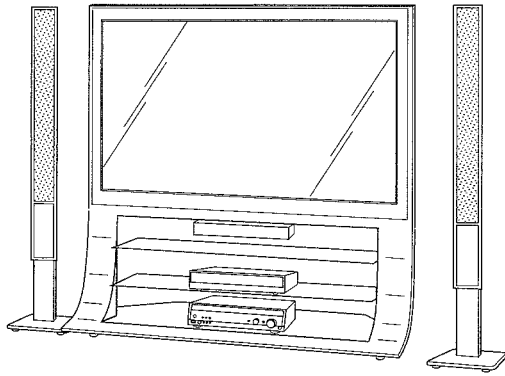
【図 10 B】



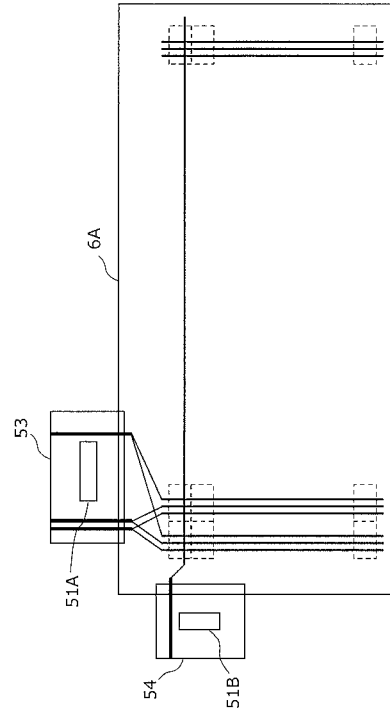
【図 11】



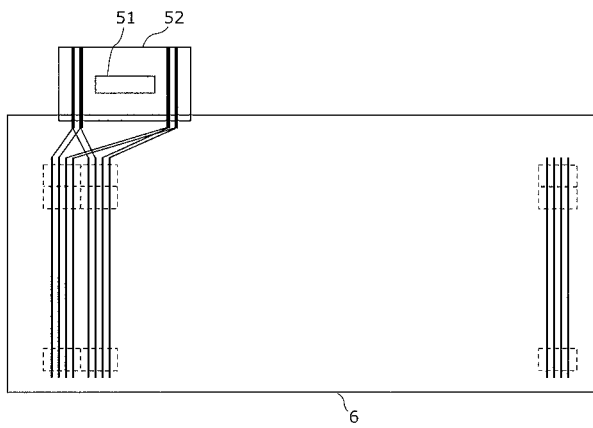
【図 1 2】



【図 1 4】



【図 1 3】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 4 2 P	
	G 0 9 G 3/20 6 4 1 Q	

F ターム(参考)	5C080	AA06	BB05	DD05	DD09	DD10	EE29	FF11	FF12	HH10	JJ02
		JJ03	JJ04	JJ05	JJ06	KK43					
	5C380	AA01	AB06	AB22	AB46	AC07	BA10	BA19	BA38	BA39	BA40
		BB02	CA12	CB01	CC04	CC07	CC26	CC33	CC39	CC41	CC65
		CC72	CD025	CE17	CE19	CF23	DA02	DA06	DA47	HA02	HA03
		HA05	HA08								

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2016095381A	公开(公告)日	2016-05-26
申请号	JP2014231097	申请日	2014-11-13
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	戎野浩平 小野晋也		
发明人	戎野 浩平 小野 晋也		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.642.A G09G3/20.624.B G09G3/20.611.D H05B33/14.A G09G3/20.642.P G09G3/20.641.Q G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/FF04 3K107/FF15 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD09 5C080/DD10 5C080/EE29 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB46 5C380/AC07 5C380/BA10 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/CA12 5C380/CB01 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC65 5C380/CC72 5C380/CD025 5C380/CE17 5C380/CE19 5C380/CF23 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	吉川修 Sobashima正雄		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，其中抑制了由于开关元件的穿通电压引起的写入电压的波动。显示装置包括写入周期，在该写入周期中，通过将开关205设置为非导通状态并且将开关203设置为导通状态来将数据电压写入电容器中，以及将开关205设置为导通状态并且将开关203设置为写入状态。开关205设置有控制电路60，该控制电路60执行发光周期，该周期是与数据电压相对应的电流通过使其不导通而流过有机EL元件201的周期，并且开关205在写入周期中从栅电极切换到源电极。在写入周期结束时，通过击穿电压降低源电极的电位和通过击穿电压降低源电极的电位中的至少一项，该击穿电压从栅电极到源电极。。[选择图]图7B

