

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-125366

(P2015-125366A)

(43) 公開日 平成27年7月6日(2015.7.6)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611F	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 624E	
	G09G 3/20 611H	
審査請求 未請求 請求項の数 8 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2013-270960 (P2013-270960)
 (22) 出願日 平成25年12月27日 (2013.12.27)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100087653
 弁理士 鈴江 正二
 (72) 発明者 木村 裕之
 東京都港区西新橋三丁目7番1号 株式会社
 ジャパンディスプレイ内

最終頁に続く

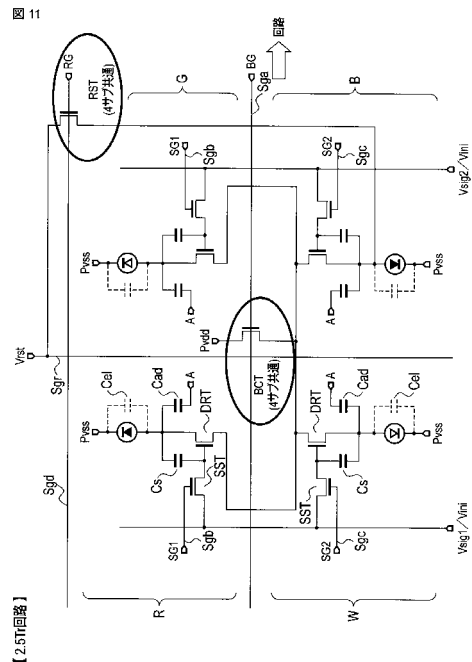
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 高精細な表示装置を提供する。

【解決手段】 基板上にマトリクス状に配置された複数の画素 P X を具備する表示装置。画素は、発光色の異なる複数のサブ画素 S P X を含む。サブ画素は、第 1 端子が第 1 電源線に接続され、制御端子が第 1 走査線に接続された出力スイッチ B C T と、第 1 端子が出力スイッチの第 2 端子に接続され、第 2 端子が発光素子 O L E D の一方の電極に接続された駆動トランジスタ D R T と、駆動トランジスタの制御端子と第 2 端子との間に接続された保持容量 C a d と、第 1 端子が駆動トランジスタの制御端子に接続され、第 2 端子が映像信号線に接続され、制御端子が第 2 走査線に接続された画素スイッチ S S T と、第 1 端子がリセット電源線に接続し、第 2 端子が駆動トランジスタの第 1 端子または第 2 端子に接続し、制御端子が第 3 走査線に接続されたりセットスイッチ R S T と、を備え、出力スイッチは、少なくとも一つの画素に含まれる複数のサブ画素で共用される表示装置。

【選択図】 図 1 1



【特許請求の範囲】

【請求項 1】

発光素子と、前記発光素子に駆動電流を供給する画素回路とを含むサブ画素と、発光色の異なる複数のサブ画素を含み基板上にマトリクス状に配置された複数の画素と、前記画素の配列する行に沿って配置された複数の走査線と、前記画素の配列する列に沿って配置された複数の映像信号線と、前記画素の配列する行または列に沿って配置された複数のリセット電源線と、第 1 電源線と、前記複数の走査線に順次制御信号を供給して前記画素を行単位で順次走査する走査線駆動回路と、前記映像信号線に前記順次走査に合せて映像信号を供給する信号線駆動回路と、を具備する表示装置であって、

前記サブ画素は、

第 1 端子が前記第 1 電源線に接続され、制御端子が第 1 走査線に接続された出力スイッチと、

第 1 端子が前記出力スイッチの第 2 端子に接続され、第 2 端子が前記発光素子の一方の電極に接続された駆動トランジスタと、

前記駆動トランジスタの制御端子と第 2 端子との間に接続された保持容量と、

第 1 端子が前記駆動トランジスタの制御端子に接続され、第 2 端子が前記映像信号線に接続され、制御端子が第 2 走査線に接続された画素スイッチと、

第 1 端子が前記リセット電源線に接続し、第 2 端子が前記駆動トランジスタの第 1 端子または第 2 端子に接続し、制御端子が第 3 走査線に接続されたリセットスイッチと、を備え、

前記出力スイッチは、少なくとも一つの前記画素に含まれる複数のサブ画素で共用される表示装置。

【請求項 2】

前記リセットスイッチは、少なくとも一つの前記画素に含まれる複数のサブ画素で共用される、請求項 1 に記載の表示装置。

【請求項 3】

前記リセットスイッチは、前記画素に含まれる一つのサブ画素に設けられる、請求項 1 に記載の表示装置。

【請求項 4】

前記リセットスイッチは、発光色が青色の画素に設けられる、請求項 2 又は 3 に記載の表示装置。

【請求項 5】

前記リセット電源線に代わる電源線を有し、

前記電源線は、前記画素を構成する定電位の導電層に接続される、請求項 1 乃至 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記走査線駆動回路と信号線駆動回路との駆動動作を制御するコントローラを更に有し、

前記コントローラは、

前記映像信号線から前記駆動トランジスタの制御端子に初期化電位を印加し、前記リセット電源線から前記駆動トランジスタの第 1 端子または第 2 端子にリセット電位を印加して駆動トランジスタを初期化するリセット動作と、

前記駆動トランジスタの制御端子に前記映像信号線から初期化電位を印加した状態で、前記第 1 電源線から前記駆動トランジスタに電流を流し、前記駆動トランジスタの閾値電圧をキャンセルするキャンセル動作と、

前記映像信号線から前記駆動トランジスタの制御端子に前記画素スイッチを通して、前記映像電圧信号を印加して、前記保持容量に前記映像信号に応じた電位を保持する書き込み動作と、

前記第 1 電源線から前記駆動トランジスタを通して前記映像信号に応じた駆動電流を前記表示素子に供給する発光動作と、を制御する請求項 1 に記載の表示装置。

10

20

30

40

50

【請求項 7】

前記コントローラは、前記書込み動作において、前記映像電圧信号を印加するとともに、前記第 1 電源線から前記駆動トランジスタに電流を流すことで、前記駆動トランジスタの移動度を補正する補正動作を制御する、請求項 6 に記載の表示装置。

【請求項 8】

前記コントローラは、前記リセットスイッチ、出力スイッチを複数行の画素で共有する際、ソース初期化動作、ゲート初期化動作、オフセットキャンセル動作を複数行について同時に制御し、書込み動作を複数行について行ごとに順次制御する、請求項請求項 6 に記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、表示装置に関する。

【背景技術】

【0002】

近年、薄型、軽量、低消費電力の特徴を活かして、液晶表示装置に代表される平面表示装置の需要が急速に伸びている。中でも、オン画素とオフ画素とを電氣的に分離し、かつオン画素への映像信号を保持する機能を有する画素スイッチを各画素に設けたアクティブマトリクス型表示装置は、携帯情報機器を始め、種々のディスプレイに利用されている。

【0003】

20

このような平面型のアクティブマトリクス型表示装置として、自己発光素子を用いた有機 EL 表示装置が注目され、盛んに研究開発が行われている。有機 EL 表示装置は、バックライトを必要とせず、高速な応答性から動画再生に適し、さらに低温で輝度低下しないために寒冷地での使用にも適しているという特徴を有している。

【0004】

一般に、有機 EL 表示装置は、複数行、複数列に並んで設けられた複数の画素を備えている。各画素は、自己発光素子である有機 EL 素子、及び有機 EL 素子に駆動電流を供給する画素回路により構成され、有機 EL 素子の発光輝度を制御することにより表示動作を行う。

【0005】

30

画素回路の駆動方式としては、電圧信号により行なう方式が知られている。また、電圧電源をスイッチングし、ロー、ハイを切り換えるとともに、映像信号配線から映像信号及び初期化信号の両方を出力することにより、画素の構成素子数と配線数とを削減し、画素のレイアウト面積を小さくすることにより高精細化を図った表示装置が提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007 - 310311 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

ところで、近年、画素の高精細化が一層求められている。画素のサイズが縮小すると、各画素の複数の素子を所定の領域内に配置することが困難になってきている。

この発明は以上の点に鑑みなされたもので、その目的は、高精細な表示装置を提供することにある。

【課題を解決するための手段】

【0008】

一実施形態に係る表示装置は、発光素子と、前記発光素子に駆動電流を供給する画素回路とを含むサブ画素と、発光色の異なる複数のサブ画素を含み基板上にマトリクス状に配置された複数の画素と、前記画素の配列する行に沿って配置された複数の走査線と、前記

50

画素の配列する列に沿って配置された複数の映像信号線と、前記画素の配列する行または列に沿って配置された複数のリセット電源線と、第1電源線と、前記複数の走査線に順次制御信号を供給して前記画素を行単位で順次走査する走査線駆動回路と、前記映像信号線に前記順次走査に合わせて映像信号を供給する信号線駆動回路と、を具備する表示装置であって、前記サブ画素は、第1端子が前記第1電源線に接続され、制御端子が第1走査線に接続された出力スイッチと、第1端子が前記出力スイッチの第2端子に接続され、第2端子が前記発光素子の一方の電極に接続された駆動トランジスタと、前記駆動トランジスタの制御端子と第2端子との間に接続された保持容量と、第1端子が前記駆動トランジスタの制御端子に接続され、第2端子が前記映像信号線に接続され、制御端子が第2走査線に接続された画素スイッチと、第1端子が前記リセット電源線に接続し、第2端子が前記駆動トランジスタの第1端子または第2端子に接続し、制御端子が第3走査線に接続されたりセットスイッチと、を備え、前記出力スイッチは、少なくとも一つの前記画素に含まれる複数のサブ画素で共用される。

10

【図面の簡単な説明】

【0009】

【図1】第1の実施形態に係る表示装置を概略的に示す平面図である。

【図2】第1の実施形態に係る表示装置の画素の等価回路を示す図である。

【図3】第1の実施形態に係る表示装置の画素を構成するサブ画素の等価回路を示す図である。

【図4】第1の実施形態に係る表示装置に採用可能な構造の一例を概略的に示す部分断面図である。

20

【図5】第1の実施形態に係る表示装置を示す部分断面図であり、駆動トランジスタ、出力スイッチ、高電位電源線及び補助容量を示す図である。

【図6】第1の実施形態に係る表示装置の動作表示時の走査線駆動回路の制御信号を示すタイミングチャートである。

【図7】第1の実施形態の変形例に係る動作表示時の走査線駆動回路の制御信号を示すタイミングチャートである。

【図8】第1の実施形態に係る表示装置の黒挿入時の走査線駆動回路の制御信号を示すタイミングチャートである。

【図9】第2の実施形態に係る表示装置を概略的に示す平面図である。

30

【図10】第2の実施形態に係る表示装置の画素の等価回路を示す図である。

【図11】第2の実施形態の変形例に係る表示装置の等価回路を示す図である。

【図12】第2の実施形態の変形例に係る表示装置の等価回路を示す図である。

【図13】第3の実施形態に係る表示装置を概略的に示す平面図である。

【図14】第3の実施形態に係る表示装置の画素の等価回路を示す図である。

【図15】第3の実施形態に係る実施例の表示装置を示す平面図であり、全体的な概略構造を示す図である。

【図16】第3の実施形態に係る実施例の表示装置を示す平面図であり、全体的な概略構造を示す図である。

【図17】第3の実施形態の変形例に係る表示装置の等価回路を示す図である。

40

【図18】第3の実施形態の変形例に係る表示装置の等価回路を示す図である。

【図19】本実施形態に係る表示装置のレイアウトを効率化するための複数の画素PXの配置構成を示す図である。

【図20】本実施形態に係る表示装置のレイアウトを効率化するための複数の画素PXの配置構成を示す図である。

【図21】本実施形態に係る表示装置のレイアウトを効率化するための複数の画素PXの配置構成を示す図である。

【図22】本実施形態に係る表示装置のレイアウトを効率化するための複数の画素PXの配置構成を示す図である。

【図23】本実施形態に係る表示装置の動作表示時の走査線駆動回路の制御信号を示す 1

50

実施例におけるタイミングチャートである。

【図 2 4】本実施形態に係る表示装置の動作表示時の走査線駆動回路の制御信号を示す他の実施例におけるタイミングチャートである。

【発明を実施するための形態】

【0010】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。

なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

10

【0011】

この実施形態において、表示装置は、アクティブマトリクス型の表示装置であり、より詳しくはアクティブマトリクス型の有機 EL (エレクトロルミネッセンス) 表示装置である。

【0012】

[第 1 の実施形態]

図 1 は、第 1 の実施形態に係る表示装置を概略的に示す平面図である。図 1 に示すように、第 1 の実施形態に係る表示装置は、例えば、2 型以上のアクティブマトリクス型の表示装置として構成され、表示パネル DP と、表示パネル DP の動作を制御するコントローラ 12 とを含んでいる。この実施の形態において、表示パネル DP は、有機 EL パネルである。

20

【0013】

表示パネル DP は、ガラス板等の光透過性を有する絶縁基板 SUB、絶縁基板 SUB の矩形状の表示領域 R1 上にマトリクス状に配列された $m \times n$ 個の画素 PX、複数本の第 1 走査線 Sga (1 ~ m) と、複数本の第 2 走査線 Sgb (1 ~ m) と、複数本の第 3 走査線 Sgc (1 ~ m) と、複数本の第 4 走査線 Sgd (1 ~ m) と、複数本のリセット電源線 Sgr (1 ~ m) と、複数本の映像信号線 VLa (1 ~ n) と、複数本の映像信号線 VLb (1 ~ n) とを備えている。

30

【0014】

画素 PX は、例えば、RGBW 正方画素 (RGBW の 4 個のサブ画素 SPX が正方配列化された画素) である。画素 PX は、列方向 Y に m 個、行方向 X に n 個並べられている。第 1 走査線 Sga、第 2 走査線 Sgb、第 3 走査線 Sgc、第 4 走査線 Sgd 及びリセット電源線 Sgr は、行方向 X に延出して設けられている。映像信号線 VLa、VLb は、列方向 Y に延出して設けられている。

【0015】

第 1 走査線 Sga (1 ~ m) は、制御信号 BG (1 ~ m) を出力する。第 2 走査線 Sgb (1 ~ m) 及び第 3 走査線 Sgc (1 ~ m) は、それぞれ制御信号 SG1 (1 ~ m) 及び制御信号 SG2 (1 ~ m) を出力する。第 4 走査線 Sgd (1 ~ m) は、リセット信号 RG (1 ~ m) を出力する。リセット電源線 Sgr (1 ~ m) は、リセット電圧 Vrst を出力する。映像信号線 VLa (1 ~ n) 及び映像信号線 VLb (1 ~ n) は、それぞれ階調電圧信号 Vsig1 (1 ~ n) 及び階調電圧信号 Vsig2 (1 ~ n) を出力する。

40

【0016】

表示パネル DP は、第 1 走査線 Sga、第 2 走査線 Sgb、第 3 走査線 Sgc、第 4 走査線 Sgd を画素 PX の行毎に順に駆動する走査線駆動回路 YDR1、YDR2、映像信号線 VLa、VLb を駆動する信号線駆動回路 XDR を備えている。走査線駆動回路 YDR1、YDR2 及び信号線駆動回路 XDR は、絶縁基板 SUB の表示領域 R1 外側の非表示領域 R2 上に一体的に形成されている。

【0017】

50

図2は、図1の表示装置の画素PXの等価回路を示す図である。

画素PXは上述のようにRGBW正方画素であり、大略して左上方に赤色(R)用のサブ画素SPX、右上方に緑色(G)用のサブ画素SPX、左下方に無彩色(W)用のサブ画素SPX、右下方に青色(B)用のサブ画素SPXを配している。なお、詳細は後述するが、出力スイッチBC Tは4つのサブ画素SPXに共通で一つ設けられ、リセットスイッチRSTは、それぞれのサブ画素SPXに対応して4つ設けられている。

【0018】

図3は、画素PXを構成するサブ画素SPXの等価回路を示す図である。

図2、図3を参照しつつ、サブ画素SPXの構成と動作について説明する。

【0019】

各サブ画素SPXは、表示素子(以下、単にダイオードOLEDという)と、表示素子に駆動電流を供給する画素回路と、を含んでいる。図3に示すように、各サブ画素SPXの画素回路は、電圧信号からなる映像信号に応じてダイオードOLEDの発光を制御する電圧信号方式の画素回路であり、画素スイッチSST、駆動トランジスタDRT、出力スイッチBC T、リセットスイッチRST、保持容量Cs、及び補助容量Cadを有している。なお、補助容量Cadは発光電流量を調整する為に設けられる素子である。また、ダイオードOLEDは、キャパシタとしても機能し、ダイオードOLED自体の容量(ダイオードOLEDの寄生容量)Celを備えている。

【0020】

なお、各サブ画素SPXは、出力スイッチBC Tを共有している。即ち、行方向X及び列方向Yに隣合う4個のサブ画素SPXは、1つの出力スイッチBC Tを共有している。また、サブ画素SPXには、高電位電源線PSHから高電位Pvddが供給され、低電位電源線PSLから低電位(固定電位)Pvssが供給される。

【0021】

画素スイッチSST、駆動トランジスタDRT、出力スイッチBC T及びリセットスイッチRSTは、ここでは同一導電型、例えばNチャネル型のTFT(薄膜トランジスタ)により構成されている。また、各駆動トランジスタ及び各スイッチをそれぞれ構成したTFTは全て同一工程、同一層構造で形成され、半導体層にポリシリコンを用いたトップゲート構造の薄膜トランジスタである。

【0022】

画素スイッチSST、駆動トランジスタDRT、出力スイッチBC T、及びリセットスイッチRSTの各々は、第1端子、第2端子、及び制御端子を有している。第1の実施形態では、第1端子をソース電極、第2端子をドレイン電極、制御端子をゲート電極としている。

【0023】

駆動トランジスタDRT及び出力スイッチBC Tは、高電位電源線PSHと低電位電源線PSLとの間でダイオードOLEDと直列に接続されている。高電位Pvddは例えば10Vの電位に設定され、低電位Pvssは、例えば1.5Vの電位に設定されている。

【0024】

出力スイッチBC Tにおいて、ドレイン電極は高電位電源線PSHに接続され、ソース電極は駆動トランジスタDRTのドレイン電極に接続され、ゲート電極は第1走査線Sgaに接続されている。これにより、出力スイッチBC Tは、第1走査線Sgaからの制御信号BGによりオン(導通状態)、オフ(非導通状態)制御される。出力スイッチBC Tは、制御信号BGにตอบสนองして、ダイオードOLEDの発光時間を制御する。

【0025】

駆動トランジスタDRTにおいて、ドレイン電極は出力スイッチBC Tのソース電極に接続され、ソース電極はダイオードOLEDの一方の電極(ここでは陽極)に接続されている。ダイオードOLEDの他方の電極(ここでは陰極)は、低電位電源線PSLに接続されている。駆動トランジスタDRTは、階調電圧信号Vsig(Vsig1、Vsig2)に応じた電流量の駆動電流をダイオードOLEDに出力する。

10

20

30

40

50

【0026】

画素スイッチSSTにおいて、ソース電極は映像信号線VLに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第2走査線Sgb(第3走査線Sgc)に接続されている。画素スイッチSSTは、第2走査線Sgbから供給される制御信号SG(SG1、SG2)によりオン、オフ制御される。そして、画素スイッチSSTは、制御信号SGに応答して、画素回路と映像信号線VL(VLa、VLb)との接続、非接続を制御し、対応する映像信号線VLから階調電圧信号Vsigを画素回路に取り込む。

【0027】

リセットスイッチRSTは、駆動トランジスタDRTのドレイン電極とリセット電源(不図示)との間に接続されている。リセットスイッチRSTにおいて、ソース電極はリセット電源に接続されたリセット電源線Sgrに接続され、ドレイン電極は駆動トランジスタDRTのソース電極に接続され、ゲート電極は第4走査線Sgdに接続されている。上述のように、リセット電源線Sgrは、定電位であるリセット電圧Vrstに固定される。

10

【0028】

リセットスイッチRSTは、第4走査線Sgdを通して与えられるリセット信号RGに応じて、リセット電圧Vrstの供給を断続する。リセットスイッチRSTがオン状態に切替えられることにより、駆動トランジスタDRTのソース電極の電位が初期化される。

【0029】

なお、補助容量Cadの一端は駆動トランジスタDRTのソース電極に接続し、他端は電位が安定している固定電位Aに接続される。補助容量Cadの他端は、電位が安定していれば、高電位電源線PSH(又は後述する導電層OE)、低電位電源線PSL(又は後述する対向電極CE)、リセット電源線Sgrに接続しても良い。

20

【0030】

図2に示す画素PXの回路では、4つのサブ画素SPXを合計13個のTFTで構成している。即ち、1つのサブ画素SPXあたり、 $3.25 (= 13 / 4)$ 個のTFTを使用している。この値は、画素の構成素子数を表す値であり、高精細化の指標値ともなる。従って、図2に示す回路を $3.25Tr$ 回路という。

【0031】

一方、図1に示すコントローラ12は表示パネルDPの外部に配置されたプリント回路基板(図示せず)上に形成され、走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRを制御する。コントローラ12は外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

30

【0032】

そして、コントローラ12は、これら垂直走査制御信号および水平走査制御信号をそれぞれ走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRに供給するとともに、水平および垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路XDRに供給する。

40

【0033】

信号線駆動回路XDRは、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた階調電圧信号Vsigを複数の映像信号線VLに並列的に供給する。また、信号線駆動回路XDRは、初期化信号Viniを映像信号線VLに供給する。

【0034】

走査線駆動回路YDR1、YDR2は、図示しないシフトレジスタ、出力バッファ等を含み、外部から供給される水平走査スタートパルス順次次段に転送し、出力バッファを介して各行のサブ画素SPXに3種類の制御信号、すなわち、制御信号BG、SG1(またはSG2)、RGを供給する。なお、リセット信号RGに応じた所定のタイミングで、

50

リセット電源線 Sgr からリセット電圧 $Vrst$ が供給される。

【0035】

図4は、図1の表示装置に採用可能な構造の一例を概略的に示す部分断面図である。なお、図4では、表示装置を、その表示面、すなわち前面又は光出射面が上方を向き、背面が下方を向くように描いている。この表示装置は、アクティブマトリクス型駆動方式を採用した上面発光型の有機EL表示装置である。

【0036】

次に図4を参照して、駆動トランジスタDRT及びダイオードOLEDの構成を詳細に説明する。

【0037】

駆動トランジスタDRTを形成したNチャネル型のTFTは、半導体層SCを備えている。半導体層SCは、絶縁基板SUB上に形成されたアンダーコート層UC上に形成されている。半導体層SCは、例えば、p型領域とn型領域とを含んだポリシリコン層である。

【0038】

半導体層SCは、ゲート絶縁膜GIで被覆されている。ゲート絶縁膜GI上には第1導電層が形成されている。第1導電層としては、駆動トランジスタDRTのゲート電極Gを挙げることができる。ゲート電極Gは半導体層SCと対向している。ゲート絶縁膜GI及びゲート電極G上には層間絶縁膜IIが形成されている。

【0039】

層間絶縁膜II上には第2導電層が形成されている。第2導電層としては、ソース電極SE及びドレイン電極DEを挙げることができる。ソース電極SE及びドレイン電極DEは、層間絶縁膜II及びゲート絶縁膜GIに形成されたコンタクトホールを通して半導体層SCのソース領域及びドレイン領域にそれぞれ接続されている。

【0040】

層間絶縁膜II、ソース電極SE及びドレイン電極DE上には、絶縁性を有する平坦化膜PLが形成されている。平坦化膜PLは、第1絶縁膜として機能している。言い換えると、平坦化膜PLは、互いに異なる層に形成された複数の半導体層、第1導電層及び第2導電層の上方に設けられている。

【0041】

平坦化膜PL上には、第3導電層が形成されている。第3導電層としては、導電層OEを挙げることができる。この実施形態において、導電層OEは、金属（例えば、Al：アルミニウム）で形成されている。平坦化膜PL及び導電層OE上にはパッシベーション膜PSが形成されている。パッシベーション膜PSは、第2絶縁膜として機能している。

【0042】

パッシベーション膜PS上には、第4導電層が設けられ、第4導電層の上方には第5導電層が形成されている。ダイオードOLEDは、第4導電層としての画素電極PEと、有機物層ORGと、第5導電層としての対向電極CEとを含んでいる。この実施形態において、画素電極PEは陽極であり、対向電極CEは陰極である。

【0043】

パッシベーション膜PS上には、画素電極PEが形成されている。画素電極PEは、パッシベーション膜PSに設けられたコンタクトホールCH3及び平坦化膜PLに設けたコンタクトホールを通してソース電極SEに接続されている。画素電極PEは、光反射性を有する背面電極である。画素電極PEは、透明な電極層と光反射性を有する電極層（例えば、Al）とが積層されて形成されている。上記透明な電極層としては、例えばITO（インジウム錫酸化物）やIZO（インジウム亜鉛酸化物）を挙げることができる。

【0044】

画素電極PEを形成する際、パッシベーション膜PS上に透明な導電材料を堆積し、次いで光反射性を有する導電材料を堆積し、その後、フォトリソグラフィ法を用いてパターンニングを施すことにより画素電極PEを形成する。

10

20

30

40

50

【0045】

パッシベーション膜 P S 上には、さらに、隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔（バンク）が設けられているか、或いは、画素電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I は、画素電極 P E に対応した位置に貫通孔 P I a を有している。

【0046】

画素電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が形成されている。発光層は、例えば、発光色が赤色、緑色、青色、又は無彩色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

10

【0047】

なお、ダイオード O L E D の発光色は、必ずしも赤色、緑色、青色、又は無彩色に分けられている必要はなく、無彩色のみであってもよい。この場合、ダイオード O L E D は、赤色、緑色及び青色のカラーフィルタと組合せることにより、赤色、緑色、青色、又は無彩色を発光することができる。

【0048】

隔壁絶縁層 P I 及び有機物層 O R G は、対向電極 C E で被覆されている。この例では、対向電極 C E は、画素 P X 間で互いに接続された電極、すなわち共通電極である。また、この例では、対向電極 C E は、陰極であり且つ光透過性の前面電極である。対向電極 C E は、例えば I T O や I Z O で形成されている。対向電極 C E は、矩形棒状の非表示領域 R 2 にて図示しない低電位電源線 P S L に電氣的に接続されている。

20

【0049】

このような構造のダイオード O L E D では、画素電極 P E から注入されたホールと、対向電極 C E から注入された電子とが有機物層 O R G の内部で再結合したときに、有機物層 O R G を構成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光し、この光が有機物層 O R G から透明な対向電極 C E を介して外部へ放出される。

【0050】

図 5 は、第 1 の実施形態に係る表示装置を示す部分断面図であり、駆動トランジスタ D R T、出力スイッチ B C T、高電位電源線 P S H 及び補助容量 C a d を示す図である。

30

次に図 4 及び図 5 を参照して、補助容量 C a d の構成を詳細に説明する。

【0051】

導電層 O E 及び画素電極 P E は、互に対向し、補助容量 C a d（容量部）を形成している。導電層 O E の電位は高電位 P v d d に固定される。半導体層を利用すること無しに補助容量 C a d の形成が可能になる。半導体層を利用する素子に対向した領域に補助容量 C a d を形成することができ、すなわち、補助容量 C a d を効率よく配置することができるため、スペースの利用効率の向上を図ることができる。

【0052】

また、この実施形態において、表示装置は上面発光型の表示装置であるため、導電層 O E を金属（例えば、A l）で形成することができる。なお、表示装置が下面発光型の表示装置であったり、液晶表示装置のように光透過型の表示装置であったりする場合、導電層 O E を金属で形成することはできないものである。

40

【0053】

次に、図 2 のように構成された有機 E L 表示装置の動作について説明する。

【0054】

図 6 は、動作表示時の走査線駆動回路 Y D R 1、Y D R 2 の制御信号を示すタイミングチャートである。

走査線駆動回 Y D R 1、Y D R 2 は、例えば、スタート信号とクロックとから各水平走査期間に対応した幅のパルスを生成し、そのパルスを制御信号 B G（1～m）、S G 1（

50

1 ~ m)、SG2 (1 ~ m)、リセット信号RG (1 ~ m)として出力する。画素回路の動作は、ソース初期化動作、ゲート初期化動作、オフセットキャンセル(OC)動作、映像信号書き込み動作、発光動作に分けられる。

【0055】

[ソース初期化動作]

まず、ソース初期化動作を実行する。ソース初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SG1、SG2が画素スイッチSSTをオフ状態とするレベル(オフ電位：ここではローレベル)、制御信号BGが出力スイッチBCTをオフ状態とするレベル(オフ電位：ここではローレベル)、リセット信号RGがリセットスイッチRSTをオン状態とするレベル(オン電位：ここではハイレベル)に設定される。

10

【0056】

出力スイッチBCT、画素スイッチSSTがそれぞれオフ(非導通状態)、リセットスイッチRSTがオン(導通状態)となり、ソース初期化動作が開始される。リセットスイッチRSTがオンすることで、駆動トランジスタDRTのソース及びドレインがリセット電圧Vrstと同電位となり、ソース初期化動作は完了する。ここでリセット電圧Vrstは例えば-2Vに設定されている。

【0057】

[ゲート初期化動作]

次に、ゲート初期化動作を実行する。ゲート初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SG1、SG2が画素スイッチSSTをオン状態とするレベル(オン電位：ここではハイレベル)、制御信号BGが出力スイッチBCTをオフ状態とするレベル(オフ電位：ここではローレベル)、リセット信号RGがリセットスイッチRSTをオン状態とするレベル(オン電位：ここではハイレベル)に設定される。

20

【0058】

出力スイッチBCTがオフ(非導通状態)、画素スイッチSST、リセットスイッチRSTがオン(導通状態)となり、ゲート初期化動作が開始される。ゲート初期化期間において、映像信号配線VL(VLa、VLb)から出力された初期化電圧Viniは、画素スイッチSSTを通して駆動トランジスタDRTのゲートに印加される。これにより、駆動トランジスタDRTのゲート電位は、初期化電圧Viniに対応する電位にリセットされ、前フレームの情報が初期化される。初期化電圧Viniは、例えば、2Vに設定されている。

30

【0059】

[オフセットキャンセル動作]

続いて、オフセットキャンセル(OC1、OC2)動作を実行する。制御信号SG1、SG2がオン電位(ハイレベル)、制御信号BGがオン電位(ハイレベル)、リセット信号RGがオフ電位(ローレベル)となる。これによりリセットスイッチRSTがそれぞれオフ(非導通状態)、画素スイッチSST、出力スイッチBCTがオン(導通状態)となり、閾値のオフセットキャンセル動作が開始される。

【0060】

オフセットキャンセル(OC1、OC2)期間において、駆動トランジスタDRTのゲート電位は、映像信号配線VLから出力される初期化電圧Viniが画素スイッチSSTを通して印加され、固定される。また、出力スイッチBCTはオン状態にあり、高電位電源線PSHから駆動トランジスタDRTに電流が流れ込む。駆動トランジスタDRTのソース電位は、リセット期間に書き込まれたリセット電圧Vrstを初期値とし、駆動トランジスタDRTのドレイン-ソースを通して流れ込む電流分を徐々に減少させながら、駆動トランジスタのTFT特性ばらつきを吸収・補償しつつ、高電位側にシフトしていく。第1の実施形態では、オフセットキャンセル期間は例えば1μsec程度の時間に設定されている。

40

【0061】

オフセットキャンセル期間終了時点で、駆動トランジスタDRTのソース電位は、概ね

50

$V_{ini} - V_{th}$ となる。なお、 V_{th} は駆動トランジスタDRTの閾値電圧である。これにより、駆動トランジスタDRTのゲート、ソース間電圧は、キャンセル点に到達し、このキャンセル点に相当する電位差が保持容量 C_s に蓄えられる。

【0062】

なお図6はオフセットキャンセル期間が2回の場合を表しているが、オフセットキャンセル期間は1回～複数回としても良い。

【0063】

[映像信号書き込み動作]

続く映像信号書き込み期間では、制御信号SG1、SG2が画素スイッチSSTをオン状態とするレベル(オン電位：ここではハイレベル)、制御信号BGが出力スイッチBCTをオフ状態、リセット信号RGがリセットスイッチRSTをオフ状態とするレベルに設定される。

画素スイッチSST、出力スイッチBCTがオン、リセットスイッチRSTがオフとなり、映像信号書き込み動作が開始される。

【0064】

映像信号書き込み期間において、映像信号配線VLa、VLbから画素スイッチSSTを通して駆動トランジスタDRTのゲートにそれぞれ映像電圧信号Vsig1、Vsig2が書き込まれる。即ち、制御信号SG1がオン電位となるタイミングで映像信号配線VLa、VLbにはそれぞれ、R(赤)、G(緑)の階調電圧信号Vsig1、Vsig2が出力される。制御信号SG2がオン電位となるタイミングで映像信号配線VLa、VLbにはそれぞれ、W(白)、B(青)の階調電圧信号Vsig1、Vsig2が出力される。

【0065】

また、高電位電源線PSHから駆動トランジスタDRTを通り、ダイオードOLEDの寄生容量C_{el}を経由して低電位電源線PSLに電流が流れる。画素スイッチSSTがオンした直後は、駆動トランジスタDRTのゲート電位は、 $v_{sig}(V_{sig1}, V_{sig2})$ 、駆動トランジスタDRTのソース電位は、 $V_{ini} - V_{th} + C_s(V_{sig} - V_{ini}) / (C_s + C_{el} + C_{ad})$ となる。

【0066】

その後、ダイオードOLEDの寄生容量C_{el}を経由して低電位電源線PSLに電流が流れ、映像信号書き込み期間終了時には、駆動トランジスタDRTのゲート電位は、 V_{sig} 、駆動トランジスタDRTのソース電位は、 $V_{ini} - V_{th} + V_1 + C_s(V_{sig} - V_{ini}) / (C_s + C_{el} + C_{ad})$ となる。これにより、駆動トランジスタDRTの移動度のばらつきが補正される。

【0067】

なお、図6に示す映像信号書き込み期間では、出力スイッチBCTをオフ状態としている。これは、後述する移動度補正を行わずに、映像電圧信号Vsigを書込む動作を行うためである。このことは、駆動回路の構成を簡素化し、また額縁を狭くすることにもつながるため、高精細な表示装置を実現する上では有効である。

【0068】

但し、移動度補正を行うことによって駆動トランジスタの移動度のバラツキによる表示不良を低減することができる。そのため、図6に示す映像信号書き込み期間で、出力スイッチBCTをオン状態として移動度補正を行うように構成するかどうかは、表示装置の設計思想による。従って、本実施の形態の表示装置では、映像信号書き込み期間において、出力スイッチBCTをオフ状態とする態様に限られず、出力スイッチBCTをオン状態とする態様を採用することができる。

【0069】

[発光動作]

発光期間では、制御信号SG1、SG2が画素スイッチSSTをオフ状態とするレベル(オフ電位：ここではローレベル)、制御信号BGが出力スイッチBCTをオン状態とす

10

20

30

40

50

るレベル（オン電位：ここではハイレベル）、リセット信号 R G がリセットスイッチ R S T をオフ状態とするレベル（オフ電位：ここではローレベル）に設定される。

【0070】

出力スイッチ B C T がオン（導通状態）、画素スイッチ S S T、リセットスイッチ R S T がオフ（非導通状態）となり、発光動作が開始される。

【0071】

駆動トランジスタ D R T は、保持容量 C s に書込まれたゲート制御電圧に対応した電流量の駆動電流 I e を出力する。この駆動電流 I e がダイオード O L E D に供給される。これにより、ダイオード O L E D が駆動電流 I e に応じた輝度で発光し、発光動作を行う。ダイオード O L E D は、1 フレーム期間後に、再び制御信号 B G がオフ電位となるまで発光状態を維持する。

10

【0072】

上述したソース初期化動作、ゲート初期化動作、オフセットキャンセル動作、映像信号書き込み動作、発光動作を順次、各表示画素で繰り返し行うことにより、所望の画像を表示する。

【0073】

上記のように構成された表示装置によれば、発光期間において、ダイオード O L E D に流れる電流 I e は、駆動トランジスタ D R T の飽和領域の電流値として、

$$I_e = \mu \cdot C_o \cdot W / 2 L \cdot (V_{sig} - V_{ini} - V_1) \times C_{el} / (C_s + C_{el} + C_{ad})^2$$

20

となり、駆動トランジスタ D R T の閾値 V t h に依存しない値となる。そのため、駆動トランジスタ D R T の閾値のばらつきによる影響を排除することができる。

【0074】

なお、出力スイッチ B C T を書き込み期間中においてオン状態とすることによって、V 1 の値を変化させることができる。V 1 は、駆動トランジスタ D R T の移動度が大きい程、絶対値が大きい値となるため、移動度の影響も補償することができる。但し、移動度補正は時間制御であり、補正が進みすぎると過補正となることに留意が必要である。

【0075】

以上のことから、駆動トランジスタ D R T の閾値、移動度などのばらつきに起因する表示不良、スジムラ、ざらつき感の発生を抑制し、高品位の画像表示を行うことができ、高精細で表示品位の向上したアクティブマトリクス型の表示装置を得ることができる。

30

【0076】

図7は、第1の実施形態の変形例に係る動作表示時の走査線駆動回路 Y D R 1、Y D R 2 の制御信号を示すタイミングチャートである。図7では、書き込み期間中において、制御信号 S G 1、S G 2 が画素スイッチ S S T をオン状態とするそれぞれのタイミングで、出力スイッチ B C T をオフ状態とし、制御信号 S G 1、S G 2 が画素スイッチ S S T をオフ状態とするそれぞれのタイミングで、出力スイッチ B C T をオン状態とするレベルに、制御信号 B G を設定する。

【0077】

図8は、黒挿入時の走査線駆動回路 Y D R 1、Y D R 2 の制御信号を示すタイミングチャートである。図8では、出力スイッチ B C T をオフ状態とするレベル（オフ電位：ここではローレベル）に制御信号 B G を設定することで黒挿入を実現している。この構成により、黒挿入動作を容易に実現することができ、輝度調整も有効に行うことができる。

40

【0078】

[第2の実施形態]

図9は、第2の実施形態に係る表示装置を概略的に示す平面図である。第2の実施の形態では、リセット電源線 S g r を配設する態様が第1の実施の形態と異なっている。第1の実施の形態と同一、または同様の機能を奏する部位には同一の符号を付してその詳細の説明は省略する。

【0079】

50

図10は、図9の表示装置の画素PXの等価回路を示す図である。図10に示す態様では、リセット電源線Sgrは第1走査線Sgaと並行して（横方向に）設けられず、映像信号線VLと並行して（縦方向に）設けられている。

【0080】

リセット電源線Sgrを横方向に設ける場合は、第1～第4走査線と同層に設けるため配置上の制約からリセット電源線Sgrの抵抗を低く抑えることが困難である。これに対してリセット電源線Sgrを縦方向に設ける場合は、映像信号線VL（VL a、VL b）と同層に設けることができるため、配置上の制約が少なくリセット電源線Sgrの抵抗を低くすることが可能である。

【0081】

また、図10に示す構成では、1サブ画素SPXごとではあるが、駆動トランジスタDRTの特性測定、ダイオードOLEDの特性測定が可能となる。例えば、絶縁基板SUBの周辺部に信号を入出力するためのパッドPADを設け、1つのサブ画素SPX内のリセットスイッチRSTをオン状態とする。そうすると、パッドPADと接続するリセット電源線Sgrは、オン状態のリセットスイッチRSTを介して駆動トランジスタDRTのソース電極、ダイオードOLEDの陽極と接続する。従って、高電位Pvddがドレイン電極に付与されたときの駆動トランジスタDRTの特性、低電位Pvssが陰極に付与されたときのダイオードOLEDの特性を測定することができる。

【0082】

図11は、第2の実施形態の変形例に係る表示装置の等価回路を示す図である。図11に示す態様では、リセットスイッチRSTは、一つのサブ画素SPXに対してのみ1つ設けられている。このリセットスイッチRSTを介してリセット電源線Sgrは、1つのサブ画素SPXの駆動トランジスタDRTのソース電極、ダイオードOLEDの陽極と接続している。

【0083】

ソース初期化動作において、リセットスイッチRSTをオン状態とすると共に、4つのサブ画素SPXの駆動トランジスタDRTをオン状態とする。4つの駆動トランジスタDRTのドレイン電極は共通に接続されている。そのため、4つの駆動トランジスタDRTのソース電極及びドレイン電極がリセット電圧Vrstと同電位となり、ソース初期化動作は完了する。

【0084】

図11に示す画素PXの回路では、4つのサブ画素SPXを合計10個のTFTで構成している。即ち、1つのサブ画素SPXあたり、2.5（=10/4）個のTFTを使用している。従って、図11に示す回路は2.5Tr回路である。

【0085】

なお、共有化された一つのリセットスイッチRSTを介してリセット電圧Vrstが供給されるサブ画素SPXは、青色のサブ画素SPXとすることが望ましい。青色は、他の色と比べて視認性が低いため、リセット電圧Vrstを供給することで表示上の影響が発生する場合であっても、その表示上の影響を視認上抑制することができる。

【0086】

なお、リセットスイッチRSTを共有化する形態は、図11に示す4つのサブ画素SPX（R、G、B、W）に適用される例に限られない。例えば、3つのサブ画素SPX（R、G、B）からなる画素PXに対して1つのリセットスイッチRSTを設けても良い。また、2つの画素（RGB、RGB）に対して、即ち6つのサブ画素に対して1つのリセットスイッチRSTを設けても良い。

【0087】

図12は、第2の実施形態の変形例に係る表示装置の等価回路を示す図である。図12に示す態様では、図11と同様にリセットスイッチRSTは、画素PXに1つ設けられる。しかし、図11と異なり、このリセットスイッチRSTを介して、リセット電源線Sgrは、1つのサブ画素SPXの駆動トランジスタDRTのドレイン電極と接続している。

10

20

30

40

50

【 0 0 8 8 】

一方、4つのサブ画素SPXの駆動トランジスタDRTのドレイン電極は共通に接続されている。そのため、ソース初期化動作において、リセットスイッチRSTをオン状態とすると共に、4つのサブ画素SPXの駆動トランジスタDRTをオン状態とすると、4つの駆動トランジスタDRTのソース電極及びドレイン電極がリセット電圧Vrstと同電位となり、ソース初期化を完了させることができる。

【 0 0 8 9 】

図13は、第3の実施形態に係る表示装置を概略的に示す平面図である。第3の実施形態では、リセット電源線Sgrを使用しない点が第2の実施形態と異なっている。第2の実施形態と同一、または同様の機能を奏する部位には同一の符号を付してその詳細の説明は省略する。

10

【 0 0 9 0 】

図14は、図13の表示装置の画素PXの等価回路を示す図である。図13に示す態様では、リセット電源線Sgrは設けられていない。またリセット電圧Vrstに代えて低電位Pvssを用いている。

【 0 0 9 1 】

上述の構成を実現するため、画素内にコンタクトホールを設けて、導電層から低電位Pvssを取り出して、それぞれのリセットスイッチRSTのソース電極に入力する。即ち、画素回路の内部で低電位Pvssを取り出すことができるため、第1及び第2の実施形態で示したような、走査線駆動回路YDR2からの配線、信号線駆動回路XDRからの配線は不要である。

20

図15は、第3の実施形態に係る実施例1の表示装置を示す平面図であり、全体的な概略構造を示す図である。

【 0 0 9 2 】

図15に示すように、低電位Pvssを供給する金属層（例えば、対向電極CE）は、コンタクトホールを通してそれぞれのリセットスイッチRSTのソース電極に接続されている。本実施例1において、画素PXはいわゆるRGBW正方画素である。リセットスイッチRSTは、隣合う4個（列方向Yに隣合う2個及び行方向Xに隣合う2個）の中心部分に設けられる。このことから、コンタクトホールは、隣合う4個のサブ画素SPXに1個の割合で設けられている。

30

【 0 0 9 3 】

図16は、第3の実施形態に係る実施例2の表示装置を示す平面図であり、全体的な概略構造を示す図である。

【 0 0 9 4 】

図16に示すように、低電位Pvssを供給する金属層は、図15に示した金属層と概ね同様に形成されている。ここでは、金属層は、複数形成され、列方向Yに沿って延出した帯状に形成されている。金属層は、隣合う2つの列に位置した画素PXに対向している。金属層は、行方向Xに互いに間隔を置いて位置している。金属層は、映像信号線VLと対向した領域から外れて位置している。このため、映像信号線VL等の負荷を低減することができる。

40

【 0 0 9 5 】

なお、図14に示す等価回路の動作は、図10を参照して説明した動作と同様であるため、その詳細の説明は省略する。

【 0 0 9 6 】

図17は、第3の実施形態の変形例に係る表示装置の等価回路を示す図である。図17に示す態様では、リセットスイッチRSTは、画素PXに1つ設けられ、このリセットスイッチRSTを介して低電位Pvssが、1つのサブ画素SPXの駆動トランジスタDRTのソース電極、ダイオードOLEDの陽極に入力される。

【 0 0 9 7 】

リセットスイッチRSTは、隣合う4個（列方向Yに隣合う2個及び行方向Xに隣合う

50

2個)に共有して1個設けられている。このことから、コンタクトホールは、隣合う4個のサブ画素SPXに1個の割合で設けられている。

この等価回路の動作は、図11を参照して説明した動作と同様であるため、その詳細の説明は省略する。

【0098】

図18は、第3の実施形態の変形例に係る表示装置の等価回路を示す図である。図18に示す態様では、図17と同様にリセットスイッチRSTは、画素PXに1つ設けられる。しかし、図17と異なり、このリセットスイッチRSTを介して、低電位Pvssは、1つのサブ画素SPXの駆動トランジスタDRTのドレイン電極に入力される。

この等価回路の動作は、図12を参照して説明した動作と同様であるため、その詳細の説明は省略する。

【0099】

次に、レイアウトを効率化する方法について説明する。

【0100】

図19は、レイアウトを効率化するための複数の画素PXの配置構成を示す図である。

図19に示すように、画素PXはいわゆるRGBW正方画素である。例えば、各画素の上段に、赤色、緑色、青色及び無彩色のサブ画素SPXの何れか2個が配置され、各画素の下段に、残りの2個のサブ画素SPXが配置されている。

【0101】

走査線駆動回路YDR1から出力される制御信号SG1は、各画素の上段のサブ画素SPXを駆動し、制御信号SG2は、各画素の下段のサブ画素SPXを駆動する。

また、出力スイッチBCTとリセットスイッチRSTとは、1画素PXで一つ、即ち、4つのサブ画素SPXで共通して各1つ設けられている。走査線駆動回路YDR2から出力される一つの制御信号BG、一つのリセット信号RGは、2行以上の画素の出力スイッチBCTとリセットスイッチRSTとを同時に駆動する。

【0102】

このように構成することで、走査線駆動回路YDR2の回路を削減し、また走査線の本数を削減することができ、レイアウトの効率化を図ることができる。

【0103】

図20は、レイアウトを効率化するための複数の画素PXの配置構成を示す図である。

図20に示すように、画素PXはいわゆる縦ストライプ画素である。行方向Xには、赤色の画像を表示するように構成されたサブ画素SPX、緑色の画像を表示するように構成されたサブ画素SPX、青色の画像を表示するように構成されたサブ画素SPX、及び無彩色の画像を表示するように構成されたサブ画素SPXが交互に並べられている。走査線駆動回路YDR1から出力される制御信号SGは、一つの行の各画素PXを駆動する。

【0104】

また、出力スイッチBCTとリセットスイッチRSTとは、それぞれ隣合う4個(列方向Yに隣合う2個及び行方向Xに隣合う2個)のサブ画素SPXで共用されている。走査線駆動回路YDR2から出力される一つの制御信号BG、一つのリセット信号RGは、2行の画素の出力スイッチBCTとリセットスイッチRSTとを同時に駆動する。

【0105】

このように構成することで、走査線駆動回路YDR2の回路を削減し、また走査線の本数を削減することができ、レイアウトの効率化を図ることができる。

【0106】

図21は、レイアウトを効率化するための複数の画素PXの配置構成を示す図である。

図21に示すように、画素PXはいわゆる縦ストライプ画素である。走査線駆動回路YDR1から出力される制御信号SGは、一つの行の各画素PXを駆動する。

また、出力スイッチBCTとリセットスイッチRSTとは、それぞれ隣合う8個(列方向Yに隣合う2個及び行方向Xに隣合う4個)のサブ画素SPXで共用されている。走査線駆動回路YDR2から出力される一つの制御信号BG、一つのリセット信号RGは、2

10

20

30

40

50

行の画素の出力スイッチ B C T とリセットスイッチ R S T とを同時に駆動する。

【 0 1 0 7 】

このように構成することで、走査線駆動回路 Y D R 2 の回路を削減し、また走査線の本数を削減することができ、さらに、画素回路に使用するトランジスタの個数を削減することができ、レイアウトの効率化を図ることができる。

【 0 1 0 8 】

図 2 2 は、レイアウトを効率化するための複数の画素 P X の配置構成を示す図である。

図 2 2 に示すように、画素 P X はいわゆる縦ストライプ画素である。走査線駆動回路 Y D R 1 から出力される制御信号 S G は、一つの行の各画素 P X を駆動する。

また、出力スイッチ B C T とリセットスイッチ R S T とは、それぞれ隣合う 8 個（列方向 Y に隣合う 2 個及び行方向 X に隣合う 4 個）のサブ画素 S P X で共用されている。走査線駆動回路 Y D R 2 から出力される一つの制御信号 B G、一つのリセット信号 R G は、4 行の画素の出力スイッチ B C T とリセットスイッチ R S T とを駆動する。

10

【 0 1 0 9 】

このように構成することで、走査線駆動回路 Y D R 2 の回路を削減し、また走査線の本数を削減することができ、さらに、画素回路に使用するトランジスタの個数を削減することができ、レイアウトの効率化を図ることができる。

【 0 1 1 0 】

続いて、複数行を一つの制御信号 B G と一つのリセット信号 R G で駆動する方法について説明する。

20

【 0 1 1 1 】

図 2 3 は、動作表示時の走査線駆動回路 Y D R 1、Y D R 2 の制御信号を示す 1 実施例におけるタイミングチャートである。なお、1 行ごとに制御信号 B G とリセット信号 R G とを出力する駆動方法は、例えば図 6 を参照して既に説明しているため、重複した説明は省略する。

【 0 1 1 2 】

図 2 3 に示す駆動方法では、ソース初期化動作、ゲート初期化動作、オフセットキャンセル（O C）動作は、複数行（N 行、N + 1 行）について同時に行われる。一方、書込み動作は、1 水平周期において N 行目の画素 P X に対して階調電圧信号 V s i g を書き込んだ後、次の 1 水平周期において N + 1 行目の画素 P X に対して階調電圧信号 V s i g を書き込む。

30

【 0 1 1 3 】

図 2 4 は、動作表示時の走査線駆動回路 Y D R 1、Y D R 2 の制御信号を示す他の実施例におけるタイミングチャートである。

図 2 4 に示す駆動方法では、ソース初期化動作、ゲート初期化動作、オフセットキャンセル（O C）動作は、複数行（N 行、N + 1 行）について同時に行われる。一方、書込み動作は、1 水平周期において N 行目の画素と N + 1 行目の画素のそれぞれ 2 つのサブ画素 S P X に対して階調電圧信号 V s i g を書き込んだ後、次の 1 水平周期において N 行目の画素と N + 1 行目のそれぞれ残りの 2 つのサブ画素 S P X に対して階調電圧信号 V s i g を書き込む。

40

【 0 1 1 4 】

以上説明したように複数行で制御信号 B G とリセット信号 R G とを共用する際には、ソース初期化動作、ゲート初期化動作、オフセットキャンセル（O C）動作は、複数行について同時に実行し、書込み動作については複数行について行ごとに順次実行することで画像を適正に表示することができる。

【 0 1 1 5 】

なお、上述の各実施の形態では、1 画素は 4 つのサブ画素（R G B W 配列画素）で構成されていたが、この形態に限られず 3 つのサブ画素（R G B 配列画素）で構成された画素についても適用することができる。

【 0 1 1 6 】

50

以上説明した各実施の形態では、表示装置の回路を構成するトランジスタ、スイッチ等を主にN型トランジスタを用いて構成したが、N型トランジスタをP型トランジスタとし、P型トランジスタをN型トランジスタとして構成することができる。この場合は、上述の各実施形態のタイムチャートに記載したパルス波形は逆極性の波形となる。

【0117】

本発明の実施の形態として上述した表示装置及び表示装置の駆動方法を基にして、当業者が適宜設計変更して実施し得る全ての表示装置及び表示装置の駆動方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0118】

本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

10

【0119】

また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

【0120】

上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

20

【符号の説明】

【0121】

D P ... 表示パネル、S U B ... 絶縁基板、S g a、S g b、S g c、S g d ... 走査線、S g r ... リセット電源線、V L a、V L b ... 映像信号線、X D R ... 信号線駆動回路、B C T ... 出力スイッチ、R S T ... リセットスイッチ、S S T ... 画素スイッチ、D R T ... 駆動トランジスタ、C s ... 保持容量、P S H ... 高電位電源線、P v d d ... 高電位、P S L ... 低電位電源線、P v s s ... 低電位、O E ... 導電層、C E ... 対向電極、P X ... 画素、S P X ... サブ画素、Y D R 1、Y D R 2 ... 走査線駆動回路、1 2 ... コントローラ。

30

【図1】

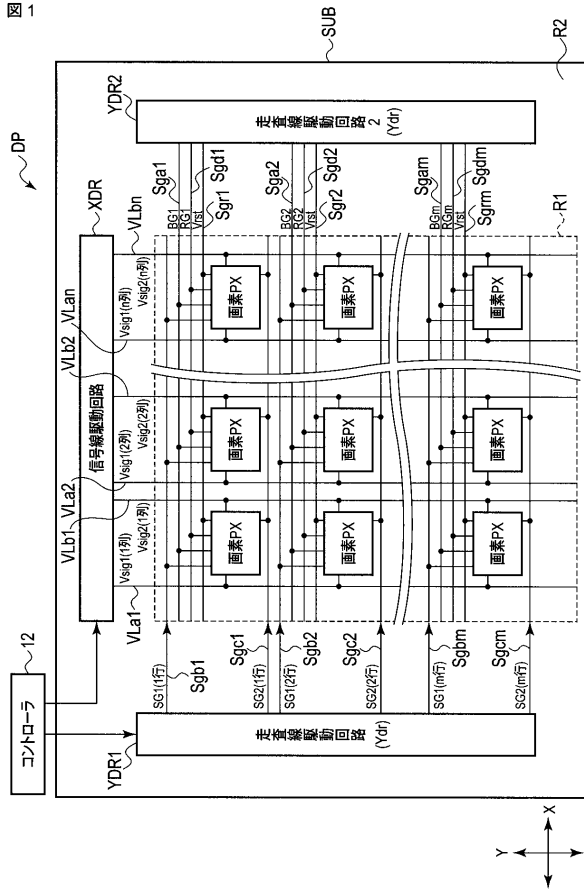


図1

【図2】

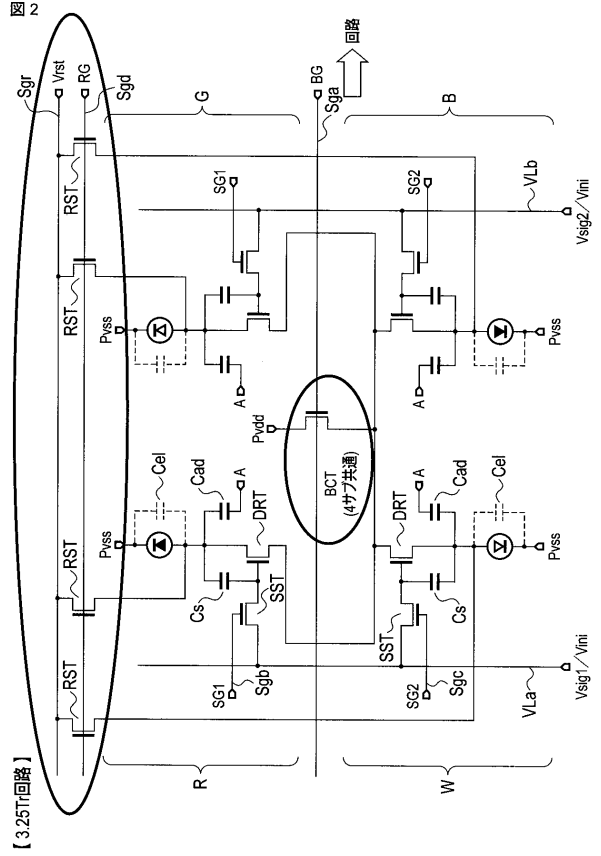


図2

【3.25Tr回路】

【図3】

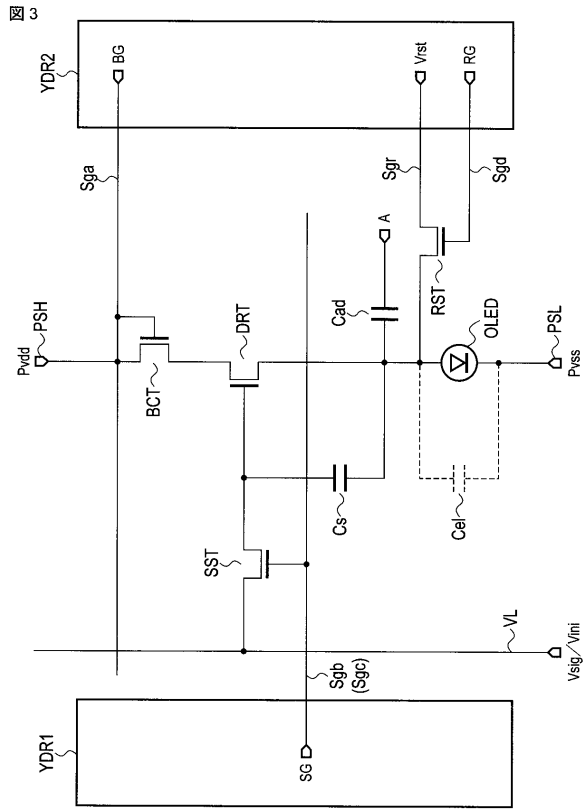


図3

【図4】

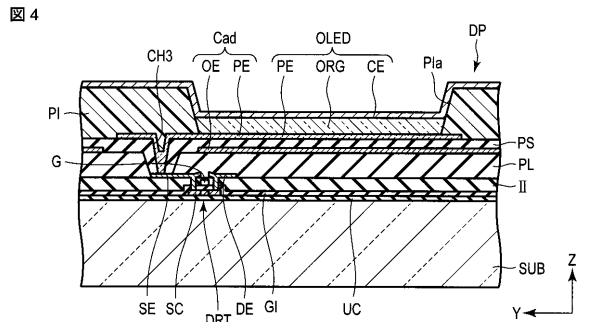


図4

【図5】

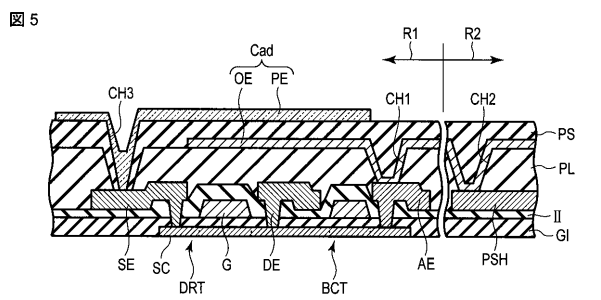
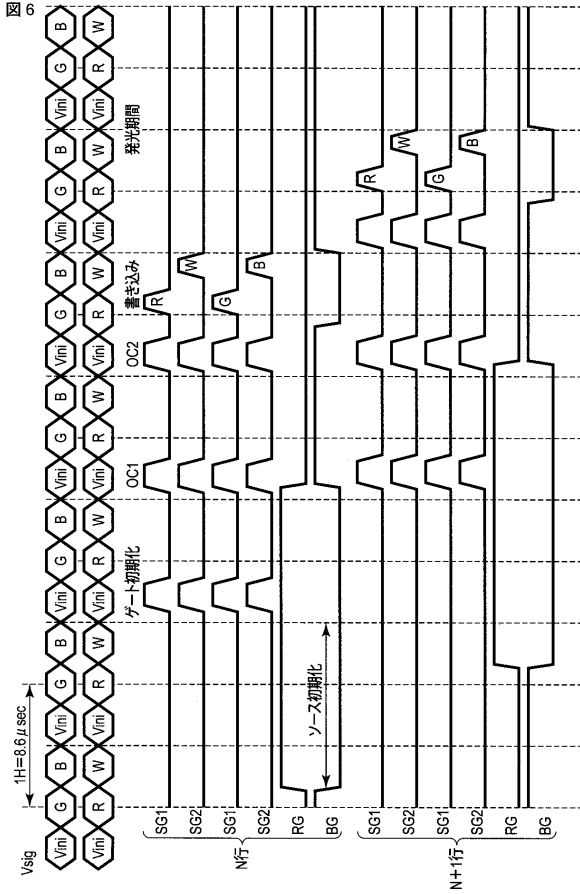
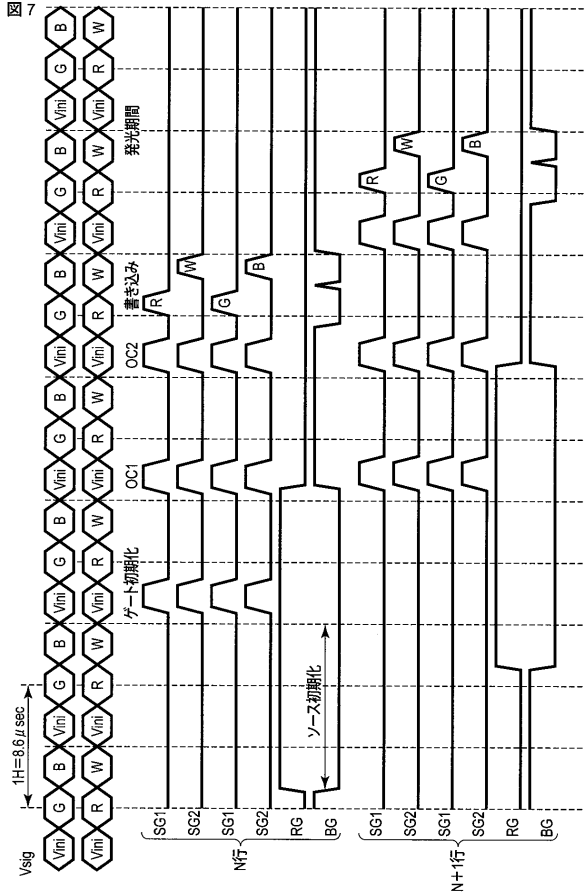


図5

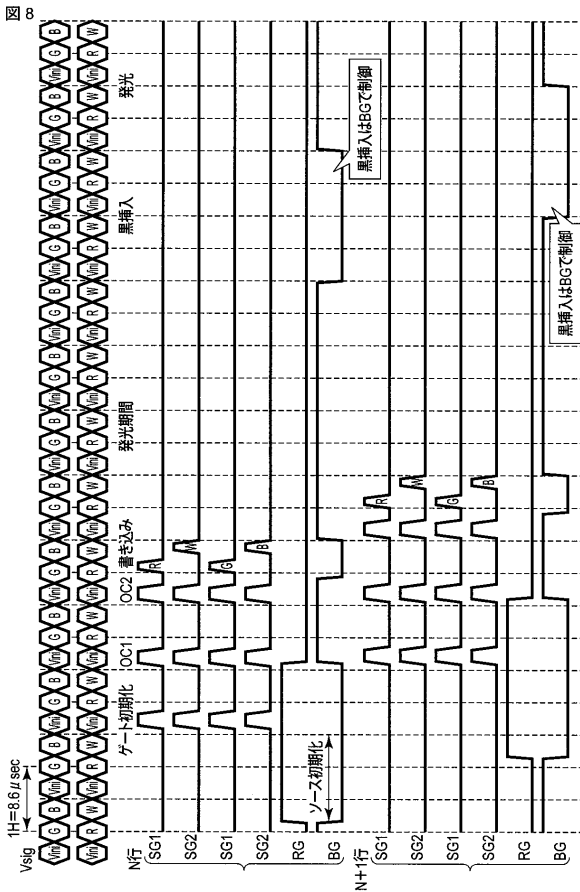
【図6】



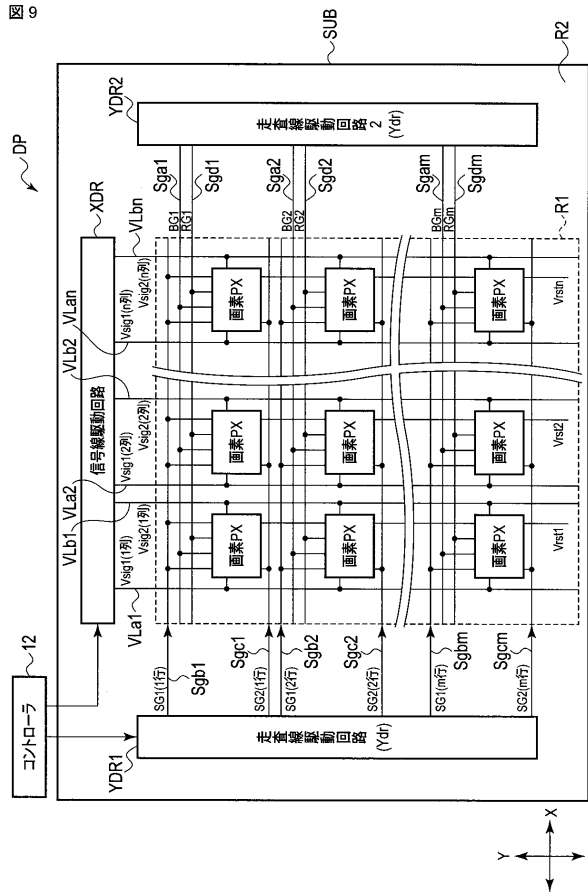
【図7】



【図8】

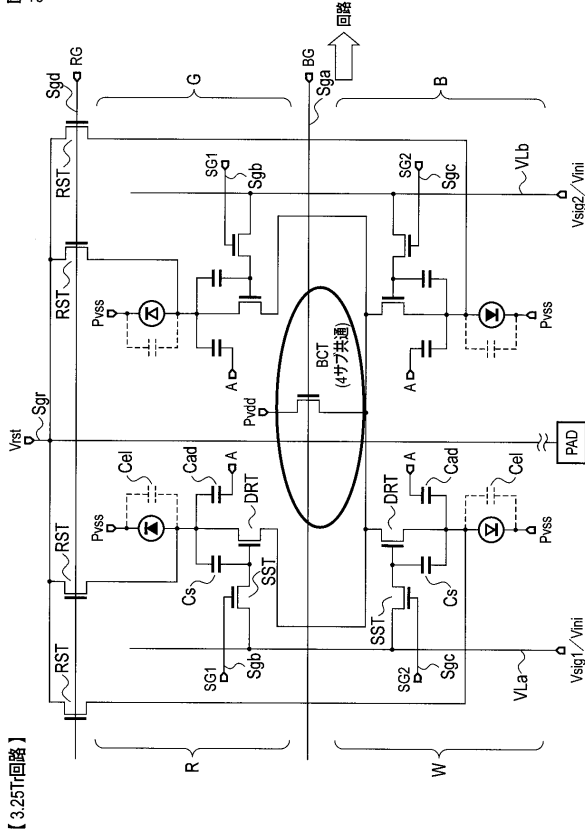


【図9】



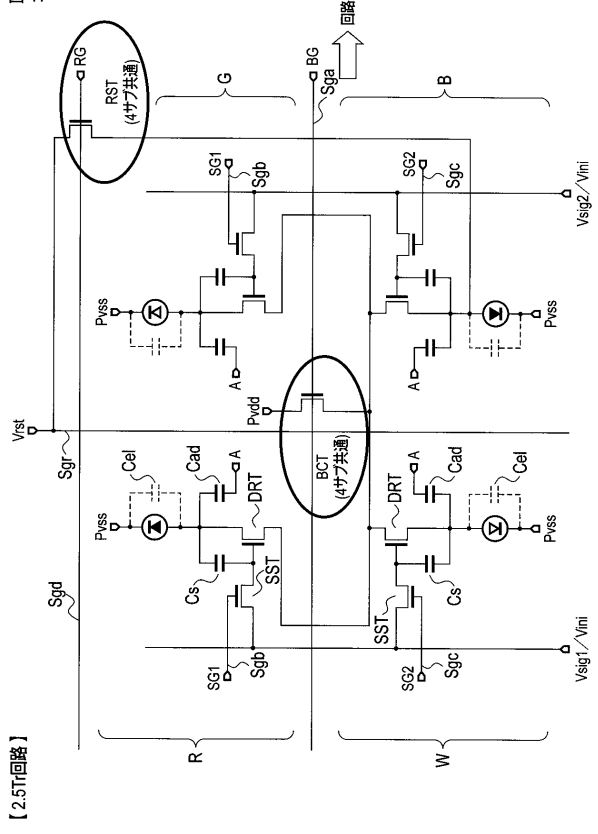
【図 10】

図 10



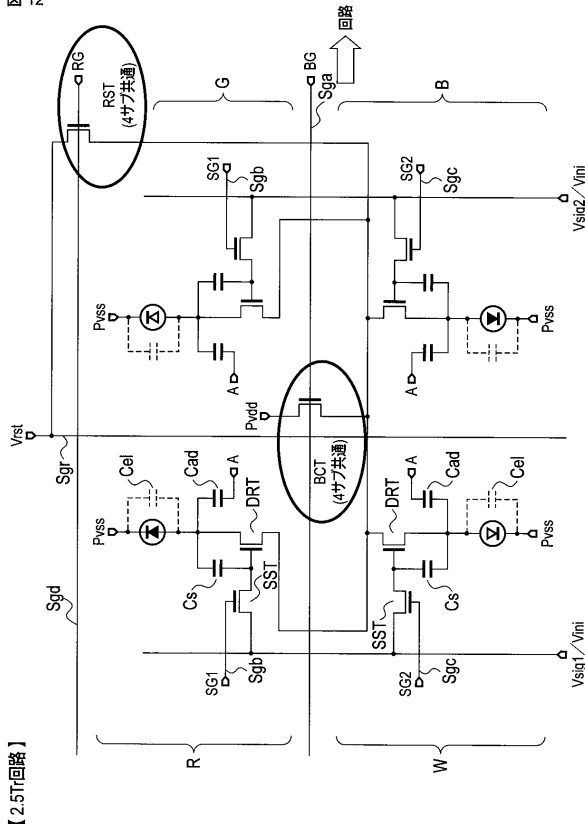
【図 11】

図 11



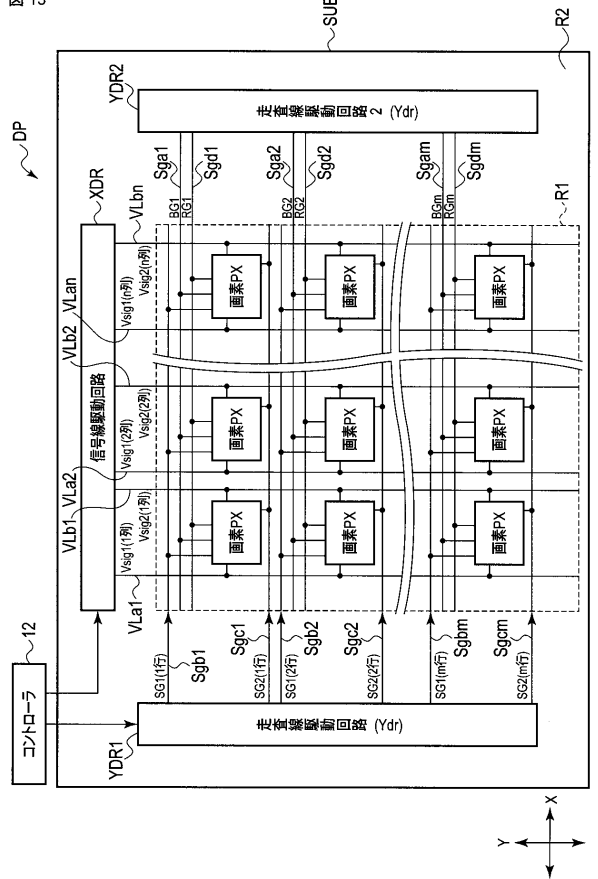
【図 12】

図 12



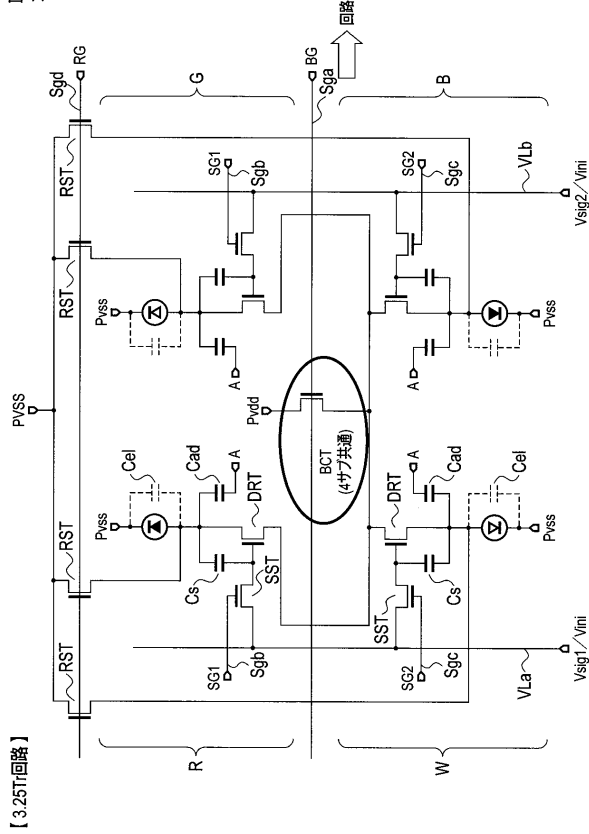
【図 13】

図 13



【図 14】

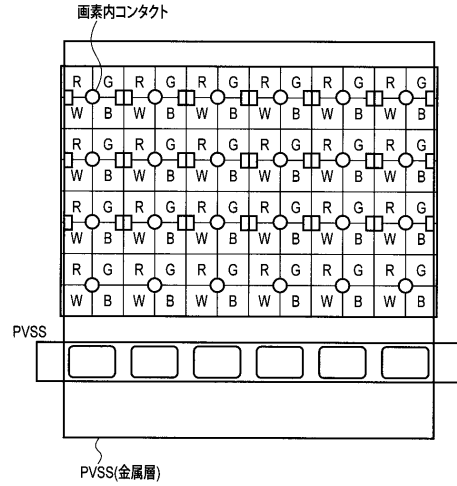
図 14



【3.25T回路】

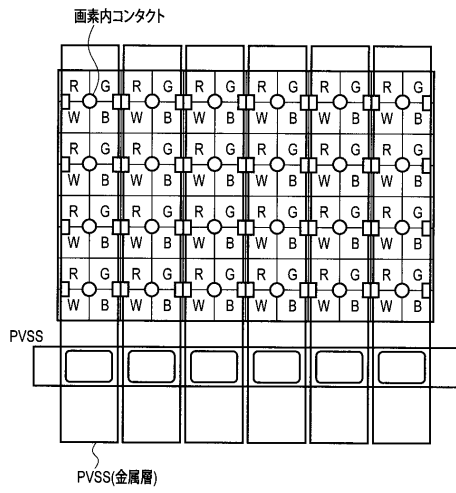
【図 15】

図 15



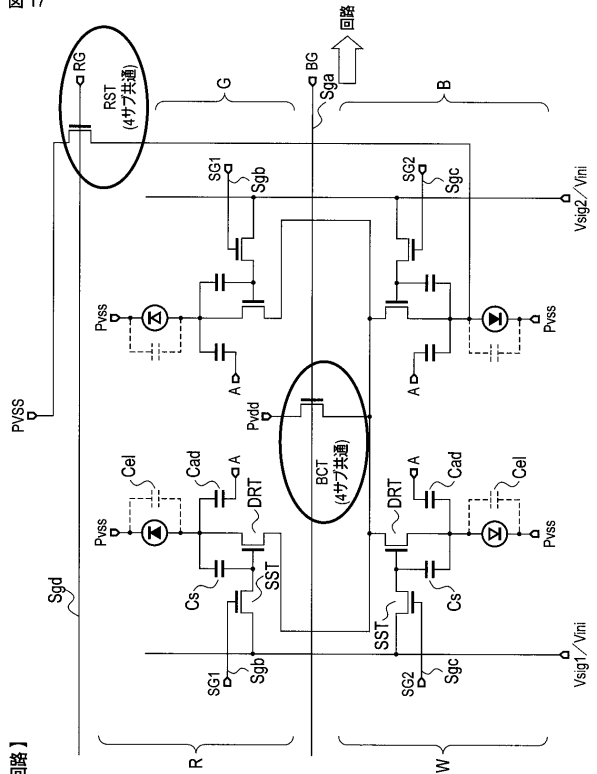
【図 16】

図 16



【図 17】

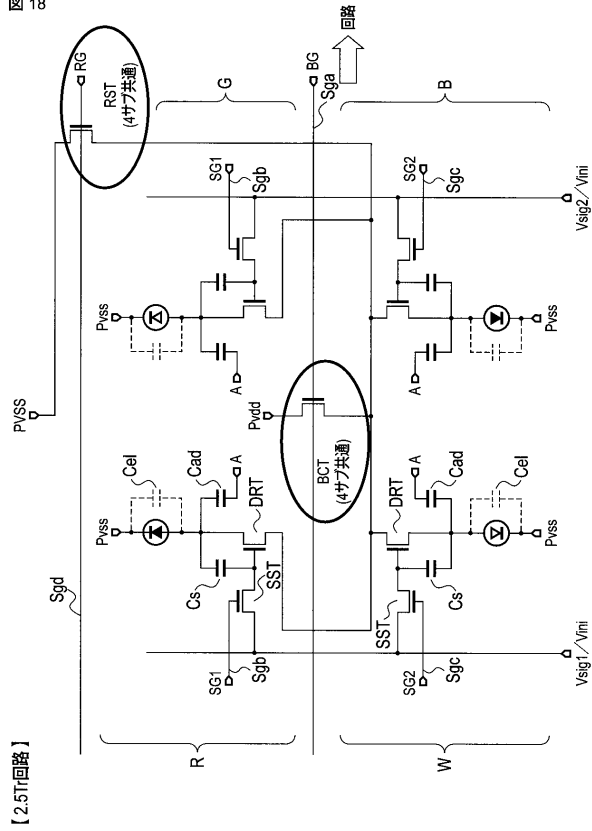
図 17



【2.5T回路】

【図 18】

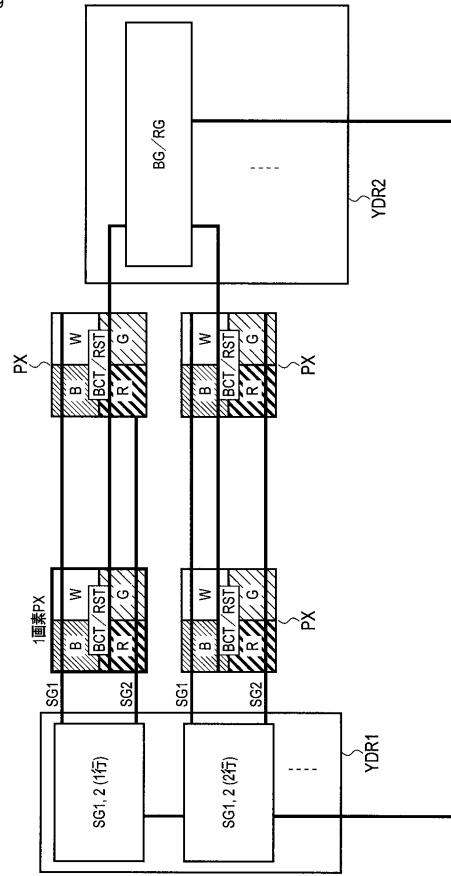
図 18



【2.5T回路】

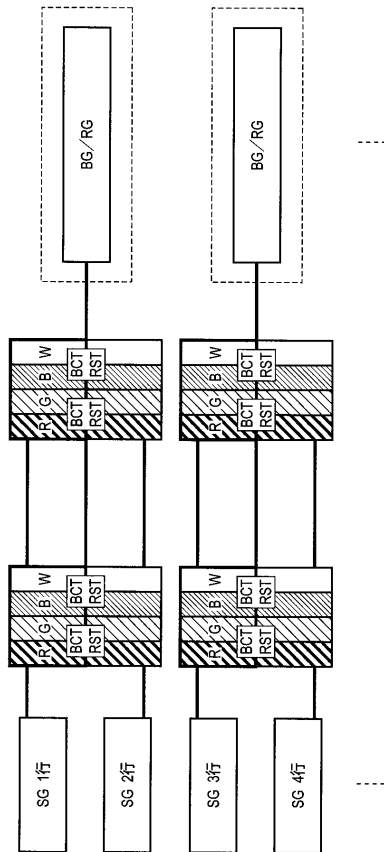
【図 19】

図 19



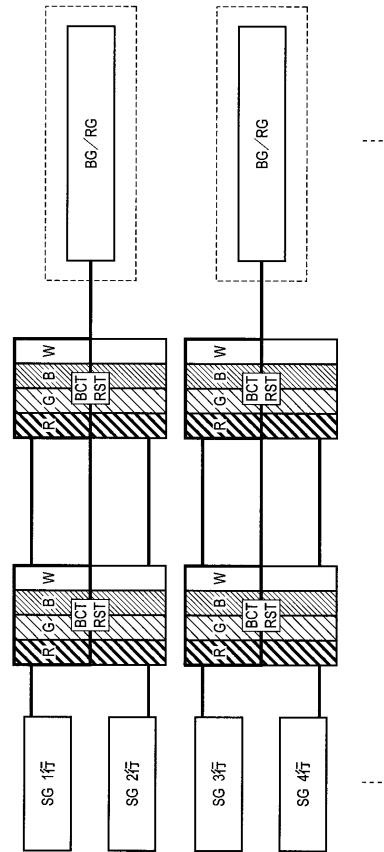
【図 20】

図 20



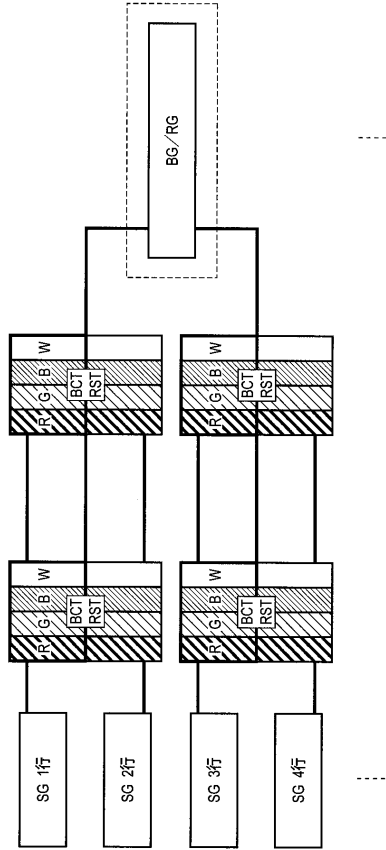
【図 21】

図 21



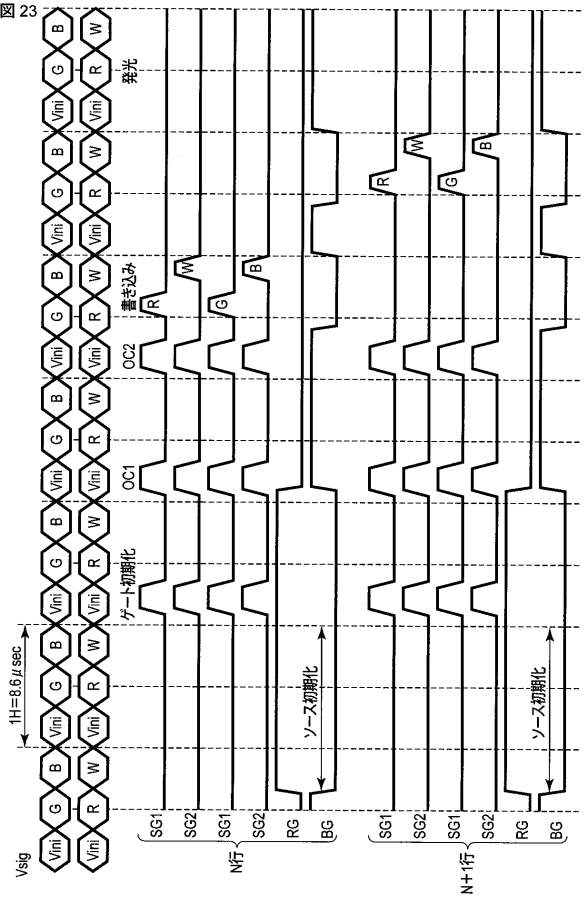
【 図 2 2 】

図 22



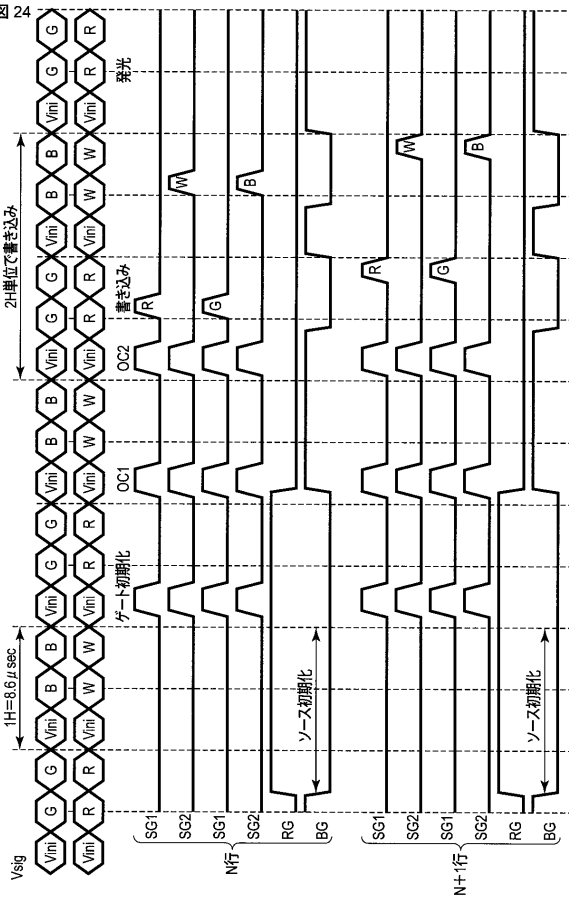
【 図 2 3 】

図 23



【 図 2 4 】

図 24



 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 K
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G
	H 0 5 B 33/14	A

(72)発明者 森田 哲生

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 田畠 弘志

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 3K107 AA01 BB01 CC35 EE03 HH05

5C080 AA06 BB05 DD22 DD23 DD24 EE30 JJ02 JJ03 JJ04 JJ06

5C380 AA01 AB06 AB36 AB41 AB45 BA12 BA14 BA17 BA19 BA38

BA39 CB26 CC07 CC27 CC30 CC33 CC37 CC52 CC59 CC64

CD024 CF07 CF22 DA35 DA47 FA21 HA03 HA12 HA13

专利名称(译)	表示装置		
公开(公告)号	JP2015125366A	公开(公告)日	2015-07-06
申请号	JP2013270960	申请日	2013-12-27
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	木村裕之 森田哲生 田島弘志		
发明人	木村 裕之 森田 哲生 田島 弘志		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3258 G09G3/007 G09G3/20 G09G3/2003 G09G3/2074 G09G3/3208 G09G3/3233 G09G2300/0408 G09G2300/0426 G09G2300/0447 G09G2300/0452 G09G2300/046 G09G2300/0465 G09G2300/0804 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0216 G09G2310/062 G09G2360/123		
FI分类号	G09G3/30.J G09G3/20.611.F G09G3/20.624.B G09G3/20.624.E G09G3/20.611.H G09G3/20.622.K G09G3/20.622.D G09G3/20.621.A G09G3/20.621.M G09G3/20.680.G H05B33/14.A G09G3/3225 G09G3/3266		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD23 5C080/DD24 5C080/EE30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB36 5C380/AB41 5C380/AB45 5C380/BA12 5C380/BA14 5C380/BA17 5C380/BA19 5C380/BA38 5C380/BA39 5C380/CB26 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC37 5C380/CC52 5C380/CC59 5C380/CC64 5C380/CD024 5C380/CF07 5C380/CF22 5C380/DA35 5C380/DA47 5C380/FA21 5C380/HA03 5C380/HA12 5C380/HA13		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译)

提供了一种高清显示设备。显示装置包括以矩阵形式布置在基板上的多个像素PX。像素包括具有不同发射颜色的多个子像素SPX。子像素具有输出开关BCT，其第一端子连接到第一电源线，其控制端子连接到第一扫描线，并且其第一端子连接到输出开关的第二端子，并且第二端子是连接到发光元件OLED的一个电极的驱动晶体管DRT，连接在驱动晶体管的控制端子和第二端子之间的存储电容器Cad，以及连接到驱动晶体管的控制端子的第一端子，像素开关SST具有连接到视频信号线的第二端子和连接到第二扫描线的控制端子，连接到复位电源线的第二端子和连接到驱动晶体管的第二端子或第一端子的第二端子。一种显示装置，包括：复位开关RST，其连接到两个端子并且其控制端子连接到第三扫描线，并且其输出开关由至少一个像素中包括的多个子像素共享。
[选择图]图11

(21) 出願番号	特願2013-270960 (P2013-270960)	(71) 出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22) 出願日	平成25年12月27日 (2013.12.27)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100087653 弁理士 鈴江 正二
		(72) 発明者	木村 裕之 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内