

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-184577
(P2006-184577A)

(43) 公開日 平成18年7月13日(2006.7.13)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K007
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
H01L 21/20 (2006.01)	G09G 3/20 624B	5F110
H01L 21/265 (2006.01)	G09G 3/20 641D	5F152
H05B 33/10 (2006.01)	G09G 3/20 642A	

審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-378257 (P2004-378257)
(22) 出願日 平成16年12月27日 (2004.12.27)

(71) 出願人 302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南4-1-8
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 表示装置、アレイ基板、及び表示装置の製造方法

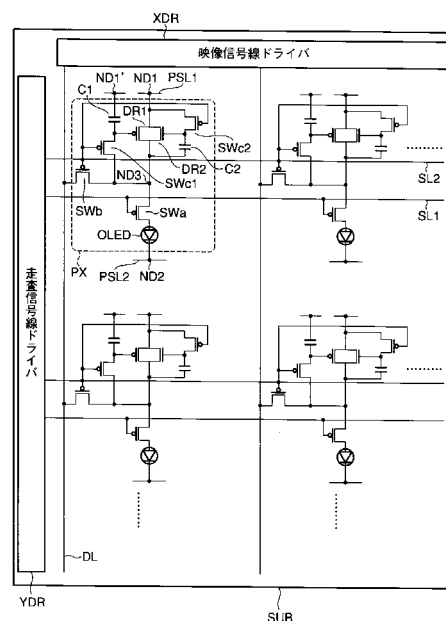
(57) 【要約】

【課題】 カレントコピー型回路を画素に採用した表示装置で表示ムラが発生するのを防止すること。

【解決手段】 本発明の表示装置は、各画素PXが、ソースが電源端子ND1に接続された薄膜トランジスタDR1と、これとは導電型が異なり、ソースがトランジスタDR1のドレインに接続され、ドレインが端子ND1に接続された薄膜トランジスタDR2と、定電位端子ND1'とトランジスタDR1のゲートとの間に接続されたキャパシタC1と、トランジスタDR2のソースとゲートとの間に接続されたキャパシタC2と、スイッチSWc1及びSW2を含み、トランジスタDR1のゲートとドレインと映像信号線DLとの接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替え可能なスイッチ群と、トランジスタDR2のゲートとドレインとの間に接続されたスイッチSWc2と、スイッチSWaと、電源端子ND2とトランジスタDR1のドレインとの間でスイッチSWaと直列に接続された表示素子OLEDとを備えたことを特徴とする。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素のそれぞれは、

多結晶半導体層中にソースとドレインとチャンネルとが形成され、ソースが第 1 電源端子に接続された第 1 薄膜トランジスタと、

多結晶半導体層中にソースとドレインとチャンネルとが形成され、前記第 1 薄膜トランジスタとは導電型が異なり、ソースが前記第 1 薄膜トランジスタのドレインに接続され、ドレインが前記第 1 電源端子に接続された第 2 薄膜トランジスタと、

10

定電位端子と前記第 1 薄膜トランジスタのゲートとの間に接続された第 1 キャパシタと、

前記第 2 薄膜トランジスタのソースと前記第 2 薄膜トランジスタのゲートとの間に接続された第 2 キャパシタと、

第 1 ダイオード接続スイッチと映像信号供給制御スイッチとを含み、前記第 1 薄膜トランジスタのゲートと前記第 1 薄膜トランジスタのドレインと前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替え可能なスイッチ群と、

前記第 2 薄膜トランジスタのゲートと前記第 2 薄膜トランジスタのドレインとの間に接続された第 2 ダイオード接続スイッチと、

20

出力制御スイッチと、

第 2 電源端子と前記第 1 薄膜トランジスタのドレインとの間で前記出力制御スイッチと直列に接続された表示素子とを備えたことを特徴とする表示装置。

【請求項 2】

前記第 1 薄膜トランジスタのチャンネル不純物濃度と前記第 2 薄膜トランジスタのチャンネル不純物濃度とは、実質的に等しいことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 ダイオード接続スイッチは、前記第 1 薄膜トランジスタのゲートと前記第 1 薄膜トランジスタのドレインとの間に接続され、

前記映像信号供給スイッチは、前記映像信号線と前記第 1 薄膜トランジスタのドレインとの間に接続されたことを特徴とする請求項 1 に記載の表示装置。

30

【請求項 4】

前記第 1 及び第 2 薄膜トランジスタの前記多結晶半導体層は、多結晶シリコン層であることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記表示素子は有機 EL 素子であることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素回路と、前記複数の画素回路が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素回路のそれぞれは、

40

多結晶半導体層中にソースとドレインとチャンネルとが形成され、ソースが第 1 電源端子に接続された第 1 薄膜トランジスタと、

多結晶半導体層中にソースとドレインとチャンネルとが形成され、前記第 1 薄膜トランジスタとは導電型が異なり、ソースが前記第 1 薄膜トランジスタのドレインに接続され、ドレインが前記第 1 電源端子に接続された第 2 薄膜トランジスタと、

定電位端子と前記第 1 薄膜トランジスタのゲートとの間に接続された第 1 キャパシタと、

前記第 2 薄膜トランジスタのソースと前記第 2 薄膜トランジスタのゲートとの間に接続された第 2 キャパシタと、

第 1 ダイオード接続スイッチと映像信号供給制御スイッチとを含み、前記第 1 薄膜トラン

50

ンジスタのゲートと前記第 1 薄膜トランジスタのドレインと前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替え可能なスイッチ群と、

前記第 2 薄膜トランジスタのゲートと前記第 2 薄膜トランジスタのドレインとの間に接続された第 2 ダイオード接続スイッチと、

第 2 電源端子と前記第 1 薄膜トランジスタのドレインとの間で表示素子と直列に接続される出力制御スイッチとを備えたことを特徴とするアレイ基板。

【請求項 7】

請求項 1 に記載の表示装置の製造方法であって、

前記絶縁基板上であって前記複数の画素に対応したそれぞれの位置に、前記第 1 薄膜トランジスタの前記多結晶半導体層と、前記第 2 薄膜トランジスタの前記多結晶半導体層とを同時に形成する工程と、

前記複数の画素に対応したそれぞれの位置で、前記第 1 薄膜トランジスタの前記多結晶半導体層へのチャネルドープと、前記第 2 薄膜トランジスタの前記多結晶半導体層へのチャネルドープとを同時に行う工程とを含んだことを特徴とする表示装置の製造方法。

【請求項 8】

前記第 1 及び第 2 薄膜トランジスタの前記多結晶半導体層へのチャネルドープは、ライオンビームとしたイオンビームを前記多結晶半導体層に照射すると共に前記イオンビームの照射位置を前記イオンビームが照射される領域の長手方向と交差する方向にずらすことにより行うことを特徴とする請求項 7 に記載の表示装置の製造方法。

【請求項 9】

前記多結晶半導体層は多結晶シリコン層であることを特徴とする請求項 7 に記載の表示装置の製造方法。

【請求項 10】

前記表示素子は有機 EL 素子であることを特徴とする請求項 7 に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、アレイ基板、及び表示装置の製造方法に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス (EL) 表示装置のように表示素子の光学特性をそれに流す駆動電流によって制御する表示装置では、駆動電流がばらつくと、輝度むら等の画質変動が生じる。それゆえ、そのような表示装置でアクティブマトリクス駆動方式を採用した場合には、駆動電流の大きさを制御する駆動制御素子の特性が各画素間でほぼ同一であることが要求される。しかしながら、この表示装置では、通常、駆動制御素子をガラス基板などの絶縁体上に形成するため、その特性にばらつきを生じ易い。

【0003】

以下の特許文献 1 には、カレントコピー型の回路を画素に採用した有機 EL 表示装置が記載されている。

【0004】

このカレントコピー型の画素は、駆動制御素子である n チャンネル電界効果トランジスタ (FET) と、有機 EL 素子と、キャパシタとを含んでいる。n チャンネル FET のソースは低電位の電源線に接続されており、キャパシタは n チャンネル FET のゲートと先の電源線との間に接続されている。また、有機 EL 素子の陽極は、より高電位の電源線に接続されている。

【0005】

この画素は、以下の方法で駆動する。

まず、n チャンネル FET のドレインとゲートとを接続し、この状態で n チャンネル FET

のドレイン - ソース間に映像信号に対応した大きさの電流 I_{sig} を流す。この動作により、キャパシタの両電極間の電圧は、 n チャネル FET のチャンネルに電流 I_{sig} を流すのに必要なゲート - ソース間電圧に設定される。

【0006】

次に、 n チャネル FET のドレインとゲートとの接続を断ち、キャパシタの両電極間の電圧を保持する。続いて、 n チャネル FET のドレインを有機 EL 素子の陰極に接続する。これにより、有機 EL 素子には、先の電流 I_{sig} とほぼ等しい大きさの駆動電流 I_{drv} が流れる。有機 EL 素子は、この駆動電流 I_{drv} の大きさに対応した輝度で発光する。

【0007】

このように、上記のカレントコピー型回路を画素に採用すると、書込期間において映像信号として供給した電流 I_{sig} とほぼ等しい大きさの駆動電流 I_{drv} を、書込期間に続く保持期間においても n チャネル FET のドレインとソースとの間に流すことができる。それゆえ、 n チャネル FET の閾値 V_{th} だけでなく移動度や寸法などが駆動電流 I_{drv} に与える影響も排除することができる。

10

【0008】

しかしながら、本発明者は、上記のカレントコピー型回路を画素に採用した表示装置であっても、表示ムラが生じる可能性があることを見出している。

【特許文献1】米国特許第6373454号明細書

【発明の開示】

【発明が解決しようとする課題】

20

【0009】

本発明の目的は、カレントコピー型回路を画素に採用した表示装置で表示ムラが発生するのを防止することにある。

【課題を解決するための手段】

【0010】

本発明の第1側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素のそれぞれは、多結晶半導体層中にソースとドレインとチャンネルとが形成され、ソースが第1電源端子に接続された第1薄膜トランジスタと、多結晶半導体層中にソースとドレインとチャンネルとが形成され、前記第1薄膜トランジスタとは導電型が異なり、ソースが前記第1薄膜トランジスタのドレインに接続され、ドレインが前記第1電源端子に接続された第2薄膜トランジスタと、定電位端子と前記第1薄膜トランジスタのゲートとの間に接続された第1キャパシタと、前記第2薄膜トランジスタのソースと前記第2薄膜トランジスタのゲートとの間に接続された第2キャパシタと、第1ダイオード接続スイッチと映像信号供給制御スイッチとを含み、前記第1薄膜トランジスタのゲートと前記第1薄膜トランジスタのドレインと前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断たれた状態との間で切り替え可能なスイッチ群と、前記第2薄膜トランジスタのゲートと前記第2薄膜トランジスタのドレインとの間に接続された第2ダイオード接続スイッチと、出力制御スイッチと、第2電源端子と前記第1薄膜トランジスタのドレインとの間で前記出力制御スイッチと直列に接続された表示素子とを備えたことを特徴とする表示装置が提供される。

30

40

【0011】

本発明の第2側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素回路と、前記複数の画素回路が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素回路のそれぞれは、多結晶半導体層中にソースとドレインとチャンネルとが形成され、ソースが第1電源端子に接続された第1薄膜トランジスタと、多結晶半導体層中にソースとドレインとチャンネルとが形成され、前記第1薄膜トランジスタとは導電型が異なり、ソースが前記第1薄膜トランジスタのドレインに接続され、ドレインが前記第1電源端子に接続された第2薄膜トランジスタと、定電位端子と前記第1薄膜トランジスタのゲートとの間に接続された第1キャパシタと、前記第2薄膜トラン

50

ジスタのソースと前記第2薄膜トランジスタのゲートとの間に接続された第2キャパシタと、第1ダイオード接続スイッチと映像信号供給制御スイッチとを含み、前記第1薄膜トランジスタのゲートと前記第1薄膜トランジスタのドレインと前記映像信号線との接続を、それらが互いに接続された状態と、各接続が断られた状態との間で切り替え可能なスイッチ群と、前記第2薄膜トランジスタのゲートと前記第2薄膜トランジスタのドレインとの間に接続された第2ダイオード接続スイッチと、第2電源端子と前記第1薄膜トランジスタのドレインとの間で表示素子と直列に接続される出力制御スイッチとを備えたことを特徴とするアレイ基板が提供される。

【0012】

本発明の第3側面によると、第1側面に係る表示装置の製造方法であって、前記絶縁基板上であって前記複数の画素に対応したそれぞれの位置に、前記第1薄膜トランジスタの前記多結晶半導体層と、前記第2薄膜トランジスタの前記多結晶半導体層とを同時に形成する工程と、前記複数の画素に対応したそれぞれの位置で、前記第1薄膜トランジスタの前記多結晶半導体層へのチャネルドープと、前記第2薄膜トランジスタの前記多結晶半導体層へのチャネルドープとを同時に行う工程とを含んだことを特徴とする表示装置の製造方法が提供される。

10

【発明の効果】

【0013】

本発明によると、カレントコピー型回路を画素回路に採用した表示装置で表示ムラが発生するのを防止可能となる。

20

【発明を実施するための最良の形態】

【0014】

以下、本発明の幾つかの態様について、図面を参照しながら詳細に説明する。なお、各図において、同様または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0015】

図1は、本発明の一態様に係る表示装置を概略的に示す平面図である。図2は、図1に示す表示装置が含む画素の等価回路図である。

【0016】

この表示装置は、アクティブマトリクス駆動方式の表示装置、例えばアクティブマトリクス駆動方式の有機EL表示装置、であり、複数の画素PXを含んでいる。これら画素PXは、例えばガラス基板などの絶縁基板SUB上にマトリクス状に配置されている。

30

【0017】

基板SUB上には、走査信号線ドライバYDR及び映像信号線ドライバXDRがさらに配置されている。

【0018】

この基板SUB上では、走査信号線ドライバYDRに接続された走査信号線SL1及びSL2が、画素PXの行方向(X方向)に延在している。これら走査信号線SL1及びSL2には、走査信号線ドライバYDRから走査信号が電圧信号として供給される。

【0019】

40

また、基板SUB上では、映像信号線ドライバXDRに接続された映像信号線DLが、画素PXの列方向(Y方向)に延在している。これら映像信号線DLには、映像信号線ドライバXDRから映像信号が供給される。

【0020】

さらに、この基板SUB上には、第1電源線PSL1と第2電源線PSL2とが配置されている。

【0021】

画素PXは、第1駆動制御素子DR1と、第2駆動制御素子DR2と、出力制御スイッチSWaと、映像信号供給制御スイッチSWbと、第1ダイオード接続スイッチSWc1と、第2ダイオード接続スイッチSWc2と、第1キャパシタC1と、第2キャパシタC

50

2と、表示素子O L E Dとを含んでいる。映像信号供給制御スイッチS W bと第1ダイオード接続スイッチS W c 1とは、スイッチ群を構成している。

【0022】

表示素子O L E Dは、互いに向き合った陽極及び陰極とそれらの間に流れる電流に応じて光学特性が変化する活性層とを含んでいる。ここでは、一例として、表示素子O L E Dは、活性層として有機材料からなる発光層を含んだ有機E L素子とする。また、ここでは、一例として、陽極は下部電極として独立島状に設けられ、陰極は活性層を介して下部電極と対向配置した上部電極として全画素共通に設けられていることとする。

【0023】

第1駆動制御素子D R 1は、ソースとドレインとチャンネルとが多結晶半導体層中に形成された薄膜トランジスタ(以下、T F Tという)である。ここでは、一例として、第1駆動制御素子D R 1に、多結晶半導体層として多結晶シリコン層を用いたpチャンネルT F Tを使用している。第1駆動制御素子D R 1のソースは電源線P S L 1に接続している。なお、電源線P S L 1上のノードN D 1は、第1電源端子に相当している。

10

【0024】

第2駆動制御素子D R 2は、ソースとドレインとチャンネルとが多結晶半導体層中に形成され且つ第1駆動制御素子D R 1とは導電型が異なるT F Tである。ここでは、一例として、第2駆動制御素子D R 2に、多結晶半導体層として多結晶シリコン層を用いたnチャンネルT F Tを使用している。第2駆動制御素子D R 2のソースは第1駆動制御素子D R 1のドレインに接続し、第2駆動制御素子D R 2のドレインは電源線P S L 1に接続している。

20

【0025】

出力制御スイッチS W aと表示素子O L E Dとは、第1駆動制御素子D R 1のドレインと電源線P S L 2との間に直列に接続されている。なお、電源線P S L 2上のノードN D 2は、第2電源端子に相当している。ここでは、出力制御スイッチS W aとしてpチャンネルT F Tを使用し、そのゲートは走査信号線S L 1に接続し、ソース及びドレインは第1駆動制御素子D R 1のドレインと表示素子O L E Dの陽極とにそれぞれ接続している。また、ここでは、第2電源端子N D 2は、第1電源端子N D 1よりも低電位とする。なお、この例では、出力制御スイッチS W aと表示素子O L E Dとは、この順に、第1駆動制御素子D R 1のドレインと第2電源端子N D 2との間に直列に接続しているが、それらの接続順序は逆でも良い。

30

【0026】

映像信号供給制御スイッチS W bは、第1駆動制御素子D R 1のドレインと映像信号線D Lとの間に接続されている。映像信号供給制御スイッチS W bのスイッチング動作は、例えば、走査信号線ドライバY D Rから走査信号線S L 2を介して供給される走査信号によって制御する。ここでは、一例として、映像信号供給制御スイッチS W bとしてpチャンネルT F Tを使用し、そのゲートは走査信号線S L 2に接続し、ソース及びドレインは第1駆動制御素子D R 1のドレインと映像信号線D Lとにそれぞれ接続している。

【0027】

第1ダイオード接続スイッチS W c 1は、第1駆動制御素子D R 1のゲートとドレインとの間に接続されている。第1ダイオード接続スイッチS W c 1のスイッチング動作は、例えば、走査信号線ドライバY D Rから走査信号線S L 2を介して供給される走査信号によって制御する。ここでは、一例として、第1ダイオード接続スイッチS W c 1としてpチャンネルT F Tを使用し、そのゲートを走査信号線S L 2に接続し、ソース及びドレインは第1駆動制御素子D R 1のゲート及びドレインにそれぞれ接続している。

40

【0028】

第2ダイオード接続スイッチS W c 2は、第2駆動制御素子D R 2のゲートと第2駆動制御素子D R 2のドレインとの間に接続されている。ここでは、一例として、第2ダイオード接続スイッチS W c 2としてpチャンネルT F Tを使用し、そのゲートは走査信号線S L 2に接続し、ソース及びドレインは第2駆動制御素子D R 2のドレインとゲートとにそ

50

れぞれ接続している。

【0029】

第1キャパシタC1は、定電位端子であるノードND1'と第1駆動制御素子DR1のゲートとの間に接続されている。第1キャパシタC1は、書込期間に続く表示期間において、第1駆動制御素子DR1のゲート-ソース間電圧をほぼ一定に保つ役割を果たす。

【0030】

第2キャパシタC2は、第2駆動制御素子DR2のゲートとソースとの間に接続されている。第2キャパシタC2は、書込期間に続く表示期間において、第2駆動制御素子DR2のゲート-ソース間電圧をほぼ一定に保つ役割を果たす。

【0031】

図3は、図1の表示装置に採用可能な構造の一例を示す断面図である。なお、図3には、TFTとして出力制御スイッチSWaのみを描いているが、映像信号供給制御スイッチSWb並びにダイオード接続スイッチSWc1及びSWc2は出力制御スイッチSWaと同様の構造を有している。また、第1駆動制御素子DR1も、出力制御スイッチSWaとほぼ同様の構造を有している。さらに、第2駆動制御素子DR2は、後述するソースS及びドレインDの導電型が異なること以外は、第1駆動制御素子DR1と同様の構造を有している。

【0032】

図3に示すように、絶縁基板SUBの一主面上には、アンダーコート層UCが形成されている。アンダーコート層UCとしては、例えば、SiNx層とSiO₂層との積層体などを使用することができる。

【0033】

アンダーコート層UC上には、多結晶半導体層SCとして、パターニングされた多結晶シリコン層が配置されている。この多結晶半導体層SCは、例えば、以下の方法により形成することができる。

まず、アンダーコート層UC上に非晶質半導体層を形成する。非晶質半導体層は、例えば、プラズマCVD(PECVD: Plasma Enhanced Chemical Vapor Deposition)により形成することができる。例えば、非晶質シリコン層は、原料ガスとしてシランガスを用いたプラズマCVDにより形成することができる。

【0034】

次に、非晶質半導体層を熔融再結晶化し、続いて、これをパターニングする。この熔融再結晶化には、例えば、例えばXeClエキシマレーザなどのエキシマレーザを用いたレーザアニールを利用することができる。また、半導体層のパターニングには、フォトリソグラフィ及びエッチングを利用することができる。以上のようにして、多結晶半導体層SCを得る。

【0035】

各多結晶半導体層SC中には、TFTのソースS及びドレインDが互いから離間して形成されている。半導体層SC中のソースSとドレインDとの間の領域CHは、チャンネルとして使用する。

【0036】

多結晶半導体層SCには、TFTの閾値電圧を調節するために、ゲートGを形成するのに先立ち、イオンドーピングを行う。すなわち、チャンネルドーピングを行う。このイオンドーピングで使用するイオンビームは、ラインビームであってもよく、面ビームであってもよい。

【0037】

本態様では、各々の画素PXに含まれる第1駆動制御素子DR1の半導体層SCへのチャンネルドーピングは、その画素PXに含まれる第2駆動制御素子DR2の半導体層SCへのチャンネルドーピングと同時に行う。

【0038】

すなわち、イオンビームとしてラインビームを使用する場合には、第1駆動制御素子D

10

20

30

40

50

R 1 の半導体層 S C 及び第 2 駆動制御素子 D R 2 の半導体層 S C の双方を剥き出しにした状態で、ラインビームとしたイオンビームを基板 S U B の多結晶半導体層 S C を形成した主面に照射すると共に、その照射位置をイオンビームが照射される領域の長手方向と交差する方向にずらす。

【 0 0 3 9 】

また、イオンビームとして面ビームを使用する場合には、第 1 駆動制御素子 D R 1 の半導体層 S C 及び第 2 駆動制御素子 D R 2 の半導体層 S C の双方を剥き出しにした状態で、面ビームとしたイオンビームを基板 S U B の多結晶半導体層 S C を形成した主面に照射する。

【 0 0 4 0 】

ソース S 及びドレイン D は、例えば、ゲート G をマスクとして用いたイオンドーピングを行うことにより形成することができる。このイオンドーピングで使用するイオンビームは、ラインビームであってもよく、面ビームであってもよい。また、必要であれば、イオンドーピング後の何れかの段階で、不純物活性化を行っても良い。

【 0 0 4 1 】

なお、第 1 駆動制御素子 D R 1 と第 2 駆動制御素子 D R 2 とは、導電型が異なっている。したがって、第 1 駆動制御素子 D R 1 及び第 2 駆動制御素子 D R 2 のうち、一方の半導体層 S C にはアクセプタを多数キャリアとしてドーピングすることによりソース S 及びドレイン D を形成し、他方の半導体層 S C にはドナーを多数キャリアとしてドーピングすることによりソース S 及びドレイン D を形成する。この例では、第 1 駆動制御素子 D R 1 は p チャンネル T F T であるので、その半導体層 S C にはアクセプタを多数キャリアとしてドーピングする。また、第 2 駆動制御素子 D R 2 は n チャンネル T F T であるので、その半導体層 S C にはドナーを多数キャリアとしてドーピングする。

【 0 0 4 2 】

半導体層 S C 上には、ゲート絶縁膜 G I が形成されており、このゲート絶縁膜 G I 上には第 1 導体パターン及び絶縁膜 I 1 が順次形成されている。第 1 導体パターンは、T F T のゲート G、キャパシタ C 1 及び C 2 の第 1 電極 (図示せず)、走査信号線 S L 1 及び S L 2、これらを接続する配線などとして利用する。また、絶縁膜 I 1 は、層間絶縁膜及びキャパシタ C 1 及び C 2 の誘電体層として利用する。

【 0 0 4 3 】

絶縁膜 I 1 上には、第 2 導体パターンが形成されている。第 2 導体パターンは、ソース電極 S E、ドレイン電極 D E、キャパシタ C 1 及び C 2 の第 2 電極 (図示せず)、映像信号線 D L、電源線 P S L 1、これらを接続する配線などとして利用する。ソース電極 S E 及びドレイン電極 D E は、絶縁膜 G I 及び I 1 に設けられた貫通孔の位置で T F T のソース S 及びドレイン D にそれぞれ接続されている。

【 0 0 4 4 】

第 2 導体パターン及び絶縁膜 I 1 上には、絶縁膜 I 2 及び第 3 導体パターンが順次形成されている。絶縁膜 I 2 は、パッシベーション膜及び / または平坦化層として利用する。他方、第 3 導体パターンは、各有機 E L 素子 O L E D の画素電極 P E として利用する。ここでは、一例として、画素電極 P E は陽極であることとする。

【 0 0 4 5 】

絶縁膜 I 2 には、出力制御スイッチ S W a のドレイン D に接続されたドレイン電極 D E へと連絡する貫通孔が画素 P X 毎に設けられている。各画素電極 P E は、この貫通孔の側壁及び底面を被覆しており、これにより、ドレイン電極 D E を介して出力制御スイッチ S W a のドレイン D へと接続されている。

【 0 0 4 6 】

絶縁膜 I 2 上には、隔壁絶縁層 S I が形成されている。ここでは、一例として、隔壁絶縁層 S I を無機絶縁層 S I 1 と有機絶縁層 S I 2 との積層体で構成しているが、無機絶縁層 S I 1 は省略しても良い。

【 0 0 4 7 】

10

20

30

40

50

隔壁絶縁層 S I には、画素電極 P E の位置に貫通孔が設けられている。隔壁絶縁層 S I の貫通孔内では、発光層を含んだ有機物層 O R G が画素電極 P E を被覆している。発光層は、例えば、発光色が赤色、緑色、または青色のルミネセンス性有機化合物を含んだ薄膜である。有機物層 O R G は、発光層に加え、例えば、正孔注入層、正孔輸送層、電子注入層、電子輸送層などをさらに含むことができる。有機物層 O R G を構成している各層は、例えば、マスク蒸着法やインクジェット法により形成することができる。

【 0 0 4 8 】

隔壁絶縁層 S I 及び有機物層 O R G 上には、共通電極 C E が配置されている。共通電極 C E は、絶縁膜 I 1、絶縁膜 I 2 及び隔壁絶縁層 S I に設けられたコンタクトホール（図示せず）を介して、ノード N D 2 を提供する電極配線に電氣的に接続されている。ここで

10

【 0 0 4 9 】

それぞれの有機 E L 素子 O L E D は、これら画素電極 P E、有機物層 O R G 及び共通電極 C E で構成されている。

【 0 0 5 0 】

なお、この表示装置では、基板 S U B と、画素電極 P E と、その間に介在した部材とが、アレイ基板を構成している。図 1 に示すように、このアレイ基板は、隔壁絶縁層 S I や走査信号線ドライバ Y D R や映像信号線ドライバ X D Rなどをさらに含むことができる。

【 0 0 5 1 】

図 4 は、図 1 に示す表示装置の駆動方法の一例を概略的に示すタイミングチャートである。

20

【 0 0 5 2 】

図 4 において、横軸は時間を示し、縦軸は電位又は電流の大きさを示している。また、図 3 において、「 X D R 出力 (I_{sig}) 」で示す波形は映像信号線ドライバ X D R が或る映像信号線 D L に流す電流を示し、「 S L 1 電位」及び「 S L 2 電位」で示す波形は走査信号線 S L 1 及び S L 2 の電位をそれぞれ示している。「 D R 1 ゲート - ソース間電圧」及び「 D R 2 ゲート - ソース間電圧」で示す波形は、駆動制御素子 D R 1 及び D R 2 のゲート - ソース間電圧をそれぞれ示している。

【 0 0 5 3 】

図 4 の方法では、図 1 の表示装置を以下の方法により駆動する。

30

【 0 0 5 4 】

m 行目の画素 P X で或る階調を表示する場合、m 行目の画素 P X を選択する期間、すなわち、m 行目選択期間、では、まず、例えば、走査信号線 S L 1 の電位を、オン電位（ここでは L o w レベル）からオフ電位（ここでは H i g h レベル）へと変化させることにより、スイッチ S W a を開く（非導通状態）。スイッチ S W a を開いている書込期間内に、以下の書込動作を実施する。

【 0 0 5 5 】

すなわち、まず、例えば、走査信号線 S L 2 の電位をオフ電位（ここでは H i g h レベル）からオン電位（ここでは L o w レベル）へと変化させることにより、スイッチ S W b、S W c 1 及び S W c 2 を閉じる（導通状態）。これにより、ノード N D 3 と映像信号線 D L とを接続すると共に、第 1 駆動制御素子 D R 1 のドレインとゲートとを接続し、且つ、第 2 駆動制御素子 D R 2 のドレインとゲートとを接続する。

40

【 0 0 5 6 】

この状態で、選択した画素 P X に映像信号線ドライバ X D R から映像信号線 D L を介して映像信号を供給する。すなわち、映像信号線ドライバ X D R により、電源端子 N D 1 から映像信号線 D L へと電流 I_{sig} を流す。この電流 I_{sig} の大きさは、選択した画素 P X の表示素子 O L E D に流すべき駆動電流 I_{drv} に対応した大きさ、すなわち、選択した画素 P X で表示すべき階調、に対応している。この書込動作を行うと、第 1 駆動制御素子 D R 1 のゲート - ソース間電圧 V_{gs1} 及び第 2 駆動制御素子 D R 2 のゲート - ソース間電圧 V_g

50

s_2 は、ノードND1とノードND3との間に電流 I_{sig} が流れるときの値に設定される。なお、ゲート-ソース間電圧 V_{gs1} とゲート-ソース間電圧 V_{gs2} とは、絶対値が互いに等しい。

【0057】

次に、例えば、走査信号線SL2の電位をオン電位からオフ電位と変化させることにより、スイッチSWb、SWc1及びSWc2を開く（非導通状態）。すなわち、ノードND3と映像信号線DLとの接続を断つと共に、第1駆動制御素子DR1のドレインとゲートとの接続及び第2駆動制御素子DR2のドレインとゲートとの接続を断つ。続いて、この状態で、走査信号線SL1の電位をオフ電位からオン電位へと変化させることにより、出力制御スイッチSWaを閉じる（導通状態）。

10

【0058】

上記の通り、書込動作によって、第1駆動制御素子DR1のゲート-ソース間電圧及び第2駆動制御素子DR2のゲート-ソース間電圧は、電流 I_{sig} が流れる時の値に設定されている。これらゲート-ソース間電圧は、スイッチSWc1及びSWc2を閉じるまで維持される。したがって、スイッチSWaが閉じている有効表示期間では、表示素子OLEDには電流 I_{sig} に対応した大きさの駆動電流 I_{drv} が流れ、この表示素子OLEDは駆動電流 I_{drv} の大きさに対応した階調を表示する。

【0059】

さて、上記の通り、カレントコピー型回路を画素回路に採用した従来の表示装置では、表示ムラを生じる可能性がある。すなわち、図1の表示装置から第2駆動制御素子DR2、ダイオード接続スイッチSWc2、キャパシタC2を省略し、これを図4の方法で駆動すると、表示ムラを生じる可能性がある。本発明者は、その原因を調べた結果、第2駆動制御素子DR2を設けていない表示装置では、画素PXが形成する各列における第1駆動制御素子DR1の閾値電圧のばらつきが、表示ムラを生じさせていることを見出した。これについて、以下に詳細に説明する。

20

【0060】

第2駆動制御素子DR2を設けていない表示装置について、例えば、同一の映像信号線DLに接続されたm行目の画素PXとm+1行目の画素PXとで互いに等しい階調を表示する場合を考える。この場合、m行目の画素PXの書込期間における映像信号線ドライバXDRの出力電流 I_{sig} と、m+1行目の画素PXの書込期間における映像信号線ドライバXDRの出力電流 I_{sig} とは互いに等しい。

30

【0061】

第2駆動制御素子DR2を設けていない表示装置を図4の方法で駆動した場合、m行目の画素PXの書込期間終了直後において、その画素PXに含まれる第1駆動制御素子DR1のゲート-ソース間電圧 V_{gs1} は、この第1駆動制御素子DR1のソース-ドレイン間を電流 I_{sig} が流れる時の値 $V_{gs1}(m)$ に設定されている筈である。同様に、m+1行目の画素PXの書込期間終了直後において、その画素PXに含まれる第1駆動制御素子DR1のゲート-ソース間電圧 V_{gs1} は、この駆動制御素子DRのソース-ドレイン間を電流 I_{sig} が流れる時の値 $V_{gs1}(m+1)$ に設定されている筈である。

【0062】

しかしながら、第2駆動制御素子DR2を設けていない表示装置では、電流 I_{sig} が小さい場合、m行目の画素PXとm+1行目の画素PXとで第1駆動制御素子DR1の閾値電圧が異なっていると、映像信号線DLの寄生容量の影響で、m+1行目の画素PXの書込期間内に、その画素PXに含まれる第1駆動制御素子DR1のゲート-ソース間電圧を正確に $V_{gs1}(m+1)$ に設定することができなくなる。その結果、m行目の画素PXとm+1行目の画素PXとで駆動電流の大きさが相違することとなる。

40

【0063】

本発明者の調査によれば、この閾値電圧のばらつきは、多結晶半導体層SCのチャネル領域CHへのイオンドーピング、すなわちチャネルドープ、に起因していることが分かっている。すなわち、閾値電圧のばらつきは、多結晶半導体層SCのチャネル領域CH中の

50

不純物濃度のばらつきに起因している。

【0064】

チャネル領域CH中の不純物濃度のばらつきを表示領域の全体に亘って排除することは極めて難しい。但し、非常に狭い領域、例えば1つの画素PXが占める領域内では、領域CH中の不純物濃度はほぼ等しくなる。以下に説明するように、本態様では、これを利用して表示ムラを防止する。

【0065】

図5は、1つの画素が含む第1及び第2駆動制御素子の特性の例を示すグラフである。図中、横軸は、ノードND1とノードND3との間の絶対値電圧 V_{13} を示している。縦軸は、第1駆動制御素子DR1のソース-ドレイン間を流れる電流 I_1 及び第2駆動制御素子DR2のドレイン-ソース間を流れる電流 I_2 を示している。曲線P1乃至P3は、第1駆動制御素子DR1の特性を示している。曲線N1乃至N3は、第2駆動制御素子DR2の特性を示している。

10

【0066】

各々の画素PXにおいて、第1駆動制御素子DR1と第2駆動制御素子DR2とでチャネル領域CHの不純物濃度が等しい条件のもとでは、第1駆動制御素子DR1の閾値電圧 V_{th1} を深めるべくチャネル領域CHの不純物濃度を変化させると、第2駆動制御素子DR2の閾値電圧 V_{th2} は浅くなる。これとは逆に、第1駆動制御素子DR1の閾値電圧 V_{th1} を浅くするべくチャネル領域CHの不純物濃度を変化させると、第2駆動制御素子DR2の閾値電圧 V_{th2} は深くなる。

20

【0067】

したがって、或る画素PXにおいて第1駆動制御素子DR1と第2駆動制御素子DR2とが曲線P1及びN1で示す特性をそれぞれ有しているとする、この画素PXよりも閾値電圧 V_{th1} が深い画素PXでは、第1駆動制御素子DR1と第2駆動制御素子DR2とは例えば曲線P2及びN2で示す特性をそれぞれ有する。また、閾値電圧 V_{th1} がより浅い画素PXでは、第1駆動制御素子DR1と第2駆動制御素子DR2とは例えば曲線P3及びN3で示す特性をそれぞれ有する。

【0068】

すなわち、ノードND1とノードND3との間の電圧 V_{13} が一定の条件のもとでは、第1駆動制御素子DR1のソース-ドレイン間を流れる電流 I_1 が大きくなると、第2駆動制御素子DR2のドレイン-ソース間を流れる電流 I_2 は小さくなる。これとは逆に、第1駆動制御素子DR1のソース-ドレイン間を流れる電流 I_1 が小さくなると、第2駆動制御素子DR2のドレイン-ソース間を流れる電流 I_2 は大きくなる。

30

【0069】

ノードND1とノードND3との間を流れる電流 I_{13} は、第1駆動制御素子DR1のソース-ドレイン間を流れる電流 I_1 と、第2駆動制御素子DR2のドレイン-ソース間を流れる電流 I_2 との和に等しい。したがって、この表示装置では、画素PX間での第1駆動制御素子DR1や第2駆動制御素子DR2の特性のばらつきは、電圧 V_{13} と電流 I_{13} との関係に大きな影響を与えない。すなわち、画素PX間におけるチャネル領域CHの不純物濃度のばらつきは、電圧 V_{13} と電流 I_{13} との関係に大きな影響を与えない。

40

【0070】

そのため、この表示装置では、例えば、m行目の画素PXとm+1行目の画素PXとに同一の映像信号 I_{sig} を書き込む場合、映像信号線DLの電位を殆ど変化させる必要がない。それゆえ、映像信号 I_{sig} が小さい場合であっても、m行目の画素PXとm+1行目の画素PXとで駆動電流 I_{drv} の大きさをほぼ等しくすることができる。したがって、表示ムラを防止することが可能となる。

【0071】

図6は、駆動制御素子の特性のばらつきが映像信号線の電位に与える影響の例を示すグラフである。図中、横軸は、m+1行目の画素PXが含む第1駆動制御素子DR1の閾値電圧 V_{th1} とm行目の画素PXが含む第1駆動制御素子DR1の閾値電圧 V_{th1} との差 V

50

V_{th1} を示している。縦軸は、 m 行目の画素 PX に映像信号 I_{sig} を書き込むために設定すべき映像信号線 DL の電位 V_{DL} に対する、 $m+1$ 行目の画素 PX に同一の映像信号 I_{sig} を書き込むために設定すべき映像信号線 DL の電位 V_{DL} の変位 ΔV_{DL} を示している。曲線 A は、図 1 の表示装置について得られたデータを示している。曲線 B は、第 2 駆動制御素子 $DR2$ 、第 2 ダイオード接続スイッチ $SWc2$ 及び第 2 キャパシタ $C2$ を省略したこと以外は図 1 の表示装置とほぼ同様の構造を有する表示装置について得られたデータを示している。なお、図 6 に示すデータは、以下の条件を仮定したシミュレーションにより得た。

【0072】

すなわち、曲線 A で示すデータに関しては、第 1 駆動制御素子 $DR1$ 及び第 2 駆動制御素子 $DR2$ の半導体層 SC の各々の幅を $12.5 \mu m$ とし、長さを $12 \mu m$ とした。第 1 駆動制御素子 $DR1$ 及び第 2 駆動制御素子 $DR2$ のそれぞれについて、移動度を $110 cm^2 \cdot V^{-1} \cdot sec^{-1}$ とした。 m 行目の画素 PX が含む第 1 駆動制御素子 $DR1$ 及び第 2 駆動制御素子 $DR2$ の各閾値電圧の絶対値は $2.5 V$ とした。 m 行目の画素 PX 及び $m+1$ 行目の画素 PX の双方において、第 2 駆動制御素子 $DR2$ の閾値電圧 V_{th2} と第 1 駆動制御素子 $DR1$ の閾値電圧 V_{th1} との差は $5 V$ とした。 m 行目の画素 PX 及び $m+1$ 行目の画素 PX に書き込む映像信号 I_{sig} の大きさは、 $0.1 \mu A$ とした。

【0073】

他方、曲線 B で示すデータに関しては、第 1 駆動制御素子 $DR1$ の半導体層 SC の幅を $25 \mu m$ とし、長さを $12 \mu m$ とした。第 1 駆動制御素子 $DR1$ の移動度は、 $110 cm^2 \cdot V^{-1} \cdot sec^{-1}$ とした。 m 行目の画素 PX が含む第 1 駆動制御素子 $DR1$ の閾値電圧の絶対値は $2.5 V$ とした。 m 行目の画素 PX 及び $m+1$ 行目の画素 PX に書き込む映像信号 I_{sig} の大きさは、 $0.1 \mu A$ とした。

【0074】

図 6 の曲線 B から明らかなように、第 2 駆動制御素子 $DR2$ などを省略した場合、変位 ΔV_{th1} に応じた変位 ΔV_{DL} が大きい。すなわち、第 2 駆動制御素子 $DR2$ などを省略した表示装置では、 m 行目の画素 PX と $m+1$ 行目の画素 PX とで第 1 駆動制御素子 $DR1$ の閾値電圧 V_{th1} が異なっていると、 $m+1$ 行目の画素 PX に m 行目の画素 PX に書き込んだのと同じ映像信号 I_{sig} を書き込むためには、映像信号線 DL の電位 V_{DL} を大きく変化させなければならない。そのため、映像信号 I_{sig} が小さい場合、 $m+1$ 行目の画素 PX への書込期間内に、映像信号 I_{sig} の書き込みを完了することができず、その結果、表示ムラを生じることがある。

【0075】

これに対し、図 1 の表示装置では、図 6 の曲線 A から明らかなように、変位 ΔV_{th1} に応じた変位 ΔV_{DL} は、第 2 駆動制御素子 $DR2$ などを省略した場合の半分以下である。すなわち、図 1 の表示装置では、 m 行目の画素 PX と $m+1$ 行目の画素 PX とで第 1 駆動制御素子 $DR1$ の閾値電圧 V_{th1} が異なっても、 $m+1$ 行目の画素 PX に m 行目の画素 PX に書き込んだのと同じ映像信号 I_{sig} を書き込むために、映像信号線 DL の電位 V_{DL} を大きく変化させる必要がない。そのため、映像信号 I_{sig} が小さい場合であっても、 $m+1$ 行目の画素 PX への書込期間内に、映像信号 I_{sig} の書き込みを完了することができる。すなわち、表示ムラを防止することができる。

【0076】

第 1 駆動制御素子 $DR1$ の半導体層 SC の方位と第 2 駆動制御素子 $DR2$ の半導体層 SC の方位とは、ほぼ等しくしてもよい。こうすると、第 1 駆動制御素子 $DR1$ の半導体層 SC と第 2 駆動制御素子 $DR2$ の半導体層 SC とは、粒界などの状態がほぼ等しくなる。したがって、各画素 PX において、第 1 駆動制御素子 $DR1$ と第 2 駆動制御素子 $DR2$ との特性の相違に、半導体層 SC の結晶性などが与える影響を小さくすることができる。

【0077】

以上説明したように、互いに導電型の異なる薄膜トランジスタを並列接続してなる駆動制御素子を用い、かつ、これらを近接配置させると共に同一工程にて形成することにより、画素間で駆動制御素子の閾値電圧がばらついたとしても、両チャンネル間の閾値電圧差は

10

20

30

40

50

一定とすることができる。これは両薄膜トランジスタのチャネルドーピング状況を同等とすることが重要であり、ドーピングする場合は同時に同一工程にて行うか、または、両チャネル共にチャネルドーピングをしなくてもよい。

【0078】

この表示装置には、様々な変形が可能である。

図7は、一変形例に係る表示装置が含む画素の等価回路図である。この画素PXは、第1キャパシタC1を第1駆動制御素子DR1のゲートとソースとの間に接続していること以外は、図2に示す画素PXと同様の構造を有している。この構造を採用すると、ノードND1'を提供する定電位線が不要となる。

【0079】

図2及び図7の画素PXでは、第1ダイオード接続スイッチSWc1を第1駆動制御素子DR1のゲートとドレインとの間に接続している。この第1ダイオード接続スイッチSWc1は、第1駆動制御素子DR1のゲートと映像信号線DLとの間に接続してもよい。或いは、映像信号供給制御スイッチSWbと第1ダイオード接続スイッチSWc1とを、映像信号線DLと第1駆動制御素子DR1のドレインとの間でこの順に直列に接続し、且つ、第1ダイオード接続スイッチSWaのドレインを第1駆動制御素子DR1のゲートに接続してもよい。

【0080】

また、図2及び図7の画素PXでは、出力制御スイッチSWa、映像信号供給制御スイッチSWb、第1ダイオード接続スイッチSWc1及び第2ダイオード接続スイッチSWc2に、pチャネルTFTを使用しているが、それらスイッチにnチャネルTFTを使用してもよい。

【0081】

さらに、図2及び図7の画素PXでは、ノードND1及びND2をそれぞれ高電位電源端子及び低電位電源端子としているが、ノードND1及びND2をそれぞれ低電位電源端子及び高電位電源端子としてもよい。この場合、第1駆動制御素子DR1及び第2駆動制御素子DR2としてnチャネルTFT及びpチャネルTFTをそれぞれ使用すると共に、有機EL素子OLEDの陽極及び陰極を電源線PSL2及び出力制御スイッチSWaにそれぞれ接続する。

【図面の簡単な説明】

【0082】

【図1】本発明の一態様に係る表示装置を概略的に示す平面図。

【図2】図1に示す表示装置が含む画素の等価回路図。

【図3】図1の表示装置に採用可能な構造の一例を示す断面図。

【図4】図1に示す表示装置の駆動方法の一例を概略的に示すタイミングチャート。

【図5】1つの画素が含む第1及び第2駆動制御素子の特性の例を示すグラフ。

【図6】駆動制御素子の特性のばらつきが映像信号線の電位に与える影響の例を示すグラフ。

【図7】一変形例に係る表示装置が含む画素の等価回路図。

【符号の説明】

【0083】

A...曲線、B...曲線、C1...キャパシタ、C2...キャパシタ、CE...共通電極、CH...チャネル、D...ドレイン、DE...ドレイン電極、DL...映像信号線、DR1...駆動制御素子、DR2...駆動制御素子、G...ゲート、GI...ゲート絶縁膜、I1...絶縁膜、I2...絶縁膜、N1...曲線、N2...曲線、N3...曲線、ND1...ノード、ND1'...ノード、ND2...ノード、ND3...ノード、OEG...有機物層、OLED...表示素子、P1...曲線、P2...曲線、P3...曲線、PE...画素電極、PSL1...電源線、PSL2...電源線、PX...画素、S...ソース、SC...多結晶半導体層、SE...ソース電極、SI...隔壁絶縁層、SI1...無機絶縁層、SI2...有機絶縁層、SL1...走査信号線、SL2...走査信号線、SUB...絶縁基板、SWa...出力制御スイッチ、SWb...映像信号供給制御スイッチ、S

10

20

30

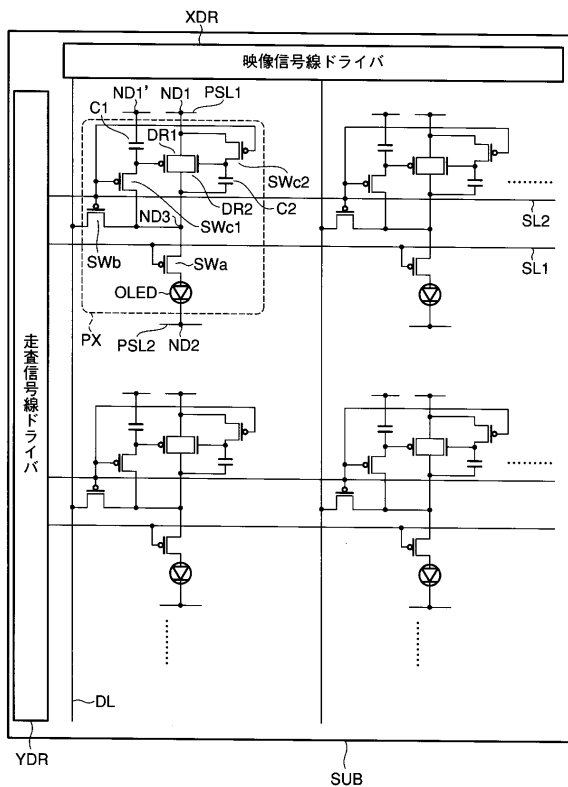
40

50

W c 1 ... ダイオード接続スイッチ、S W c 2 ... ダイオード接続スイッチ、U C ... アンダーコート層、X D R ... 映像信号線ドライバ、Y D R ... 走査信号線ドライバ。

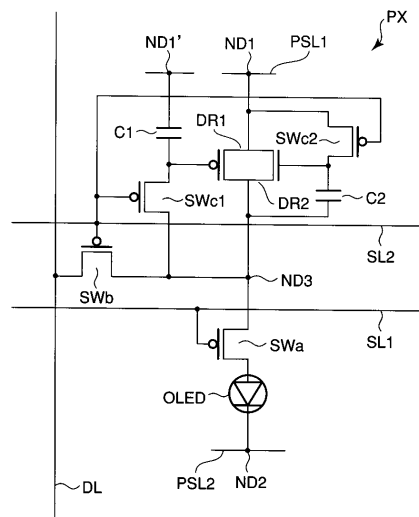
【 図 1 】

図 1



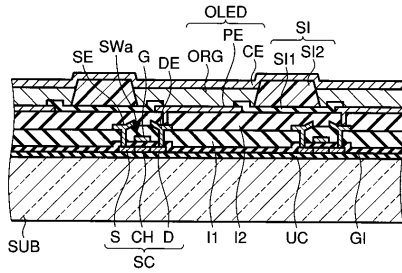
【 図 2 】

図 2



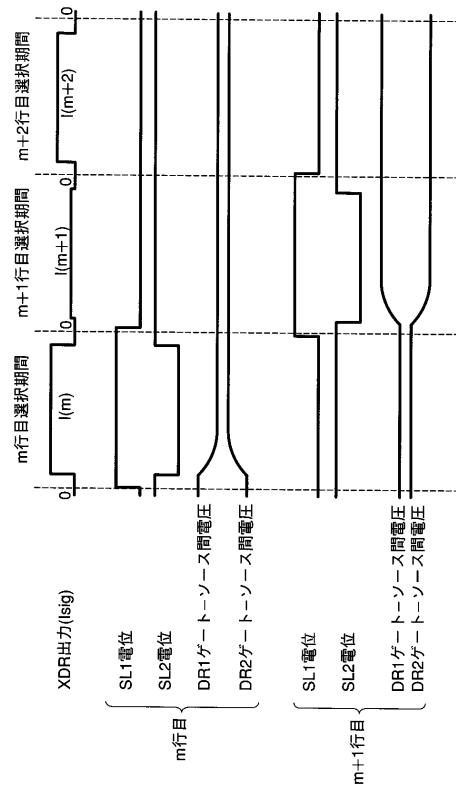
【 図 3 】

図 3



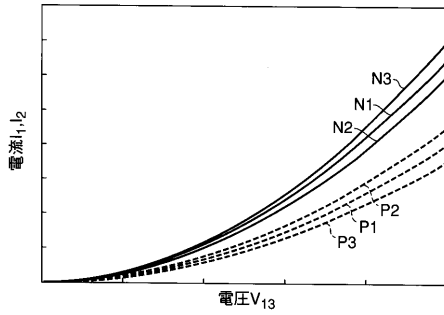
【 図 4 】

図 4



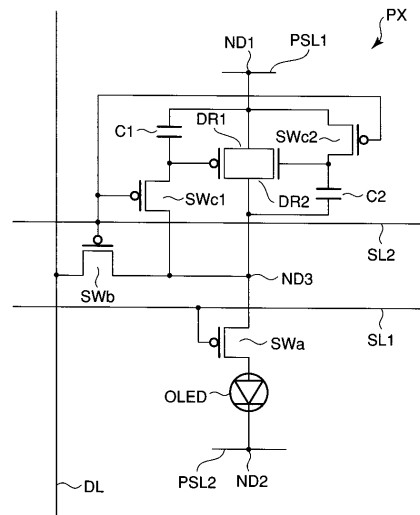
【 図 5 】

図 5



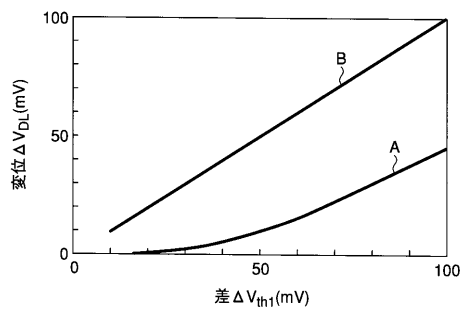
【 図 7 】

図 7



【 図 6 】

図 6



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 51/50 (2006.01)	H 0 1 L 21/20	
H 0 1 L 29/786 (2006.01)	H 0 1 L 21/265 6 0 4 Z	
	H 0 5 B 33/10	
	H 0 5 B 33/14 A	
	H 0 1 L 29/78 6 1 8 F	

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100092196
弁理士 橋本 良郎

(72)発明者 澁沢 誠

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 FA00 GA00 GA04
5C080 AA06 BB05 DD05 DD23 EE29 FF11 HH09
5F110 AA08 AA30 BB02 BB04 CC02 DD02 DD13 DD14 DD17 GG02
GG13 GG23 GG45 GG51 HJ12 HJ23 NN72 PP03 QQ11 QQ19
5F152 AA08 BB02 CC02 CC09 CD13 CD14 CD27 CE05 CE14 FF03
FF28

专利名称(译)	显示装置，阵列基板和制造显示装置的方法		
公开(公告)号	JP2006184577A	公开(公告)日	2006-07-13
申请号	JP2004378257	申请日	2004-12-27
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	濑沢 誠		
发明人	濑沢 誠		
IPC分类号	G09G3/30 G09G3/20 H01L21/20 H01L21/265 H05B33/10 H01L51/50 H01L29/786		
CPC分类号	G09G3/3283 G09G3/325 G09G2300/0819 G09G2300/0876 G09G2310/0262 G09G2320/0223 G09G2320/043 G09G2320/045 H01L27/1255 H01L27/3244		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H01L21/20 H01L21/265.604.Z H05B33/10 H05B33/14.A H01L29/78.618.F G09G3/3241 G09G3/3266 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD23 5C080/EE29 5C080/FF11 5C080/HH09 5F110/AA08 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/GG02 5F110/GG13 5F110/GG23 5F110/GG45 5F110/GG51 5F110/HJ12 5F110/HJ23 5F110/NN72 5F110/PP03 5F110/QQ11 5F110/QQ19 5F152/AA08 5F152/BB02 5F152/CC02 5F152/CC09 5F152/CD13 5F152/CD14 5F152/CD27 5F152/CE05 5F152/CE14 5F152/FF03 5F152/FF28 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/GG00 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/CA13 5C380/CB27 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC39 5C380/CC63 5C380/CD026 5C380/DA02 5C380/DA06		
代理人(译)	河野 哲 中村 诚		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止在采用用于像素的当前复制型电路的显示装置中出现显示不均匀。根据本发明的显示装置，每个像素PX具有薄膜晶体管DR1，其源极连接到电源端子ND1，并且导电类型不同于薄膜晶体管DR1，其源极连接到晶体管DR1的漏极，并且漏极是端子。连接到ND1的薄膜晶体管DR2，连接在恒电位端子ND1和晶体管DR1的栅极之间的电容器C1，连接在晶体管DR2的源极和栅极之间的电容器C2，以及开关SWc1和包括SW2并且能够在晶体管DR1的栅极和漏极与视频信号线DL之间彼此连接的状态与每个连接断开的状态之间切换的开关组与晶体管DR2之间的切换。开关SWc2连接在栅极和漏极之间，开关SWa和开关SWa串联连接在电源端子ND2和晶体管DR1的漏极之间。以及显示元件OLED。[选型图]图1

图 1

