

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-326828

(P2005-326828A)

(43) 公開日 平成17年11月24日(2005.11.24)

(51) Int. Cl.<sup>7</sup>

G09G 3/30  
G09F 9/30  
G09G 3/20  
H05B 33/14

F I

G09G 3/30 J  
G09F 9/30 338  
G09F 9/30 365Z  
G09G 3/20 611H  
G09G 3/20 624B

テーマコード(参考)

3K007  
5C080  
5C094

審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2005-96835 (P2005-96835)  
(22) 出願日 平成17年3月30日(2005.3.30)  
(31) 優先権主張番号 特願2004-117332 (P2004-117332)  
(32) 優先日 平成16年4月12日(2004.4.12)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(74) 代理人 100075258  
弁理士 吉田 研二  
(74) 代理人 100096976  
弁理士 石田 純  
(72) 発明者 池田 恭二  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA04  
5C080 AA06 BB05 DD05 DD29 EE29  
FF11 HH09 JJ02 JJ03 JJ04  
JJ05  
5C094 AA03 AA04 AA05 AA10 BA03  
BA27 GA10

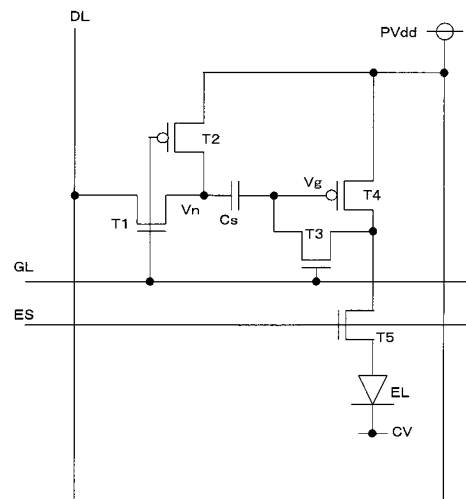
(54) 【発明の名称】 有機EL画素回路

(57) 【要約】

【課題】 駆動トランジスタのしきい値電圧の変動を効果的に補償する。

【解決手段】 ゲート電位V<sub>g</sub>に応じた駆動電流を電源PV<sub>d</sub>dから有機EL素子ELに流す駆動トランジスタT<sub>4</sub>を設ける。この駆動トランジスタT<sub>4</sub>と前記有機EL素子の間には駆動制御トランジスタT<sub>5</sub>を挿入配置するとともに、駆動トランジスタT<sub>4</sub>をダイオード接続するか否かを制御する短絡トランジスタT<sub>3</sub>を設ける。さらに、データラインDLからのデータ信号を駆動トランジスタT<sub>4</sub>の制御端へ供給するか否かを制御する選択トランジスタT<sub>1</sub>と、選択トランジスタT<sub>1</sub>と、駆動トランジスタT<sub>4</sub>の制御端との間にコンデンサC<sub>s</sub>を挿入配置するとともに、このコンデンサC<sub>s</sub>の選択トランジスタT<sub>1</sub>側と、前記電源PV<sub>d</sub>dとの間の接続をオンオフする電位制御トランジスタT<sub>2</sub>を設ける。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、

前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、

を有することを特徴とする有機 E L 画素回路。

10

## 【請求項 2】

請求項 1 に記載の回路において、

前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、

この制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされることを特徴とする有機 E L 回路。

20

## 【請求項 3】

請求項 1 に記載の回路において、

前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、

この制御ラインには、前記電位制御トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記電位制御トランジスタは、一方がオンされたときに他方がオフされることを特徴とする有機 E L 回路。

## 【請求項 4】

請求項 1 に記載の回路において、

前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、

この制御ラインには、前記短絡トランジスタおよび前記電位制御トランジスタの制御端も接続され、

かつ、前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされ、前記選択トランジスタと、前記電位制御トランジスタは、一方がオンされたときに他方がオフされることを特徴とする有機 E L 回路。

30

## 【請求項 5】

制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、

この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有することを特徴とする有機 E L 画素回路の駆動方法であって、

40

選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフするとともに、前記容量の選択トランジスタ側の電圧をデータ信号の電圧とした状態で、駆動トランジスタの制御端電圧を電源電圧に対し、駆動トランジスタのしきい値電圧分異なる電圧にセットするリセット工程と、

選択トランジスタ、短絡トランジスタをオフ、駆動制御トランジスタをオンして、駆動

50

トランジスタの制御端電圧をデータ信号の電圧と、駆動トランジスタのしきい値電圧に応じた電圧にセットし、駆動制御トランジスタをオンして、駆動トランジスタからの駆動電流を有機EL素子に流す発光工程と、

を有することを特徴とする有機EL画素回路の駆動方法。

【請求項6】

請求項5に記載の有機EL画素回路の駆動方法において、

前記リセット工程の前工程として、前記選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフ、前記駆動制御トランジスタをオンとして、前記駆動トランジスタの制御端の電荷を放出するディスチャージ工程を設けることを特徴とする有機EL画素回路の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

有機EL素子へ供給する駆動電流をデータ信号に応じて制御する有機EL画素回路に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス(Electroluminescence:以下EL)素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置(LCD)やCRTなどの表示装置に代わる表示装置として注目されている。

20

【0003】

特に、EL素子を個別に制御する薄膜トランジスタ(TFT)などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示装置では、高精細な表示が可能である。

【0004】

このアクティブマトリクス型EL表示装置では、基板上に複数本のゲートラインが行(水平)方向に延び、複数本のデータライン及び電源ラインが列(垂直)方向に延びており、各画素は有機EL素子と、選択TFT、駆動用TFT及び保持容量を備えている。ゲートラインを選択することで選択TFTをオンし、データライン上のデータ電圧(電圧ビデオ信号)を保持容量に充電し、この電圧で駆動TFTをオンして電源ラインからの電力を有機EL素子に流している。

30

【0005】

【特許文献1】特表2002-514320公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

40

【0007】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【0008】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある(例えば、上記特許文献1)。

【0009】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、

50

このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【 0 0 1 0 】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明は、制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有することを特徴とする。

10

【 0 0 1 2 】

また、前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、この制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされることが好適である。

20

【 0 0 1 3 】

また、前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、この制御ラインには、前記電位制御トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記電位制御トランジスタは、一方がオンされたときに他方がオフされることが好適である。

【 0 0 1 4 】

また、前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、この制御ラインには、前記短絡トランジスタおよび前記電位制御トランジスタの制御端も接続され、かつ、前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされ、前記選択トランジスタと、前記電位制御トランジスタは、一方がオンされたときに他方がオフされることが好適である。

30

【 0 0 1 5 】

また、本発明は、制御端の電位に応じた駆動電流を電源から有機 E L 素子に流す駆動トランジスタと、この駆動トランジスタと前記有機 E L 素子の間に挿入配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有することを特徴とする有機 E L 画素回路の駆動方法であって、選択トランジスタおよび短絡トランジスタをオン、電位制御トランジスタをオフするとともに、前記容量の選択トランジスタ側の電圧をデータ信号の電圧とした状態で、駆動トランジスタの制御端電圧を電源電圧に対し、駆動トランジスタのしきい値電圧異なる電圧にセットするリセット工程と、選択トランジスタ、短絡トランジスタをオフ、駆動制御トランジスタをオンして、駆動トランジスタの制御端電圧をデータ信号の電圧と、駆動トランジスタのしきい値電圧に応じた電圧にセットし、駆動制御トランジスタをオンして、駆動トランジスタからの駆動電流を有機 E L 素子に流す発光工程と、を有することを特徴とする。

40

【 0 0 1 6 】

また、前記リセット工程の前工程として、前記選択トランジスタおよび短絡トランジス

50

タをオン、電位制御トランジスタをオフ、前記駆動制御トランジスタをオンとして、前記駆動トランジスタの制御端の電荷を放出するディスチャージ工程を設けることが好適である。

【発明の効果】

【0017】

以上のように、本発明によれば、選択トランジスタをオンした状態で、短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタのしきい値電圧に応じたものにセットすることができる。従って、駆動トランジスタのしきい値電圧の変動によらず、データ電圧に応じた駆動電流を有機EL素子に供給することができる。

10

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態について、図面に基づいて説明する。

【0019】

図1は、実施形態に係る画素回路の構成を示している。データラインDLは、垂直方向に伸び、画素の表示輝度についてのデータ信号(データ電圧Vsig)を画素回路に供給する。データラインDLは、1列の画素に対し1本設けられており、垂直方向の画素に対し、その画素のデータ電圧Vsigを順次供給する。

【0020】

このデータラインDLには、nチャンネルの選択トランジスタT1のドレインが接続されており、この選択トランジスタT1のソースは、コンデンサCsの一端に接続されている。選択トランジスタT1のゲートは、水平方向に伸びるゲートラインGLに接続されている。このゲートラインGLには、水平方向の各画素回路の選択トランジスタT1のゲートが接続されている。

20

【0021】

このゲートラインGLには、pチャンネルの電位制御トランジスタT2のゲートが接続されている。従って、選択トランジスタT1がオンの時に電位制御トランジスタT2がオフ、選択トランジスタT1がオフの時に電位制御トランジスタT2がオンとなる。電位制御トランジスタT2のソースは電源ラインPvddに接続され、ドレインはコンデンサCsと選択トランジスタT1のソースに接続されている。なお、電源ラインPvddも垂直

30

【0022】

コンデンサCsの他端は、pチャンネルの駆動トランジスタT4のゲートに接続されている。駆動トランジスタT4のソースは電源ラインPvddに接続され、ドレインはnチャンネルの駆動制御トランジスタT5のドレインに接続されている。駆動制御トランジスタT5のソースは、有機EL素子ELのアノードに接続されており、ゲートは、水平方向に伸びる発光セットラインESに接続されている。また、有機EL素子ELのカソードは、低電圧のカソード電源CVに接続されている。

【0023】

さらに、駆動トランジスタT4のゲートには、nチャンネルの短絡トランジスタT3のドレインが接続されており、この短絡トランジスタT3のソースは、駆動トランジスタT4のドレインに、またゲートは、ゲートラインGLに接続されている。

40

【0024】

このように、本実施形態では、垂直方向にデータラインDLと、電源ラインPvddが配置され、水平方向にゲートラインGLと、発光セットラインESが配置されている。

【0025】

次に、この画素回路の動作について、説明する。

【0026】

図2に示すように、この画素回路は、ゲートラインGL、発光セットラインESの状態(Hレベル、Lレベル)に応じて、(i)ディスチャージ(GL=Hレベル、ES=Hレ

50

ベル)、(i i)リセット(G L = Hレベル, E S = Lレベル)、(i i i)電位固定(G L = Lレベル, E S = Lレベル)、(i v)発光(G L = Lレベル, E S = Hレベル)の4つの状態があり、これを繰り返す。すなわち、データラインD Lのデータを有効にした状態で、(i)ディスチャージを行い、その後(i i)リセットによって、コンデンサC sの充電電圧を決定し、(i i i)においてゲート電圧V gを固定し、(v)固定されたゲート電圧に応じた駆動電流で有機E L素子E Lが発光する。

【0027】

また、データラインD Lにおけるデータは、図に示すように、(i)ディスチャージ工程の前に有効になり、(i i i)固定工程の後に無効になる。従って、(i)ディスチャージ工程から(i i i)固定工程まではデータラインに有効なデータがセットされている。

10

【0028】

以下、それぞれの状態について、説明する。なお、図3~6においてオフのトランジスタについては、破線で示してある。

【0029】

(i)ディスチャージ(G L = Hレベル, E S = Hレベル)

まず、データラインD Lにデータ電圧V s i gが供給されている状態で、ゲートラインG L、発光セットラインE Sの両方をHレベル(高レベル)にする。これによって、選択トランジスタT 1、駆動制御トランジスタT 5、短絡トランジスタT 3がオン、電位制御トランジスタT 2がオフとなる。従って、図3に示すように、コンデンサC sの選択トランジスタT 1側の電圧V n = V s i gという状態で、電源ラインP V d dからの電流が駆動トランジスタT 4、駆動制御トランジスタT 5、有機E L素子E Lを介しカソード電源C Vに流れ、これによって駆動トランジスタT 4のゲートに保持されていた電荷が引き抜かれる。これによって、駆動トランジスタT 4のゲート電圧V gは、所定の低電圧になる。

20

【0030】

(i i)リセット(G L = Hレベル, E S = Lレベル)

上述のディスチャージの状態から発光セットラインE SをLレベル(ローレベル)に変更する。これによって、図4に示すように、駆動制御トランジスタT 5がオフとなり、駆動トランジスタT 4のゲート電圧V g = V g 0 = P V d d - | V t p |にリセットされる。ここで、このV t pは、駆動トランジスタT 4のしきい値電圧である。すなわち、駆動トランジスタT 4はソースが電源P V d dに接続されている状態で、短絡トランジスタT 3によって、ゲートドレイン間が短絡されているため、そのゲート電圧が、電源P V d dより駆動トランジスタT 4のしきい値電圧| V t p |だけ低い電圧にセットされてオフされる。このときコンデンサC sの選択トランジスタT 1側の電位V n = V s i gであり、コンデンサC sには| V s i g - ( P V d d - | V t p | ) |の電圧が充電される。

30

【0031】

(i i i)電位固定(G L = Lレベル, E S = Lレベル)

次に、ゲートラインG LをLレベルとして、選択トランジスタT 1、短絡トランジスタT 3をオフ、電位制御トランジスタT 2をオンする。これによって、図5に示すように、駆動トランジスタT 4のゲートは、ドレインから切り離される。そして、電位制御トランジスタT 2がオンすることで、V n = P V d dとなる。従って、駆動トランジスタT 4のゲート電位V gは、V nの変化に応じてシフトする。なお、駆動トランジスタT 4のゲートとソースの間には、寄生容量C pが存在するため、ゲート電位V gは、このC pの影響を受ける。

40

【0032】

(i v)発光(G L = Lレベル, E S = Hレベル)

次に、発光セットラインE SをHレベルにすることによって、図6に示すように、駆動制御トランジスタT 5がオンし、これによって駆動トランジスタT 4からの駆動電流が有機E L素子E Lに流れる。このときの駆動電流は、駆動トランジスタT 4のゲート電圧に

50

よって決定される、駆動トランジスタT4のドレイン電流となるが、このドレイン電流は駆動トランジスタT4のしきい値電圧 $V_{tp}$ とは、関係ないものとなり、しきい値電圧の変動に伴う発光量の変動を抑えることができる。

【0033】

これについて図7に基づいて説明する。

【0034】

上述のように、(ii)リセット後は、図において、 $V_n$  (=  $V_{sig}$ ) は、 $V_{sig}(max) \sim V_{sig}(min)$  の間の値であり、 $V_g$  は  $PV_{dd}$  から駆動トランジスタT4のしきい値電圧 $V_{tp}$ だけ減じた電圧 $V_{g0}$ となる。すなわち、 $V_g = V_{g0} = PV_{dd} + V_{tp}$  ( $V_{tp} < 0$ )、 $V_n = V_{sig}$ である。

10

【0035】

そして、(iii)の電位固定に入ると、 $V_n$ は、 $V_{sig}$ から $PV_{dd}$ まで変化するので、その変化量 $V_g$ は、 $C_s$ 、 $C_p$ の容量を考慮して、 $V_g = C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ と表せる。

【0036】

よって、 $V_n$ 、 $V_g$ は、図において示したように、 $V_n = PV_{dd}$ 、 $V_g = V_{tp} + V_g = PV_{dd} + V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ となる。

【0037】

ここで、 $V_{gs} = V_g - PV_{dd}$ であるので、 $V_{gs} = V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p)$ となる。

20

【0038】

一方、ドレイン電流 $I$ は、 $I = (1/2) \mu C_{ox} (V_{gs} - V_{tp})^2$ と表され、上式を代入することによって、ドレイン電流 $I$ は次のように表される。

$$\begin{aligned} I &= (1/2) \mu C_{ox} \{ V_{tp} + C_s(PV_{dd} - V_{sig}) / (C_s + C_p) - V_{tp} \}^2 \\ &= (1/2) \mu C_{ox} \{ C_s(PV_{dd} - V_{sig}) / (C_s + C_p) \}^2 \\ &= (1/2) \mu C_{ox} (V_{sig} - PV_{dd})^2 \end{aligned}$$

ここで、 $\beta = \{ C_s / (C_s + C_p) \}^2$ 、 $\beta$ は駆動トランジスタT4増幅率であり、 $\mu$ はキャリアの移動度、 $C_{ox}$ は誘電率、 $G_w$ はゲート幅、 $G_l$ はゲート長である。

$\mu$ はキャリアの移動度、 $C_{ox}$ は誘電率、 $G_w$ はゲート幅、 $G_l$ はゲート長である。

【0039】

このように、ドレイン電流 $I$ の式には、 $V_{tp}$ は含まれず、 $V_{sig} - PV_{dd}$ の2乗に比例することになる。従って、駆動トランジスタT4のしきい値電圧のバラツキの影響を排除してデータ電圧 $V_{sig}$ に応じた発光を達成することができる。

30

【0040】

上述の説明では、1画素についての動作についてのみ説明した。実際には、表示パネルは、マトリクス状に画素が配置されており、これらのそれぞれについて対応する輝度信号に応じたデータ電圧 $V_{sig}$ を供給して各有機EL素子を発光させる。すなわち、図8に示すように、表示パネルには、水平スイッチ回路HSRと、垂直スイッチVSRが設けられており、これらの出力によってデータラインDL、ゲートラインGL、その他発光セツトラインESなどの状態が制御される。特に、水平方向の各画素には、1つのゲートラインGLが対応づけられており、このゲートラインGLは垂直スイッチVSRによって、1つずつ順に活性化される。次に、1つのゲートラインGLが活性化される1水平期間に、水平スイッチHSRによってすべてのデータラインDLにデータ電圧が点順次で供給され、これが1水平ライン分の画素回路にデータが書き込まれる。そして、各画素回路において、1垂直期間後まで書き込まれたデータ電圧に応じた発光がされる。

40

【0041】

次に、1水平ライン内の各画素に対するデータの書き込み手順について、図9に基づいて説明する。

【0042】

まず、1水平期間の開始を示すイネーブル信号ENBのLレベルの後に、すべてのデー

50

タラインDLに点順次でデータ電圧Vsigを書き込む。すなわち、データラインDLには、容量などが接続されており、電圧信号をセットすることで、データラインDLにそのデータ電圧Vsigが保持される。そこで、各列の画素についてのデータ電圧Vsigを順次対応するデータラインDLにセットすることで、すべてのデータラインDLにデータ電圧Vsigをセットする。

【0043】

そして、このデータのセットが終了した段階で、HoutをHレベルとして、ゲートラインGLをHレベルとして活性化し、上述した1つの水平方向の各画素について動作を行い、各画素におけるデータ書き込み、発光が行われる。

【0044】

このようにして、通常のビデオ信号(データ電圧Vsig)を順次データラインDLに書き込み、これを画素回路にセットして、発光させることができる。

10

【0045】

次に、他の方式について、図10に基づいて説明する。この例では、イネーブルラインENBがLレベルの期間に、発光セットラインESをLレベルにし、イネーブルラインENBがHレベルに立ち上がる時にゲートラインGLをHレベル(活性化)とする。この状態で、データ電圧Vsigを順次データラインDLにセットする。そして、すべてのデータラインDLにデータ電圧Vsigをセットした場合には、発光セットラインESをHレベルとして、上述のディスチャージを行い、その後発光セットラインESをLレベルに戻す。ゲートラインGLは、イネーブルラインENBの立ち下がりに同期してLレベルに戻り、イネーブルラインENBがLレベルの時にイネーブルラインENBをHレベルに戻す。これによって、上述の例と同様の動作が行われる。

20

【0046】

次に、各種変形例について、説明する。

【0047】

(i)変形例1

図11は、変形例1の構成を示している。この変形例1では、選択トランジスタT1、短絡トランジスタT3をpチャンネルとし、電位制御トランジスタT2をnチャンネルとしている。このような構成では、ゲートラインGLのHレベル、Lレベルを上述の実施形態と反対にすることで、実施形態同様の動作を可能としている。

30

【0048】

この変形例1におけるゲートラインGL、発光セットラインESの制御に応じた選択トランジスタT1、駆動制御トランジスタT5のオンオフは、図12に示した通りであり、これは上述の図2に示したものと同一である。

【0049】

(ii)変形例2

図13は、変形例2の構成を示している。この変形例2では、実施形態の画素回路と比べ、電位制御トランジスタT2の制御用に専用の制御ラインCSを設けている。従って、電位制御トランジスタT2を制御ラインCSにより独立して制御することができる。そこで、図14に示したように、制御ラインCSによって、選択トランジスタT1がオンする前に、電位制御トランジスタT2をオフし、選択トランジスタT1がオフした後に、駆動制御トランジスタT5と一緒に電位制御トランジスタT2をオンすることができる。

40

【0050】

このような構成によれば、水平方向のラインが増えてしまうが、電位制御トランジスタT2を最も適切なタイミングでオンオフすることができる。すなわち、短絡トランジスタT3と、電位制御トランジスタT2の同時オンの期間を確実になくすことができ、正確なゲート電位固定ができ、補正精度を上昇することができる。

【0051】

なお、図15は、図13に対し電位制御トランジスタT2をnチャンネルとした例、図16は選択トランジスタT1、短絡トランジスタT3をpチャンネル、電位制御トランジスタ

50

T 2 を n チャンネルとした例、図 1 7 は、選択トランジスタ T 1、短絡トランジスタ T 3、電位制御トランジスタ T 2 をすべて p チャンネルとした例を示している。

【 0 0 5 2 】

( i i i ) 変形例 3

図 1 8 は、他の変形例であり、選択トランジスタ T 1 と、電位制御トランジスタ T 2 とをゲートライン G L に接続し、専用のリセットライン R S T を設け、このリセットライン R S T に短絡トランジスタ T 3 を接続している。この構成では、図 1 9 に示すように、リセットライン R S T によって、短絡トランジスタ T 3 を、選択トランジスタ T 1 のオフおよび駆動制御トランジスタ T 5 のオンに先立って、オフすることができる。

【 0 0 5 3 】

従って、変形例 2 と同様に、電位制御 T 2 と、短絡トランジスタ T 3 の同時オン期間をなくすことができる。このような構成にすることによって、ゲートライン G L の近くに配置するトランジスタは、選択トランジスタ T 1 と、電位制御トランジスタ T 2 の 2 つでよくなり、画素回路におけるトランジスタのレイアウトが容易になる。しかし、この場合には選択トランジスタ T 1 と、短絡トランジスタ T 3 のオフタイミングがずれることになり、このときに V g に影響をノイズが発生する可能性もある。

【 0 0 5 4 】

( i v ) 変形例 4

図 2 0 は、さらに他の変形例である。この例では、選択トランジスタ T 1、電位制御トランジスタ T 2 をゲートライン G L に接続し、短絡トランジスタ T 3、駆動制御トランジスタ T 5 を発光セットライン E S に接続している。この例では、図 2 1 に示すように、発光状態から、ゲートライン G L が H レベルとなり、電位制御トランジスタ T 2 がオフ、選択トランジスタ T 1 がオンになり、コンデンサ C s の一端にデータ電圧 V s i g が供給される。この際短絡トランジスタ T 3 はオフ、駆動制御トランジスタ T 5 はオンになっている。次に、発光セットライン E S が L レベルとなり、短絡トランジスタ T 3 がオン、駆動制御トランジスタ T 5 がオフになる。直前まで、有機 E L 素子 E L に電流が流れており、駆動トランジスタ T 4 のドレインは比較的低い電圧になっており、短絡トランジスタ T 3 がオンすることで、V g に P V d d + V t p の値にセットする、リセットが行われる。その後、発光セットライン E S が H レベルとなり、短絡トランジスタ T 3 がオフ、駆動制御トランジスタ T 5 がオンになった段階で、ゲートライン G L が H レベルになり、電位の固定および発光が行われる。

【 0 0 5 5 】

この変形例 4 によれば、ゲートライン G L の近くに選択トランジスタ T 1、電位制御トランジスタ T 2 を配置し、発光セットライン E S の近くに短絡トランジスタ T 3、駆動制御トランジスタ T 5 を配置することで、配線の引き回しが非常に容易になる。従って、画素回路のレイアウトが容易になる。しかし、選択トランジスタ T 1 と、短絡トランジスタ T 3 のタイミングがずれるため、ノイズが乗りやすいというデメリットもある。さらに、他の構成例のようなディスチャージ工程を設けることができないため、駆動トランジスタ T 4 のゲートについての電荷の放出が十分行えない場合も生じやすい。

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 実施形態に係る画素回路の構成を示す図である。

【 図 2 】 動作を説明するチャート図である。

【 図 3 】 ディスチャージ工程を説明する図である。

【 図 4 】 リセット工程を説明する図である。

【 図 5 】 電位固定工程を説明する図である。

【 図 6 】 発光工程を説明する図である。

【 図 7 】 リセットから電位固定工程における電位変化の状態を説明する図である。

【 図 8 】 パネルの全体構成を示す図である。

【 図 9 】 データセットのタイミング例を示す図である。

10

20

30

40

50

- 【図10】 データセットの他のタイミング例を示す図である。
- 【図11】 変形例1の構成を説明する図である。
- 【図12】 変形例1の駆動状態を示す図である。
- 【図13】 変形例2の構成を説明する図である。
- 【図14】 変形例2の駆動状態を示す図である。
- 【図15】 変形例2についての他の構成を示す図である。
- 【図16】 変形例2についてのさらに他の構成を示す図である。
- 【図17】 変形例2についてのさらに他の構成を示す図である。
- 【図18】 変形例3についての構成を示す図である。
- 【図19】 変形例3の駆動状態を示す図である。
- 【図20】 変形例4についての構成を示す図である。
- 【図21】 変形例4の駆動状態を示す図である。

10

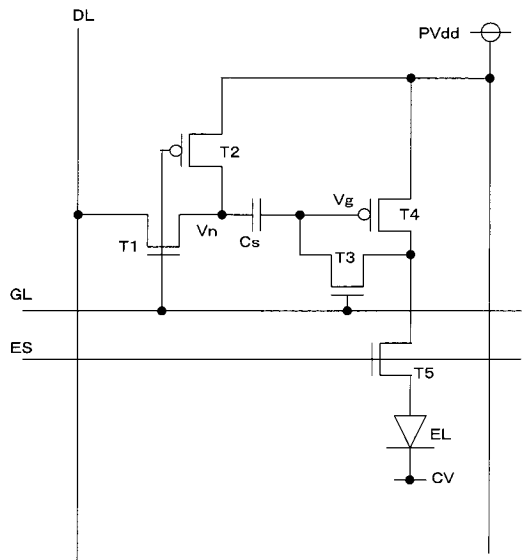
【符号の説明】

【0057】

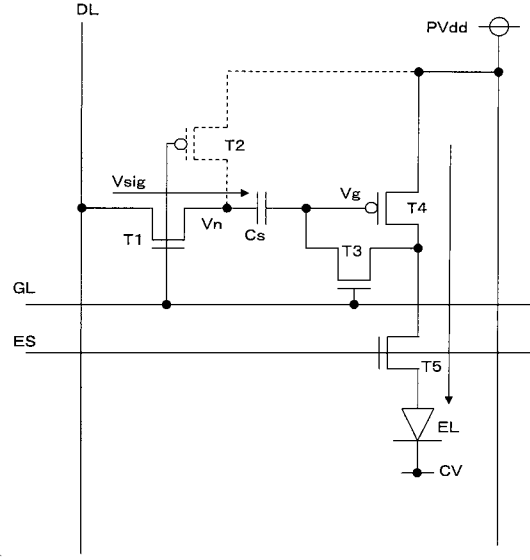
Cs コンデンサ、CS 制御ライン、CV カソード電源、Cp 寄生容量、DL データライン、EL 有機EL素子、ENB イネーブル信号、ES 発光セットライン、GL ゲートライン、HSR 水平スイッチ、Vdd 電源電圧、RST リセットライン、T1 選択トランジスタ、T2 電位制御トランジスタ、T3 短絡トランジスタ、T4 駆動トランジスタ、T5 駆動制御トランジスタ、VSR 垂直スイッチ、Vg 駆動トランジスタのゲート電圧、Vsig データ電圧。

20

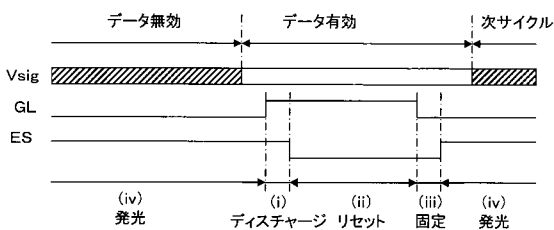
【図1】



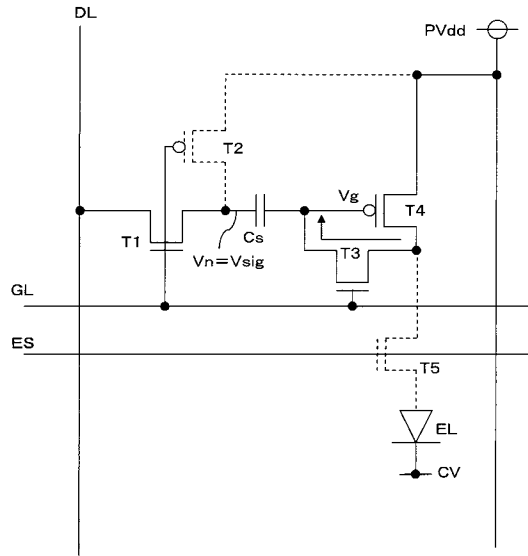
【図3】



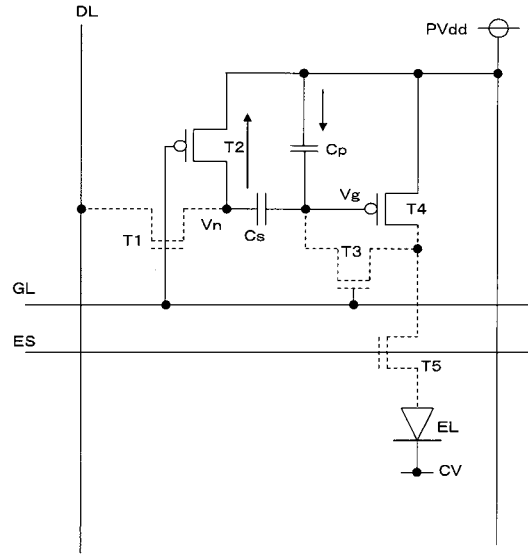
【図2】



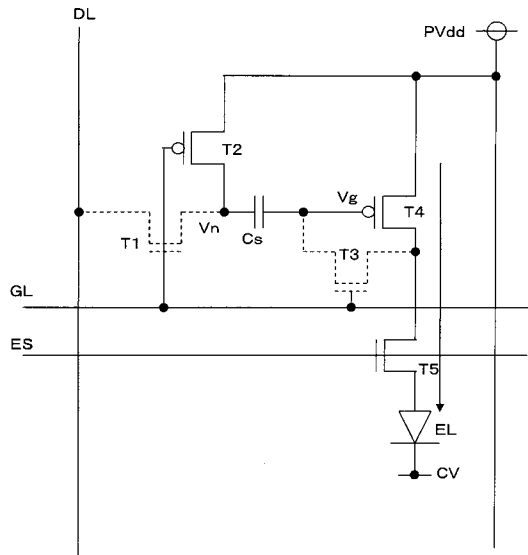
【 図 4 】



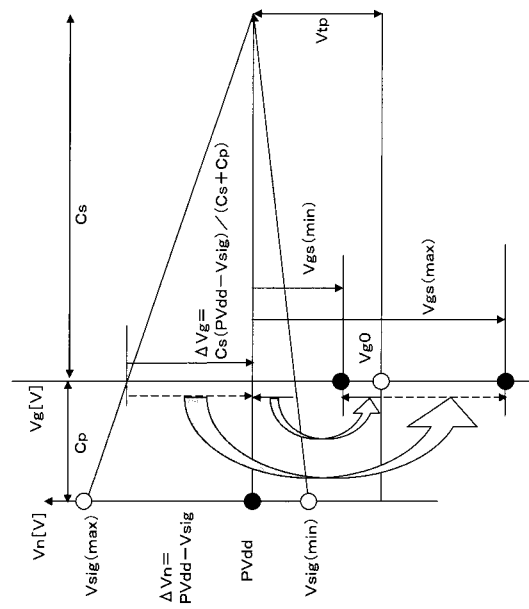
【 図 5 】



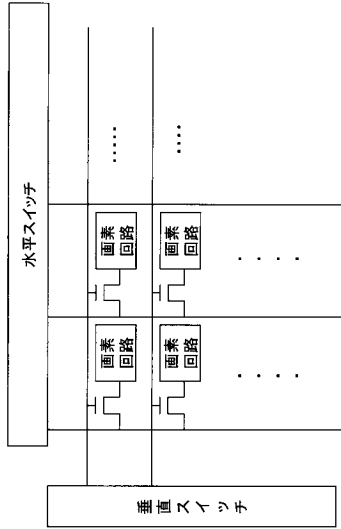
【 図 6 】



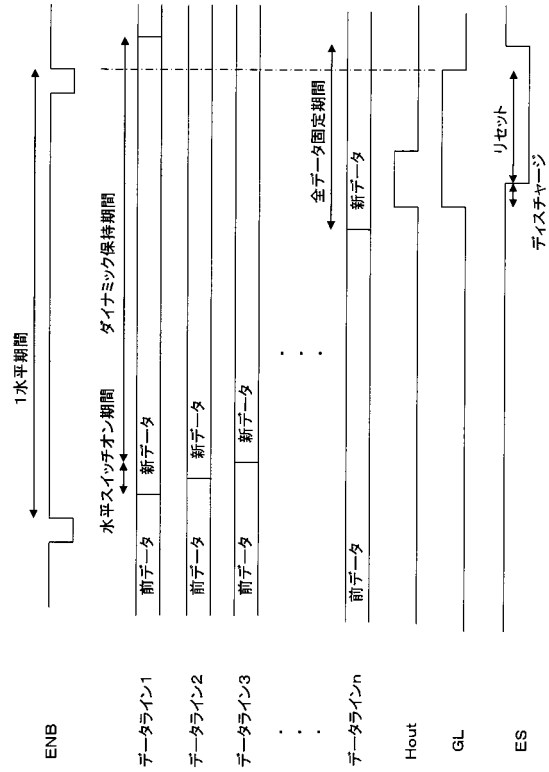
【 図 7 】



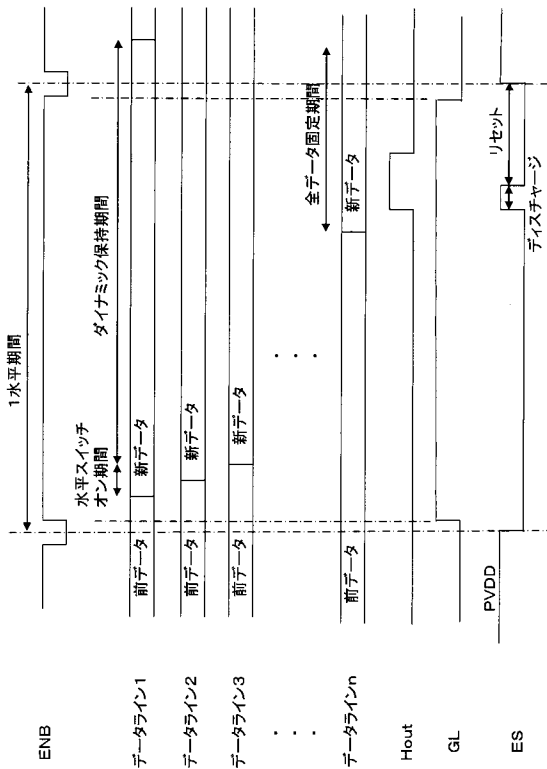
【図 8】



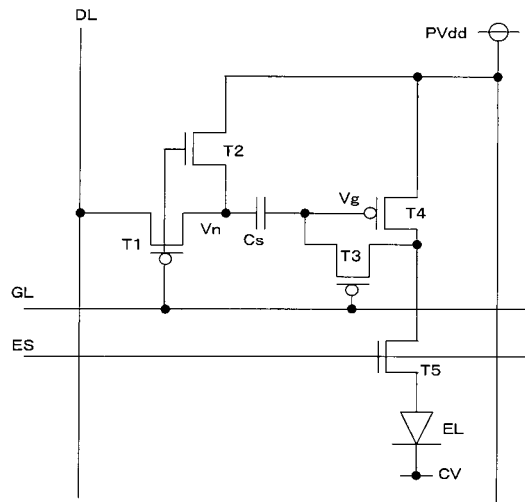
【図 9】



【図 10】



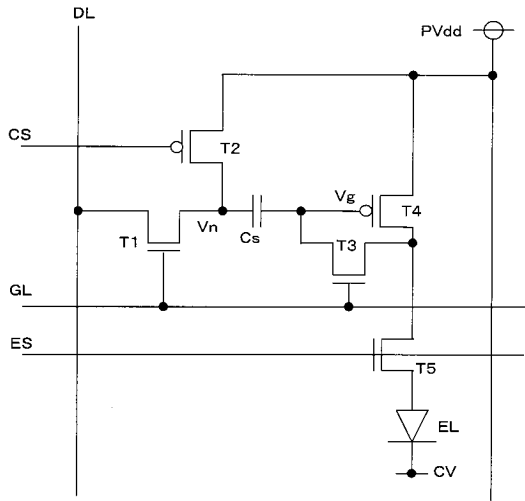
【図 11】



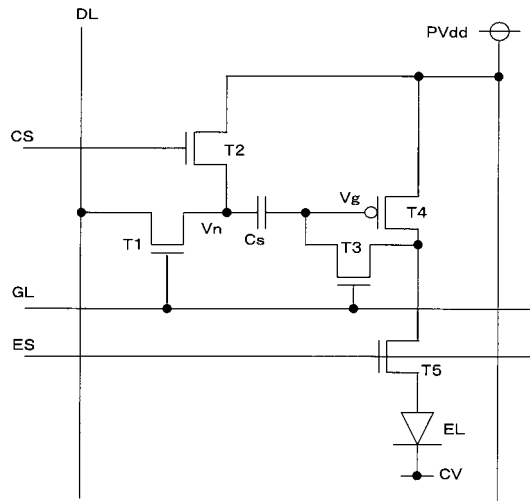
【図 12】

GL(T1)	OFF	ON	OFF
ES(T5)	ON	OFF	ON

【 図 1 3 】



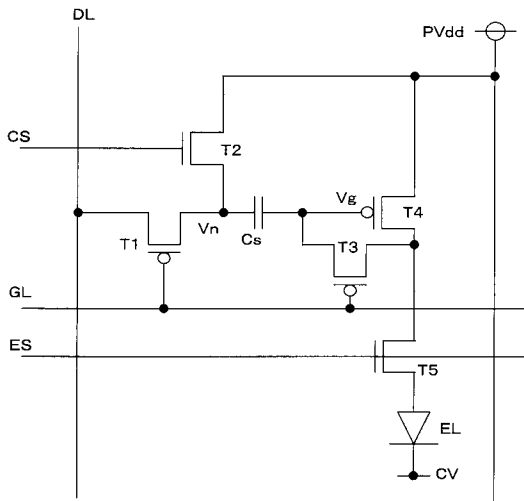
【 図 1 5 】



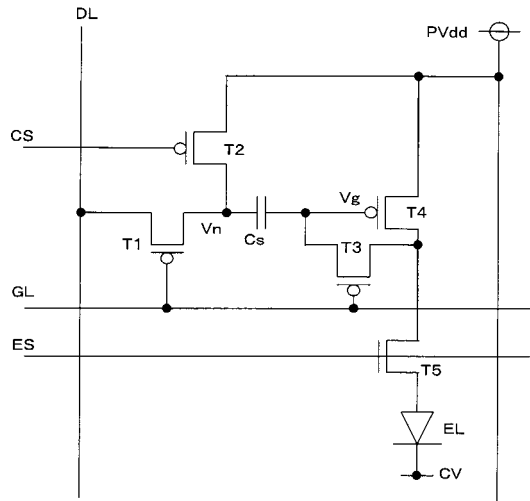
【 図 1 4 】

GL(T1)	OFF	ON	OFF
CS(T2)	ON	OFF	ON
ES(T5)	ON	OFF	ON

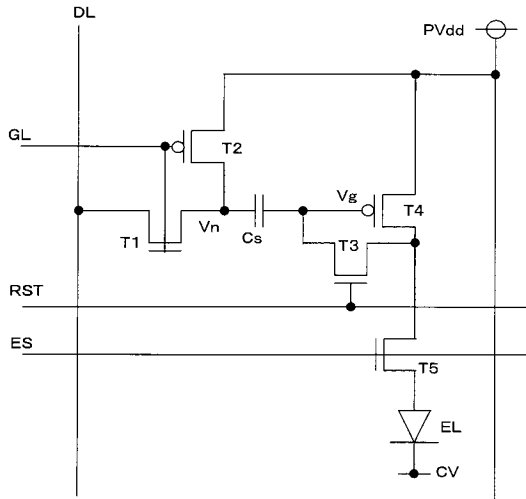
【 図 1 6 】



【 図 1 7 】



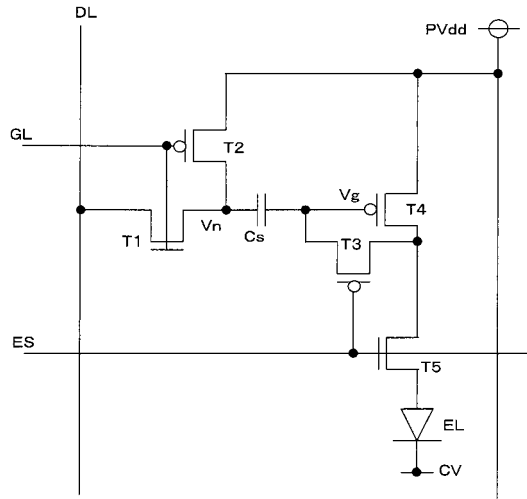
【 図 1 8 】



【 図 1 9 】

GL(T1)	OFF	ON	OFF
RST(T3)	OFF	ON	OFF
ES(T5)	ON	OFF	ON

【 図 2 0 】



【 図 2 1 】

GL(T1)	OFF	ON	OFF
ES(T5)	ON	OFF	ON

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 5 B 33/14

A

专利名称(译)	有机EL画素回路		
公开(公告)号	<a href="#">JP2005326828A</a>	公开(公告)日	2005-11-24
申请号	JP2005096835	申请日	2005-03-30
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	池田恭二		
发明人	池田 恭二		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.H G09G3/20.624.B H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA04 5C094/AA05 5C094/AA10 5C094/BA03 5C094/BA27 5C094/GA10 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA38 5C380/BA39 5C380/BC18 5C380/CA08 5C380/CB01 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD015 5C380/DA02 5C380/DA06 5C380/DA46		
代理人(译)	吉田健治 石田 纯		
优先权	2004117332 2004-04-12 JP		
其他公开文献	JP4974471B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

种类代码：A1有效地补偿了驱动晶体管的阈值电压的波动。提供用于将来自电源PVdd的与栅极电位Vg对应的驱动电流提供给有机EL元件EL的驱动晶体管T4。在驱动晶体管T4和有机EL元件之间插入驱动控制晶体管T5，并且提供用于控制驱动晶体管T4是否是二极管连接的短路晶体管T3。此外，在选择晶体管T1之间插入电容器Cs，用于控制来自数据线DL的数据信号是否被提供给驱动晶体管T4的控制端，选择晶体管T1和驱动晶体管T4的控制端。同时，提供用于接通和断开电容器Cs的选择晶体管T1侧与电源PVdd之间的连接的电位控制晶体管T2。点域1

