

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-227310

(P2005-227310A)

(43) 公開日 平成17年8月25日(2005.8.25)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 624B	5C080
H05B 33/14	G09G 3/20 670K	
	H05B 33/14 A	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2004-32940 (P2004-32940)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年2月10日 (2004.2.10)	(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	武田 安弘 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	野口 幸宏 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	井上 恭典 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

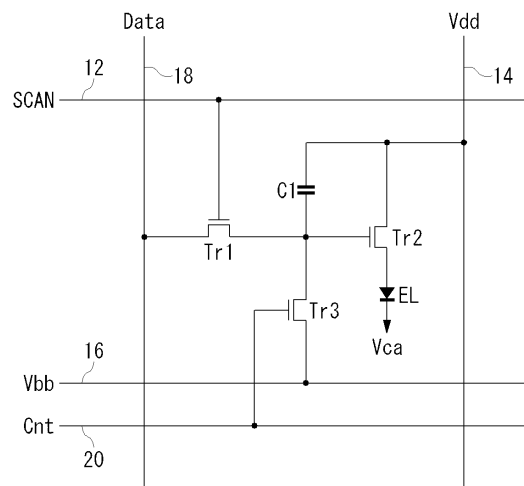
(54) 【発明の名称】 発光素子の駆動方法、画素回路、および表示装置

(57) 【要約】

【課題】 有機EL素子を使った表示装置において輝度にばらつきが生じる。

【解決手段】 走査線12の電位がローのとき、電源Vcaは第2トランジスタTr2のドレイン電極とほぼ同じパルス電圧を発光素子ELのカソード電極に印加する。容量カップリングにより、第2トランジスタTr2のソース電極の電圧が高くなる。このとき、制御線20の電位がハイになり第3トランジスタTr3がオン状態になる。電源Vbbの電圧は第2トランジスタTr2のソース電極の電圧より低い。すなわち、第2トランジスタTr2のゲート絶縁膜には逆バイアスがかかる。したがって、発光素子ELを駆動することにより第2トランジスタTr2に生じた特性変動が戻る。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

電流駆動型の発光素子とその発光素子を駆動するトランジスタとを含む駆動回路の駆動方法であって、

前記発光素子を駆動しない期間に、前記発光素子の発光時とは逆のバイアスを前記トランジスタのゲート電極にかけるとともに、前記トランジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが前記発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する補正ステップを含むことを特徴とする発光素子の駆動方法。

【請求項 2】

前記発光素子は前記トランジスタのドレイン電極またはソース電極に接続されており、前記補正ステップは、前記電界が生じるように前記発光素子が接続されているドレイン電極またはソース電極に所定の電圧を印加することを特徴とする請求項 1 に記載の発光素子の駆動方法。

【請求項 3】

前記発光素子は前記トランジスタのドレイン電極またはソース電極に接続されており、前記補正ステップは、前記電界が生じるように前記発光素子を通した容量結合によってドレイン電極またはソース電極に所定の電圧を印加することを特徴とする請求項 1 または 2 に記載の発光素子の駆動方法。

【請求項 4】

電流駆動型の発光素子と、
前記発光素子を駆動する駆動用トランジスタと、
前記発光素子を駆動しない期間に、前記発光素子の発光時とは逆のバイアスを前記駆動用トランジスタのゲート電極にかけるとともに、前記駆動用トランジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが前記発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する回路と、
を備えることを特徴とする画素回路。

【請求項 5】

複数の発光素子を備えるアクティブマトリックス型の表示装置であって、
発光させる発光素子を選択するための走査用トランジスタと、
この走査用トランジスタを介して供給された輝度信号に基づいて、前記発光素子に供給する電流を調整する駆動用トランジスタと、
前記発光素子を駆動しない期間に、前記発光素子の発光時とは逆のバイアスを前記駆動用トランジスタのゲート電極にかけるとともに、前記駆動用トランジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが前記発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する回路と、
を備えることを特徴とする表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、発光素子を利用した表示装置に関する。本発明はとくに、発光素子の駆動方法およびその駆動方法により発光素子を駆動する回路およびその回路を備える表示装置に関する。

【背景技術】**【0002】**

発光素子として機能する有機エレクトロルミネッセンス素子（以下、単に「有機 EL 素子」という）を用いた表示装置が、CRT や LCD に代わる表示装置として注目されている。特に薄膜トランジスタ（Thin Film Transistor; 以下単に「TFT」と略す）をスイッチング素子として備えるアクティブマトリックス型有機エレクトロルミネッセンス表示装置（以下、単に「有機 EL 表示装置」とも言う）は次世代平面表示装置の主演として考

10

20

30

40

50

えられている。

【0003】

有機EL素子は駆動電流値により輝度が増加するため、駆動用のトランジスタの特性変動に敏感に影響を受ける。トランジスタの特性変動を抑制する方法として、トランジスタのゲート電極に動作時と逆方向の電圧を加える方法が開示されている（特許文献1）。

【特許文献1】特開2002-151669号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の発明は、トランジスタにX線電気変換器を接続したX線撮像装置に関するものであるが、この技術を単に電流駆動型の発光素子に適用しても、発光時の輝度の経時変動を抑制することはできない。

10

【0005】

本発明はこうした点に鑑みてなされたもので、その目的は、発光時の輝度の経時変動を抑制する点にある。

【課題を解決するための手段】

【0006】

本発明のある態様は、電流駆動型の発光素子とその発光素子を駆動するトランジスタを含む画素回路の駆動方法である。この駆動方法は、発光素子を駆動しない期間に、発光素子の発光時とは逆のバイアスをトランジスタのゲート電極にかけるとともに、トランジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する補正ステップを含む。

20

【0007】

この態様によれば、トランジスタのゲート絶縁膜に、発光素子を駆動するときとは逆のバイアスがかかるので、発光素子を駆動することにより変動したトランジスタの特性を補正することができる。これにより、発光を続けることによる輝度の変動を抑制できる。

【0008】

発光素子はトランジスタのドレイン電極またはソース電極に接続されており、補正ステップは、発光時とは逆向きの電界が生じるように発光素子が接続されているドレイン電極またはソース電極に所定の電圧を印加してもよい。

30

【0009】

発光素子はトランジスタのドレイン電極またはソース電極に接続されており、補正ステップは、発光時とは逆向きの電界が生じるように発光素子を通した容量結合によってドレイン電極またはソース電極に所定の電圧を印加してもよい。これにより、発光素子に電流を流さないように電圧を印加できるので、トランジスタの特性を補正する処理にともない発光素子が劣化してしまうことを防止できる。

【0010】

本発明の別の態様は、発光素子を駆動する画素回路である。この画素回路は、電流駆動型の発光素子と、発光素子を駆動する駆動用トランジスタと、発光素子を駆動しない期間に、発光素子の発光時とは逆のバイアスを駆動用トランジスタのゲート電極にかけるとともに、駆動用トランジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する回路とを備える。

40

【0011】

本発明のさらに別の態様は、複数の発光素子を備えるアクティブマトリックス型の表示装置である。この表示装置は、発光させる発光素子を選択するための走査用トランジスタと、この走査用トランジスタを介して供給された輝度信号に基づいて、発光素子に供給する電流を調整する駆動用トランジスタと、発光素子を駆動しない期間に、発光素子の発光時とは逆のバイアスを駆動用トランジスタのゲート電極にかけるとともに、駆動用トラン

50

ジスタのドレイン電極およびソース電極の電位差により生じる電界の向きが発光素子の発光時とは逆向きになるようにドレイン電極またはソース電極に電圧を印加する回路とを備える。

【0012】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置などの変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0013】

本発明によれば、発光時の輝度の経時変動を抑制することができる。

【発明を実施するための最良の形態】

【0014】

一般に表示装置を構成する自己発光型の有機EL素子は、駆動用の薄膜トランジスタと接続されている。有機EL素子の発光時の輝度の変化は、素子自体の劣化と駆動用トランジスタの特性の変化とをその起因とする。例えば40インチを超える大画面の表示装置を、有機EL素子を用いて作る場合、製造上の問題から比較的特性の安定した低温ポリシリコンを使うことは困難である。そこで本発明者らは、非結晶シリコン薄膜トランジスタを使った表示装置の開発を進めた。非結晶シリコンで形成されたトランジスタは、低温ポリシリコンと比べて特性が不安定であり、電圧を加えるとしきい値電圧が変動してしまう。このため、トランジスタの特性変動を原因とする輝度の変化が大きくなってしまう。本発明者らは、実験により例えばnチャネル型トランジスタの特性劣化がゲート絶縁膜中の電界が最も大きくなるソース端で起こることを特定し、劣化状態の評価方法を確立した。そして、その評価方法をベースに、トランジスタのソース電極をドレイン電極より高い電圧にした状態でゲート電極に駆動時と逆方向の電圧をかけることでしきい値電圧のシフトを戻す技術を確立した。これにより、駆動用トランジスタの特性が変化することによる、輝度の変化を抑制できる。この技術は、駆動用トランジスタが非結晶シリコン薄膜トランジスタのみならず、例えば低温ポリシリコンTFTおよびペンタセン等を用いた有機TFT、F8T2 (poly(9,9-dioctylfluorene-co-bithiophene)) 等を用いた高分子有機TFTに対しても利用できる。

【0015】

(第1の実施の形態)

図1は、第1の実施の形態に係る表示装置100の回路構成を示す図である。第1画素回路10a、第2画素回路10b、第3画素回路10c、および第4画素回路10d(以下、単に「画素回路10」という)は、それぞれ1画素分の回路である。詳細は後述するが、画素回路10は、スイッチ素子としてのトランジスタTr1、トランジスタTr3、駆動素子としてのトランジスタTr2、発光素子EL、容量C1を含む。トランジスタTr2の特性変動を補正する場合に、トランジスタTr3はオン状態になる。データ制御回路102は、データ線18を介してそれぞれの画素回路10に書き込むべき輝度データを出力する。選択制御回路104は、輝度データを書き込む画素回路10を選択するための走査信号の出力を制御する。図示するとおり、複数の走査線12と複数のデータ線18が縦横に設けられ、これらが交わる部分にそれぞれ画素回路10が配置される。第1電圧源108および第3電圧源112は、定電圧電源である。第2電圧源110は、可変定電圧電源である。以下、第1電圧源108を「電源Vdd」といい、第2電圧源110を「電源Vca」といい、第3電圧源112を「電源Vbb」という。補正制御回路106は、トランジスタTr3のゲート電極と接続しており、トランジスタTr3を制御する。

【0016】

図2は、画素回路10の構成を示す図である。第1トランジスタTr1、第2トランジスタTr2、および第3トランジスタTr3は、nチャネル型の薄膜トランジスタである。第1トランジスタTr1はスイッチング用である。第2トランジスタTr2は例えば有機EL素子などの自己発光型の発光素子ELを駆動するためのトランジスタである。第3トランジスタTr3は第2トランジスタTr2のゲート電極に逆バイアスを印加するため

10

20

30

40

50

のトランジスタである。

【0017】

第1トランジスタTr1のゲート電極は走査線12と接続され、ドレイン電極はデータ線18に接続され、ソース電極は第2トランジスタTr2のゲート電極、第3トランジスタTr3のソース電極、および容量C1の一方の電極に接続されている。容量C1の他方の電極は第1電源線14に接続されている。第1電源線14は電源Vddと接続されている。第2トランジスタTr2のドレイン電極は第1電源線14に接続され、ソース電極は発光素子ELのアノード電極に接続されている。発光素子ELのカソード電極は電源Vcaに接続されている。第3トランジスタTr3のドレイン電極は第2電源線16に接続され、ゲート電極は制御線20に接続される。第2電源線16は電源Vbbに接続される。データ線18は、図1のデータ制御回路102に接続され、発光素子ELに流れる電流を決定する輝度データを伝達する。制御線20は、図1の補正制御回路106と接続され、第3トランジスタTr3を制御するタイミングを指定する信号を伝達する。

10

【0018】

発光素子ELが発光しない間、すなわち第1トランジスタTr1がオン状態でない間に、電源Vcaは発光素子ELのカソード電極に正のパルス電圧を印加する。そのパルス電圧の大きさは、第2トランジスタTr2の電源電圧Vddと同程度もしくはそれ以上の電圧であって、第2トランジスタTr2のドレイン、ソース間の降伏電圧未満であることが好ましい。発光素子ELのカソード電極に正のパルス電圧を印加することにより、容量カップリングで第2トランジスタTr2のソース電極の電圧が高くなる。このため、このパルス電圧の印加で発光素子ELは劣化しない。別の例では、第2トランジスタTr2と発光素子ELとの経路上にスイッチを設け、発光素子ELと電氣的に分離するとともに、第2トランジスタTr2のソース電極に電圧を印加する構成にしてもよい。要は、画素回路10は、発光素子ELを劣化させないように、すなわち発光素子ELに電流を流さないように第2トランジスタTr2のソース電極の電圧を高くする構成を含めばよい。

20

【0019】

また、発光素子ELのカソード電極に正のパルス電圧が印加されている間に、第3トランジスタTr3はオン状態になり、第2トランジスタTr2のゲート電極に電源Vbbの電圧が印加される。電源Vbbの電圧は、電源Vcaの電圧より低い電圧であり、第2トランジスタTr2の特性や駆動時の第2トランジスタTr2のソース端の電界の大きさなどに基づいて適切に設定される。すなわち、第2トランジスタTr2のゲート電極に逆バイアスがかかるように電圧が印加される。これにより、第2トランジスタTr2のソース端に電界がかかることで生じたしきい値電圧のシフトを戻すことができるので、しきい値電圧のシフトによる発光素子ELの輝度の変化を抑制できる。以下、この処理を「リフレッシュ処理」といい、リフレッシュ処理の期間、すなわち逆バイアスを印加している期間を「リフレッシュ期間」という。

30

【0020】

本発明者らの実験では、電源Vbbの電圧と電源Vcaの電圧の電位差が20V以上のときにしきい値電圧のシフトを戻すことができた。また、発光素子ELのカソード電極に印加する正のパルスのパルス幅、すなわちリフレッシュ期間も、第2トランジスタTr2の特性や駆動時の第2トランジスタTr2のソース端の電界の大きさなどに基づいて適切に設定される。実験では、発光素子ELのカソード電極に正のパルス電圧を印加する期間は数msecが適当であった。

40

【0021】

発光素子ELを発光する間、電源Vcaは発光素子ELに電流が流れるように電圧を下げ、リフレッシュ期間とは異なる所定の電圧に設定される。つまり、電源Vcaは、リフレッシュ処理時の電圧（以下、単に「リフレッシュ電圧」という）と、発光素子ELを発光する際の電圧（以下、単に「発光電圧」という）とを生成できる。発光素子ELが発光している間、第3トランジスタTr3はオフ状態になっている。

【0022】

50

図3は、図2の走査線12および制御線20における信号のタイミングと、電源Vca
 ならびに第2トランジスタTr2のゲート電極の電圧の関係を示すタイミングチャートで
 ある。リフレッシュ期間において、制御線20の電位がハイになり、それ以外の期間では
 ローになる。電源Vcaは、制御線20の立ち上がりのタイミングでリフレッシュ電圧に
 切り替わり、図2の発光素子ELのカソード電極に印加する。すなわち、図2の第2トラ
 ンジスタTr2のソース電極の電圧が、ドレイン電極の電圧とほぼ同じになるまで昇圧さ
 れる。

【0023】

また、制御線20がハイになることにより、図2の第3トランジスタTr3がオン状態
 になり、第2トランジスタTr2のゲート電極が電源Vbbの電圧になる。電源Vbbの
 電圧は、電源Vcaの電圧より低いため、第2トランジスタTr2のゲート絶縁膜に発光
 素子ELを駆動するときとは逆のバイアスがかかる。これにより、第2トランジスタTr
 2のしきい値が戻る。

10

【0024】

その後、制御線20の立ち下がりのタイミングで走査線12の電位がハイになり、第3
 トランジスタTr3がオフ状態になるとともに、第1トランジスタTr1がオン状態にな
 り輝度に応じた電圧（以下、単に「輝度信号」という）が第2トランジスタTr2のゲ
 ート電極および容量C1に印加される。輝度信号を入力した後、電源Vcaの電圧が発光電
 圧に設定され、発光素子ELが駆動される。図2を用いて説明した画素回路10によれば
 、トランジスタの特性変動を抑制できるので、結果的に発光時の輝度の変動を抑えること
 ができる。さらに、カレントミラー回路などの補償回路を構成するよりも少ない素子の数
 で、発光時の輝度の変動を抑えることができるので、経済性が高く、信頼性の高い表示装
 置を提供できる。また、素子数が少ないことから開口率を高めることができる。

20

【0025】

（第2の実施の形態）

図4は、第2の実施の形態に係る表示装置100の画素を駆動する画素回路50の構成
 を示す図である。本図の構成において、既に説明した構成と同一の符号が付された構成は
 、既に説明した同一の符号が付された構成と機能および動作が同様である。ここでは、第
 2の実施の形態として特徴的な構成について説明する。

【0026】

第1トランジスタTr1のゲート電極は走査線12に接続され、ドレイン電極はデータ
 線18に接続され、ソース電極は容量C2の一方の電極および第2トランジスタTr2に
 接続される。第2トランジスタTr2のドレイン電極は第1電源線14に接続され、ソー
 ス電極は発光素子ELのアノード電極に接続される。発光素子ELのカソード電極は電源
 Vcaに接続される。容量C2の他方の電極は制御線54に接続される。つまり、制御線
 54の電位を変えることにより、第2トランジスタTr2のゲート電極にかかる電圧を変
 えることができる。これにより、図2の容量C1と第3トランジスタTr3の役割を、容
 量C2で実現できる。すなわち、回路規模を小さくできる。

30

【0027】

図5は、図4の走査線12および制御線54における信号のタイミングと、電源Vca
 ならびに第2トランジスタTr2のゲート電極の電圧の関係を示すタイミングチャートで
 ある。リフレッシュ期間の間、図4の電源Vcaはリフレッシュ電圧を発光素子ELのカ
 ソード電極に印加する。また、リフレッシュ期間内に、第2トランジスタTr2に逆バイ
 アスがかかるように制御線54の電位を下げる。これにより、第2トランジスタTr2の
 リフレッシュ処理が行われる。その後、走査線12の立ち上がりタイミングで、制御線5
 4の電位を、発光素子ELを発光する際の電位に戻す。また、走査線12の電位がハイの
 間、第1トランジスタTr1がオン状態となり、輝度信号が第2トランジスタTr2と容
 量C2の一方の電極に入力される。輝度信号を入力した後、電源Vcaの電圧が発光電圧
 に設定され、発光素子ELが駆動される。

40

【0028】

50

(第3の実施の形態)

図6は、第3の実施の形態に係る表示装置100の画素を駆動する画素回路70の構成を示す図である。本図の構成において、既に説明した構成と同一の符号が付された構成は、既に説明した同一の符号が付された構成と機能および動作が同様である。ここでは、第3の実施の形態として特徴的な構成について説明する。

【0029】

第1トランジスタTr1および第3トランジスタTr3は、nチャネル型の薄膜トランジスタである。第4トランジスタTr4は、pチャネル型の薄膜トランジスタである。pチャネル型のトランジスタの場合、ゲート電極にローが印加されるとオン状態になるので、第4トランジスタTr4のゲート絶縁膜中の電界は、ドレイン端において最も大きくなる。このため、第4トランジスタTr4に対するリフレッシュ処理は、第4トランジスタTr4のドレイン電極をソース電極より低い電圧にした状態で、ゲート電極に駆動時と逆の電圧をかけることで実現される。

10

【0030】

第1トランジスタTr1のゲート電極は走査線12に接続され、ドレイン電極はデータ線18に接続され、ソース電極は容量C1の一方の電極、第4トランジスタTr4のゲート電極および第3トランジスタTr3のソース電極に接続される。容量C1の他方の電極は第1電源線14を介して第4電圧源120に接続される。発光素子ELのアノード電極は、第1電源線14を介して第4電圧源120に接続され、カソード電極は第4トランジスタTr4のドレイン電極に接続される。第4トランジスタTr4のソース電極は接地される。第3トランジスタTr3のドレイン電極は、第2電源線16を介して電源Vbbに接続され、ゲート電極は制御線20に接続される。

20

【0031】

第4電圧源120は、発光素子ELを発光させる場合と第4トランジスタTr4をリフレッシュ処理する場合とで異なる電圧を生成する。発光素子ELが発光しない間、第4電圧源120は発光素子ELのアノード電極に負のパルス電圧を印加する。そのパルス電圧の大きさは、接地した第4トランジスタTr4のソース電極の電圧と同程度もしくはそれ以下の電圧であって、第4トランジスタTr4のドレイン、ソース間の降伏電圧未満であることが好ましい。以下、第4電圧源120を「電源Vdd」という。

【0032】

また、発光素子ELのアノード電極に負のパルス電圧が印加されている間に、第3トランジスタTr3はオン状態になり、第4トランジスタTr4のゲート電極に電源Vbbの電圧が印加される。電源Vbbの電圧は、電源Vddの電圧より高い電圧であり、第4トランジスタTr4の特性や駆動時の第4トランジスタTr4のドレイン端の電界の大きさなどに基いて適切に設定される。すなわち、第4トランジスタTr4のゲート電極に逆バイアスがかかるように印加される。これにより、第4トランジスタTr4のドレイン端に電界がかかることで生じたしきい値電圧のシフトを戻すことができるので、しきい値電圧のシフトによる発光素子ELの輝度の変化を抑制できる。

30

【0033】

図7は、図6の走査線12および制御線20における信号のタイミングと、電源Vddならびに第4トランジスタTr4のゲート電極の電圧の関係を示すタイミングチャートである。リフレッシュ期間において、制御線20の電位がハイになり、それ以外の期間ではローになる。電源Vddは、制御線20の立ち上がりのタイミングでリフレッシュ電圧に切り替わり、図6の発光素子ELのアノード電極に印加する。すなわち、図6の第4トランジスタTr4のドレイン電極の電圧が、ソース電極の電圧とほぼ同じになるまで降圧される。

40

【0034】

また、制御線20がハイになることにより、図6の第3トランジスタTr3がオン状態になり、第4トランジスタTr4のゲート電極が電源Vbbの電圧になる。電源Vbbの電圧は、電源Vddの電圧より高いため、第4トランジスタTr4のゲート絶縁膜に発光

50

素子 E L を駆動するときとは逆のバイアスがかかる。これにより、第 4 トランジスタ T r 4 のしきい値が戻る。

【 0 0 3 5 】

その後、制御線 2 0 の立ち下がりのタイミングで走査線 1 2 の電位がハイになり、第 3 トランジスタ T r 3 がオフ状態になるとともに、第 1 トランジスタ T r 1 がオン状態になり輝度に応じた電圧（以下、単に「輝度信号」という）が第 4 トランジスタ T r 4 のゲート電極および容量 C 1 に印加される。輝度信号を入力した後、電源 V d d の電圧が発光電圧に設定され、発光素子 E L が駆動される。

【 0 0 3 6 】

以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

10

【 0 0 3 7 】

以下、本発明の実施の形態の画素回路 1 0 および画素回路 5 0 を構成する部材と特許請求の範囲に記載した部材との対応関係を例示する。請求項における「発光素子を駆動しない期間に、発光素子の発光時とは逆のバイアスを駆動用トランジスタのゲート電極にかける回路」は、図 1 の補正制御回路 1 0 6、第 2 電圧源 1 1 0、第 3 トランジスタ T r 3、制御線 2 0 に対応してよい。また、図 4 の電源 V c a、容量 C 2、制御線 5 4 などに対応してよい。また、図 6 の第 4 電圧源 1 2 0、第 3 トランジスタ T r 3、制御線 5 4 などに対応してよい。

20

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 第 1 の実施の形態に係る表示装置の回路構成を示す図である。

【 図 2 】 第 1 の実施の形態に係る表示装置の画素を駆動する画素回路の構成を示す図である。

【 図 3 】 図 2 の走査線および制御線における信号のタイミングと、電源ならびに第 2 トランジスタのゲート電極の電圧の関係を示すタイミングチャートである。

【 図 4 】 第 2 の実施の形態に係る表示装置の画素を駆動する画素回路の構成を示す図である。

【 図 5 】 図 4 の走査線および制御線における信号のタイミングと、電源ならびに第 2 トランジスタのゲート電極の電圧の関係を示すタイミングチャートである。

30

【 図 6 】 第 3 の実施の形態に係る表示装置の画素を駆動する画素回路の構成を示す図である。

【 図 7 】 図 6 の走査線および制御線における信号のタイミングと、電源ならびに第 4 トランジスタのゲート電極の電圧の関係を示すタイミングチャートである。

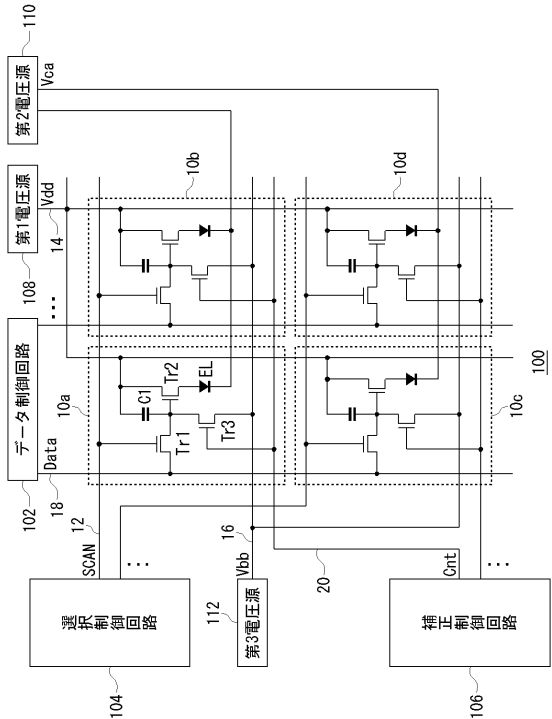
【 符号の説明 】

【 0 0 3 9 】

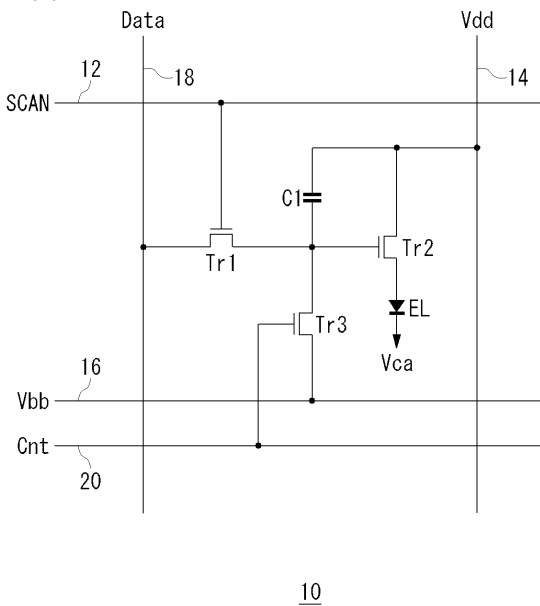
1 0 画素回路、 1 2 走査線、 1 4 第 1 電源線、 1 6 第 2 電源線、 1 8 データ線、 2 0 制御線、 T r 1 第 1 トランジスタ、 T r 2 第 2 トランジスタ、 T r 3 第 3 トランジスタ、 C 1 容量、 E L 発光素子、 V c a 電源、 5 0 画素回路、 5 4 制御線、 7 0 画素回路、 T r 4 第 4 トランジスタ。

40

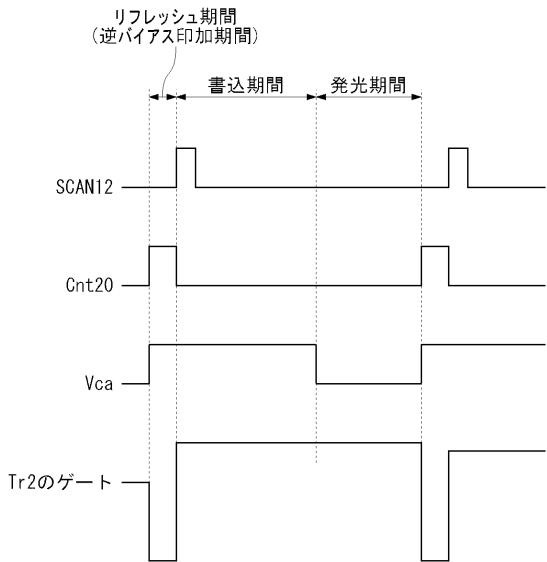
【図1】



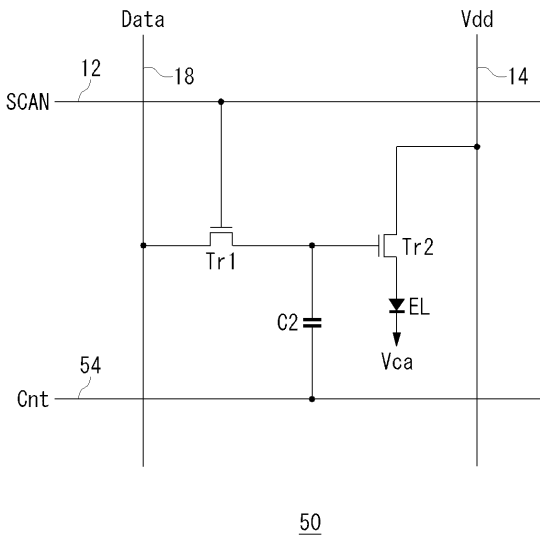
【図2】



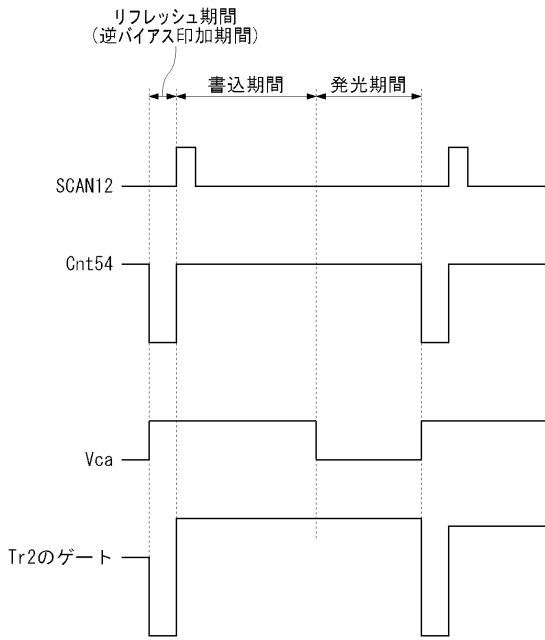
【図3】



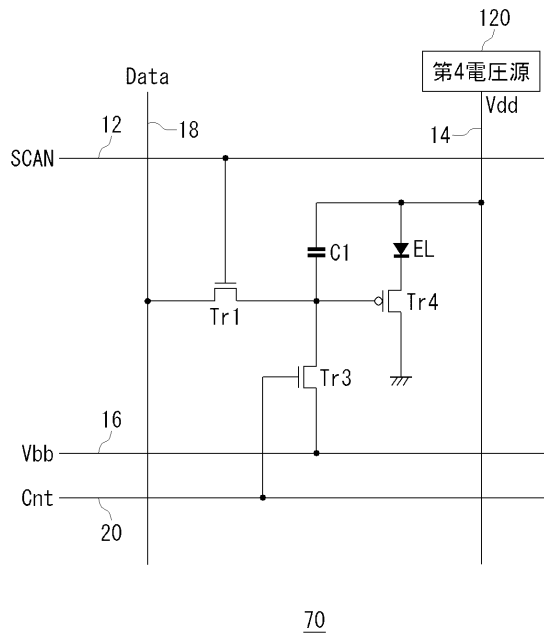
【図4】



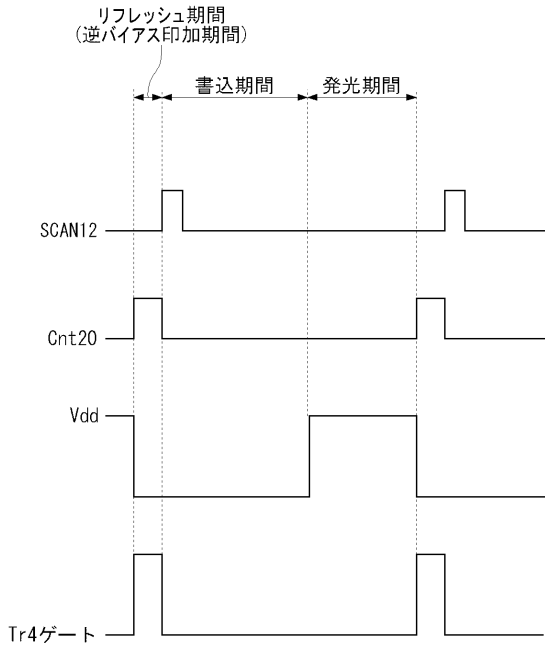
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

Fターム(参考) 3K007 AB02 AB11 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD29 FF11 HH09 JJ02 JJ03 JJ04

专利名称(译)	驱动发光元件的方法，像素电路和显示装置		
公开(公告)号	JP2005227310A	公开(公告)日	2005-08-25
申请号	JP2004032940	申请日	2004-02-10
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	武田安弘 野口幸宏 井上恭典		
发明人	武田 安弘 野口 幸宏 井上 恭典		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
CPC分类号	G09G2310/0254		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.K H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB25 5C380/AC04 5C380/BA13 5C380/BA28 5C380/BB22 5C380/BD02 5C380/BD08 5C380/BD09 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB19 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC42 5C380/CC51 5C380/CC61 5C380/CC63 5C380/CD012 5C380/CD013 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA02 5C380/HA05 5C380/HA11		
代理人(译)	森下Kenju		
外部链接	Espacenet		

摘要(译)

解决的问题：在使用有机EL元件的显示设备中引起亮度变化。当扫描线的电位低时，电源Vca将与第二晶体管Tr2的漏极几乎相同的脉冲电压施加至发光元件EL的阴极。电容耦合增加了第二晶体管Tr2的源电极的电压。此时，控制线20的电势变高并且第三晶体管Tr3导通。电源Vbb的电压低于第二晶体管Tr2的源电极的电压。即，对第二晶体管Tr2的栅极绝缘膜施加反向偏压。因此，通过驱动发光元件EL，返回在第二晶体管Tr2中引起的特性波动。[选择图]图2

