

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号
WO2008/108024

発行日 平成22年6月10日 (2010.6.10)

(43) 国際公開日 平成20年9月12日 (2008.9.12)

(51) Int. Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 4 B	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 4 1 D	5 C 3 8 0
	G 0 9 G 3/20 6 1 1 H	
	G 0 9 G 3/20 6 4 2 A	
審査請求 有 予備審査請求 未請求 (全 32 頁) 最終頁に続く		

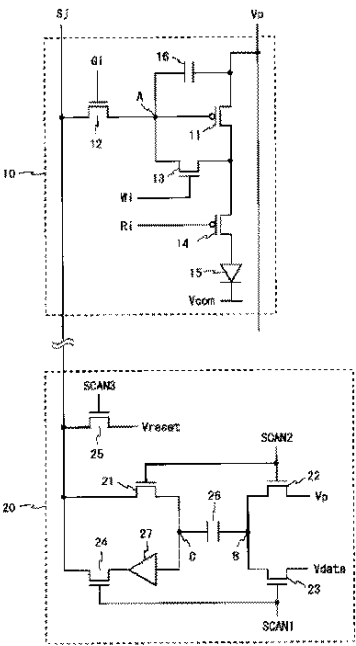
出願番号 特願2009-502428 (P2009-502428)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(21) 国際出願番号 PCT/JP2007/069184	(74) 代理人 100104695 弁理士 島田 明宏
(22) 国際出願日 平成19年10月1日 (2007.10.1)	(74) 代理人 100121348 弁理士 川原 健児
(31) 優先権主張番号 特願2007-58021 (P2007-58021)	(72) 発明者 岸 宣孝 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
(32) 優先日 平成19年3月8日 (2007.3.8)	Fターム (参考) 3K107 AA01 BB01 CC31 CC45 EE04 HH02 HH04 HH05 5C080 AA06 BB05 EE29 FF11 JJ02 JJ03 JJ04
(33) 優先権主張国 日本国 (JP)	最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

画素回路(10)内のスイッチ用TFT(12, 13)をオン、スイッチ用TFT(14)をオフさせて、駆動用TFT(11)の閾値電圧に応じた電圧($V_{DD} + V_x$)をデータ線(S_j)に出力し、ソースドライバ回路のスイッチ(21, 22)をオンさせて、コンデンサ(26)に、電圧(V_x)を保持する。次にスイッチ用TFT(13)をオフし、スイッチ(21~24)の状態を切り替えて、データ線(S_j)に電圧($V_{data} + V_x$)を印加する。さらにスイッチ用TFT(12)をオフ、スイッチ用TFT(14)をオンさせ、有機EL素子(15)に駆動用TFT(11)のゲート端子電圧($V_{data} + V_x$)によって定まる電流を供給する。これにより、画素回路(10)の規模を増大させずに、データ電圧の振幅を効率よく利用し、駆動用TFT(11)の閾値電圧のばらつきを高い精度で補償する。

[[図2]]



【特許請求の範囲】**【請求項 1】**

電流駆動型の表示装置であって、

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含む複数の画素回路と、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択された画素回路から前記駆動素子の閾値電圧に応じた電圧が前記データ線に出力されるように制御する走査信号出力回路と、

前記データ線に出力された電圧に基づき、表示データに対応したデータ電圧に前記閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加する表示信号出力回路とを備えた、表示装置。 10

【請求項 2】

前記電気光学素子および前記駆動素子は、前記画素回路内で 2 本の電源配線間に直列に設けられており、

前記画素回路は、

前記駆動素子の制御端子と前記データ線とに接続された第 1 のスイッチング素子と、

前記駆動素子の制御端子と一方の導通端子との間に設けられた第 2 のスイッチング素子と、

前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第 3 のスイッチング素子と、 20

一端が前記駆動素子の制御端子に接続された容量とをさらに含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

前記走査信号出力回路は、書き込み対象の画素回路について、前記第 1 および第 2 のスイッチング素子を導通状態、前記第 3 のスイッチング素子を非導通状態に設定し、次に前記第 2 のスイッチング素子を非導通状態に変化させ、さらに前記第 1 のスイッチング素子を非導通状態、前記第 3 のスイッチング素子を導通状態に変化させる制御を行い、

前記表示信号出力回路は、前記第 2 のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前記第 2 のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記補正電圧を加算または減算した電圧を前記データ線に印加することを特徴とする、請求項 2 に記載の表示装置。 30

【請求項 4】

前記駆動素子および前記第 1 ～第 3 のスイッチング素子は薄膜トランジスタであり、

前記第 1 および第 3 のスイッチング素子のうち一方は P チャネル型、他方は N チャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする、請求項 2 に記載の表示装置。

【請求項 5】

前記駆動素子および前記第 1 ～第 3 のスイッチング素子は薄膜トランジスタであり、

前記第 2 および第 3 のスイッチング素子のうち一方は P チャネル型、他方は N チャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする、請求項 2 に記載の表示装置。 40

【請求項 6】

前記駆動素子は P チャネル型のエンハンスメント型トランジスタであり、

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち高いほうから前記駆動素子の閾値電圧に応じた電圧の絶対値を減算した電圧を前記データ線に出力することを特徴とする、請求項 2 に記載の表示装置。

【請求項 7】

前記駆動素子は N チャネル型のエンハンスメント型トランジスタであり、

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち低い 50

ほうに前記駆動素子の閾値電圧に応じた電圧の絶対値を加算した電圧を前記データ線に出力することを特徴とする、請求項 2 に記載の表示装置。

【請求項 8】

前記表示信号出力回路は、前記第 1 のスイッチング素子の導通期間の一部において、前記データ線に所定の固定電圧を印加することを特徴とする、請求項 2 に記載の表示装置。

【請求項 9】

前記表示信号出力回路は、複数のアナログバッファと、前記データ線ごとに設けられた複数の補正用容量および複数のスイッチ回路とを含み、

前記スイッチ回路は、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に前記データ電圧を印加するかを切り替えることを特徴とする、請求項 1 に記載の表示装置。 10

【請求項 10】

前記アナログバッファは、複数の前記データ線ごとに設けられていることを特徴とする、請求項 9 に記載の表示装置。

【請求項 11】

複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含む複数の画素回路を備えた表示装置の駆動方法であって、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択された画素回路から前記駆動素子の閾値電圧に応じた電圧が前記データ線に出力されるように制御するステップと、 20

前記データ線に出力された電圧に基づき、表示データに対応したデータ電圧に前記閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加するステップとを備えた、表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、より特定的には、有機 EL ディスプレイや FED などの電流駆動素子を用いた表示装置およびその駆動方法に関する。 30

【背景技術】

【0002】

近年、薄型、軽量、高速応答可能な表示装置の需要が高まり、これに伴い、有機 EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) に関する研究開発が活発に行われている。

【0003】

有機 EL ディスプレイに含まれる有機 EL 素子は、印加される電圧が高く、流れる電流が多いほど、高い輝度で発光する。ところが、有機 EL 素子の輝度と電圧の関係は、駆動時間や周辺温度などの影響を受けて容易に変動する。このため、有機 EL ディスプレイに電圧制御型の駆動方式を適用すると、有機 EL 素子の輝度のばらつきを抑えることが非常に困難になる。これに対して、有機 EL 素子の輝度は電流にほぼ比例し、この比例関係は周辺温度などの外的要因の影響を受けにくい。したがって、有機 EL ディスプレイには電流制御型の駆動方式を適用することが好ましい。 40

【0004】

一方、表示装置の画素回路や駆動回路は、アモルファスシリコン、低温多結晶シリコン、CG (Continuous Grain) シリコンなどで構成された TFT (Thin Film Transistor: 薄膜トランジスタ) を用いて構成される。ところが、TFT の特性 (例えば、閾値電圧や移動度) には、ばらつきが生じやすい。そこで、有機 EL ディスプレイの画素回路には TFT の特性のばらつきを補償する回路が設けられ、この回路の作用により有機 EL 素子の輝度のばらつきが抑えられる。 50

【0005】

電流駆動型の駆動方式においてTFTの特性のばらつきを補償する方式は、駆動用TFTに流れる電流の量を電流信号で制御する電流プログラム方式と、この電流の量を電圧信号で制御する電圧プログラム方式とに大別される。電流プログラム方式を用いれば閾値電圧と移動度のばらつきを補償することができ、電圧プログラム方式を用いれば閾値電圧のばらつきのみを補償することができる。

【0006】

ところが、電流プログラム方式には、第1に、非常に微少な量の電流を扱うので画素回路や駆動回路の設計が困難である、第2に、電流信号を設定する間に寄生容量の影響を受けやすいので大面積化が困難であるという問題がある。これに対して、電圧プログラム方式では、寄生容量などの影響は軽微であり、回路設計も比較的容易である。また、移動度のばらつきが電流量に与える影響は、閾値電圧のばらつきが電流量に与える影響よりも小さく、移動度のばらつきはTFT作製工程である程度抑えることができる。したがって、電圧プログラム方式を適用した表示装置でも、十分な表示品位が得ることができる。

【0007】

電流駆動型の駆動方式を適用した有機ELディスプレイについては、従来から、以下に示す画素回路が知られている。図11は、特許文献1に記載された画素回路の回路図である。図11に示す画素回路90は、駆動用TFT91、スイッチ用TFT92～94、コンデンサ95、96、および、有機EL素子97（OLED：Organic Light Emitting Diodeともいう）を備えている。画素回路90に含まれるTFTは、いずれもPチャンネル型である。

【0008】

画素回路90では、電源配線V_p（電位はVDD）と共通陰極（GND）との間に、駆動用TFT91、スイッチ用TFT94および有機EL素子97が、この順序で直列に設けられている。駆動用TFT91のゲート端子とデータ線S_jの間には、コンデンサ95とスイッチ用TFT92がこの順序で直列に設けられている。駆動用TFT91のゲート端子とドレイン端子の間にはスイッチ用TFT93が設けられ、駆動用TFT91のゲート端子と電源配線V_pの間にはコンデンサ96が設けられている。スイッチ用TFT92、93、94のゲート端子は、それぞれ、走査線G_i、オートゼロ線AZ_iおよび照明線IL_iに接続されている。

【0009】

図12は、画素回路90に対するデータ書き込み時のタイミングチャートである。時刻t₀より前では、走査線G_iとオートゼロ線AZ_iの電位はハイレベルに、照明線IL_iの電位はローレベルに、データ線S_jの電位は基準電位V_{s t d}に制御される。時刻t₀において走査線G_iの電位がローレベルに変化すると、スイッチ用TFT92が導通状態に変化する。次に時刻t₁においてオートゼロ線AZ_iの電位がローレベルに変化すると、スイッチ用TFT93が導通状態に変化する。これにより、駆動用TFT91のゲート端子とドレイン端子は同電位となる。

【0010】

次に時刻t₂において照明線IL_iの電位がハイレベルに変化すると、スイッチ用TFT94が非導通状態に変化する。このとき、電源配線V_pから駆動用TFT91とスイッチ用TFT93を経由して駆動用TFT91のゲート端子に電流が流れ込み、駆動用TFT91のゲート端子電位は駆動用TFT91が導通状態である間は上昇する。駆動用TFT91は、ゲートソース間電圧が閾値電圧V_{t h}（負の値）になる（すなわち、ゲート端子電位が（VDD+V_{t h}）になる）と、非導通状態に変化する。したがって、駆動用TFT91のゲート端子電位は（VDD+V_{t h}）まで上昇する。

【0011】

次に時刻t₃においてオートゼロ線AZ_iの電位がハイレベルに変化すると、スイッチ用TFT93が非導通状態に変化する。このときコンデンサ95には、駆動用TFT91のゲート端子とデータ線S_jとの電位差（VDD+V_{t h}-V_{s t d}）が保持される。

【0012】

次に時刻 t_4 においてデータ線 S_j の電位が基準電位 V_{std} からデータ電位 V_{data} に変化すると、駆動用 T F T 9 1 のゲート端子電位は、同じ量 ($V_{data} - V_{std}$) だけ変化して ($V_{DD} + V_{th} + V_{data} - V_{std}$) となる。次に時刻 t_5 において走査線 G_i の電位がハイレベルに変化すると、スイッチ用 T F T 9 2 が非導通状態に変化する。このときコンデンサ 9 6 には、駆動用 T F T 9 1 のゲートソース間電圧 ($V_{th} + V_{data} - V_{std}$) が保持される。次に時刻 t_6 において、データ線 S_j の電位がデータ電位 V_{data} から基準電位 V_{std} に変化する。

【0013】

次に時刻 t_7 において照明線 $I L_i$ の電位がローレベルに変化すると、スイッチ用 T F T 9 4 が導通状態に変化する。これにより、電源配線 V_p から駆動用 T F T 9 1 とスイッチ用 T F T 9 4 を経由して有機 E L 素子 9 7 に電流が流れる。駆動用 T F T 9 1 を流れる電流の量はゲート端子電位 ($V_{DD} + V_{th} + V_{data} - V_{std}$) に応じて増減するが、閾値電圧 V_{th} が異なっても電位差 ($V_{data} - V_{std}$) が同じであれば電流量は同じである。したがって、閾値電圧 V_{th} の値にかかわらず、有機 E L 素子 9 7 には電位 V_{data} に応じた量の電流が流れ、有機 E L 素子 9 7 はデータ電位 V_{data} に応じた輝度で発光する。

【0014】

これ以外にも有機 E L ディスプレイについては、閾値補正回路を画素回路の外部に設ける方法や、閾値補正期間を画素回路の選択期間よりも長くする方法が知られている。例えば、特許文献 2 には、駆動素子の電流能力を測定して画素回路の外部に設けたメモリに記憶し、パネルに供給する電圧を記憶した電流能力に応じて変化させる方法が記載されている (図 1 3 を参照)。また、特許文献 3 には、閾値補正期間を選択期間よりも長くするために、カップリング容量の一端に初期電圧を与えるためのスイッチを設ける方法が記載されている。

【特許文献 1】 国際公開第 9 8 / 4 8 4 0 3 号パンフレット

【特許文献 2】 日本国特開 2 0 0 2 - 2 7 8 5 1 3 号公報

【特許文献 3】 日本国特開 2 0 0 4 - 1 3 3 2 4 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

上述したように、図 1 1 に示す画素回路 9 0 を用いれば、駆動用 T F T 9 1 の閾値電圧のばらつきを補償し、有機 E L 素子 9 7 を所望の輝度で発光させることができる。しかしながら、この画素回路 (以下、従来の画素回路という) には、以下に示す問題点がある。

【0016】

第 1 の問題点は、データ電圧の振幅を効率よく利用できないことである。従来の画素回路では、容量カップリングによるデータ書き込みが行われるので、画素回路の外部からあるデータ電圧を書き込んでも、オーバードライブ電圧として実際に駆動用 T F T に印加される電圧は、その $C_c / (C_c + C_s + C_{gs})$ 倍になる (ただし、 C_c はコンデンサ 9 5 の容量、 C_s はコンデンサ 9 6 の容量、 C_{gs} は駆動用 T F T 9 1 のゲートソース間容量)。このようにデータ電圧を効率よく利用できないので、データドライバ回路の消費電力が増大する。カップリング容量 C_c を極めて大きくすれば、データ電圧の振幅を効率よく利用できるが、そうすると画素回路の面積が増大する。また、高い精度で制御できない寄生容量 C_{gs} が駆動電圧に影響を及ぼすことも問題となる。

【0017】

第 2 の問題点は、閾値補正の精度が低いことである。上述したように、実際の駆動電圧は外部から与えた電圧の $C_c / (C_c + C_s + C_{gs})$ 倍になるので、閾値補正の効果も $C_c / (C_c + C_s + C_{gs})$ 倍になる。このため、閾値電圧を完全に補正することは困難である。

【0018】

第3の問題点は、画素回路の規模が大きくなることである。上述したように、寄生容量対策としてカップリング容量 C_c を大きくすると、画素回路のレイアウトにおいてコンデンサ95の占める面積が大きくなる。このため、光を基板下部から取り出すボトムエミッション構成の有機ELディスプレイでは、開口率が低下する。また、回路面積の増大は製造時の歩留まり低下の要因になるので、画素回路の面積や素子数を削減する必要がある。

【0019】

第4の問題点は、製造時の検査が困難になることである。従来の画素回路では、駆動用TFTのゲート端子はコンデンサを介してデータ線に接続されているので、データ線経由で駆動用TFTの電流を検査することは困難である。このため、検査で歩留まりを向上させることが困難になる。

10

【0020】

第5の問題点は、閾値補正期間が短い時間に制限されることである。従来の画素回路では、画素回路の選択期間内に閾値補正とデータ書き込みを行う必要がある。閾値補正には、ダイオード接続された駆動素子のゲートソース間電圧が閾値電圧に十分に近づくまでの時間を必要とする。ところが、高精細の表示装置では、選択期間の長さは極めて短くなる。例えば、解像度がVGAのパネルを60フレーム/sで駆動した場合、選択期間は約 $30\mu s$ となる。このような短時間のうちに閾値補正とデータ書き込みを完了することは困難である。

【0021】

特許文献2に記載された方法によれば、上記第3の問題点を解決できるが、各駆動素子の電流能力を記憶するメモリを設けるために周辺回路のコストやレイアウト面積が増大する。また、特許文献3に記載された方法によれば、上記第5の問題を解決できるが、初期電圧を与えるスイッチを設けるために画素回路の規模がさらに大きくなる。

20

【0022】

それ故に、本発明は、画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行う表示装置を提供することを目的とする。

【課題を解決するための手段】

【0023】

本発明の第1の局面は、電流駆動型の表示装置であって、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に接続された駆動素子とを含む複数の画素回路と、

30

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択された画素回路から前記駆動素子の閾値電圧に応じた電圧が前記データ線に出力されるように制御する走査信号出力回路と、

前記データ線に出力された電圧に基づき、表示データに対応したデータ電圧に前記閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加する表示信号出力回路とを備える。

【0024】

本発明の第2の局面は、本発明の第1の局面において、前記電気光学素子および前記駆動素子は、前記画素回路内で2本の電源配線間に直列に設けられており、

40

前記画素回路は、

前記駆動素子の制御端子と前記データ線とに接続された第1のスイッチング素子と、

前記駆動素子の制御端子と一方の導通端子との間に設けられた第2のスイッチング素子と、

前記電気光学素子および前記駆動素子と共に前記電源配線間に直列に設けられた第3のスイッチング素子と、

一端が前記駆動素子の制御端子に接続された容量とをさらに含むことを特徴とする。

【0025】

50

本発明の第3の局面は、本発明の第2の局面において、

前記走査信号出力回路は、書き込み対象の画素回路について、前記第1および第2のスイッチング素子を導通状態、前記第3のスイッチング素子を非導通状態に設定し、次に前記第2のスイッチング素子を非導通状態に変化させ、さらに前記第1のスイッチング素子を非導通状態、前記第3のスイッチング素子を導通状態に変化させる制御を行い、

前記表示信号出力回路は、前記第2のスイッチング素子が導通状態にあるときの前記データ線の電圧に基づき、前記第2のスイッチング素子が非導通状態に変化した後に、前記データ電圧に前記補正電圧を加算または減算した電圧を前記データ線に印加することを特徴とする。

【0026】

10

本発明の第4の局面は、本発明の第2の局面において、

前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、

前記第1および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする。

【0027】

本発明の第5の局面は、本発明の第2の局面において、

前記駆動素子および前記第1～第3のスイッチング素子は薄膜トランジスタであり、

前記第2および第3のスイッチング素子のうち一方はPチャネル型、他方はNチャネル型であり、両者の制御端子は共通の配線に接続されていることを特徴とする。

【0028】

20

本発明の第6の局面は、本発明の第2の局面において、

前記駆動素子はPチャネル型のエンハンスメント型トランジスタであり、

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち高いほうから前記駆動素子の閾値電圧に応じた電圧の絶対値を減算した電圧を前記データ線に出力することを特徴とする。

【0029】

本発明の第7の局面は、本発明の第2の局面において、

前記駆動素子はNチャネル型のエンハンスメント型トランジスタであり、

前記走査信号出力回路によって選択された画素回路は、前記電源配線の電圧のうち低いほうに前記駆動素子の閾値電圧に応じた電圧の絶対値を加算した電圧を前記データ線に出力することを特徴とする。

30

【0030】

本発明の第8の局面は、本発明の第2の局面において、

前記表示信号出力回路は、前記第1のスイッチング素子の導通期間の一部において、前記データ線に所定の固定電圧を印加することを特徴とする。

【0031】

本発明の第9の局面は、本発明の第1の局面において、

前記表示信号出力回路は、複数のアナログバッファと、前記データ線ごとに設けられた複数の補正用容量および複数のスイッチ回路とを含み、

前記スイッチ回路は、前記補正用容量の一方の電極を前記データ線に接続し、他方の電極に所定の固定電圧を印加するか、前記補正用容量の一方の電極を前記アナログバッファを介して前記データ線に接続し、他方の電極に前記データ電圧を印加するかを切り替えることを特徴とする。

40

【0032】

本発明の第10の局面は、本発明の第9の局面において、

前記アナログバッファは、複数の前記データ線ごとに設けられていることを特徴とする。

【0033】

本発明の第11の局面は、複数の走査線と複数のデータ線との各交差点に対応して配置され、それぞれが電気光学素子と、制御端子がスイッチング素子を介して前記データ線に

50

接続された駆動素子とを含む複数の画素回路を備えた表示装置の駆動方法であって、

前記走査線を用いて書き込み対象の画素回路を選択すると共に、選択された画素回路から前記駆動素子の閾値電圧に応じた電圧が前記データ線に出力されるように制御するステップと、

前記データ線に出力された電圧に基づき、表示データに対応したデータ電圧に前記閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加するステップとを備える。

【発明の効果】

【0034】

本発明の第1または第11の局面によれば、選択された画素回路から駆動素子の閾値電圧に応じた電圧を読み出し、データ電圧に補正電圧（閾値電圧に対応した電圧）を加算または減算した電圧を駆動素子の制御端子に与えることができる。したがって、駆動素子の閾値電圧を検出して閾値電圧のばらつきを補償し、電気光学素子を所望の輝度で発光させることができる。また、閾値補正回路を画素回路の外部に設け、データ線を用いて閾値電圧を検出することにより、画素回路の規模や面積を縮小することができる。また、閾値電圧を電圧信号として検出することにより、電流信号を帰還する場合とは異なり電流電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、カップリング容量を介さずに駆動素子の制御端子に所望の電圧を与えられるので、データ電圧の振幅を有効に利用し、消費電力を低減することができる。

【0035】

本発明の第2の局面によれば、閾値補正に使用する容量を削減し、開口率と歩留まりを向上させ、消費電力を削減することができる。

【0036】

本発明の第3の局面によれば、画素回路の選択期間を閾値電圧を検知する期間と補正後のデータ電圧を書き込む期間とに分け、閾値電圧を読み出すための帰還線とデータを書き込むためのデータ線とを共通化することができる。

【0037】

本発明の第4または第5の局面によれば、第1～第3のスイッチング素子の制御端子に接続される配線を共通化して配線数を減らし、画素の開口率をさらに高くすることができる。

【0038】

本発明の第6の局面によれば、Pチャネル型の駆動素子では閾値電圧の絶対値を減算した電圧を制御端子に与えれば閾値電圧のばらつきを補償できるので、選択された画素回路から出力された電圧を用いて駆動素子の閾値電圧のばらつきを補償することができる。

【0039】

本発明の第7の局面によれば、Nチャネル型の駆動素子では閾値電圧の絶対値を加算した電圧を制御端子に与えれば閾値電圧のばらつきを補償できるので、選択された画素回路から出力された電圧を用いて駆動素子の閾値電圧のばらつきを補償することができる。

【0040】

本発明の第8の局面によれば、駆動素子の制御端子に好適な固定電圧を与えることにより、駆動素子の閾値電圧に応じた電圧がデータ線に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

【0041】

本発明の第9の局面によれば、表示信号出力回路は、データ線の電圧に「データ電圧と固定電圧の差」を加算した電圧をデータ線に印加することができる。したがって、固定電圧を好適に決定すれば、画素回路からデータ線に出力された電圧に基づき、データ電圧に補正電圧（駆動素子の閾値電圧に対応した電圧）を加算または減算した電圧をデータ線に印加することができる。また、この加算または減算を画素回路の外部で行うことにより、画素回路の規模を小さくすることができる。また、補正用容量とデータ線との間にアナロ

グバッファを設けることにより、補正用容量に保持された電圧のカップリングによる減衰を抑え、高画質化を実現することができる。

【0042】

本発明の第10の局面によれば、データ線ごとに配置するには回路規模が大きいアナログバッファを複数のデータ線ごとに配置し、高精細の表示パネルを実現することができる。

【図面の簡単な説明】

【0043】

【図1】 本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。

【図2】 本発明の第1の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。 10

【図3】 本発明の第1の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図4】 ダイオード接続されたTFTにおけるゲートソース間電圧の時間的变化の例を示す図である。

【図5A】 オフセットキャンセル機能を有するバッファの回路図である。

【図5B】 図5Aに示すバッファのタイミングチャートである。

【図5C】 図5Aに示すバッファの動作を説明するための図である。

【図5D】 図5Aに示すバッファの動作を説明するための図である。

【図6A】 本発明の第1の実施形態の第1変形例に係る表示装置に含まれる画素回路の回路図である。 20

【図6B】 本発明の第1の実施形態の第2変形例に係る表示装置に含まれる画素回路の回路図である。

【図7】 本発明の第2の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。

【図8】 本発明の第2の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。

【図9】 本発明の第3の実施形態に係る表示装置に含まれる閾値補正回路の回路図である。

【図10】 本発明の第3の実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。 30

【図11】 従来の表示装置に含まれる画素回路の回路図である。

【図12】 図11に示す画素回路に対するデータ書き込み時のタイミングチャートである。

【図13】 従来の表示装置の構成を示すブロック図である。

【符号の説明】

【0044】

1…表示装置

2…表示制御回路

3…ゲートドライバ回路 40

4…ソースドライバ回路

5…シフトレジスタ

6…レジスタ

7…ラッチ

8…D/A変換器

9、20、50、60…閾値補正回路

Aij、10、17、18、40…画素回路

11、41…駆動用TFT

12～14、42～44…スイッチ用TFT

15、45…有機EL素子 50

16、26、46…コンデンサ
 21～25、61…スイッチ
 27…アナログバッファ

【発明を実施するための最良の形態】

【0045】

図1～図10を参照して、本発明の第1～第3の実施形態に係る表示装置について説明する。以下に示す表示装置は、電気光学素子や複数のスイッチング素子を含む画素回路を備えている。画素回路に含まれるスイッチング素子は、低温ポリシリコンTFTやCGシリコンTFTやアモルファスシリコンTFTなどで構成することができる。これらTFTの構成や作成プロセスは公知であるため、ここではその説明を省略する。また、画素回路に含まれる電気光学素子は、有機EL素子であるとする。有機EL素子の構成も公知であるので、ここではその説明を省略する。以下、第1～第3の実施形態に共通する表示装置の全体構成について説明し、その後、各実施形態に係る表示装置の画素回路と閾値補正回路について説明する。

10

【0046】

(表示装置の全体構成)

図1は、本発明の第1～第3の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置1は、複数の画素回路 A_{ij} (i は1以上 n 以下の整数、 j は1以上 m 以下の整数)、表示制御回路2、ゲートドライバ回路3、および、ソースドライバ回路4を備えている。ゲートドライバ回路3は走査信号出力回路として機能し、ソースドライバ回路4は表示信号出力回路として機能する。

20

【0047】

表示装置1には、互いに平行な複数の走査線 G_i と、これに直交する互いに平行な複数のデータ線 S_j とが設けられる。画素回路 A_{ij} は、走査線 G_i とデータ線 S_j の各交差点に対応してマトリクス状に配置されている。また、走査線 G_i と平行に、互いに平行な複数の制御線 W_i 、 R_i が配置されている。走査線 G_i と制御線 W_i 、 R_i はゲートドライバ回路3に接続され、データ線 S_j はソースドライバ回路4に接続されている。さらに、画素回路 A_{ij} の配置領域には、図示しない電源配線 V_p と共通陰極 V_{com} が配置されている。なお、共通陰極 V_{com} に代えて、陰極配線 CA_i を配置してもよい。

30

【0048】

表示制御回路2は、ゲートドライバ回路3に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、ソースドライバ回路4に対してスタートパルスSP、クロックCLK、表示データDA、および、ラッチパルスLPを出力する。また、表示制御回路2は、ソースドライバ回路4の制御線SCAN1～SCAN3の電位を制御する。

【0049】

ゲートドライバ回路3は、シフトレジスタ回路、論理演算回路およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査線 G_i と制御線 W_i 、 R_i に与えられる。1本の走査線 G_i には m 個の画素回路 A_{ij} が接続されており、画素回路 A_{ij} は走査線 G_i を用いて m 個ずつ一括して選択される。

40

【0050】

ソースドライバ回路4は、 m ビットのシフトレジスタ5、レジスタ6、ラッチ7、 m 個のD/A変換器8、および、 m 個の閾値補正回路9を含み、1行分の画素回路 A_{ij} にデータを同じタイミングで送信する線順次走査を行う。より詳細には、シフトレジスタ5は、縦続接続された m 個のレジスタを有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ6には表示デー

50

タDAが供給される。レジスタ6は、タイミングパルスDLPに従い、表示データDAを記憶する。レジスタ6に1行分の表示データDAが記憶されると、表示制御回路2はラッチ7に対してラッチパルスLPを出力する。ラッチ7は、ラッチパルスLPを受け取ると、レジスタ6に記憶された表示データを保持する。

【0051】

D/A変換器8と閾値補正回路9は、データ線S_jに対応して設けられる。D/A変換器8は、ラッチ7に保持された表示データをアナログ信号電圧に変換し、対応する閾値補正回路9に出力する。閾値補正回路9は、ゲートドライバ回路3によって選択された画素回路A_{i,j}から出力された電圧（駆動用TFTの閾値電圧に応じた電圧）をデータ線S_j 10
経由で受け取り、当該電圧に基づき、D/A変換器8の出力電圧に駆動用TFTの閾値電圧に対応した補正電圧を加算または減算した電圧をデータ線S_jに印加する。閾値補正回路9の作用により、画素回路A_{i,j}に含まれる駆動用TFTの閾値電圧のばらつきを補償することができる（詳細は後述）。

【0052】

なお、ソースドライバ回路4は、線順次走査に代えて、各画素回路に1つずつ順にデータを送信する点順次走査を行ってもよい。点順次走査を行うときには、ある走査線G_iが選択されている間、データ線S_jの電圧はデータ線S_jの容量によって保持される。点順次走査を行うソースドライバ回路の構成は公知であるので、ここでは説明を省略する。

【0053】

（第1の実施形態）

図2は、本発明の第1の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。図2に示す画素回路10と閾値補正回路20は、図1では画素回路A_{i,j}と閾値補正回路9に相当する。図2に示すように、画素回路10は、駆動用TFT11、スイッチ用TFT12～14、有機EL素子15、および、コンデンサ16を備えている。駆動用TFT11はPチャンネル型のエンハンスメント型、スイッチ用TFT12、13はNチャンネル型、スイッチ用TFT14はPチャンネル型である。 20

【0054】

画素回路10は、電源配線V_p、共通陰極V_{com}、走査線G_i、制御線W_i、R_i、および、データ線S_jに接続されている。以下、電源配線V_pの電位をVDD、共通陰極V_{com}の電位をVSS（ただし、VDD>VSS）とする。共通陰極V_{com}は、表示装置内のすべての有機EL素子15の共通電極となる。 30

【0055】

画素回路10では、電源配線V_pと共通陰極V_{com}との間に、電源配線V_p側から順に、駆動用TFT11、スイッチ用TFT14および有機EL素子15が直列に設けられている。駆動用TFT11のゲート端子とデータ線S_jとの間には、スイッチ用TFT12が設けられている。駆動用TFT11のゲート端子とドレイン端子との間にはスイッチ用TFT13が設けられ、駆動用TFT11のゲート端子と電源配線V_pとの間にはコンデンサ16が設けられている。スイッチ用TFT12～14のゲート端子は、それぞれ、走査線G_i、制御線W_iおよび制御線R_iに接続されている。走査線G_iおよび制御線W_i、R_iの電位はゲートドライバ回路3によって制御され、データ線S_jの電位はソースドライバ回路4によって制御される。以下、駆動用TFT11のゲート端子が接続される節点をAという。 40

【0056】

閾値補正回路20は、スイッチ21～25、コンデンサ26、および、アナログバッファ27を備え、データ線S_jに接続されている。スイッチ21～25はいずれもNチャンネル型のトランジスタであり、アナログバッファ27はボルテージホロワ回路（ユニティゲインアンプ）である。

【0057】

コンデンサ26の一方の電極（図2で右側に描かれた電極）が接続される節点をB、他方の電極が接続される節点をCという。スイッチ21はデータ線S_jと節点Cとの間に設 50

けられ、スイッチ22は節点Bと電源配線V_pとの間に設けられている。スイッチ23の一端は節点Bに接続され、節点Cとデータ線S_jの間には、節点C側から順に、アナログバッファ27とスイッチ24が直列に設けられている。スイッチ25の一端は、データ線S_jに接続されている。

【0058】

スイッチ23の他端にはD/A変換器8から出力されたデータ電圧V_{data}が与えられ、スイッチ25の他端には初期電圧V_{reset}（詳細は後述）が与えられる。スイッチ21、22のゲート端子は制御線SCAN2に接続され、スイッチ23、24のゲート端子は制御線SCAN1に接続され、スイッチ25のゲート端子は制御線SCAN3に接続されている。

10

【0059】

以下、駆動用TFT11の閾値電圧をV_{th}（負の値）とする。後述するように、コンデンサ26は、駆動用TFT11の閾値電圧V_{th}に対応した補正電圧V_xを保持する補正容量として機能する。また、スイッチ21～24は、コンデンサ26の一方の電極をデータ線S_jに接続し、他方の電極に固定電圧VDDを印加するか、コンデンサ26の一方の電極をアナログバッファ27を介してデータ線S_jに接続し、他方の電極にデータ電圧V_{data}を印加するかを切り替えるスイッチ回路として機能する。

【0060】

図3は、画素回路10に対するデータ書き込み時のタイミングチャートである。以下、図3を参照して、走査線G_iとデータ線S_jに接続された画素回路10にデータ電圧V_{data}を書き込むときの動作を説明する。図3では、時刻t₀から時刻t₄までが画素回路10の選択期間となる。時刻t₂より前では、駆動用TFT11の閾値電圧を検知する処理が行われ、時刻t₂より後では、補正後のデータ電圧を書き込む処理が行われる。

20

【0061】

時刻t₀より前では、走査線G_iと制御線W_i、R_iの電位はローレベルに制御されており、スイッチ用TFT12、13は非導通状態、スイッチ用TFT14は導通状態にある。このとき駆動用TFT11は導通状態にあり、電源配線V_pから駆動用TFT11とスイッチ用TFT14を経由して有機EL素子15に電流が流れ、有機EL素子15は発光する。

【0062】

時刻t₀において走査線G_iと制御線R_i、W_i、SCAN3の電位がハイレベルに変化すると、スイッチ用TFT12、13およびスイッチ25は導通状態に変化し、スイッチ用TFT14は非導通状態に変化する。これにより、データ線S_jには初期電圧V_{reset}が印加され、データ線S_jと節点Aの電位はV_{reset}となる。時刻t₀以降、駆動用TFT11を通過した電流は、スイッチ用TFT13経由で接点Aに流れ込む。

30

【0063】

次に時刻t₁において制御線SCAN3の電位がローレベルに変化すると、スイッチ25は非導通状態に変化する。時刻t₁以降も、駆動用TFT11を通過した電流は、スイッチ用TFT13経由で節点Aに流れ込み、節点Aの電位（駆動用TFT11のゲート端子電位）は駆動用TFT11が導通状態にある間は上昇する。このときスイッチ用TFT12は導通状態にあるので、データ線S_jの電位は節点Aの電位に等しい。

40

【0064】

時刻t₀から時刻t₂までの間、制御線SCAN1の電位はローレベルに、制御線SCAN2の電位はハイレベルに制御される。このため、スイッチ21、22は導通状態、スイッチ23、24は非導通状態となり、節点Bは電源配線V_pに、節点Cはデータ線S_jに接続される。したがって、このとき節点Bの電位はVDDであり、節点Cの電位は節点Aおよびデータ線S_jの電位に等しい。

【0065】

次に時刻t₂において制御線W_i、SCAN2の電位がローレベルに変化すると、スイッチ用TFT13およびスイッチ21、22は非導通状態に変化する。時刻t₂における

50

節点Aの電位を $(VDD + V_x)$ （ただし、 V_x は負の値で、 V_x の絶対値は V_{th} の絶対値よりも大きい）とする。時刻 t_2 では接点Cの電位も $(VDD + V_x)$ であるので、時刻 t_2 においてスイッチ21、22が非導通状態に変化すると、コンデンサ26には電圧 V_x が保持される。

【0066】

上述したように、節点Aの電位は、駆動用TFT11が導通状態にある間は上昇する。したがって、十分な時間があれば、節点Aの電位は、駆動用TFT11のゲートソース間電圧が閾値電圧 V_{th} （負の値）になるまで上昇し、最終的には $(VDD + V_{th})$ に到達する。時刻 t_2 における節点Aの電位 $(VDD + V_x)$ は、 $(VDD + V_{th})$ よりも低い。また、電圧 V_x は閾値電圧 V_{th} に応じて変化し、電圧 V_x の絶対値は閾値電圧 V_{th} の絶対値が大きいほど大きい。 10

【0067】

次に時刻 t_3 において制御線SCAN1の電位がハイレベルに変化すると、スイッチ23、24は導通状態に変化する。時刻 t_3 以降、節点BにはD/A変換器8から出力されたデータ電圧 V_{data} が印加され、節点Cはアナログバッファ27を介してデータ線Sjに接続される。コンデンサ26が電圧 V_x を保持している間に節点Bの電位が VDD から V_{data} に変化すると、節点Cの電位も同じ量 $(V_{data} - VDD)$ だけ変化して $(VDD + V_x) + (V_{data} - VDD) = (V_{data} + V_x)$ となる。

【0068】

このときスイッチ24は導通状態にあり、アナログバッファ27の入力電圧と出力電圧は等しいので、データ線Sjの電位は節点Cと同じく $(V_{data} + V_x)$ となる。また、このときスイッチ用TFT12も導通状態にあるので、節点Aの電位もデータ線Sjと同じく $(V_{data} + V_x)$ となる。 20

【0069】

次に時刻 t_4 において走査線Giおよび制御線Ri、SCAN1の電位がローレベルに変化すると、スイッチ用TFT12およびスイッチ23、24は非導通状態、スイッチ用TFT14は導通状態に変化する。このときコンデンサ16には、駆動用TFT11のゲートソース間電圧 $(VDD - V_{data} - V_x)$ が保持される。なお、制御線Riに与えられるオン電位（ローレベル電位）は、スイッチ用TFT14が線形領域で動作するように決定される。 30

【0070】

時刻 t_4 以降、コンデンサ16に保持された電圧は変化しないので、節点Aの電位は $(V_{data} + V_x)$ のままである。したがって、時刻 t_4 以降、次に制御線Riの電位がハイレベルとなるまで、電源配線Vpから駆動用TFT11とスイッチ用TFT14を経由して有機EL素子15に電流が流れ、有機EL素子15は発光する。このとき駆動用TFT11を流れる電流の量は節点Aの電位 $(V_{data} + V_x)$ に応じて増減するが、以下に示すように、閾値電圧 V_{th} が異なっても電位 V_{data} が同じであれば電流量を同じにすることができる。

【0071】

駆動用TFT11を飽和領域で動作させたとき、ドレインソース間を流れる電流 I_{EL} は、チャネル長変調効果を見れば、次式(1)で与えられる。 40

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu (V_g - VDD - V_{th})^2 \quad \dots (1)$$

ただし、上式(1)において、 W/L は駆動用TFT11のアスペクト比、 C_{ox} はゲート容量、 μ は移動度、 V_g はゲート端子電位（節点Aの電位）である。

【0072】

式(1)に示す電流 I_{EL} は、一般には、閾値電圧 V_{th} に応じて変動する。本実施形態に係る表示装置では、ゲート端子電位 V_g が $(V_{data} + V_x)$ となるので、電流 I_{EL} は次式(2)に示すようになる。

$$I_{EL} = -1/2 \cdot W/L \cdot C_{ox} \cdot \mu \{V_{data} - VDD + (V_x - V_{th})\}^2 \quad \dots (2)$$

式(2)において電圧 V_x が閾値電圧 V_{th} に一致すれば、電流 I_{EL} は閾値電圧 V_{th} には依存しない。また、電圧 V_x が閾値電圧 V_{th} に一致しなくても、両者の差が一定であれば、電流 I_{EL} は閾値電圧 V_{th} には依存しない。

【0073】

本実施形態に係る表示装置では、2つのTFT間で電圧 V_x の差が閾値電圧 V_{th} の差とほぼ同じになるように、閾値補正期間(時刻 t_1 から時刻 t_2 までの期間)の長さや初期電圧 V_{reset} のレベルが決定される。このため、式(2)に含まれる電圧差($V_x - V_{th}$)はほぼ一定になる。したがって、閾値電圧 V_{th} の値にかかわらず、有機EL素子15にはデータ電圧 V_{data} に応じた量の電流が流れ、有機EL素子15はデータ電圧 V_{data} に応じた輝度で発光する。本実施形態に係る表示装置では、閾値補正は画素回路10の外部に設けられた閾値補正回路20によって行われるが、閾値補正回路20には複雑な論理回路やメモリなどを設ける必要がない。

10

【0074】

ここで、初期電圧 V_{reset} について説明する。図3に示す時刻 t_0 でスイッチ用TFT13が導通状態になると、駆動用TFT11はダイオード接続された状態になる。従来の有機ELディスプレイでは、駆動用TFTがダイオード接続されてから、駆動用TFTのゲートソース間電圧 V_{gs} が閾値電圧 V_{th} に十分に近づくまでの期間が、閾値補正期間となる。電圧 V_{gs} が閾値電圧 V_{th} に十分に近づけば、2つの駆動用TFT間の閾値電圧の差を検出できるからである。

【0075】

ところが、高精細の表示装置では、画素回路の選択期間が短く、選択期間内に電圧 V_{gs} を閾値電圧 V_{th} に十分に近づけられないことがある。特に、本実施形態に係る表示装置では、駆動用TFT11の閾値電圧 V_{th} を検知するときに、コンデンサ26とデータ線 S_j の寄生容量を充電する必要があるため、選択期間内に閾値電圧を検知する処理と補正後のデータ電圧を書き込む処理を行うためには工夫が必要である。

20

【0076】

そこで、本実施形態に係る表示装置では、補正後のデータ電圧を書き込む処理を開始する前に閾値電圧 V_{th} のばらつきを検知するために、スイッチ25の作用によりデータ線 S_j に固定の初期電圧 V_{reset} が与えられる。これにより、駆動用TFT11の閾値電圧 V_{th} に応じた電圧($V_{DD} + V_x$)がデータ線 S_j に出力されるまでの時間を短縮することができる。したがって、閾値補正期間が短い場合でも、補正効果のばらつきを抑え、画質を向上させることができる。

30

【0077】

初期電圧 V_{reset} は、閾値補正期間の長さや閾値補正に要求される精度などに基づき決定される。スイッチ用TFT13が導通状態にあり、駆動用TFT11がダイオード接続されているとき、駆動用TFT11の電流バランスに関して次式(3)が成立する。

【数1】

$$k(V_{gs}(t) - V_{th})^2 = -C \frac{dV_{gs}(t)}{dt} \quad \dots (3)$$

40

ただし、式(3)において、 k は定数、 C は保持容量と信号線容量の和である。

【0078】

この微分方程式を解くと、次式(4)が得られる。

【数2】

$$V_{gs}(t) = \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} + V_{th} \quad \dots (4)$$

50

ただし、式（４）において、 V_{gs0} は電圧 V_{gs} の初期値である。

【００７９】

閾値電圧が ΔV_{th} だけ異なる２つのＴＦＴを考えたとき、所定時間経過後に２つのＴＦＴ間で電圧 V_{gs} の差が ΔV_{th} に近ければ、各ＴＦＴの閾値電圧を検出できたと言える。電圧 V_{gs} の差は、次式（５）で与えられる。

【数３】

$$\Delta V_{gs}(t) = \Delta V_{th} + \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th} - \Delta V_{th}}} - \frac{1}{\frac{k}{C}t + \frac{1}{V_{gs0} - V_{th}}} \quad \dots(5)$$

10

したがって、許容時間内に式（５）に示す $\Delta V_{gs}(t)$ が ΔV_{th} に十分に近づくように電圧 V_{gs} の初期値 V_{gs0} を決定し、それに応じて初期電圧 V_{reset} を求めればよい。

【００８０】

図４は、ダイオード接続された駆動用ＴＦＴのゲートソース間電圧 V_{gs} の時間的変化の例を示す図である。図４には、閾値電圧が異なる２つのＴＦＴ（ $V_{th} = -0.8V$ と $V_{th} = -1.0V$ ）に対して、２種類の初期電圧 V_{gs0} （ $V_{gs0} = -5V$ と $V_{gs0} = -1.5V$ ）を与えたときの結果が記載されている。

【００８１】

２つのＴＦＴに対して初期電圧 V_{gs0} を与え、 $30\mu s$ 経過後の電圧 V_{gs} を比較する。 $V_{gs0} = -5V$ の場合には、 $30\mu s$ 後に、２つの電圧はそれぞれの最終値（ $-0.8V$ と $-1.0V$ ）から離れているが、両者の差は既に最終値（ $0.2V$ ）にほぼ等しくなっている。これに対して、 $V_{gs0} = -1.5V$ の場合には、 $30\mu s$ 後に、２つの電圧はそれぞれの最終値に接近しているが、両者の差は依然として最終値から離れている。

20

【００８２】

このように、初期電圧 V_{gs0} の絶対値が大きいほど、電圧 V_{gs} の差は速く増大するので、閾値補正期間を短くすることができる。したがって、高い精度で閾値補正を行うためには、初期電圧 V_{gs0} の絶対値を大きくすることが好ましい。一方、初期電圧 V_{gs0} の絶対値を大きくすると、データ線 S_j とコンデンサ２６の充放電によって消費電力が増加する。したがって、プロセスによる閾値電圧のばらつきの程度や仕様を考慮して、初期電圧 V_{reset} を決定すればよい。

30

【００８３】

次に、アナログバッファ２７について説明する。データ線 S_j の容量がコンデンサ２６の容量と比べて無視できる程度に小さい場合には、閾値補正回路２０にアナログバッファ２７を設ける必要はない。一方、数インチ以上の表示パネルでは、データ線 S_j の容量は数 pF 以上になる場合が多いので、このような場合にはアナログバッファ２７を設ける必要がある。この場合、アナログバッファ２７としてボルテージホロワ回路（ユニティゲインアンプ）を用いれば、回路規模の増大を最小限に抑えながら駆動能力を高めることができる。

40

【００８４】

また、アナログバッファ２７に一般的な差動増幅器を用いた場合、差動対を形成するトランジスタの特性がばらつき、アナログバッファ２７の特性がばらつくことがある。このようなばらつきが発生すると、表示画面には筋状のむらが現れ、表示品位が低下する。そこで、この不具合を防止するためには、アナログバッファ２７を表示パネル上に形成せずに、表示パネル外の周辺ＩＣに内蔵すればよい。周辺ＩＣに内蔵される回路は、典型的には単結晶シリコンによるトランジスタで形成される。したがって、周辺ＩＣに内蔵すれば、特性のばらつきが極めて小さいアナログバッファ２７を得ることができる。

【００８５】

また、上記の不具合を防止するために、アナログバッファ２７として、オフセットキャ

50

ンセル機能を有するバッファ（図5A～図5Dを参照）を用いてもよい。図5Aに示すバッファでは、差動増幅器31の正側入力端子、負側入力端子および出力端子は、それぞれ、バッファの入力端子、コンデンサ32の一方の電極、および、バッファの出力端子に接続されている。コンデンサ32の他方の電極とバッファの入力端子との間には、スイッチ33が設けられている。差動増幅器31の負側入力端子と出力端子との間には、スイッチ34が設けられている。コンデンサ32の他方の電極と差動増幅器31の出力端子との間には、スイッチ35が設けられている。スイッチ33、34は制御信号SC__Aによって制御され、スイッチ35は制御信号SC__Bによって制御される。

【0086】

制御信号SC__A、SC__Bは、図5Bに示すように排他的にスイッチを導通状態にするレベル（ここでは、ハイレベルとする）になる。制御信号SC__Aがハイレベルである間（図5Cを参照）、スイッチ33、34は導通状態、スイッチ35は非導通状態となる。このとき、差動増幅器31の正側入力端子と負側入力端子の間には、差動増幅器31のオフセット電圧V_{off}が現れる。オフセット電圧V_{off}は、コンデンサ32に保持される。

【0087】

制御信号SC__Bがハイレベルである間（図5Dを参照）、スイッチ33、34は非導通状態、スイッチ35は導通状態となる。これに伴い、差動増幅器31の負側入力電圧はオフセット電圧V_{off}だけ変化し、差動増幅器31の出力電圧（バッファの出力電圧）も同じ量だけ変化して入力電圧V_{in}に等しくなる。このように、図5Aに示すバッファを用いれば、差動増幅器31のオフセット電圧をキャンセルすることができる。なお、オフセットキャンセル機能を有するバッファを表示パネル外の周辺ICに内蔵してもよい。

【0088】

以下、本実施形態に係る表示装置の効果を説明する。本実施形態に係る表示装置によれば、ゲートドライバ回路3によって選択された画素回路10から駆動用TFT11の閾値電圧V_{th}に応じた電圧（V_{DD}+V_x）を読み出し、データ電圧V_{data}に補正電圧V_x（閾値電圧V_{th}に対応した電圧）を加算した電圧（V_{data}+V_x）を駆動用TFT11のゲート端子に与えることができる。一般に、Pチャネル型の駆動用TFTでは、閾値電圧の絶対値を減算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。したがって、本実施形態に係る表示装置によれば、駆動用TFT11の閾値電圧を検出して閾値電圧のばらつきを補償し、有機EL素子15を所望の輝度で発光させることができる。

【0089】

また、閾値補正回路20を画素回路の外部に設け、データ線S_jを用いて閾値電圧を検出することにより、画素回路10の規模や面積を縮小することができる。また、閾値電圧を電圧信号として検出することにより、電圧信号を帰還する場合とは異なり電圧電圧変換素子が不要になるので、補正効果のばらつきを抑えることができる。また、閾値電圧に対応した補正電圧V_xをそのままデータ電圧V_{data}に加算することにより、高い精度で閾値補正を行うことができる。また、カップリング容量を介さずに駆動用TFT11のゲート端子に所望の電圧を与えられるので、データ電圧V_{data}の振幅を有効に利用し、消費電力を低減することができる。また、データ線S_jと駆動用TFT11との間に容量が設けられていないので、駆動用TFT11を容易に検査することができる。駆動用TFT11を検査するときには、電源配線V_pから駆動用TFT11のドレイン端子とゲート端子を経由してデータ線S_jに電流を流せばよい。

【0090】

なお、本実施形態に係る表示装置は、画素回路10に代えて、図6Aや図6Bに示す画素回路を備えていてもよい。図6Aに示す画素回路17は、画素回路10に対して、スイッチ用TFT14を走査線G_iに接続し、走査線G_iと制御線R_iを共通化する変更を施したものである。画素回路17では、スイッチ用TFT12、14は排他的に導通状態となる。また、図6Bに示す画素回路18は、画素回路10に対して、スイッチ用TFT1

3を制御線R_iに接続し、制御線R_iと制御線W_iを共通化する変更を施したものである。画素回路18では、スイッチ用TFT13、14は排他的に導通状態となる。

【0091】

これら変形例に係る表示装置は、画素回路10を備えた表示装置と同様に動作し、同様の効果を奏する。これに加えて、スイッチ用TFT12～14の制御端子に接続される配線を共通化して配線数を3本から2本に減らし、画素の開口率をさらに高くして、画面を明るくすることができる。

【0092】

(第2の実施形態)

図7は、本発明の第2の実施形態に係る表示装置に含まれる画素回路と閾値補正回路の回路図である。図7に示す画素回路40と閾値補正回路50は、図1では画素回路A_{ij}と閾値補正回路9に相当する。図7に示すように、画素回路40は、駆動用TFT41、スイッチ用TFT42～44、有機EL素子45、および、コンデンサ46を備えている。駆動用TFT41はNチャンネル型のエンハンスメント型、スイッチ用TFT42～44はNチャンネル型である。

【0093】

画素回路40では、電源配線V_pと共通陰極V_{com}との間に、電源配線V_p側から順に、有機EL素子45、スイッチ用TFT44および駆動用TFT41が直列に設けられている。駆動用TFT41のゲート端子とデータ線S_jとの間には、スイッチ用TFT42が設けられている。駆動用TFT41のゲート端子とドレイン端子との間にはスイッチ用TFT43が設けられ、駆動用TFT41のゲート端子と共通陰極V_{com}との間にはコンデンサ46が設けられている。スイッチ用TFT42～44のゲート端子は、それぞれ、走査線G_iおよび制御線W_i、R_iに接続されている。

【0094】

閾値補正回路50は、第1の実施形態に係る閾値補正回路20と同じ構造を有する。ただし、閾値補正回路50では、スイッチ22は、接点Bと共通陰極V_{com}の間に設けられている。それ以外の点では、閾値補正回路50は閾値補正回路20と同じである。

【0095】

図8は、画素回路40に対するデータ書き込み時のタイミングチャートである。本実施形態に係る表示装置は、第1の実施形態に係る表示装置と同様に動作し、同様の効果を奏する。なお、一般に、Nチャンネル型の駆動用TFTでは、閾値電圧の絶対値を加算した電圧をゲート端子に与えれば、閾値電圧のばらつきを補償することができる。また、本実施形態についても、第1の実施形態と同様に、スイッチ用TFT42～44の制御端子に接続される配線を共通化した変形例を構成することができる。

【0096】

このように駆動用TFT41とスイッチ用TFT42～44をすべてNチャンネル型とした画素回路40は、アモルファスシリコンを用いた表示パネルに適用できる。

【0097】

(第3の実施形態)

第1および第2の実施形態に係る表示装置では、アナログバッファ27はデータ線S_jごとに設けられている。ところが、例えば2インチQVGAフルカラーパネル(RGBサブ画素を備える)では、サブ画素のピッチは約42μmとなる。駆動用TFTの閾値電圧に応じた補正電圧V_xを保持するコンデンサ26はこのピッチで配置できるが、高性能のアナログバッファ27はこのピッチで配置できないことがある。そこで、第3の実施形態では、アナログバッファ27の数を減らした表示装置について説明する。

【0098】

図9は、本発明の第3の実施形態に係る表示装置に含まれる閾値補正回路の回路図である。図9に示す閾値補正回路60_r、60_g、60_bは、図1では閾値補正回路9に相当する。また、図9に示すデータ線S_j_{—R}、S_j_{—G}、S_j_{—B}は、図1ではデータ線S_jに相当する。

【0099】

図9に示すように、アナログバッファ27は、3本のデータ線S_j__R、S_j__G、S_j__Bに対応して設けられている。閾値補正回路60rは、第1の実施形態に係る閾値補正回路20（図2）に、アナログバッファ27を共有する機能を追加したものである。具体的には、閾値補正回路60rには、コンデンサ26の一方の電極（図9で上側に描かれた電極）とアナログバッファ27の入力端子との間にスイッチ61が設けられている。また、スイッチ23、24、61のゲート端子は、制御線SCAN1__Rに接続されている。閾値補正回路60g、60bの構成も、これと同様である。

【0100】

図10は、本実施形態に係る表示装置における画素回路に対するデータ書き込み時のタイミングチャートである。以下、図10を参照して、走査線G_iとデータ線S_j__R、S_j__G、S_j__Bに接続された3個の画素回路にデータを書き込むときの動作を説明する。図10では、時刻t₀から時刻t₄までが3個の画素回路の選択期間となる。時刻t₂より前では、3個の画素回路の駆動用TFTの閾値電圧を並列に検知する処理が行われ、時刻t₂より後では、3個の画素回路に対して順に補正後のデータ電圧を書き込む処理が行われる。なお、ここでは、表示装置は図6Bに示す画素回路18を備えることとしたが、画素回路の種類は任意でよい。

【0101】

時刻t₀より前では、走査線G_iと制御線R_iの電位はローレベルに制御されている。時刻t₀において走査線G_iと制御線R_i、SCAN3の電位がハイレベルに変化すると、データ線S_j__R、S_j__G、S_j__Bの電位と、3個の画素回路の駆動用TFTのゲート端子電位はV_{reset}となる。

【0102】

次に時刻t₁において制御線SCAN3の電位がローレベルに変化すると、データ線S_j__R、S_j__G、S_j__Bの電位はいずれも上昇する。時刻t₀から時刻t₂までの間、制御線SCAN1__R、SCAN1__G、SCAN1__Bの電位はローレベルに、制御線SCAN2の電位はハイレベルに制御される。

【0103】

時刻t₂における3個の画素回路の駆動用TFTのゲート端子電位を（VDD+V_x__r）、（VDD+V_x__g）、（VDD+V_x__b）とする（ただし、V_x__r、V_x__gおよびV_x__bは負の値）。時刻t₂において制御線R_i、SCAN2の電位がローレベルに変化すると、閾値補正回路60r、60g、60bのコンデンサ26には、それぞれ、電圧V_x__r、V_x__g、V_x__bが保持される。

【0104】

次に時刻t₃から時刻t₄までの間に、制御線SCAN1__R、SCAN1__G、SCAN1__Bの電位が所定時間ずつハイレベルとなり、これに同期して、D/A変換器8から出力されるデータ電圧V_{data}も、V_d__r、V_d__g、V_d__bと変化する。これにより、まず、データ線S_j__Rに接続された画素回路の駆動用TFTのゲート端子電位が（V_d__r+V_x__r）となり、次に、データ線S_j__Gに接続された画素回路の駆動用TFTのゲート端子電位が（V_d__g+V_x__g）となり、最後に、データ線S_j__Bに接続された画素回路の駆動用TFTのゲート端子電位が（V_d__b+V_x__b）となる。

【0105】

次に時刻t₄において走査線G_iの電位がローレベルに変化すると、3個の画素回路のコンデンサには、それぞれ、電圧（VDD-V_d__r-V_x__r）、（VDD-V_d__g-V_x__g）、（VDD-V_d__b-V_x__b）が保持される。

【0106】

時刻t₄以降、3個の画素回路の駆動用TFTのゲート端子電位は、それぞれ、（V_d__r+V_x__r）、（V_d__g+V_x__g）、（V_d__b+V_x__b）のままである。このとき各駆動用TFTを流れる電流の量はこれらの電位に応じて増減するが、閾値電圧が

異なっている、データ電圧が同じであれば電流量は同じになる。したがって、閾値電圧の値にかかわらず、各画素回路の有機EL素子にはデータ電圧Vdataに応じた量の電流が流れ、有機EL素子はデータ電圧Vdataに応じた輝度で発光する。

【0107】

なお、以上の説明では、3本のデータ線Sj_R、Sj_G、Sj_Bに対応してアナログバッファを設けることとしたが、アナログバッファをp本（pは2以上の任意の整数）本のデータ線に対応して設けてもよい。

【0108】

このように本実施形態に係る表示装置によれば、データ線ごとに配置するには回路規模が大きいアナログバッファを複数のデータ線ごとに配置し、高精細の表示パネルを実現することができる。 10

【0109】

なお、以上に述べた各実施形態では、画素回路は電気光学素子として有機EL素子を含むこととしたが、有機EL素子以外の電流駆動型の電気光学素子（例えば、半導体LEDやFEDの発光部など）を含んでいてもよい。また、画素回路は、電気光学素子の駆動素子として、ガラス基板などの絶縁基板上に形成されたMOSトランジスタ（シリコンゲートMOS構造を含む）であるTFTを含むこととしたが、閾値電圧を有する任意の電圧制御型の素子（すなわち、制御端子に印加された制御電圧に応じて出力電流が変化し、制御電圧が所定値以上または以下になると出力電流を遮断する素子）を含んでいてもよい。したがって、画素回路は、駆動素子として、半導体基板上に形成されるMOSトランジスタ 20 なども含む、一般の絶縁ゲート型電界効果トランジスタを含んでいてもよい。

【0110】

また、第1の実施形態では、スイッチ用TFT12が導通状態に変化するのとはほぼ同じときに、スイッチ用TFT13が導通状態に変化し、スイッチ用TFT14が非導通状態に変化することとした。これに代えて、スイッチ用TFT12が導通状態に変化するよりも前に、スイッチ用TFT13が導通状態に変化し、スイッチ用TFT14が非導通状態に変化してもよい。第2および第3の実施形態でも、これと同様である。

【0111】

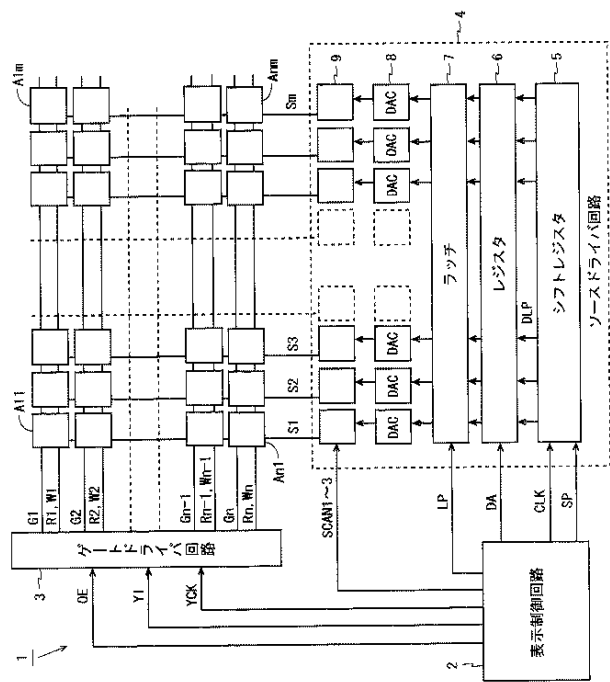
また、本発明は上述した各実施形態に限定されるものではなく、種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態も、本発明の技術的範囲に含まれる。 30

【産業上の利用可能性】

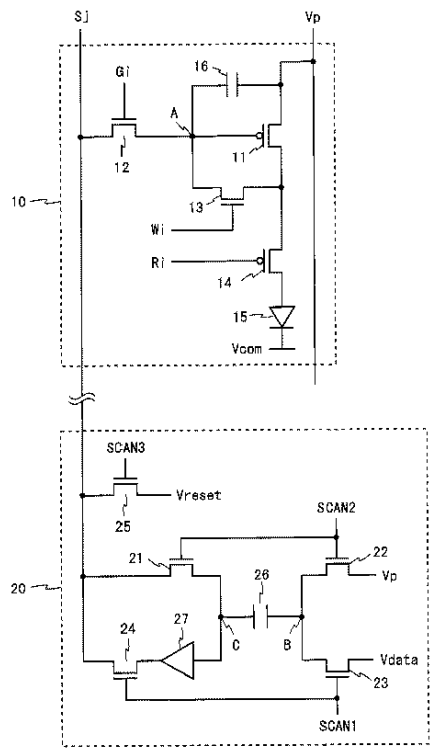
【0112】

本発明の表示装置は、画素回路の規模を増大させずに、データ電圧の振幅を効率よく利用し、高い精度で閾値補正を行えるという効果を奏するので、各種の電子機器の表示装置として利用することができる。

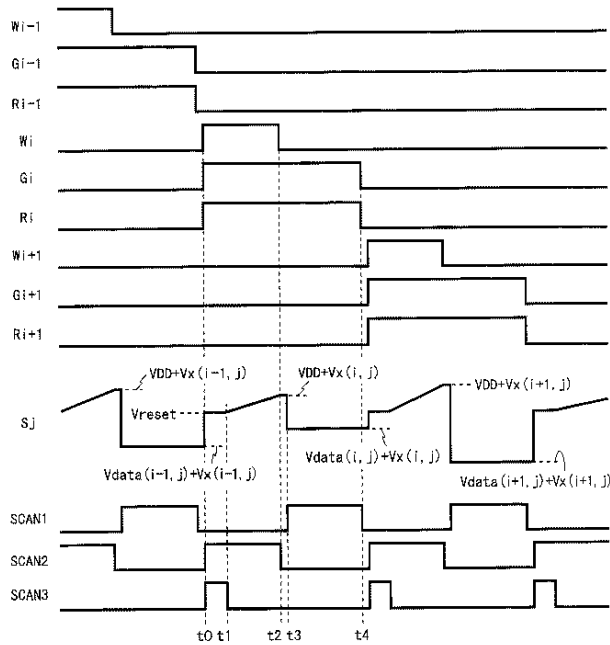
【図 1】



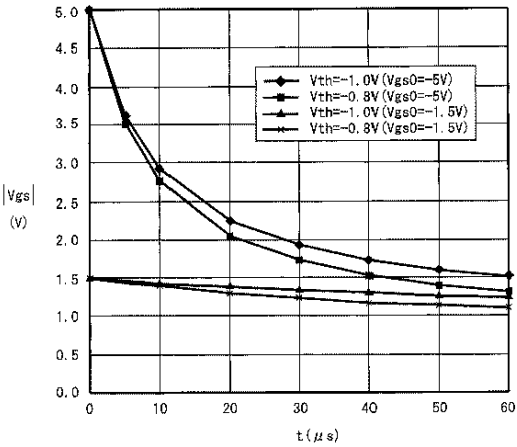
【図 2】



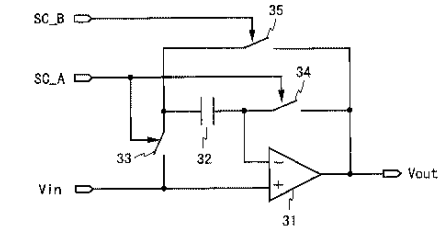
【図 3】



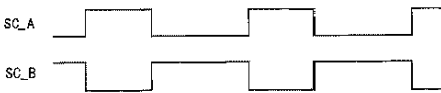
【図 4】



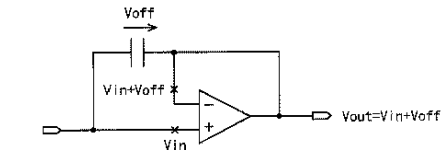
【図 5 A】



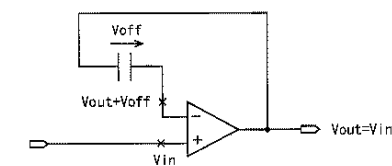
【図 5 B】



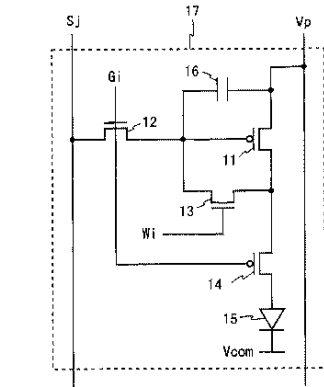
【図 5 C】



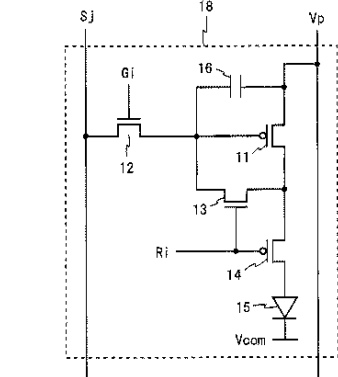
【図 5 D】



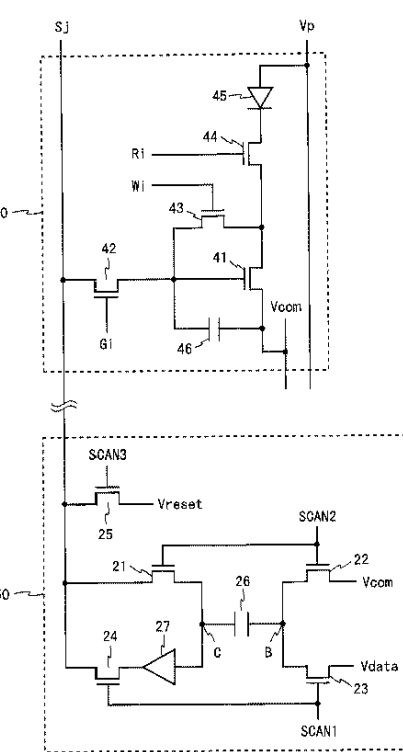
【図 6 A】



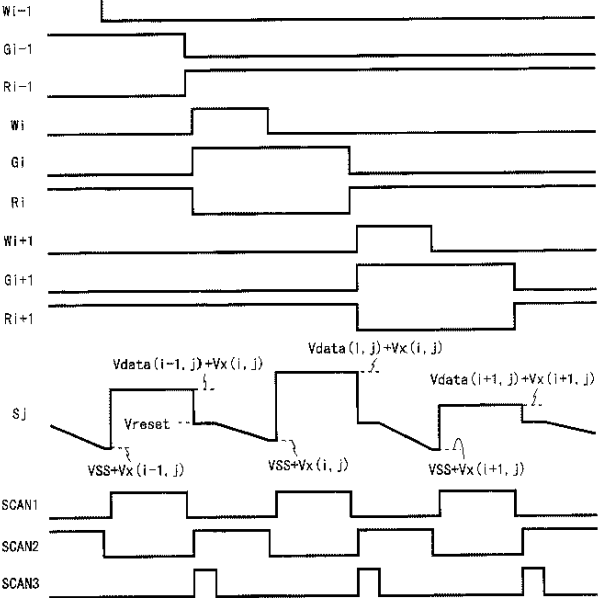
【図 6 B】



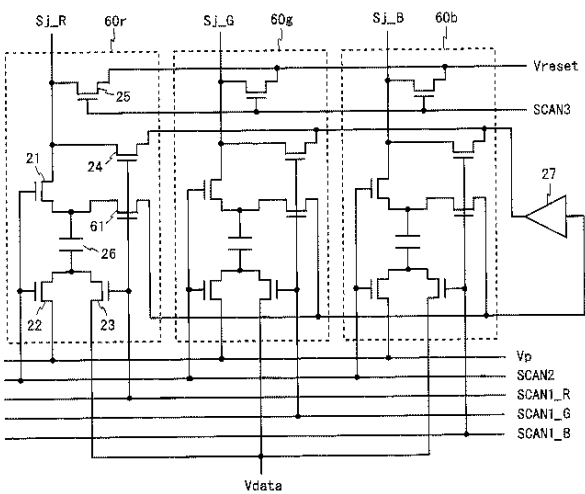
【図 7】



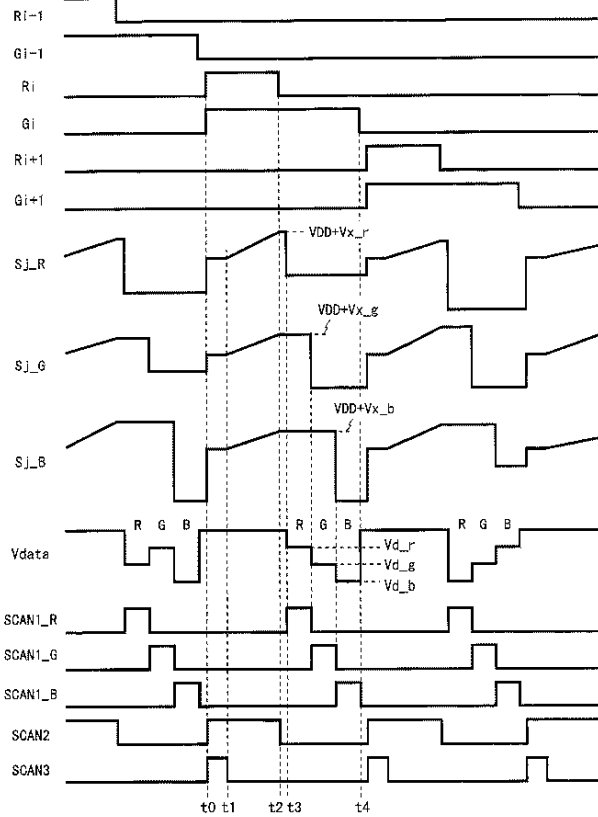
【図 8】



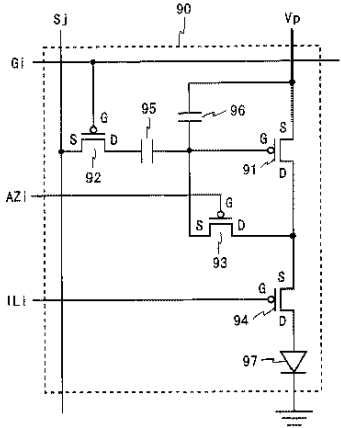
【図 9】



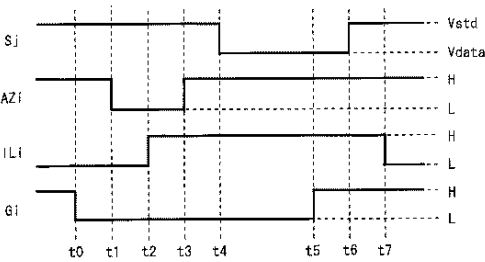
【図 10】



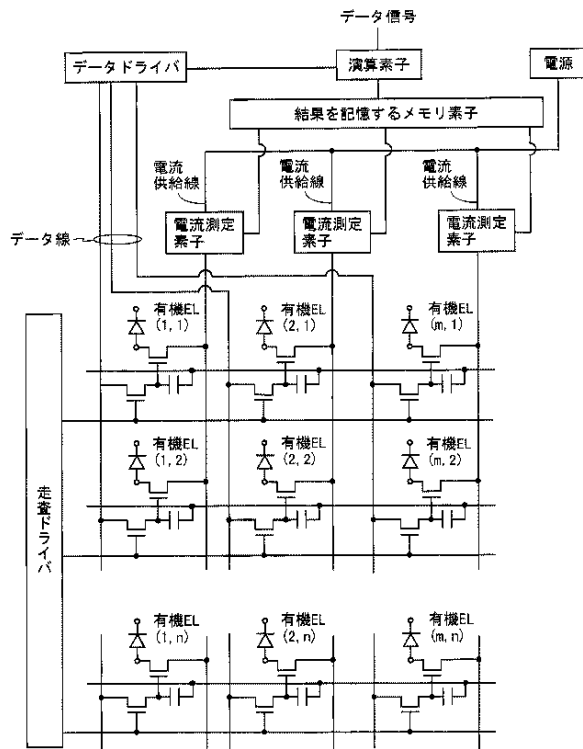
【図 11】



【図 12】



【図 13】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/069184												
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), Full text; all drawings (Family: none)</td> <td>1-4, 6-8, 11 5</td> </tr> <tr> <td>Y</td> <td>JP 2005-128521 A (Sanyo Electric Co., Ltd.), 19 May, 2005 (19.05.05), Abstract; Par. Nos. [0001] to [0046]; Figs. 1 to 4 (Family: none)</td> <td>5</td> </tr> <tr> <td>A</td> <td>JP 2004-252110 A (Kibi Denshi Kofun Yugen Koshi), 09 September, 2004 (09.09.04), Full text; all drawings & US 2004/0239596 A1</td> <td>1-8, 11</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), Full text; all drawings (Family: none)	1-4, 6-8, 11 5	Y	JP 2005-128521 A (Sanyo Electric Co., Ltd.), 19 May, 2005 (19.05.05), Abstract; Par. Nos. [0001] to [0046]; Figs. 1 to 4 (Family: none)	5	A	JP 2004-252110 A (Kibi Denshi Kofun Yugen Koshi), 09 September, 2004 (09.09.04), Full text; all drawings & US 2004/0239596 A1	1-8, 11
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y	JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), Full text; all drawings (Family: none)	1-4, 6-8, 11 5												
Y	JP 2005-128521 A (Sanyo Electric Co., Ltd.), 19 May, 2005 (19.05.05), Abstract; Par. Nos. [0001] to [0046]; Figs. 1 to 4 (Family: none)	5												
A	JP 2004-252110 A (Kibi Denshi Kofun Yugen Koshi), 09 September, 2004 (09.09.04), Full text; all drawings & US 2004/0239596 A1	1-8, 11												
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.														
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
Date of the actual completion of the international search 20 December, 2007 (20.12.07)		Date of mailing of the international search report 08 January, 2008 (08.01.08)												
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer												
Facsimile No.		Telephone No.												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069184

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/013250 A1 (THOMSON LICENSING S.A.), 10 February, 2005 (10.02.05), Full text; all drawings & JP 2007-516454 A & US 2007/0057874 A1 & EP 1644913 A1	1-8, 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069184

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A matter common to the inventions in claims 1-11 is "provided with a scanning signal output circuit for controlling an output so that a voltage in response to a threshold voltage of the driving element is supplied from a selected pixel circuit to the data line and a display signal output circuit for supplying the data line with a voltage formed by subtracting a correcting voltage corresponding to the threshold voltage from a data voltage corresponding to display data or adding the correcting voltage to the data voltage in accordance with the voltage output to the data line".

(Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-8 and 11.

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069184

Continuation of Box No.III of continuation of first sheet(2)

The results of the search, however, have revealed that the structure set forth above is not novel since it is disclosed in JP 2005-352411 A (Sharp Corp.), 22 December, 2005 (22.12.05), all the descriptions, and all the figures.

As a result, the structure makes no contribution over the prior art, this common matter is not the special technical feature in the meaning of PCT Rule 13.2, second sentence.

Thus, there is no matter common to the inventions in claims (1-8, 11) and (9-10).

Since there are no other common matters deemed to be the special technical feature in the meaning of PCT Rule 13.2, second sentence, these different inventions are not technically linked in the meaning of PCT Rule 13.

Therefore, it is clear that the inventions in claims 1-11 do not comply with the requirement of unity of invention.

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 6 9 1 8 4	
A. 発明の属する分野の分類 (国際特許分類 (I P C)) Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (I P C)) Int.Cl. G09G3/30, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	J P 2 0 0 5 - 3 5 2 4 1 1 A (シャープ株式会社) 2 0 0 5 . 1 2 . 2 2 , 全文全図 (ファミリーなし)	1-4, 6-8, 11 5	
Y	J P 2 0 0 5 - 1 2 8 5 2 1 A (三洋電機株式会社) 2 0 0 5 . 0 5 . 1 9 , 【要約】, 【0 0 0 1】- 【0 0 4 6】, 【図1】 - 【図4】 (ファミリーなし)	5	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 0 . 1 2 . 2 0 0 7		国際調査報告の発送日 0 8 . 0 1 . 2 0 0 8	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広 電話番号 03-3581-1101 内線 3226	2 G 3 8 0 5

様式PCT/ISA/210 (第2ページ) (2007年4月)

国際調査報告

国際出願番号 PCT/JP2007/069184

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-252110 A (奇美電子股▲ふん▼有限公司) 2004.09.09, 全文全図 & US 2004/0239 596 A1	1-8, 11
A	WO 2005/013250 A1 (THOMSON LICE NSING S. A.) 2005.02.10, 全文全図 & JP 2007-516454 A & US 2007/005787 4 A1 & EP 1644913 A1	1-8, 11

国際調査報告

国際出願番号 PCT/J P 2 0 0 7 / 0 6 9 1 8 4

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-11に係る発明の共通な事項は、「選択された画素回路から前記駆動素子の閾値電圧に応じた電圧が前記データ線に出力されるように制御する走査信号出力回路と、前記データ線に出力された電圧に基づき、表示データに対応したデータ電圧に前記閾値電圧に対応した補正電圧を加算または減算した電圧を前記データ線に印加する表示信号出力回路とを備えた」ことである。

しかしながら、調査の結果、前記構成は、JP 2005-352411 A（シャープ株式会社）2005.12.22、全文全図に開示されているから、新規でないことが明らかとなった。

（特別ページに続く）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲（1-8, 11）

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210（第1ページの続葉（2））（2007年4月）

国際調査報告

国際出願番号 PCT/J P 2 0 0 7 / 0 6 9 1 8 4

(第Ⅲ欄の続き)

結果として、前記構成は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求の範囲(1-8, 11), (9-10)に係る発明に共通の事項はない。
PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲1-11に係る発明は発明の単一性の要件を満たしていないことが明らかである。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 4 2 P
 H 0 5 B 33/14 A

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C380 AA01 AB06 AB22 AB24 BA31 BA39 BA45 BB02 BB03 BB04
 CA04 CA08 CA12 CA22 CA26 CA32 CB01 CB16 CB18 CB31
 CC03 CC26 CC27 CC30 CC33 CC39 CC53 CC63 CC64 CD014
 CD024 CF07 CF09 CF21 CF28 CF48 CF51 DA02 DA06 DA47
 DA50 FA02 FA18 FA21 FA28

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JPWO2008108024A1	公开(公告)日	2010-06-10
申请号	JP2009502428	申请日	2007-10-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	岸宣孝		
发明人	岸 宣孝		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2320/0233 G09G2320/0295		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.642.P H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/BA31 5C380/BA39 5C380/BA45 5C380/BB02 5C380/BB03 5C380/BB04 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA22 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB16 5C380/CB18 5C380/CB31 5C380/CC03 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD024 5C380/CF07 5C380/CF09 5C380/CF21 5C380/CF28 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA50 5C380/FA02 5C380/FA18 5C380/FA21 5C380/FA28		
代理人(译)	岛田彰 川原贤治		
优先权	2007058021 2007-03-08 JP		
其他公开文献	JP5171807B2		
外部链接	Espacenet		

摘要(译)

像素电路 (10) 中的开关TFT (12、13) 导通并且开关TFT (14) 截止，并且与驱动TFT (11) 的阈值电压相对应的电压 ($V_{DD} + V_x$) 被设置到数据线。电压输出到 (S_j)，源极驱动器电路的开关 (21、22) 被接通，并且电压 (V_x) 被保持在电容器 (26) 中。接下来，开关TFT (13) 截止，开关 (21至24) 的状态被切换，并且电压 ($V_{data} + V_x$) 被施加到数据线 (S_j)。另外，开关TFT (12) 截止，开关TFT (14) 导通，将由驱动TFT (11) 的栅极端子电压 ($V_{data} + V_x$) 决定的电流提供给有机EL元件 (15)。结果，在不增加像素电路 (10) 的规模的情况下有效地利用了数据电压的幅度，并且以高精度补偿了驱动TFT (11) 的阈值电压的变化。

