

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6520981号
(P6520981)

(45) 発行日 令和1年5月29日(2019.5.29)

(24) 登録日 令和1年5月10日(2019.5.10)

(51) Int.Cl.	F I
G09G 3/3291 (2016.01)	G09G 3/3291
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 624B
G09F 9/30 (2006.01)	G09G 3/20 623R
H01L 51/50 (2006.01)	G09G 3/20 680G
請求項の数 10 (全 16 頁) 最終頁に続く	

(21) 出願番号	特願2017-82946 (P2017-82946)	(73) 特許権者	000002369
(22) 出願日	平成29年4月19日 (2017.4.19)		セイコーエプソン株式会社
(62) 分割の表示	特願2013-60194 (P2013-60194) の分割		東京都新宿区新宿四丁目1番6号
原出願日	平成25年3月22日 (2013.3.22)	(74) 代理人	100090479
(65) 公開番号	特開2017-134425 (P2017-134425A)		弁理士 井上 一
(43) 公開日	平成29年8月3日 (2017.8.3)	(74) 代理人	100104710
審査請求日	平成29年5月12日 (2017.5.12)		弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	田村 剛
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野村 猛
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
			最終頁に続く

(54) 【発明の名称】 表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1方向に沿って配置された走査線と、
 前記走査線に交差する第1データ線と前記第1データ線に隣り合う第2データ線と、
 前記走査線と前記第1データ線とに接続された第1画素回路と、
 前記走査線と前記第2データ線とに接続された第2画素回路と、
 第1電極と、前記第1電極と絶縁体を介して配置された第2電極とからなり、前記第1電極が前記第1データ線に電氣的に接続された第1容量と、
 第3電極と、前記第3電極と絶縁体を介して配置された第4電極とからなり、前記第3電極が前記第2データ線に電氣的に接続された第2容量と、
 前記第1容量の前記第2電極に電氣的に接続され、データ信号を伝達するために前記第1データ線と前記第1容量を介して接続された第3データ線と、
 前記第2容量の前記第4電極に電氣的に接続され、データ信号を伝達するために前記第2データ線と前記第2容量を介して接続された第4データ線と、
 前記第3データ線に第1データ信号を供給し、かつ、前記第4データ線に第2データ信号を供給するデータ線駆動回路と、
 を基板上に有し、
 前記第2データ線は、前記基板の厚さ方向から見た平面視で前記第1容量の前記第1電極と前記第2電極とに重なり、
 前記第3データ線は、前記平面視で前記第2容量の前記第3電極と前記第4電極とに重

10

20

なることを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、
 前記第 1 データ信号は、第 1 の電位範囲を有し、
 前記第 1 データ線には、前記第 1 容量を介して、前記第 1 の電位範囲とは異なる第 2 の電位範囲のデータ信号が供給され、
 前記第 2 データ信号は、第 3 の電位範囲を有し、
 前記第 2 データ線には、前記第 2 容量を介して、前記第 3 の電位範囲とは異なる第 4 の電位範囲のデータ信号が供給されることを特徴とする表示装置。

【請求項 3】

請求項 2 に記載の表示装置において、
 前記第 2 の電位範囲は、前記第 1 の電位範囲よりも狭く、前記第 4 の電位範囲は、前記第 3 の電位範囲よりも狭いことを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 の何れか一項に記載の表示装置において、
 前記第 1 データ線及び前記第 2 データ線の各々は、前記第 1 方向と直交する第 2 方向に沿って延在し、
 前記第 1 容量及び前記第 2 容量は、前記第 2 方向に沿って配列されていることを特徴とする表示装置。

【請求項 5】

請求項 1 に記載の表示装置において、
 前記第 2 データ線に隣り合う第 5 データ線と、
 前記走査線と前記第 5 データ線との交差に対応して配置された第 3 画素回路と、
 第 5 電極と、前記第 5 電極と絶縁体を介して配置された第 6 電極とからなり、前記第 5 電極が前記第 5 データ線に電氣的に接続された第 3 容量と、
 前記第 3 容量の前記第 6 電極に電氣的に接続された第 6 データ線と、を有し、
 前記データ線駆動回路は、前記第 6 データ線に第 3 データ信号を供給し、
 前記第 3 データ線及び前記第 4 データ線の各々は、前記第 3 容量の前記第 5 電極と前記第 6 電極とに重なり、

前記第 5 データ線は、前記第 1 容量の前記第 1 電極と前記第 2 電極と、前記第 2 容量の前記第 3 電極と前記第 4 電極とに重なることを特徴とする表示装置。

【請求項 6】

請求項 5 に記載の表示装置において、
 前記第 1 データ線、前記第 2 データ線及び前記第 5 データ線の各々は、それぞれ前記第 1 方向と直交する第 2 方向に沿って延在し、
 前記第 1 容量、前記第 2 容量及び前記第 3 容量は、前記第 2 方向に沿って配列されていることを特徴とする表示装置。

【請求項 7】

請求項 5 または 6 に記載の表示装置において、
 前記第 1 容量の幅は、前記第 1 画素回路の幅、前記第 2 画素回路の幅及び前記第 3 画素回路の幅の和よりも狭く、
 前記第 1 容量の幅は、前記第 1 画素回路、前記第 2 画素回路及び前記第 3 画素回路のうち、1つの画素回路の幅以上の幅であることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至 7 の何れか一項に記載の表示装置において、
 前記第 1 容量の両電極に初期化電位を供給する初期化スイッチと、
 前記初期化スイッチを制御する制御信号線と、を有することを特徴とする表示装置。

【請求項 9】

請求項 8 に記載の表示装置において、
 前記第 1 容量にトランスファークゲートを介して電氣的に接続する第 4 容量を有し、

10

20

30

40

50

前記初期化スイッチ及び前記制御信号線の各々は、それぞれ前記第4容量よりも下層に配置されていることを特徴とする表示装置。

【請求項10】

請求項1乃至9の何れか一項に記載の表示装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び電子機器等に関する。

【背景技術】

10

【0002】

有機発光ダイオード（OLED）素子等の発光素子を用いた表示装置では、画素トランジスターにデータ線での信号変化が悪影響して、縦クロストークが発生するという課題がある。従来、データ線と画素内の画素トランジスターとの間にシールド線を設けていた（特許文献1）。

【0003】

しかし実際には画素トランジスターのドレインコンタクト部分での信号線揺れによって、駆動トランジスターのゲート保持電圧に影響を及ぼしており、これが縦クロストークの原因になってしまふことが分かってきた。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2012 189828号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

縦クロストークを防止するために、データ線での電圧振幅を小さくして駆動する試みがあり、そのために容量分割方式が挙げられている。しかし、データ線毎に所定面積の保持容量を形成することは容易でない。

【0006】

30

近年、例えばシリコン基板上に液晶層が形成されるLCOSパネルやSi-OLED（有機発光ダイオード）パネル等の表示パネルには、ラッチ回路を内蔵するドライバーを搭載することができる。この場合、表示パネルに形成される表示画素の画素ピッチを考慮して、ラッチ回路は形成される。一画素の幅内に、その一画素に供給されるデータをラッチするラッチ素子を配置して、配線し易くするためである。

【0007】

しかし、例えば電子ビューファインダー（EVF）やヘッドマウンテンディスプレイ（HMD）等に使用される超小型の表示パネルでは、画素ピッチが例えば $2.5\mu\text{m}$ と小さくなる。そのため、画素ピッチの範囲にてデータ線に保持容量を付加することは事実上不可能であることが分かった。

40

【0008】

本発明の幾つかの態様は、画素ピッチが小さい表示装置でも、データ線に接続される保持容量を十分に確保することができ、それによりデータ線のデータ振幅を圧縮して縦クロストークを低減できる表示装置及び電子機器を提供することにある。

【課題を解決するための手段】

【0009】

(1)本発明の一態様は、

表示パネルの行方向に沿って配列され、列方向に沿って延びる複数のデータ線の各々に接続される複数の画素回路と、

前記複数の画素回路の各々に配置される発光素子と、

50

前記複数の画素回路の各々に配置され、前記発光素子に駆動電流を供給する第1トランジスタと、

前記複数の画素回路の各々に配置され、前記データ線と前記第1トランジスタのゲートとの間をオン/オフする第2トランジスタと、

前記複数の画素回路の各々に配置され、前記第1トランジスタの前記ゲートとドレインとの間でオン/オフする第3トランジスタと、

前記複数のデータ線途中にそれぞれ挿入接続され、前記第1トランジスタの駆動電圧をレベルシフトする第1保持容量と、

前記複数のデータ線の各々の電位を保持する保持容量と、
を有し、

前記行方向で隣接するN（Nは複数）個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有するN個の前記第1保持容量を、前記列方向に沿って配置した表示装置に関する。

【0010】

本発明の一態様によれば、第1トランジスタの他に第2、第3トランジスタを設けることで、初期化期間（第2、第3トランジスタはオフ）にて初期化電圧とされるデータ線の電圧を、補償期間（第2、第3トランジスタがオン）では第1トランジスタのしきい値電圧に応じた電圧とし、書込み期間（第2トランジスタはオン、第3トランジスタはオフ）では第1保持容量の電位変動を、保持容量と第1保持容量との容量比で分圧した分だけシフトさせた電圧とする、容量分割駆動が可能となる。N個の画素回路のトータル幅未満でかつ一つの画素回路の幅以上の電極幅をそれぞれ有するN個の第1保持容量の各々は、幅が広がる分だけ列方向の長さを短くできるので、現実的なサイズで十分な容量を確保できる。特に、1個の画素回路の幅内に第1保持容量を設計すると、第1保持容量を形成するには、行方向で隣り合う容量同士ののり代の専有面積が増え、第1保持容量の電極幅をほとんど確保できない。その課題は、N個の画素回路のトータル幅未満であり一つの画素の幅以上に第1保持容量の電極幅を設定する本発明の一態様により解消される。

【0011】

(2) 本発明の一態様では、前記N個の第1保持容量には、前記N個の第1保持容量に接続されたN本のデータ線を介して階調電圧が同時に書き込むようにすることができる。

【0012】

もし、N個の第1保持容量にそれぞれ異なるタイミングで階調電圧が書き込まれると、クロストークの原因となる。つまり、N個の第1保持容量の一つに異なるタイミングで書き込まれた階調電圧は、既書き込まれていた他の第1保持容量と接続されているデータ線の電圧に悪影響を及ぼす。同時書き込みであれば、その問題は少ない。

【0013】

(3) 本発明の一態様では、同時に書き込まれる階調電圧は、カラー表示の1ドットを構成するサブピクセルのデータ信号とすることができる。

【0014】

通常、カラー表示の1ドットを構成するRGB画素は異なるタイミングで書き込まれるが、本発明の一態様では同時に書き込むことで容量カップリングによるクロストークを低減している。

【0015】

(4) 本発明の一態様では、前記N個の第1保持容量の下層に、前記N本のデータ線を配置することができる。

【0016】

同時書き込みにより容量カップリングの問題が解消されているので、N個の第1保持容量の下層にN本のデータ線を配置することができる。それにより省スペースな設計となる。

【0017】

10

20

30

40

50

(5) 本発明の一態様では、前記N個の第1保持容量の下層に、平面視にて前記N本のデータ線の各々の両側に、固定電位のシールド線を配置することができる。

【0018】

それによりN本のデータ線を外部ノイズからシールドすることができる。

【0019】

(6) 本発明の一態様では、前記行方向で隣り合う2組の前記N個の第1保持容量の間に、固定電位のシールド線を配置することができる。

【0020】

行方向で隣り合う2組のN個の第1保持容量は、必ずしも同時書き込みとは限らないので、シールド線で隔離することでクロストークを防止できる。

【0021】

(7) 本発明の一態様では、前記第1保持容量とトランスファークゲートを介して接続される第2保持容量をさらに有し、

N個の画素回路のトータル幅未満であり、一つの画素回路の幅以上の電極幅をそれぞれ有するN個の前記第2保持容量を、前記列方向に沿って配列することができる。

【0022】

トランスファークゲートと第2保持容量とを設けることで、書込み期間の前(初期化期間及び補償期間中を含む)に第2保持容量に階調電圧を供給して、第2保持容量に階調電圧を一旦保持することができる。書込み期間ではトランスファークスイッチをオンすることで、第1保持容量の電極を電位変動させることができる。この第2保持容量も、N個の画素回路のトータル幅未満であって、一つの画素回路の幅以上の電極幅を有することができる。それにより、第2保持容量も第1保持容量と同様にして、現実的なサイズで十分な容量を確保できる。

【0023】

(8) 本発明の一態様では、前記第1保持容量の両電極に初期化電位を供給する初期化スイッチと、前記初期化スイッチを制御する制御信号線と、前記制御信号線の途中に配置されるバッファとを、前記N個の第2保持容量の下層に配置することができる。

【0024】

本発明の一態様では、第1、第2保持容量やデータ線の駆動に必要な配線や部品をN個の第2保持容量の下層に配置することで、省スペースを実現できる。

【0025】

(9) 本発明の一態様では、前記バッファは、第1段バッファ、第2段バッファ及び第3段バッファを含み、前記制御信号線は、前記行方向の一端側に配置された前記第1段バッファより、前記N個の第2保持容量の下層まで前記行方向に延びる前記第1制御信号線と、前記第1制御信号線と前記第2段バッファを介して接続され、前記N個の第2保持容量の下層にて前記行方向の両端に延びる第2制御信号線と、前記N個の第2保持容量の下層から外れた位置にて、前記第2制御信号線から前記列方向に延びる第3制御信号線と、前記第3制御信号線から前記N個の第2保持容量の下層にて前記行方向に延びる第4制御信号線と、を含み、前記第3段バッファを前記第4制御信号線と接続することができる。

【0026】

複数段のバッファ構成とすることで、第2保持容量の下層にて列方向に延びる制御信号線の配線を極力少なくして、データ線の電位変動を抑制している。

【0027】

(10) 本発明の一態様では、前記第2保持容量は複数の容量素子を高さ方向でスタックして形成することができる。

【0028】

複数の容量素子を高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

【0029】

10

20

30

40

50

(11) 本発明のさらに他の態様は、上述した表示装置を含む電子機器を定義している。この電子機器として、例えば電子ビューファインダー（EVF）やヘッドマウントディスプレイ（HMD）等を挙げることができる。

【図面の簡単な説明】

【0030】

【図1】本発明の表示装置の一例を示す図である。

【図2】図1に示す画素回路の回路図である。

【図3】図1に示すデマルチプレクサ回路の一部を示す回路図である。

【図4】図1に示すレベルシフト回路の一部を示す回路図である。

【図5】図1に示す他のレベルシフト回路の一部を示す回路図である。

【図6】図4または図5に示すレベルシフトブロックのレイアウトを示す図である。

【図7】第1保持容量間、および第1保持容量の下層のデータ線間のシールド線を示す図である。

【図8】第2保持容量の下層にて初期化スイッチの制御信号線の引き回しを説明するための図である。

【図9】図9（A）（B）は第1、第2保持容量を示す図である。

【図10】電子機器の一例であるデジタルスチルカメラを示す図である。

【図11】電子機器の他の一例であるオーバーヘッド・ディスプレイの外観図である。

【図12】オーバーヘッド・ディスプレイの表示装置及び光学系を示す図である。

【発明を実施するための形態】

【0031】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0032】

1. 表示装置（電気光学装置）

【0033】

図1は、本実施形態の表示装置（電気光学装置）10を示している。表示装置10は、半導体基板例えばシリコン基板1上に走査線駆動回路20、デマルチプレクサ30、レベルシフト回路40、データ線駆動回路60及び表示部100を形成している。

【0034】

表示部100には、行方向（横方向）に沿って複数の走査線12が配置され、列方向（縦方向）Yに沿って複数のデータ線14が配置されている。複数の走査線12及び複数のデータ線14の各1本に接続される複数の画素回路110がマトリクス状に配置されている。

【0035】

本実施形態では、1本の走査線12に沿って連続する3つの画素回路110は、それぞれR（赤）、G（緑）、青（B）の画素に対応し、これら3画素がカラー画像の1ドットを表現する。

【0036】

画素回路110の一例について説明する。i行目の画素回路110は、図2に示すように、P型トランジスタ121～125と、OLED130と、保持容量132とを含む。画素回路110には、走査信号Gwr(i)、制御信号Gel(i)、Gcmp(i)、Gorst(i)が供給される。

【0037】

駆動トランジスタ（第1トランジスタ）121は、ソースが給電線116に接続され、ドレインはトランジスタ124を介してOLED130に接続され、OLED130に流れる電流を制御する。データ線電位（階調電位）を書き込む第2トランジスタ122は、ゲートが走査線12に接続され、ドレイン/ソースの一方がデータ線14に接続され、他方が第1トランジスタ121のゲートに接続されている。保持容量132は第

10

20

30

40

50

1トランジスタ121のゲート線と給電線116との間に接続され、第1トランジスタ121のソース・ゲート間の電圧を保持する。給電線116には、電源の高電位 V_{e1} が給電される。OLEDの130のカソードは共通電極とされ、電源の低電位 V_{ct} に設定される。

【0038】

第3トランジスタ123は、ゲートに制御信号 $G_{cmp}(i)$ が入力され、制御信号 $G_{cmp}(i)$ に従って第1トランジスタ121のゲート・ドレイン間をショートさせ、第1トランジスタ121のしきい値のばらつきを補償する。OLED130の点灯制御トランジスタ124は、ゲートに制御信号 $G_{el}(i)$ が入力され、第1トランジスタ121のドレインとOLED130のアノードとの間をオン/オフする。リセットトランジスタ125は、ゲートに制御信号 $G_{orst}(i)$ が入力され、制御信号 $G_{orst}(i)$ に従ってOLED130のアノードに、給電線16の電位であるリセット電位 V_{orst} を供給する。このリセット電位 V_{orst} と共通電位 V_{ct} との差がOLED130の発光しきい値を下回るように設定される。

【0039】

図1に示す走査線駆動回路20は、 i 行目の走査線12に走査信号 $G_{wr}(i)$ を供給する。図1にて列方向 Y に沿って延びるデータ線14と給電線16との間に誘電体を配置することで保持容量50が形成される。レベルシフト回路40は、データ線駆動回路60及びデマルチプレクサ30を介して供給されるデータ信号(階調レベル)に応じて、例えば保持容量50とレベルシフト回路40内の第1保持容量44や第2保持容量41を用いて容量分割方式にて、DAC64から入力される階調電圧を、トランジスタ121を駆動するゲート電圧にレベルシフトさせてデータ線14に供給する。この容量分割方式は後述する。

【0040】

デマルチプレクサ30の一例を図3に示す。図3は、図1の表示部100の一ライン(i 行)上にある M (例えば $M=18$) $\times 3$ (RGB)画素($3\times M=54$ 画素)に、RGB毎に時分割でデータ電位を切り換え出力するデマルチプレクサブロック31を示している。図3に示すデマルチプレクサブロック31が、(行方向 X の全画素数) $\div 54$ に相当する個数だけ設けられる。デマルチプレクサ30の入力端子 $V_R(1)$ には、データ線駆動回路60から18個のR画素のためのデータ電位が時分割で入力される。入力端子 $V_G(1)$ 、 $V_B(1)$ にも同様に、データ線駆動回路60から18個のR画素、B画素のためのデータ電位がそれぞれ時分割で入力される。入力端子 $V_R(1)$ 、 $V_G(1)$ 、 $V_B(1)$ と54本のデータ線との間には54個のスイッチ(トランスファークラップ)34が設けられている。54個のスイッチ34は、セレクト信号 $SEL(1)\sim SEL(18)$ により3個ずつ同時に順次オンされる。つまり、セレクト信号 $SEL(1)$ がアクティブであると、ドットを構成する3画素(RGB)のデータ電位が同時に書き込まれる。

【0041】

データ線駆動回路60を機能ブロックで表すと、図1に示すように、シフトレジスタ61と、シフトレジスタ61からのクロックに従って順次データをラッチするデータラッチ回路62と、データラッチ回路62からのデータを同時にラッチするラインラッチ回路63と、ラインラッチ回路63からのデータをデジタル-アナログ変換して、階調電圧として出力するデジタル-アナログ変換回路64とを含んでいる。デジタル-アナログ変換回路64の最終段にはアンプが設けられる。

【0042】

表示装置10は、図1に示すように、シリコン基板1上あるいはシリコン基板1の外部に、画像処理部70を有することができる。画像処理部70はガンマ補正部71を有することができる。

【0043】

2. 容量分割方式

図1に示すレベルシフト回路40の一画素分のレベルシフトブロック46を図4に示す

10

20

30

40

50

。図4に示すレベルシフトブロック46は、1本のデータ線14についてのみ示されている。データ線14の途中には第1保持容量44が接続されている。第1保持容量44の一端を初期電位 V_{ini} に設定する初期化スイッチ45は、ゲートに制御信号 $/G_{ini}$ が供給される。第1保持容量44の他端を電位 V_{ref} に設定する初期化スイッチ43は、ゲートに制御信号 G_{ref} が供給される。この容量分割方式は例えば特願2011-228885号に詳しく記載されているので、ここでは簡便に説明する。

【0044】

初期化期間(トランジスタ122, 123が共にオフ)では、第1保持容量44の両端の電位はそれぞれ電位 V_{ini} , V_{ref} に設定される。このときトランジスタ124はオフ、トランジスタ125はオンしている。初期化期間後の補償期間(トランジスタ122, 123が共にオン)では、トランジスタ123がオンしているのでトランジスタ121がダイオード接続され、画素回路110内の保持容量132はトランジスタ121のしきい値電圧 V_{th} を保持する。補償期間後の書込み期間(トランジスタ122がオン)では、トランジスタ123はオフされ、デマルチプレクサ30のトランスファージェット34がオンし、初期化スイッチ43もオフする。従って、初期化期間及び補償期間に固定されていた第1保持容量44の他端のノードは、電位 V_{ref} から階調レベルに変化する。

【0045】

第1保持容量44の一端のノードは、補償期間における電位($V_{el} - |V_{th}|$)から、そのノードの電位変化分 V に容量比 k_1 を乗じた値だけ、上昇方向にシフトした値($V_{el} - |V_{th}| + k_1 \cdot V$)となる。容量比 k_1 は、第1保持容量44の容量を C_{rf2} 、保持容量50の容量を C_{dt} とすると、 $k_1 = C_{rf1} / (C_{dt} + C_{ref1})$ である(ただし、 $C_{dt} > C_{rf1}$)。例えば、 $C_{rf1} : C_{dt} = 1 : 9$ とすると、書込み期間におけるデータ線14の電位とトランジスタ121のゲートノードの電位との関係から、データ線14の電位範囲の $1/10$ までトランジスタ121のゲートノードの電位範囲は圧縮される。

【0046】

図5に示すように、図4に示すレベルシフトブロック46に代え、第2の保持容量41とトランスファージェット42とがさらに追加されたレベルシフトブロック47を設けることができる。第2保持容量41とトランスファージェット42とを設けることで、書込み期間の前(初期化期間及び補償期間中を含むトランスファージェット42のオフ期間)に第2保持容量41に階調電圧を供給して、第2保持容量41に階調電圧を一旦持することができる。その後の書込み期間ではトランスファースイッチ42をオンすることで、第1保持容量44の電極を第2保持容量41の電極に電位変動させることができる。この場合には、上記式の容量比 k_1 が容量比 k_2 に変更される。容量比 k_2 は、第2の保持容量41の容量を C_{rf2} としたとき、容量 C_{dt} 、 C_{rf1} 、 C_{rf2} の容量比となる。

【0047】

3. 保持容量のレイアウト

図6は、図4に示すレベルシフトブロック46または図5に示すレベルシフトブロック47のレイアウトを模式的に示している。行方向 X で隣接する N (N は複数)個例えば3個の画素に対応するレベルシフトブロック46(47)を、列方向 Y に沿って配置している。本実施形態では、3つの画素回路110は、一つのカラードットを構成するRGB画素としている。つまり、3個のレベルシフトブロックとは、R画素に接続されるブロック46(R)と、G画素に接続されるブロック46(G)と、B画素に接続されるブロック46(B)である。レベルシフトブロック46(47)の幅 W_2 は、 $N = 3$ 個の画素回路110のトータル幅を W_1 としたとき、 $W_1 / N > W_2 < W_1$ である。つまり、レベルシフトブロック46(47)の幅 W_2 は、 N 個の画素回路110のトータル幅 W_1 未満であって、一つの画素回路110の幅 W_1 / N 以上のブロック幅 W_2 を有する。なお、本実施形態では、保持容量はMIM(金属-絶縁物-金属)にて形成される。

【0048】

図4に示す実施形態を図6に適用すると、R画素、G画素及びB画素用のレベルシフトブロック46(R), 46(G), 46(B)が列方向Yに沿って配列される。レベルシフトブロック46(R), 46(G), 46(B)の各々では、第1保持容量44の電極幅がブロック幅W2の要件を満たす。図5に示す実施形態を図6に適用すると、R画素、G画素及びB画素用のレベルシフトブロック47(R), 47(G), 47(B)が列方向Yに沿って配列される。レベルシフトブロック47(R), 47(G), 47(B)の各々では、第1保持容量44と第2保持容量41とが列方向Yに沿って配列され、第1保持容量44と第2保持容量41との各々の電極幅がブロック幅W2の要件を満たす。

【0049】

図7は、X方向にてピッチW1で配列されるレベルシフトブロック46(47)中の第1保持容量44を示す平面図である。14A(R)、14A(G)、14A(B)は図1で説明したR、G、B各画素に対応するデータ線である。図7に示すように、第1保持容量44は、シリコン基板1の厚さ方向Zで対向する一対の電極44A, 44Bを有する。一対の電極44A, 44Bの電極幅をWA, WBとする(WA > WB)。電極44A, 44Bの対向部分が容量素子を形成する。ここで、 $W1/N - WA < W1$ かつ $W1/N - WB < W1$ である。

【0050】

ここで、3つの画素回路110のトータル幅W1を、例えば $2.5\mu\text{m} \times 3 = 7.5\mu\text{m}$ とする。図7に示すように行方向XにてピッチW1にて複数の第1保持容量44を形成するとき、一対の電極44A, 44Bをフォトリソグラフィ工程にて形成するのに用いるマスクがX方向にずれることを考慮しなければならない。そのために、例えば電極44BのX方向の両側にて、それぞれのり代WCを確保する必要がある。片側のり代WCだけでも $1.1\mu\text{m}$ 必要である。よって、両側では $2.2\mu\text{m}$ のり代を要する。本実施形態では、電極44Bの電極幅として、 $7.5 - 2.2 = 5.3\mu\text{m}$ が確保される。この場合0.5pFの容量を確保するのに列方向Yの長さは100umになる。レベルシフトブロック47にて第1保持容量44と共に配置される第2保持容量41についても、第1保持容量44の電極幅と同様に適用される。

【0051】

もし、一つの画素回路110の幅内で保持容量を配置するとなると、 $2.5 - 2.2 = 0.3\mu\text{m}$ の電極幅しか確保できず、その場合には0.5pFの容量を確保するのに列方向Yの長さは概略1710umにもなってしまう。第1、第2保持容量44, 41を配置すると、Y方向長さは概略3420umとなり、チップ面積が増大し、高コストになり実現困難である。図5に示す本実施形態では、1つのレベルブロック47内に100umの長さを有する第1保持容量44、第2保持容量41がY方向にて隣接配置され、R, G, Bで3ブロックがY方向に隣接するので、概略 $100\text{um} \times 2 \times 3 = 600\text{um}$ で収まり、XY方向の寸法のバランスも取れる。

【0052】

図6に示すように、レベルシフトブロック46(R)またはレベルシフトブロック47(R)内の第1保持容量44は、データ線14A(R)によりR画素回路110と接続され、データ線14B(R)によりデマルチプレクサ30内のトランスファーゲート34に接続される。他の色のブロック46(G), 47(G), 46(B), 47(B)も同様である。

【0053】

3つのブロック46(R), 46(G), 46(B)には、データ線14B(R), 14B(G), 14B(B)を介して、RGBの階調電圧が第1保持容量44同時に書き込まれる。あるいは、3つのブロック47(R), 47(G), 47(B)には、データ線14B(R), 14B(G), 14B(B)を介して、RGBの階調電圧が第2保持容量44に同時に書き込まれる。同時に書き込むことで、データ配線と上部MIM容量の電極とのカップリングによるノイズを無視することができる。

【0054】

10

20

30

40

50

また、図6に示すデータ線14A(R), 14A(G), 14A(B), 14B(R), 14B(G)を3つのレベルシフトブロック46(G), 46(B)あるいは3つのレベルシフトブロック47(G), 47(B)の下層に配置することができる。それにより、配線スペースを余分に確保しなくて済むので、省スペースとなる。

【0055】

図7では、MIM保持容量の下層にて、平面視にて3本のデータ線14A(R), 14A(G), 14A(B)の各々の両側に、固定電位のシールド線80若しくは81を配置している。それによりX方向でのクロストークを防止している。固定電位のシールド線80は、高電位レベル(例えばVDDH)と低電位レベル(例えばVSS)のシールド線80である。さらに、行方向Xで隣り合う2組のN個の保持容量44(41)の間に、固定電位のシールド線81を配置しても良い。行方向Xで隣り合う2組のN個の保持容量44(41)は必ずしも同時書き込みとはならないので、クロストーク防止に効果がある。

10

【0056】

図8は、図1に示すレベルシフト回路40全体の概略平面図である。図8に示すように、R用のレベルシフト領域48(R), 49(R)が、行方向Xに沿って設けられている。レベルシフト領域48(R)には、図5に示す第1保持容量44が全R画素分だけ配置されている。レベルシフト領域49(R)には、図5に示す第2保持容量41が全R画素分だけ配置されている。他の色のレベルシフト領域48(G), 49(G), 48(B), 49(B)も同様である。

20

【0057】

図4または図5に示す第1保持容量44の電極に電位を供給する初期化スイッチ43, 45と、初期化スイッチ43, 45を制御する/Vini制御信号線及びVref制御信号等は、図8に示すように、第2保持容量41の形成領域49(R), 49(G), 49(B)の下層に配置することができる。

【0058】

図8には、制御信号線90の途中に配置されるバッファ91として、第1段バッファ91A、第2弾バッファ91B及び第3段バッファ91Cを含んでいる。制御信号線90は、行方向Xの一端側に配置された第1段バッファ91Aより、第2保持容量41の下層まで行方向Xに延びる第1制御信号線90Aと、第1制御信号線90Aと第2段バッファ91Bを介して接続され、第2保持容量41の下層から行方向Xの両端にて第2保持容量41から外れる位置まで延びる第2制御信号線90Bと、保持容量の形成領域外で列方向Yに延びる第3制御信号線90Cと、第3制御信号線90Cから第2保持容量41の下層にて行方向Xに延びる第4制御信号線90Dを有する。第4制御信号線90Dに第3段バッファ91Cが接続される。こうすると、第2保持容量41の形成領域内では制御信号線90が列方向Yに沿って延びない。よって、制御信号線90が第1保持容量44に悪影響を及ぼすことがない。なお、バッファ91の引き出し線や制御信号線90が列方向Yに走る場合、その両側を上述したシールド線80で挟むことができる。

30

【0059】

シールド対策はバッファ91や制御信号線90だけでなく、図4に示す初期化電位Vini, Vrefの供給線についても同様であり、シールド線で挟んで保護することができる。

40

【0060】

図6に示す各ブロック内の第1保持容量44、第2保持容量41は、図9(A)(B)のようにして形成することができる。本実施形態では、第1保持容量44は、図9(A)に示すように金属第3層ALC及び金属第4層ALDに配置されるノード電極44a, 44bと、その間にて形成されるMIMプレート電極44cを有する。MIMプレート電極44cはビアによりノード電極44bと接続される。MIM容量素子は、ノード電極44aとMIMプレート電極44cとそれらの間の絶縁体で形成される。第2保持容量41は、図9(B)に示すように、金属第3層ALC及び金属第5層ALEに配置される固定電

50

位電極 4 1 a , 4 1 b と、金属第 4 層 A L D に排他されるノード電極 4 4 c と、電極 4 1 a , 4 1 c 間に配置される M I M プレート電極 4 4 d と、電極 4 1 b , 4 1 c 間に配置される M I M プレート電極 4 4 e と、を有する。M I M プレート電極 4 4 c はノード電極 4 4 c に接続され、M I M プレート電極 4 4 e は固定電位電極 4 1 b に接続される。第 2 保持容量 4 1 は、容量素子（電極 4 1 a , 4 1 c 及びそれらの間の絶縁体）と容量素子（電極 4 1 c , 4 1 e 及びそれらの間の絶縁体）とを高さ方向でスタックして形成される。このように高さ方向にてスタックすることで、所定容量値を確保するための保持容量の専有面積が減少し、省スペースとなる。

【 0 0 6 1 】

上述にて示したようにデータ線 1 4 A は、両側に配置したシールド線 8 0、および上層の M I M 電極との間に、寄生容量をもつ。そして列方向 Y に各保持容量を並べているため、データ線 1 4 の長さが R , G , B によって異なり、寄生容量も異なる。トランスマッションスイッチ 4 2 が O N し、第 1 保持容量 4 1 に蓄えられた電圧がデータ線 1 4 に解放された時、寄生容量の違う分でデータ線の分圧電圧が変わってしまう可能性がある。この調整のために、R , G , B 毎にイニシャル電圧 V I N I , V r e f の変更、もしくは階調補正を変更できる機能を備えることができる。階調補正は R A M を内蔵し、R , G , B 毎に図 1 のガンマ補正部 7 1 に設けられたルックアップテーブルを変えることができる機能を有している。

【 0 0 6 2 】

4 . 電子機器

図 1 0 は、このデジタルスチルカメラ 2 0 0 の構成を示す斜視図であるが、外部機器との接続についても簡易的に示すものである。デジタルスチルカメラ 2 0 0 のケース 2 0 2 の背面には、上述した有機 E L を用いた表示装置 1 0 が適用される表示装置 2 0 4 が設けられる。表示装置 2 0 4 は、C C D (Charge Coupled Device) による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置 2 0 4 は、被写体を表示する電子ビューファインダとして機能する。ケース 2 0 2 の観察側（図においては裏面側）には、光学レンズや C C D などを含んだ受光ユニット 2 0 6 が設けられている。

【 0 0 6 3 】

ここで、撮影者が表示装置 2 0 4 に表示された被写体像を確認して、シャッターボタン 2 0 8 を押下すると、その時点における C C D の撮像信号が、回路基板 2 1 0 のメモリに転送・格納される。

【 0 0 6 4 】

このデジタルスチルカメラ 2 0 0 には、ケース 2 0 2 の側面に、ビデオ信号出力端子 2 1 2 と、データ通信用の入出力端子 2 1 4 とが設けられている。ビデオ信号出力端子 2 1 2 にはテレビモニタ 2 3 0 が、データ通信用の入出力端子 2 1 4 にはパーソナルコンピュータ 4 4 0 が、それぞれ必要に応じて接続される。さらに、所定の操作によって、回路基板 2 1 0 のメモリに格納された撮像信号が、テレビモニタ 2 3 0 や、パーソナルコンピュータ 2 4 0 に出力される。

【 0 0 6 5 】

図 1 1 及び図 1 2 は、ヘッドマウント・ディスプレイ 3 0 0 を示している。ヘッドマウント・ディスプレイ 3 0 0 は、眼鏡と同様にテンプル 3 1 0、ブリッジ 3 2 0、レンズ 3 0 1 L , 3 0 1 R を有する。ブリッジ 3 2 0 の内側には、左眼用の表示装置 1 0 L と右眼用の表示装置 1 0 R とが設けられる。これら表示装置 1 0 L , 1 0 R として、図 1 に示す表示装置 1 0 を適用できる。

【 0 0 6 6 】

表示装置 1 0 L , 1 0 R に表示される画像は、光学レンズ 3 0 2 L , 3 0 2 R 及びハーフミラー 3 0 3 L , 3 0 3 R を介して両眼に入射される。視差を伴い左眼、右眼用画像とすることで、3 D 表示が可能である。なお、ハーフミラー 3 0 3 L , 3 0 3 r は外光を透過するので、装着者の視野を妨げない。

【 0 0 6 7 】

10

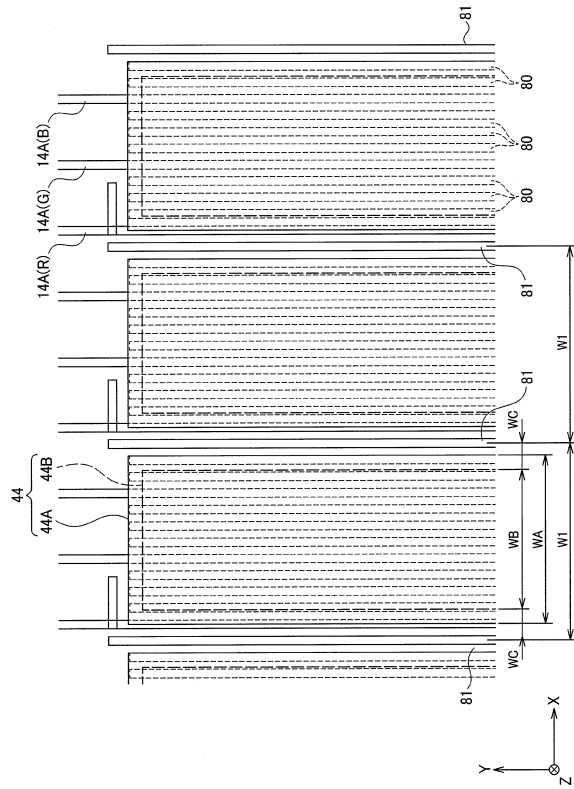
20

30

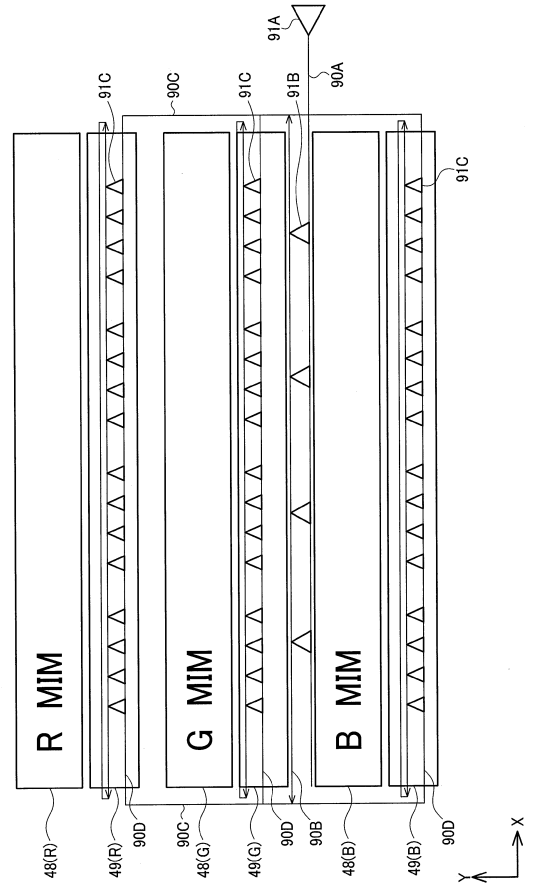
40

50

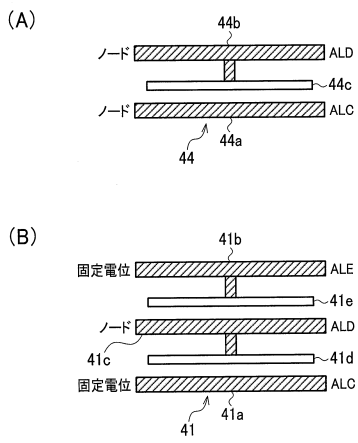
【 図 7 】



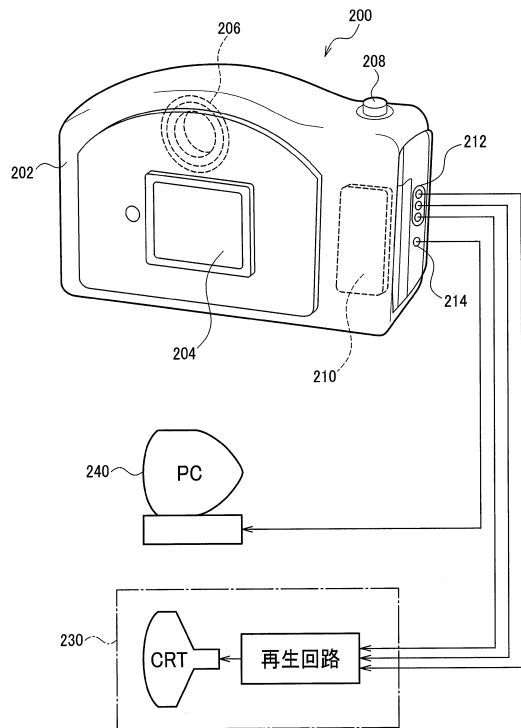
【 図 8 】



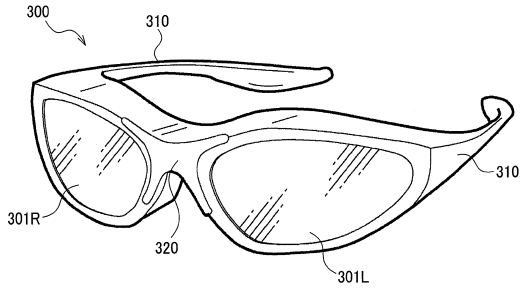
【 図 9 】



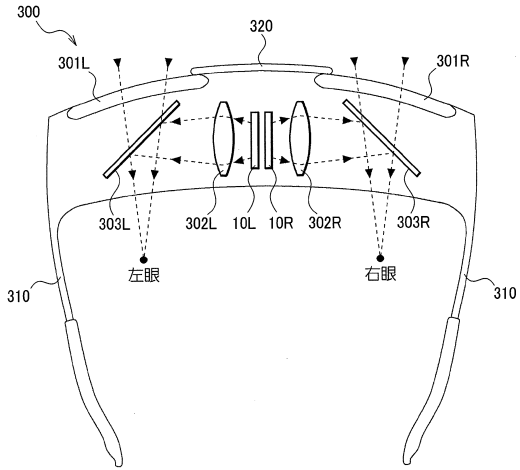
【 図 10 】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/32	(2006.01)	G 0 9 G	3/20 6 4 1 D
			G 0 9 G	3/20 6 2 3 X
			G 0 9 G	3/20 6 2 3 V
			G 0 9 G	3/20 6 1 1 D
			G 0 9 G	3/20 6 1 1 C
			G 0 9 G	3/20 6 1 1 J
			G 0 9 G	3/20 6 4 2 J
			G 0 9 G	3/20 6 2 3 D
			G 0 9 G	3/20 6 4 2 A
			G 0 9 F	9/30 3 3 8
			G 0 9 F	9/30 3 6 5
			H 0 5 B	33/14 A
			H 0 1 L	27/32

審査官 橋本 直明

- (56)参考文献 特開2009-282362(JP,A)
 特開2011-253087(JP,A)
 特開2009-198874(JP,A)
 特開2003-287774(JP,A)
 特開2002-049331(JP,A)
 特開2005-352411(JP,A)
 特開2011-053635(JP,A)
 特開2011-039269(JP,A)
 国際公開第2008/108024(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 2 9 1
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 2 3 3
 H 0 1 L 5 1 / 5 0
 H 0 1 L 2 7 / 3 2

专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP6520981B2	公开(公告)日	2019-05-29
申请号	JP2017082946	申请日	2017-04-19
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	田村剛 野村猛		
发明人	田村 剛 野村 猛		
IPC分类号	G09G3/3291 G09G3/3233 G09G3/20 G09F9/30 H01L51/50 H01L27/32		
FI分类号	G09G3/3291 G09G3/3233 G09G3/20.624.B G09G3/20.623.R G09G3/20.680.G G09G3/20.641.D G09G3/20.623.X G09G3/20.623.V G09G3/20.611.D G09G3/20.611.C G09G3/20.611.J G09G3/20.642.J G09G3/20.623.D G09G3/20.642.A G09F9/30.338 G09F9/30.365 H05B33/14.A H01L27/32 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/BB06 5C080/CC03 5C080/CC04 5C080/DD05 5C080/DD07 5C080/DD10 5C080/DD12 5C080/DD19 5C080/DD24 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF13 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK43 5C094/AA15 5C094/AA21 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB01 5C094/FA01 5C094/FA02 5C094/FB19 5C380/AA01 5C380/AB06 5C380/AB19 5C380/AB34 5C380/AB45 5C380/AB46 5C380/AC05 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/BA05 5C380/BA09 5C380/BA11 5C380/BA19 5C380/BA20 5C380/BA22 5C380/BA25 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB05 5C380/BB06 5C380/BB08 5C380/BB15 5C380/BB16 5C380/CA04 5C380/CA10 5C380/CA12 5C380/CA16 5C380/CA17 5C380/CA22 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC65 5C380/CD015 5C380/CD025 5C380/CE04 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF22 5C380/CF24 5C380/CF43 5C380/CF48 5C380/CF53 5C380/CF54 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA44 5C380/DA46 5C380/EA02 5C380/GA13 5C380/GA14 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	井上 一 黑田靖		
审查员(译)	Naoaki 桥本		
其他公开文献	JP2017134425A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于通过减小像素部分数据线的幅度而驱动的显示装置的电容分割驱动方法中使用的电容布局，以防止垂直串扰。 解决方案：设置在显示装置中的多个像素电路110中的每一个在发光元件OLED，用于向发光元件提供驱动电流的第一晶体管121，以及第一晶体管的数据线和栅极之间导通。以及在第一晶体管的栅极和漏极之间导通/截止的第三晶体管123。显示装置还包括：第一存储电容器44，插入并连接在多条数据线的中间，并对第一晶体管的驱动电压进行电平移位;以及存储电容器50，用于保持多条数据线中的每条数据线的电位。。 N个第一保持电容器，每个电容器的电极宽度等于或小于在行方向X上相邻的N (N是多

个) 像素电路的宽度, 并且电极宽度等于或大于一个像素电路的宽度它被放置。[选图]图6

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6520981号
(P6520981)

(45) 発行日 令和1年5月29日(2019.5.29)

(24) 登録日 令和1年5月10日(2019.5.10)

(5) Int. Cl.	F I
G09G 3/3291 (2016.01)	G09G 3/3291
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 624B
G09F 9/30 (2006.01)	G09G 3/20 623R
H01L 51/50 (2006.01)	G09G 3/20 680G

請求項の数 10 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2017-82946 (P2017-82946)	(73) 特許権者	000002369
(22) 出願日	平成29年4月19日(2017.4.19)		セイコーエプソン株式会社
(62) 分割の表示	特願2013-60194 (P2013-60194)の分割		東京都新宿区新宿四丁目1番6号
原出願日	平成25年3月22日(2013.3.22)	(74) 代理人	100090479
(65) 公開番号	特開2017-134425 (P2017-134425A)		弁理士 井上 一
(43) 公開日	平成29年8月3日(2017.8.3)	(74) 代理人	100104710
審査請求日	平成29年5月12日(2017.5.12)		弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	田村 剛
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野村 猛
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】表示装置及び電子機器