

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4934964号
(P4934964)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641A
	G09G 3/20 642E
請求項の数 11 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2005-28020 (P2005-28020)	(73) 特許権者	000002185
(22) 出願日	平成17年2月3日(2005.2.3)		ソニー株式会社
(65) 公開番号	特開2006-215274 (P2006-215274A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年8月17日(2006.8.17)	(74) 代理人	100086841
審査請求日	平成20年1月28日(2008.1.28)		弁理士 脇 篤夫
		(74) 代理人	100114122
			弁理士 鈴木 伸夫
		(72) 発明者	中村 和夫
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	一宮 誠
			最終頁に続く

(54) 【発明の名称】 表示装置、画素駆動方法

(57) 【特許請求の範囲】

【請求項1】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、

各画素回路は、有機エレクトロルミネッセンス薄膜が、MOSプロセスにより形成された第1、第2、第3のトランジスタ及び容量により発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が接続され、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、

上記容量の他端には時間的に増減するランプ信号が印加され、

上記第2のトランジスタのゲートはバイアス電源に接続され、

上記第2のトランジスタのソース/ドレインの一方は正電源に接続され、他方は上記第3のトランジスタに接続されており、

上記第1のトランジスタは、上記走査線から供給される走査パルスに応じて導通され、導通時に、上記信号線からの信号値が上記容量に書き込まれ、

上記第2のトランジスタが定電流源として動作するように上記バイアス電源が設定され、

上記第3のトランジスタの非導通期間に、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われるように構成されている表示装置。

【請求項 2】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、

各画素回路は、有機エレクトロルミネッセンス薄膜が、MOSプロセスにより形成された第1、第2、第3のトランジスタ及び容量により発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が接続され、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、

上記容量の他端には時間的に増減するランプ信号が印加され、

上記第2のトランジスタのゲートはバイアス電源に接続され、

上記第2のトランジスタのソース/ドレインの一方は正電源に接続され、他方は上記第3のトランジスタに接続されており、

上記第1のトランジスタは、上記走査線から供給される走査パルスに応じて導通され、導通時に、上記信号線からの信号値が上記容量に書き込まれ、

上記第2のトランジスタが定電流源として動作するように上記バイアス電源が設定され、

上記第3のトランジスタのソース/ドレインの一方が固定電位に接続され、他方が上記第2のトランジスタと上記有機エレクトロルミネッセンス薄膜のアノード電極に接続される表示装置。

【請求項 3】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、

各画素回路は、有機エレクトロルミネッセンス薄膜、第1、第2、第3のトランジスタ及び容量を備え、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が接続され、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、

上記容量の他端には時間的に増減するランプ信号が印加され、

上記第2のトランジスタのゲートはバイアス電源に接続され、

上記第2のトランジスタのソース/ドレインの一方は電源に接続され、他方は上記第3のトランジスタに接続されており、

上記第3のトランジスタのソース/ドレインの一方が固定電位に接続され、他方が上記第2のトランジスタと上記有機エレクトロルミネッセンス薄膜に接続される表示装置。

【請求項 4】

上記第3のトランジスタは、上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧によりスイッチングされる請求項1ないし請求項3のいずれか1項に記載の表示装置。

【請求項 5】

上記画素回路として、R画素回路、G画素回路、B画素回路の組が1単位としてマトリクス状に配列され、

上記バイアス電源によるバイアス電圧としては、R画素回路に対するR画素用バイアス電圧、G画素回路に対するG画素用バイアス電圧、B画素回路に対するB画素用バイアス電圧が、それぞれ設定される請求項1ないし請求項3のいずれか1項に記載の表示装置。

【請求項 6】

上記ランプ信号は、上記第1のトランジスタが非導通の期間に、1フレーム周期より十分短い周期で増減を繰り返す信号として、上記容量の他端に印加されるとともに、

上記第1のトランジスタが導通されている期間は、上記容量の他端には所定の基準電圧が印加される請求項1ないし請求項3のいずれか1項に記載の表示装置。

【請求項 7】

上記ランプ信号は、上記第1のトランジスタが非導通の期間に、1フレーム周期より十

10

20

30

40

50

分短い周期で増減を繰り返す信号として、上記容量の他端に印加されるとともに、

上記第1のトランジスタが導通されている期間は、上記容量の他端には、上記第3のトランジスタの閾値電圧を越える所定の基準電圧が印加される請求項1ないし請求項3のいずれか1項に記載の表示装置。

【請求項8】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置され、

各画素回路は、有機エレクトロルミネッセンス薄膜が、MOSプロセスにより形成された第1、第2、第3のトランジスタ及び容量により発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が接続され、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、

上記容量の他端には時間的に増減するランプ信号が印加され、

上記第2のトランジスタのゲートはバイアス電源に接続され、

上記第2のトランジスタのソース/ドレインの一方は正電源に接続され、他方は上記第3のトランジスタに接続されている表示装置の画素駆動方法として、

上記第2のトランジスタが定電流源として動作するように上記バイアス電源を設定するとともに、

上記走査線から供給される走査パルスにより上記第1のトランジスタを導通させて、上記信号線からの信号値を上記容量に書き込み、

上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧により上記第3のトランジスタをスイッチングさせ、

上記第3のトランジスタの非導通期間に、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われるようにした画素駆動方法。

【請求項9】

信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置され、

各画素回路は、有機エレクトロルミネッセンス薄膜が、MOSプロセスにより形成された第1、第2、第3のトランジスタ及び容量により発光駆動される構成とされ、

上記第1のトランジスタのゲートに上記走査線が接続され、

上記第1のトランジスタのソース/ドレインの一方に上記信号線が接続され、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、

上記容量の他端には時間的に増減するランプ信号が印加され、

上記第2のトランジスタのゲートはバイアス電源に接続され、

上記第2のトランジスタのソース/ドレインの一方は正電源に接続され、他方は上記第3のトランジスタに接続され、

上記第3のトランジスタのソース/ドレインの一方が固定電位に接続され、他方が上記第2のトランジスタと上記有機エレクトロルミネッセンス薄膜のアノード電極に接続されている表示装置の画素駆動方法として、

上記第2のトランジスタが定電流源として動作するように上記バイアス電源を設定するとともに、

上記走査線から供給される走査パルスにより上記第1のトランジスタを導通させて、上記信号線からの信号値を上記容量に書き込み、

上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧により上記第3のトランジスタをスイッチングさせて、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われるようにした画素駆動方法。

【請求項10】

上記第1のトランジスタが非導通の期間に、1フレーム周期より十分短い周期で増減を繰り返す信号としての上記ランプ信号を、上記容量の他端に印加するとともに、

上記第1のトランジスタが導通している期間は、上記容量の他端には所定の基準電圧を印加する請求項8または請求項9に記載の画素駆動方法。

【請求項11】

10

20

30

40

50

上記第1のトランジスタが非導通の期間に、1フレーム周期より十分短い周期で増減を繰り返す信号としての上記ランプ信号を、上記容量の他端に印加するとともに、

上記第1のトランジスタが導通している期間は、上記容量の他端には、上記第3のトランジスタの閾値電圧を越える所定の基準電圧を印加する請求項8または請求項9に記載の画素駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、特に発光素子として有機エレクトロルミネッセンス素子（有機EL素子）を用いた表示装置に関する。また、その表示装置の画素駆動方法に関する。

10

【背景技術】

【0002】

【特許文献1】国際公開01/54107号

【特許文献2】特開2004-246320

【0003】

近年、フラットパネルディスプレイ（FPD）として有機EL表示装置に関心が高まっている。現在、FPDでは液晶表示装置（LCD）が主流を占めているが、液晶表示装置は自発光デバイスではないので、バックライトや偏光板などの他部材を必要とする。このため、表示装置の厚みが増したり、輝度が不足するなどの事情が避けられない。

20

これに対して有機EL表示装置は自発光デバイスであり、バックライトなど他部材が原理的に不要で、薄型化や高輝度の実現性などの点でLCDと比較して有利である。特に、各画素にスイッチング素子を形成したアクティブマトリクス型有機EL表示装置では、各画素にホールド点灯させることで消費電流を低く抑えることができ、大画面化および高精細化が比較的容易に行えることから、各社で開発が進められており、次世代FPDの主流になると期待されている。

【0004】

また、近年ではデジタルスチルカメラ、デジタルカムコーダーなどに代表される個人用撮影機器が発達しており、それらのファインダー表示素子として、結晶珪素基板上に画素回路および駆動回路が形成されたLiquid Crystal on Silicon所謂LCOSあるいは高温または低温多結晶シリコンLCDが用いられている。

30

LCDを用いたファインダー素子では、透過型ではバックライトが、反射型ではフロントライトが必要であり、必然的にモジュール厚が増してしまい、機器の薄型化に不利となる。また、個人用撮影機器の小型化とともにファインダー自体も小型され、それに伴い画素自体も縮小される傾向にあり、透過型LCDでは開口部が十分にとれず、性能限界に近づきつつある。反射型ではLCOSが主流になりつつあるが、やはり照明系は必要であり、機器の薄型化に寄与しない。

一方、有機ELをビューファインダー表示素子として用いた場合には、自発光であるのでLCDのような照明系を必要せず、機器の薄型化に寄与できる。また、有機ELの素子構造として上面発光の素子を用いることで、開口率も性能上十分な値を確保できる。

40

【0005】

また、近年ではビューファインダーも高精細化の道をたどりつつあり、QVGA（Quarter Video Graphics Array：320×240画素）からVGA（Video Graphics Array：640×480画素）、さらにはSVGA（Super Video Graphics Array：800×600画素）やXGA（Extended Graphics Array：1024×768画素）の要求が機器メーカーから出ている。

これらの高精細化の要求に対応するには、LCOSのようにMOSプロセスを用いるのは当然のこととして、さらに画素駆動回路の素子数を減少させる必要がある。

【発明の開示】

50

【発明が解決しようとする課題】

【0006】

一般的に有機ELを駆動する画素回路では、トランジスタの閾値変動やトランスコンダクタンス変動を補償する機構が必要で、様々な技術が提案されている。しかし、これらの回路の大部分は、トランジスタ数が5個程度と多い。また、MOSプロセスによりトランジスタを形成した場合には、MOSトランジスタの移動度が約 $300 \sim 600 \text{ cm}^2/\text{V} \cdot \text{s}$ と大きく、高精細な微小画素を駆動する場合には、電流供給能力が大きすぎる。

MOSプロセスによくフィットし、且つ素子数が少ない回路としては、上記特許文献1に記載された回路が知られている。この画素回路は2個のトランジスタと1個の容量で形成されている。

10

【0007】

以下、この従来の画素回路について図面を用いて説明する。図13は従来の画素回路を示し、また図14は図13の回路の動作タイミングを示している。

回路構成としては、トランジスタは全てP型で構成されており、サンプリングトランジスタT11のゲートに映像信号の取り込み制御を行う走査線WSが接続され、ソースには映像信号線SIGが、ドレインには容量Csの一端と駆動トランジスタT12のゲートが接続される。

駆動トランジスタT12のソースには電源Vccが与えられ、ドレインには有機EL素子4のアノード電極が接続される。有機EL素子4のカソードはカソード電源Vkのラインに接続される。

20

容量Csの他端には、電圧Vcsの供給ラインLVcsが接続される。

【0008】

この画素回路の動作は、図14の時点tm1で、走査線WSの走査パルスが低電位になることでサンプリングトランジスタT1をオンにする。これにより、容量Csの一端であるノードNAの電位を映像信号電位に設定する。即ち映像信号線SIGによって与えられる信号電圧Vsを容量Csに書き込む。

このとき、容量Csに電圧Vcsを供給するラインLVscは、ある基準電位Vrefに固定される($Vcs = Vref$)。

【0009】

時点tm2で走査線WSの走査パルスが高電位とされ、サンプリングトランジスタT1がカットオフされる。この時点tm2で、ラインLVcsから容量Csに与えられる電圧Vcsは、基準電位Vrefから最高電位Vrまで時間的に増加するランプ信号とされる。このランプ信号の周期は1フレームより十分短く、通常1水平期間に設定される。

30

このとき、容量Csの容量カップリングにより、ランプ信号による電圧Vcsの増加に伴ってノードNAの電位、即ち駆動トランジスタT12のゲート電圧は、信号電圧VsからVs + Vrまで増加することになる。この電圧増加期間中において、ある時点でノードNAの電位が駆動トランジスタT12のカットオフ電圧(閾値電圧Vth)に到達する。すると、駆動トランジスタT12は遮断され、有機EL4への電流Ielの供給は停止される。

その時点まで、つまり駆動トランジスタT12が導通されている間は、駆動トランジスタT12を介して有機EL素子4に電流Ielが供給されるため、有機EL素子4は発光している。

40

時点tm2 ~ tm3にこのような動作が行われるが、時点tm3 ~ tm4、時点tm4 ~ tm5も同様の動作が行われる。即ち例えば1フレーム内の1水平期間(tm1 ~ tm2)において映像信号電位Vsの書込が行われた後は、そのフレーム内の後続する各水平期間でランプ信号によって時点tm2 ~ tm3と同様の動作が行われることになる。

なお、駆動トランジスタT12は線形領域で動作しておりスイッチング素子として用いられているため、駆動トランジスタT12がオンしている期間は、電源Vccと有機EL素子4のアノードが直結されており、いわゆる定電圧駆動となっている。

【0010】

50

ここで、駆動トランジスタT12がオンしている時間Tonは、ランプ信号波形が直線的に増加するとして、以下の式で表現される。

$$T_{on} = (V_{th} / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h \quad \dots (式1)$$

但しVthは駆動トランジスタT12の閾値電圧、Vrは電圧Vcs振幅、Vccは電源電圧、Vsは映像信号電位、Thは一水平期間の周期を表す。

駆動トランジスタT12がオンしている時間Tonは、有機EL素子4が発光する期間であり、つまり有機EL素子4は、例えば1水平期間(1H)内において、ノードNAに与えられる映像信号電圧Vsに応じた時間だけ発光することになる。このように有機EL素子4が映像信号電圧Vsに応じた時間だけ発光することで階調制御される。

【0011】

ところで一般にトランジスタの閾値電圧Vthは経時変動する。

ここで、閾値電圧Vthが± Vthだけ変動すると、

$$T_{on} = ((V_{th} \pm V_{th}) / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h \quad \dots (式2)$$

となり、駆動トランジスタT12のオン時間Tonが変動してしまう。

ところが、MOSトランジスタの閾値電圧変動 Vthは±10mV程度であることから、ランプ信号振幅Vrを十分大きく、例えば1V程度にすることで、閾値電圧変動 Vthを、その1%程度に抑え込むことが可能であり、実用上問題無い。つまりオン時間Tonが閾値電圧変動 Vthによって大きく影響を受けるものとはならない。

また、オン時間Tonにより階調制御しているので、ランプ信号振幅Vrを大きく設定すれば、各画素での駆動トランジスタT12の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が一水平周期と高速であるので、フリッカも無い。

【0012】

しかしながら、図13のような従来回路では、発光時には有機EL素子4に定電圧が印加される。

一般に有機EL素子を駆動する際、定電流駆動のほうが定電圧駆動に比較して、有機EL寿命が長い。これを図15を用いて説明する。

図15(a)は有機ELの電流-電圧特性(I-V曲線)を示し、図15(b)は電流-輝度特性(I-L曲線)を示している。

まず図15(a)のI-V曲線であるが、初期の特性は実線のようになるが、経時劣化により破線のようになる。すると、初期には、電圧Voで電流Ioであったものが、経時劣化でIだけ電流が低下する。すなわち、ある定電圧Voで駆動した場合には、Iだけ電流が劣化する。

次に図15(b)のI-L曲線を見ると、初期の特性は実線のようになるが、経時劣化により破線のようになる。すると、定電流駆動している場合には、初期の<A>点から点までの経時劣化で収まるが、定電圧駆動の場合には図15(a)に見られたようにIだけ電流が劣化するので、I-L劣化は<C>点まで進み、劣化度合いが大きい。

このことから、有機EL表示装置の長寿命化のためには定電流駆動が望ましいものとなるが、図13で示した従来回路では定電流駆動は不可能である。

【0013】

また図13で示した回路以外で、ランプ信号を用いてトランジスタ特性バラツキの影響を緩和する画素回路が上記特許文献2に記載されているが、その画素回路は低温多結晶シリコンの特性を基にしているため、基本回路の素子数が7トランジスタ+1容量と多く、高精細な画素には不向きである。

【0014】

これらのことから、少ない素子数で定電流駆動を実現し、またトランジスタの特性ばらつきを緩和することで、長寿命、高精細かつ高画質である有機EL表示装置の画素駆動回路が求められている。

【0015】

10

20

30

40

50

さらには、図13で示した画素回路では、図14の時点 $t_{m1} \sim t_{m2}$ の映像信号取り込み時には、階調には殆ど依存せずに有機EL素子4に電源電圧 V_{cc} が印加されることになり、有機EL素子4に電流 I_p が流れる。つまり時点 $t_{m1} \sim t_{m2}$ の映像信号取り込み時に有機EL素子4は偽発光状態となってしまう。

この場合の1フレームでの平均電流 I_{ave} は、

$$I_{ave} = \{ I_p + (T_{on} / T_h) \cdot (N_v - 1) \cdot I_p \} / N_v \quad \dots (式3)$$

となる。但し I_p はピーク電流、 T_{on} は1水平期間内でのON時間、 T_h は1水平周期、 N_v は垂直ライン数である。

ここで、黒表示の場合には、 $T_{on} = 0$ であるので $I_{ave} = I_p / N_v$ であり、黒が浮いてしまう。白表示の場合には、 $T_{on} = T_h$ であるので、 $I_{ave} = I_p$ となる。よって、コントラスト比は N_v となり、垂直ライン数で規定されてしまい、原理的に N_v 以上のコントラストを実現することはできないものとなる。

このことから、コントラスト比が高く鮮明な画像を表示可能で、かつ長寿命、高精細である有機EL表示装置の画素駆動回路の実現も求められている。

【課題を解決するための手段】

【0016】

本発明は上記のような問題点を鑑みなされたもので、第1に、少ない素子数で定電流駆動を実現し、またトランジスタ特性ばらつきを緩和することで、長寿命、高精細かつ高画質である有機EL表示装置の画素駆動回路を提供することを目的とする。さらに第2に、コントラスト比が高く鮮明な画像を表示可能とすることを目的とする。

【0017】

本発明の表示装置は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置されて成る表示装置であって、各画素回路は、有機エレクトロルミネッセンス薄膜が、MOSプロセスにより結晶珪素で形成された第1、第2、第3のトランジスタ及び容量により発光駆動される構成とされる。各画素回路において、上記第1のトランジスタのゲートには上記走査線が、ソース/ドレインの一方には上記信号線が、他方には上記容量の一端と上記第3のトランジスタのゲートとが接続される。また上記容量の他端には時間的に増減するランプ信号が印加される。上記第2のトランジスタのゲートはバイアス電源に接続され、ソース/ドレインの一方は正電源に、他方は上記第3のトランジスタに接続される。そして上記第1のトランジスタは、上記走査線から供給される走査パルスに応じて導通され、導通時に、上記信号線からの信号値が上記容量に書き込まれ、また上記第2のトランジスタが定電流源として動作するように上記バイアス電源が設定され、上記第3のトランジスタの非導通期間に、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われるように構成されている。

また、上記第3のトランジスタのソース/ドレインの一方が固定電位に接続され、他方が、上記第2のトランジスタと上記有機エレクトロルミネッセンス薄膜のアノード電極に接続されており、上記第3のトランジスタの非導通期間に、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われる。

また上記第3のトランジスタは、上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧によりスイッチングされる。

また上記画素回路として、R画素回路、G画素回路、B画素回路の組が1単位としてマトリクス状に配列され、上記バイアス電源によるバイアス電圧としては、R画素回路に対するR画素用バイアス電圧、G画素回路に対するG画素用バイアス電圧、B画素回路に対するB画素用バイアス電圧が、それぞれ設定される。

また上記ランプ信号は、上記第1のトランジスタが非導通の期間に、1フレーム周期より十分短い周期で増減を繰り返す信号として、上記容量の他端に印加されるとともに、上記第1のトランジスタが導通されている期間は、上記容量の他端には所定の基準電圧が印加される。

また上記所定の基準電圧とは、上記第3のトランジスタの閾値電圧を越える所定の基準電圧であるものとする。

【0018】

本発明の画素駆動方法は、信号線と走査線が交差する部分に形成される画素回路がマトリクス状に配置され、各画素回路は、有機エレクトロルミネッセンス薄膜が、結晶珪素基板上にMOSプロセスにより形成された第1, 第2, 第3のトランジスタ及び容量により発光駆動される構成とされ、上記第1のトランジスタのゲートに上記走査線が接続され、上記第1のトランジスタのソース/ドレインの一方に上記信号線が、他方に上記容量の一端と上記第3のトランジスタのゲートとが接続され、上記容量の他端には時間的に増減するランプ信号が印加され、上記第2のトランジスタのゲートはバイアス電源に接続され、上記第2のトランジスタのソース/ドレインの一方は正電源に、他方は上記第3のトランジスタに接続されている表示装置の画素駆動方法である。そして上記第2のトランジスタが定電流源として動作するように上記バイアス電源を設定するとともに、上記走査線から供給される走査パルスにより上記第1のトランジスタを導通させて上記信号線からの信号値を上記容量に書き込み、上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧により上記第3のトランジスタをスイッチングさせ、上記第3のトランジスタの非導通期間に、上記第2のトランジスタによる定電流が上記有機エレクトロルミネッセンス薄膜に流れて発光が行われるようにする。

10

【0019】

このような本発明では、MOSプロセスを用いて形成される画素回路において、第2のトランジスタを定電流源とし、第3のトランジスタと直列または並列に接続された有機EL薄膜に対して、第3のトランジスタの導通期間または非導通期間に、定電流を印加して有機EL薄膜を発光させるものである。

20

第3のトランジスタが、上記容量に書き込まれた信号値と、上記ランプ信号とによるゲート電圧によりスイッチングされることで、信号値に応じた期間、有機EL薄膜が発光される。つまり映像信号値に応じて階調制御が行われて表示動作が行われる。

【発明の効果】

【0020】

本発明によれば、有機EL表示装置として、そのMOSプロセスで形成された画素回路において、直流バイアスで制御される定電流源トランジスタ(第2のトランジスタ)で生成される電流を信号値(アナログ映像信号電位)と時間的に増減するランプ信号を用いて、駆動トランジスタ(第3のトランジスタ)を制御することでトランジスタ特性バラツキの影響を受けづらい定電流パルス幅変調を行う。このようにして定電流駆動での有機EL薄膜の発光動作を行うことで、少素子の画素回路構成において長寿命化が実現でき、またトランジスタ特性バラツキの影響を受けにくいことや、少素子の画素回路構成により、高精細かつ高画質化に有利なものとなる。

30

【0021】

また上記バイアス電圧としては、R画素回路に対するR画素用バイアス電圧、G画素回路に対するG画素用バイアス電圧、B画素回路に対するB画素用バイアス電圧が、それぞれ個別に設定されることで、R、G、Bの各色の発光効率や色の見え方に応じた適切な電流量を各有機EL薄膜に印加でき、高画質化を実現できると共に、バイアス設定によってホワイトバランス調整が可能となる。

40

【0022】

また第1のトランジスタが導通されている期間(つまり信号値の容量への書込期間)は、上記容量の他端には所定の基準電圧が印加されるが、この所定の基準電圧を、上記第3のトランジスタの閾値電圧を越える電圧とすることで、第1のトランジスタを確実に非導通状態(有機EL薄膜と直列の場合)、或いは導通状態(有機EL薄膜と並列の場合)とすることができ、有機EL薄膜の偽発光を防止できる。これにより高コントラストの有機EL表示装置を実現できる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態として、表示装置全体構成を説明した後、第1～第4の実施

50

の形態として画素回路構成や動作を説明する。

【0024】

[表示装置構成]

図1に実施の形態の表示装置の構成を示す。本例の表示装置では、画素アレイ1としてカラー画素ユニットGSがm行×n列のマトリクス状に配列されている。

1つのカラー画素ユニットは、R(赤)画素回路10R、B(青)画素回路10B、G(緑)画素回路10Gから構成される。そしてこのようなカラー画素ユニットGS11～GSnmがマトリクス状に配列される。図では画素アレイ1における4隅のカラー画素ユニットGS11、GS1n、GSm1、GSnmのみを示し、他は省略している。

10

【0025】

このような画素アレイ1に対して、映像信号線駆動回路2、走査線駆動回路3が設けられる。

映像信号線駆動回路2には、水平クロックHCK、水平スタート信号HST、及び映像信号(Video)が入力される。映像信号線駆動回路2はこれらの信号に基づいて、画素アレイ1の各列に対して配設された映像信号線SIGに対して、各水平期間毎に映像信号を与える。

映像信号線SIGとしては、列方向に並ぶR画素回路10Rに対する映像信号線SIG-R、列方向に並ぶB画素回路10Bに対する映像信号線SIG-B、列方向に並ぶG画素回路10Gに対する映像信号線SIG-Gが設けられる。カラー画素ユニットGSはn列であるため、画素アレイ1に対して、映像信号線SIG-R(1)～SIG-R(n)、SIG-B(1)～SIG-B(n)、SIG-G(1)～SIG-G(n)が設けられることになり、映像信号線駆動回路2は、これらの映像信号線SIGに対してそれぞれ1水平期間毎に、列方向の各画素に応じたR映像信号、B映像信号、G映像信号を印加する。

20

【0026】

走査線駆動回路3には、垂直走査クロックVCK、垂直スタート信号VST、ランプ信号、及び基準電圧Vrefが与えられる。ランプ信号は、例えば1水平期間の周期で電圧値が0から最大値に増加する鋸歯状波信号とされる。

走査線駆動回路3はこれらの信号に基づいて、画素アレイ1の各行に対して配設された走査線WSに対して走査パルスを与え、また電圧印加線LVcsを駆動する。

30

画素アレイ1はm行の画素が構成されることから、走査線WSとしては走査線WS(1)～WS(m)が設けられ、また電圧印加線LVcs(1)～LVcs(m)が設けられる。走査線駆動回路3は、1フレーム期間内において、1水平期間毎に走査線WS(1)～WS(m)を順次選択する走査パルスを印加する。

各画素回路10(10R、10B、10G)には、それぞれ対応する行の走査線WSからの走査パルスと、電圧印加線LVcsからの電圧Vcsが与えられる。

走査線駆動回路3の構成については後に図5で説明する。

【0027】

画素アレイ1の各画素回路10(10R、10B、10G)に対しては、電源電圧Vcとカソード電圧Vkが与えられる。

40

また、画素アレイ1のR画素回路10Rに対してはバイアス電圧VbRが、画素回路10Bに対してはバイアス電圧VbBが、画素回路10Gに対してはバイアス電圧VbGが、それぞれ与えられる。

【0028】

[第1の実施の形態]

以下、上記図1の表示装置構成における画素回路10(10R、10B、10G)の実施の形態として、第1～第4の実施の形態を説明していく。

図2は第1の実施の形態としての画素回路10を示している。

50

この画素回路10は有機EL素子4を駆動する回路が3つのP型トランジスタT1, T2, T3と1つの容量Csで形成されている。

第1のトランジスタT1(以下、サンプリングトランジスタT1)は、そのゲートが映像信号取り込み制御のための走査線WSに接続される。またドレインには映像信号線SIGが接続され、ソースには容量Csの一端と第3のトランジスタT3(以下、駆動トランジスタT3)のゲートが接続される。この駆動トランジスタT3のゲートノードをノードNAとして示している。

容量Csの他端には、電圧印加線LVcsが接続され、上記の走査線駆動回路3により電圧Vcsが印加される。

【0029】

第2のトランジスタT2(以下、電流源トランジスタT2)のソースには電源Vccのラインが接続され、またゲートには電流調整用バイアス電源Vbのラインが接続される。ドレインは駆動トランジスタT3のソースと接続される。

駆動トランジスタT3のドレインには有機EL4のアノードが接続され、有機EL4のカソードはカソード電源Vkのラインに接続される。

電流源トランジスタT2は、飽和領域で動作するように設定されており定電流Ioを流す。バイアス電位Vbは電流Ioが、駆動する有機EL素子4で必要とされる電流値となるように設定される。例えば、輝度200nitを得るのに5nA必要なら、Io=5nAと設定する。

駆動トランジスタT3がオンとされる期間、定電流Ioが、有機EL素子4に電流Ie1として流れ、有機EL素子4が発光することになる。

【0030】

図3に、図2の画素回路10の動作原理を示す。

まず時点tm1において、走査線WSの走査パルスを低電位にすることで、サンプリングトランジスタT1をオン状態にする。すると映像信号線SIGより映像信号が容量Csに充電されて、ノードNAの電位は映像信号電位Vsとなる。なお、このサンプリングトランジスタT1がオン状態の間は、電圧印加線LVcsの電圧Vcsは基準電位Vrefに固定される。基準電圧Vrefは通常グラウンドレベルに設定される。

即ち走査線WSの走査パルスが低電位とされている時点tm1~tm2は、映像信号の書込期間であり、基準電圧Vrefがグラウンドレベルであることで、ノードNAの電位を映像信号電位Vsとする期間である。

【0031】

時点tm2で走査線WSが高電位になることでサンプリングトランジスタT1がオフとされる。同時に時点tm2から電圧印加線LVcsの電圧Vcsは、電圧値を基準電圧VrefからVrまで時間的に増加させるランプ信号電圧とする。このランプ信号の周期は、1フレーム期間より十分短く設定する。例えば、1水平周期(1H)が適当である。

電圧Vcsの増加に伴い、ノードNAの電位は容量Csの電荷保持により、信号電位VsからVs+Vrまで上昇する。この間において、ノードNAの電位が駆動トランジスタT3の閾値電圧Vthに到達すると、駆動トランジスタT3が遮断され、有機EL素子4への電流供給は停止される。その時点まで、つまり駆動トランジスタT3がオンとされている間は、電流源トランジスタT2とバイアス電位Vbにより決定される一定電流Ioが有機EL素子4に流れることになる。

時点tm2~tm3にこのような動作が行われるが、時点tm3~tm4、時点tm4~tm5も同様の動作が行われる。即ち例えば1フレーム内の1水平期間(tm1~tm2)において映像信号電位Vsの書込が行われた後は、1フレーム期間内で後続する各水平期間に、ランプ信号による電圧Vcsの時間的増加に応じて時点tm2~tm3と同様の動作が行われることになる。

【0032】

ここで、駆動トランジスタT3がオンになっている時間Tonは、上述した式1のとおり、 $Ton = (Vth / Vr) \cdot Th + (Vcc - Vs) / Vr \cdot Th$ で表現され、電圧

10

20

30

40

50

V_r 、即ちランプ信号振幅が十分大きければ、駆動トランジスタ T_3 の閾値電圧 V_{th} の変動には、ほとんど左右されない。

つまり、MOSトランジスタの閾値電圧変動 V_{th} は $\pm 10\text{mV}$ 程度であることから、ランプ信号振幅 V_r を十分大きく、例えば 1V 程度にすることで、閾値電圧変動 V_{th} を、その 1% 程度に抑え込むことが可能であり、オン時間 T_{on} が閾値電圧変動 V_{th} によって大きく影響を受けるものとはならない。

結局、人間が視認する明るさ Y は、

$$Y = I_o \cdot T_{on}$$

となり、階調は T_{on} で制御される。

そしてこのようにオン時間 T_{on} で階調制御しているので、ランプ信号振幅 V_r を大きく設定すれば、各画素での駆動トランジスタ T_3 の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が一水平周期と高速であるので、フリッカも無い。

【0033】

そしてこの画素回路10の場合、有機EL素子4は発光期間中、定電流 I_o により駆動されるので、劣化は定電圧駆動する場合に比べて小さいものとしてできる。つまり先に述べた図15に沿っていえば、初期に図15(b)の<A>点の輝度が得られていたときに、経時劣化によっては輝度は点までしか下がらず、<C>点まで劣化してしまう従来の画素回路に比べて劣化の度合いが小さい。これによって長寿命化が実現される。

【0034】

図4は、図1の表示装置構成において、画素回路10の1フレームでの動作を模式的に表している。

各行の走査線 $WS(1)$ 、 $WS(2)$ ・・・ $WS(x)$ ・・・は、それぞれ順次選択されるように走査線駆動回路3からの走査パルスが与えられる。これによって各行の画素回路10は、その走査パルスのローレベル期間を、上記図3の時点 t_{m1} ～ t_{m2} として上述の動作を行い、駆動トランジスタ T_3 のスイッチングに応じた期間、つまり映像信号線SIGから与えられた映像信号電位 V_s に応じた期間、有機EL素子4に電流 I_{e1} を流して発光駆動する。図4に示すように、各行の画素回路10では、フレーム毎に書き込まれる映像信号に応じて、有機EL素子4への電流 $I_{e1}(1)$ 、 $I_{e1}(2)$ ・・・ $I_{e1}(x)$ ・・・として定電流 I_o の通電時間が変化している。

【0035】

ここで、図5により走査線駆動回路3の構成例を示しておく。

走査線駆動回路3は、画素アレイ1の各行に対応してレジスタ $21(1)$ ～ $21(m)$ による m 段のシフトレジスタが形成される。レジスタ $21(1)$ には垂直スタートパルスVSTが入力されるとともに、各レジスタ $21(1)$ ～ $21(m)$ は、水平期間周期の垂直走査クロックVCKに従って、垂直スタートパルスVSTを出力すると共に後段のレジスタに送る。

各レジスタ $21(1)$ ～ $21(m)$ に対しては、レベルシフト回路22，バッファアンプ23，スイッチ24，26，インバータ25が設けられている(図ではレジスタ $21(1)$ についてのみ示している)。

レジスタ $21(1)$ から出力されたパルスはレベルシフト回路22でレベルシフトされ、例えば低電位 0V 、高電位 6V の走査パルスとされる。そしてバッファアンプ23を介して走査線 $WS(1)$ に出力される。

続く各レジスタ $21(2)$ ～ $21(m)$ に対しても、同様の回路で走査線 $WS(2)$ ～ $WS(m)$ に走査パルスが出力されることで、上記図4のように、各行が順次選択された走査パルスが画素アレイ1に与えられる。

また、端子27には上述したように振幅 V_r で、1水平期間を1周期としたランプ信号が入力されている。さらに端子28には、例えばグランド電位(0V)としての基準電圧 V_{ref} が与えられている。

スイッチ24はレベルシフト回路22からの走査パルスが制御パルスとして与えられて

10

20

30

40

50

オン/オフされる。またスイッチ26は、インバータ25による走査パルスの反転信号が制御パルスとして与えられてオン/オフされる。ここでスイッチ24, 26は、それぞれ制御パルスが高電位の際にオンとされる。

従って、走査線WSの走査パルスが低電位の期間は、電圧印加線LVcsに基準電圧Vrefが与えられ、走査線WSの走査パルスが低電位の期間は、電圧印加線LVcsにランプ信号が与えられることになり、画素回路10の容量Csの他端に与えられる電圧Vcsは、図3に示したようになる。

【0036】

ところで、図2では1つの画素回路10のみについて示したが、図1で述べたように1つのカラー画素ユニットGSは、R画素回路10R、B画素回路10B、G画素回路10Gから成る。この1つのカラー画素ユニットGSとして見た場合の回路構成を図6に示す。

10

R画素回路10R、B画素回路10B、G画素回路10Gは、それぞれが図2で説明した構成となり、図3の動作を行う。これによってR画素回路10Rでは、映像信号線SIG-Rに与えられたR映像信号電位に応じた期間、有機EL素子4Rが発光駆動され、同様に、B画素回路10B、G画素回路10Gは、それぞれ映像信号線SIG-B、SIG-Gに与えられたB映像信号電位、G映像信号電位に応じた期間、有機EL素子4B、4Rが発光駆動される。

【0037】

ここで、各画素回路10R、10B、10Gは、それぞれ有機EL素子4R、4B、4Gに対して定電流駆動を行うわけであるが、バイアス電圧Vbは、それぞれR、B、Gに対して個別に設定される。即ちR画素回路10Rではバイアス電圧VbRが設定されて定電流IRの値が決められる。B画素回路10Bではバイアス電圧VbBが設定されて定電流IBの値が決められる。G画素回路10Gではバイアス電圧VbGが設定されて定電流IGの値が決められる。

20

このように色毎にバイアス電位を設定することで、カラー表示の際のホワイトバランス調整でピーク電流を設定できる。従って、ホワイトバランス調整でトランジスタサイズを調整することなく、外部からの調整を直流電位で設定できることとなるため、映像信号のダイナミックレンジを色毎に設定する必要がなく、外部回路を簡略化できる。

また、チップ間トランジスタ特性バラツキによる補正も外部バイアス電源電位を変更することで容易に対応できる。

30

また発光効率や色の見え方は、R、B、G各色で異なるが、それに応じた調整もバイアス電圧VbR、VbB、VbGの設定で可能となる。さらには有機EL素子4としての薄膜の材料などによっても発光効率が変わるが、それに対する調整も可能である。

一例として、例えば電流IRは1.8nA、電流IBは3nA、電流IGは5nAなどに調整することが考えられる。

【0038】

図2の画素回路10は、MOSプロセスにより形成される。この画素回路10を実現するレイアウト図を図7に示し、また有機EL画素回路の断面構造例を図8に模式的に示す。

40

まず図8でMOSプロセスで形成される画素回路10の構造を述べる。既に公知であるように、MOSプロセスでは結晶珪素基板(シリコンウエハ)上に不純物添加、拡散を行い、ポリシリコン膜、酸化膜、層間絶縁膜等を成膜していくことでトランジスタを形成し、また素子間の配線のためのアルミまたは銅などによる金属配線膜を生成して所要の回路を構成する。

本例の有機EL画素回路の場合、図示するようにトランジスタT1, T2, T3及び容量Csが形成されるとともに、3層に金属配線膜(第1金属配線膜MT1, 第2金属配線膜MT2, 第3金属配線膜MT3)が形成される。各層の間はコンタクトとして層間プラグCTが形成されて電氣的に接続される。

そして最上層としてアノード電極41, EL薄膜42, カソード電極43が蒸着形成さ


50

れる。

図2の画素回路10の場合、駆動トランジスタT3のドレインが有機EL素子4のアノードに接続されるが、このためには例えば図8のように、駆動トランジスタT3のドレイン領域が、層間プラグCTや金属配線膜MT1, MT2, MT3を介してアノード電極41に接続されることになる。

【0039】

この図8は、あくまで模式的に層構造を示したものであるが、図2の画素回路10に対応したレイアウト例は図7のようになる。

図7(a)は第1金属配線膜MT1以下の層を、図7(b)は第1金属配線膜MT1と第2金属配線膜MT2を、図7(c)は第2金属配線膜MT2と第3金属配線膜MT3を、それぞれ示している。各図において、層間プラグ(コンタクト)CTとしての上下層のコンタクト部分を「」で示している。

10

【0040】

図7(a)において、破線でソース領域、ドレイン領域、容量Csの一方の電極領域を、また一点鎖線でゲート領域及び容量Csの他方の電極領域を示しており、図示するようにサンプリングトランジスタT1、電流源トランジスタT2、駆動トランジスタT3、容量Csが形成される。

また実線で示す第1金属配線膜MT1により、映像信号線SIGと必要な素子間配線が形成される。

また図7(b)では第1金属配線膜MT1を破線で、第2金属配線膜MT2を実線で示しているが、第2金属配線膜MT2により走査線WS、電圧印加線LVcsが形成される。

20

さらに図7(c)では第2金属配線膜MT2を破線で、第3金属配線膜MT3を実線で示しているが、第3金属配線膜MT3により電源電圧Vccラインと、バイアス電圧Vbラインが形成される。

【0041】

まず図7(a)からわかるように、第1金属配線膜MT1による映像信号線SIGはコンタクトCT11によりサンプリングトランジスタT1のドレイン領域(破線部)に接続される。

サンプリングトランジスタT1のゲート領域(一点鎖線部)はコンタクトCT10により、図7(b)の第2金属配線膜MT2の走査線WSに接続される。

30

図7(a)のサンプリングトランジスタT1のソース領域(破線部)は、コンタクトCT9により第1金属配線膜MT1の配線と接続され、コンタクトCT4により、駆動トランジスタT3のゲート領域(一点鎖線部)に接続される。また、この第1金属配線膜MT1の配線に対してはコンタクトCT7で、容量Csの一方の電極(破線部)が接続される。

容量Csの他方の電極(一点鎖線部)は、コンタクトCT8により、図7(b)の第2金属配線膜MT2による電圧印加線LVcsに接続される。

図7(a)の駆動トランジスタT3のドレイン領域(破線部)は、コンタクトCT5で第1金属配線膜MT1に接続され、さらにこのコンタクトCT6で図7(b)(c)の第2金属配線膜MT2、第3金属配線膜MT3に接続される。そしてさらに第3金属配線膜MT3からコンタクトCT6で上面の図示しないアノード電極41に接続されることになる。

40

図7(a)の駆動トランジスタT3のソース領域と電流源トランジスタT2のドレイン領域は連続領域(破線部)とされる。電流源トランジスタT2のゲート領域(一点鎖線部)はコンタクトCT3により、第1金属配線膜MT1、第2金属配線膜MT2を介して、図7(c)の第3金属配線膜MT3によるバイアス電圧Vbラインに接続される。

電流源トランジスタT2のソース領域(破線部)はコンタクトCT2により第1金属配線膜MT1に接続され、この第1金属配線膜MT1からコンタクトCT1により第2金属配線膜MT2を介して図7(c)の第3金属配線膜MT3による電源電圧Vccラインに

50

接続される。

【 0 0 4 2 】

以上のようなレイアウトで画素回路 1 0 が形成できるが、例えばこの画素回路 1 0 の縦横サイズとしては、 $9.0 \mu\text{m} \times 3.0 \mu\text{m}$ 程度とすることが可能である。

【 0 0 4 3 】

ここまで第 1 の実施の形態の画素回路 1 0 について説明してきたが、このような画素回路 1 0 を有する有機 E L 表示装置は、特に M O S プロセスで形成された有機 E L 画素回路において、直流バイアス V_b で制御される定電流源トランジスタ T 2 で生成される電流 I_o を、アナログ映像信号電位 V_s と時間的に増減するランプ信号によってスイッチングされる駆動トランジスタ T 3 で制御して有機 E L 素子 4 に供給するようにしている。これにより、トランジスタ特性バラツキの影響を受けづらい定電流パルス幅変調を行い、少素子、長寿命、高精細かつ高画質である有機 E L 表示装置を実現できる。

10

【 0 0 4 4 】

[第 2 の実施の形態]

図 9 , 図 1 0 により第 2 の実施の形態としての画素回路 1 0 を説明する。

図 9 の画素回路 1 0 も上記第 1 の実施の形態と同様に M O S プロセスで生成される回路であり、有機 E L 素子 4 を駆動する回路が、N 型のサンプリングトランジスタ T 1、P 型の電流源トランジスタ T 2、N 型の駆動トランジスタ T 3 としての 3 つのトランジスタと、1 つの容量 C_s で形成されている。

20

サンプリングトランジスタ T 1 は、そのゲートが映像信号取り込み制御のための走査線 W_S に接続される。またドレインには映像信号線 SIG が接続され、ソースは容量 C_s の一端と駆動トランジスタ T 3 のゲート、即ちノード N_A に接続される。

容量 C_s の他端には、電圧印加線 L_{Vcs} が接続され、図 1 の走査線駆動回路 3 により電圧 V_{cs} が印加される。

電流源トランジスタ T 2 のソースには電源 V_{cc} のラインが接続され、ゲートには電流調整用バイアス電源 V_b のラインが接続される。またドレインは駆動トランジスタ T 3 のドレインおよび有機 E L 素子 4 のアノードと接続される。

駆動トランジスタ T 3 のソースは固定電位 V_{lo} のラインが接続される。有機 E L 素子 4 のカソードにはカソード電源 V_k のラインが接続される。

30

電流源トランジスタ T 2 は、飽和領域で動作するように設定されており定電流 I_o を流す。バイアス電位 V_b は電流 I_o が、駆動する有機 E L 素子 4 で必要とされる電流値となるように設定される。例えば、輝度 200 nit を得るのに 5 nA 必要なら、 $I_o = 5 \text{ nA}$ と設定する。

この場合、駆動トランジスタ T 3 と有機 E L 素子 4 は並列とされている。従って、駆動トランジスタ T 3 がオフとされる期間、定電流 I_o が、有機 E L 素子 4 に電流 I_{el} として流れ、有機 E L 素子 4 が発光することになる。駆動トランジスタ T 3 がオンである期間は定電流 I_o は、電流 I_t として固定電位 V_{Io} 側に流れ込むことになる。

【 0 0 4 5 】

図 1 0 により回路動作を説明する。まず、時点 t_{m1} で走査線 W_S を高電位にすることで、N チャンネルのサンプリングトランジスタ T 1 をオン状態にする。すると映像信号線 SIG よりアナログ映像信号電位 V_s が容量 C_s に充電されてノード N_A の電位は V_s となる。この時点 $t_{m1} \sim t_{m2}$ の映像信号の書込期間、つまりサンプリングトランジスタ T 1 がオン状態の間は、電圧印加線 L_{Vcs} からの電圧 V_{cs} は基準電位 V_{ref} (例えばグラウンドレベル) に固定される。

40

【 0 0 4 6 】

時点 t_{m2} で走査線 W_S が低電位になることでサンプリングトランジスタ T 1 がオフとされる。同時に時点 t_{m2} から電圧印加線 L_{Vcs} の電圧 V_{cs} は、電圧値を基準電圧 V_{ref} から V_r まで時間的に増加させるランプ信号電圧とする。このランプ信号の周期は、1 フレーム期間より十分短く設定する。例えば、1 水平周期 ($1H$) が適当である。

50

電圧 V_{cs} の増加に伴い、ノード N_A の電位は容量 C_s の電荷保持により、信号電位 V_s から $V_s + V_r$ まで上昇する。この間において、ノード N_A の電位が駆動トランジスタ T_3 の閾値電圧 V_{th} に到達すると、駆動トランジスタ T_3 が導通される。この導通時点までは、電流源トランジスタ T_2 とバイアス電位 V_b により決定される定電流 I_o が有機 EL 素子 4 に流れる。駆動トランジスタ T_3 が導通した後は、駆動トランジスタ T_3 の導通時のオン抵抗は有機 EL 素子 4 のオン抵抗よりも十分小さいため、電流源トランジスタ T_2 より供給される電流 I_o は、駆動トランジスタ T_3 を介して固定電位 V_{lo} に流れ込み、有機 EL 素子 4 へは、殆ど流れないことになる。

時点 $t_{m2} \sim t_{m3}$ にこのような動作が行われるが、時点 $t_{m3} \sim t_{m4}$ 、時点 $t_{m4} \sim t_{m5}$ も同様の動作が行われる。即ち例えば 1 フレーム内の 1 水平期間 ($t_{m1} \sim t_{m2}$) において映像信号電位 V_s の書込が行われた後は、1 フレーム期間内で後続する各水平期間に、ランプ信号による電圧 V_{cs} の時間的増加に応じて時点 $t_{m2} \sim t_{m3}$ と同様の動作が行われることになる。

【0047】

ここで、駆動トランジスタ T_3 がオフとされて有機 EL 素子 4 に電流が流れている時間 T_{on} は、

$$T_{on} = (V_{th} / V_r) \cdot T_h + (V_{lo} - V_s) / V_r \cdot T_h \dots \text{(式4)}$$

となる。ただし V_{th} は駆動トランジスタ T_3 の閾値電圧、 V_r はランプ振幅、 T_h はランプ信号周期、 V_{lo} は駆動トランジスタ T_3 のソース電圧、 V_s は映像信号電圧である。

そしてこの時間 T_{on} は、電圧 V_r 、即ちランプ信号振幅が十分大きければ、駆動トランジスタ T_3 の閾値電圧 V_{th} の変動には、ほとんど左右されない。

つまり、 MOS トランジスタの閾値電圧変動 V_{th} は $\pm 10 mV$ 程度であることから、ランプ信号振幅 V_r を十分大きく、例えば $1 V$ 程度にすることで、閾値電圧変動 V_{th} を、その 1% 程度に抑え込むことが可能であり、オン時間 T_{on} が閾値電圧変動 V_{th} によって大きく影響を受けるものとはならない。

結局、人間が視認する明るさ Y は、

$$Y = I_o \cdot T_{on}$$

となり、階調は T_{on} で制御される。

そしてこのようにオン時間 T_{on} で階調制御しているので、ランプ信号振幅 V_r を大きく設定すれば、各画素での駆動トランジスタ T_3 の特性バラツキ起因による階調ズレや面内ザラツキを抑制できる。さらに、ランプ信号の周期が一水平周期と高速であるので、フリッカも無い。

そしてこの画素回路 10 の場合、有機 EL 素子 4 は発光期間中、定電流 I_o により駆動されるので、上述した第 1 の実施の形態と同様、有機 EL 素子 4 の劣化は定電圧駆動する場合に比べて小さいものとする。

【0048】

この第 2 の実施の形態においても、第 1 の実施の形態と同様の効果、即ち少素子、長寿命、高精細かつ高画質である有機 EL 表示装置を実現できる。

また、この図 9 の画素回路 10 は図 1 の各画素回路 10R、10B、10G としての構成であるが、バイアス電圧 V_b が色毎に独立して設定されることで、ホワイトバランス調整等ができ、外部回路の簡略化や各種調整の容易性が得られることも第 1 の実施の形態と同様である。

この場合の走査線駆動回路 3 については図 5 とほぼ同様の構成でよい。但しこの第 2 の実施の形態ではサンプリングトランジスタ T_1 が N 型であるため、走査線 WS に与える走査線パルスは第 1 の実施の形態の走査パルスに対して反転したものとなる。そして、その走査パルスの高電位期間にスイッチ 26 がオンとされ、また低電位期間にスイッチ 24 がオンとされる構成となる。

【0049】

[第 3 の実施の形態]

10

20

30

40

50

第3の実施の形態を説明する。第3の実施の形態の画素回路10の構成は、図2と同様であり、その駆動方式が図3とは異なり、図11に示すようになる。

まず時点 t_{m1} で走査線WSを低電位にすることで、P型のサンプリングトランジスタT1をオン状態にする。すると映像信号線SIGより映像信号が容量Csに充電されてノードNAの電位は映像信号電位Vsとなる。このようにサンプリングトランジスタT1がオン状態とされて映像信号の取り込みを行う時点 $t_{m1} \sim t_{m2}$ の書込期間では、電圧印加線LVcsから与えられる電圧Vcsは、所定の基準電位Vref2に固定される。この基準電位Vref2は、駆動トランジスタT3の閾値電圧Vthより高い電位に設定されている。そして容量Csに書き込まれる映像信号は、電圧範囲としては、駆動トランジスタT3がカットオフするように設定される。従って映像信号の取り込みを行う書込期間 $t_{m1} \sim t_{m2}$ では、ノードNAの電位は駆動トランジスタT3の閾値電圧Vthより高電位となり、駆動トランジスタT3は非導通状態を維持するため、有機EL素子4には電流が流れないものとなる。

【0050】

次に時点 t_{m2} で走査線WSが高電位とされ、サンプリングトランジスタT1がカットオフされると同時に、電圧印加線LVcsの電圧Vcsを、上記基準電位Vref2から0Vにする。すると、ノードNAの電位は容量カップリングにより $V_s - V_{ref2}$ となる。ここで、駆動トランジスタT3はオン状態となり、有機EL素子4には、定電流トランジスタT2で決定される電流Ioが流れる。

時点 t_{m2} からの電圧印加線LVcsの電圧Vcsはランプ信号によるものであり、電圧Vcsは、0VからVrまで時間的に増加する。また、そのランプ信号周期は1フレーム期間より十分短い、例えば1水平周期に設定する。

ランプ信号による電圧Vcsの増加に伴い、ノードNAの電位は容量Csの電荷保持により信号電位 $V_s - V_{ref2}$ から $V_s - V_{ref2} + V_r$ まで上昇する。ノードNAの電位が、駆動トランジスタT3のカットオフ電位に到達すると、駆動トランジスタT3が遮断され有機EL素子4への電流供給は停止される。その時点まで、つまり駆動トランジスタT3が導通している期間は、電流源トランジスタT2とバイアス電位Vbにより決定される一定電流Ioが有機EL素子4に流れる。

【0051】

この場合も、上記第1の実施の形態と同様、駆動トランジスタT3のオンとなって有機EL素子4が発光している時間Tonは、 $T_{on} = (V_{th} / V_r) \cdot T_h + (V_{cc} - V_s) / V_r \cdot T_h$ で表現され、ランプ信号振幅Vrが十分大きければ、駆動トランジスタT3の閾値電圧Vthの変動には、ほとんど左右されない。

結局、人間が視認する明るさYは、 $Y = I_o \cdot T_{on}$ となり、階調はオン時間Tonで制御される。また、発光期間中は、有機EL素子4を定電流Ioにより駆動するので、EL劣化は定電圧駆動する場合に比べて小さい。

さらに、この第3の実施の形態の場合、時点 $t_{m1} \sim t_{m2}$ の映像信号取り込み期間中には駆動トランジスタT3はオフとされ、従って有機EL素子4が偽発光をしないものとなる。このため、コントラスト比も向上させることができ、さらなる高画質化を実現できる。

【0052】

なお、この第3の実施の形態の場合、時点 $t_{m1} \sim t_{m2}$ で電圧印加線LVcsの電圧Vcsを基準電位Vref2とするものであるが、このためには走査線駆動回路3において図5の端子28に入力される基準電圧Vrefを、上記の基準電位Vref2に変更すれば良いものである。

【0053】

[第4の実施の形態]

第4の実施の形態を説明する。第4の実施の形態の画素回路10の構成は、図9と同様

10

20

30

40

50

であり、その駆動方式が図10とは異なり、図12に示すようになる。

まず時点 t_{m1} で、走査線 WS を高電位にすることで、 N 型のサンプリグトランジスタ $T1$ をオン状態にする。すると映像信号線 SIG よりアナログ映像信号が容量 C_s に充電されてノード NA の電位は映像信号電位 V_s となる。

このサンプリグトランジスタ $T1$ がオン状態の時点 $t_{m1} \sim t_{m2}$ の間、電圧印加線 $LVcs$ による電圧 V_{cs} は基準電位 V_{ref2} に固定される。この基準電位 V_{ref2} は、駆動トランジスタ $T3$ の閾値電圧 V_{th} より高い電位に設定されている。そして容量 C_s に書き込まれる映像信号は、電圧範囲としては、駆動トランジスタ $T3$ の閾値電圧以上を維持する範囲に設定される。従って映像信号の取り込みを行う書込期間 $t_{m1} \sim t_{m2}$ では、ノード NA の電位は駆動トランジスタ $T3$ の閾値電圧 V_{th} より高電位となり、 N 型の駆動トランジスタ $T3$ は導通状態を維持するため、駆動トランジスタ $T3$ と並列接続された有機 EL 素子4側には電流が流れないものとなる。

【0054】

時点 t_{m2} で走査線 WS が低電位とされてサンプリグトランジスタ $T1$ がカットオフすると同時に、電圧印加線 $LVcs$ の電圧 V_{cs} を V_{ref2} から $0V$ にする。すると、容量カップリングによりノード NA の電位は V_s から $V_s - V_{ref2}$ となり、駆動トランジスタ $T3$ はカットオフし、駆動トランジスタ $T3$ と並列接続された有機 EL 素子4に定電流 I_o が流れ、発光する。

その後、電圧 V_{cs} はランプ信号によるものであり、 0 から V_r まで時間的に増加する。ランプ信号周期は1フレーム期間より十分短い、例えば1水平周期に設定する。

ランプ信号による電圧 V_{cs} の増加に伴い、ノード NA の電位は容量 C_s の電荷保持により信号電位 $V_s - V_{ref2}$ から $V_s - V_{ref2} + V_r$ まで上昇する。ノード NA の電位が、駆動トランジスタ $T3$ のカットオン電位に到達すると、駆動トランジスタ $T3$ が導通する。導通時の駆動トランジスタ $T3$ のオン抵抗は有機 EL 素子4のオン抵抗よりも十分小さいため、電流源トランジスタ $T2$ より供給される電流 I_o は、駆動トランジスタ $T3$ を介して固定電位 V_{lo} に流れ込み、有機 EL 素子4へは、殆ど流れない。そのカットオフ時点まで、つまり駆動トランジスタ $T3$ がオフとされている間は、電流源トランジスタ $T2$ とバイアス電位 V_b により決定される定電流 I_o が有機 EL 素子4に流れる。

【0055】

ここで、有機 EL 素子4へ電流が流れている時間 T_{on} は、上記第2の実施の形態の場合と同様、 $T_{on} = (V_{th} / V_r) \cdot T_h + (V_{lo} - V_s) / V_r \cdot T_h$ で表現される。ランプ信号振幅 V_r が十分大きければ、駆動トランジスタ $T3$ の閾値電圧 V_{th} 変動によっても発光時間 T_{on} は、ほとんど左右されない。

結局、人間が視認する明るさは、 $Y = I_o \cdot T_{on}$ となり、階調は時間 T_{on} で制御される。また、発光期間中は、定電流 I_o により駆動するので、 EL 劣化は定電圧駆動する場合に比べて小さい。さらに、この実施の形態の場合も、上記第3の実施の形態と同様、時点 $t_{m1} \sim t_{m2}$ の映像信号取り込み期間中に有機 EL 素子4が偽発光をしないので、コントラスト比も向上し、さらなる高画質化を実現できる。

【0056】

なお、この第4の実施の形態の場合、走査線駆動回路3については図5とほぼ同様の構成でよい。但しこの第4の実施の形態ではサンプリグトランジスタ $T1$ が N 型であるため、走査線 WS に与える走査線パルスは第1の実施の形態の走査パルスに対して反転したものとなる。そして、その走査パルスの高電位期間にスイッチ26がオンとされ、また低電位期間にスイッチ24がオンとされる構成となる。また、第3の実施の形態の場合と同様、走査線駆動回路3において図5の端子28に入力される基準電圧 V_{ref} を、上記の基準電位 V_{ref2} に変更すれば良い。

【図面の簡単な説明】

【0057】

【図1】本発明の実施の形態の表示装置の構成のブロック図である。

【図2】第1の実施の形態の画素回路の回路図である。

10

20

30

40

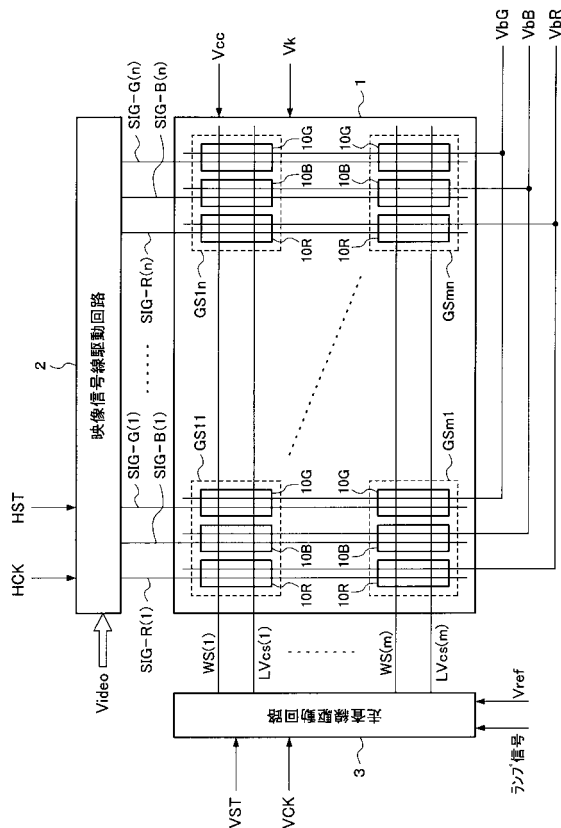
50

- 【図3】第1の実施の形態の画素回路の動作の説明図である。
- 【図4】第1の実施の形態の画素回路の1フレームでの動作の説明図である。
- 【図5】第1の実施の形態の走査線駆動回路のブロック図である。
- 【図6】実施の形態のR、G、B画素回路の説明図である。
- 【図7】第1の実施の形態の画素回路を形成するレイアウトの説明図である。
- 【図8】実施の形態の画素回路の模式的な断面構造の説明図である。
- 【図9】第2の実施の形態の画素回路の回路図である。
- 【図10】第2の実施の形態の画素回路の動作の説明図である。
- 【図11】第3の実施の形態の画素回路の動作の説明図である。
- 【図12】第4の実施の形態の画素回路の動作の説明図である。
- 【図13】従来の画素回路の回路図である。
- 【図14】従来の画素回路の動作の説明図である。
- 【図15】有機EL素子の経時劣化の説明図である。
- 【符号の説明】

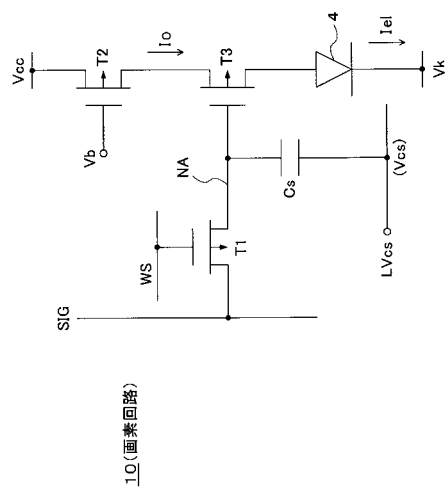
【0058】

1 画素アレイ、2 映像信号線駆動回路、3 走査線駆動回路、4 有機EL素子、
 10 画素回路、10R R画素回路、10B B画素回路、10G G画素回路、Cs 容量、T1 サンプリングトランジスタ、T2 電流源トランジスタ、T3 駆動トランジスタ、SIG 映像信号線、WS 走査線、LVcs 電圧印加線

【図1】



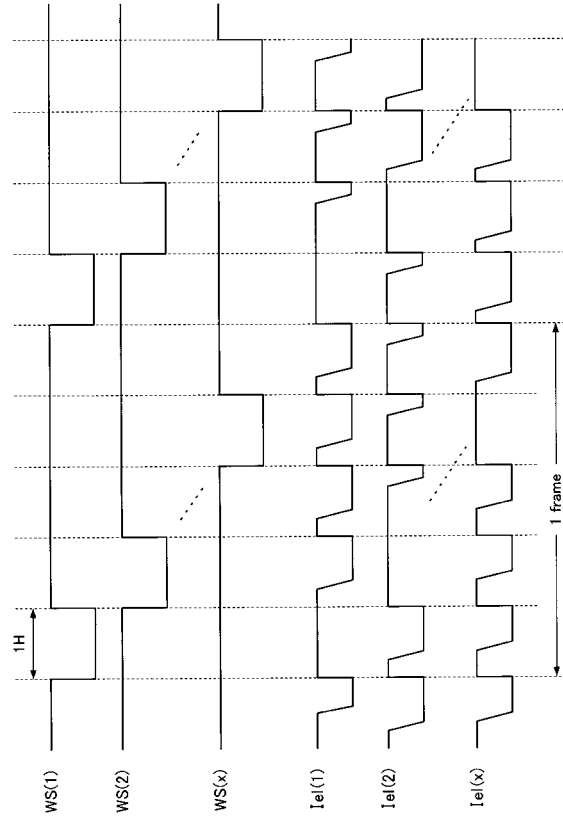
【図2】



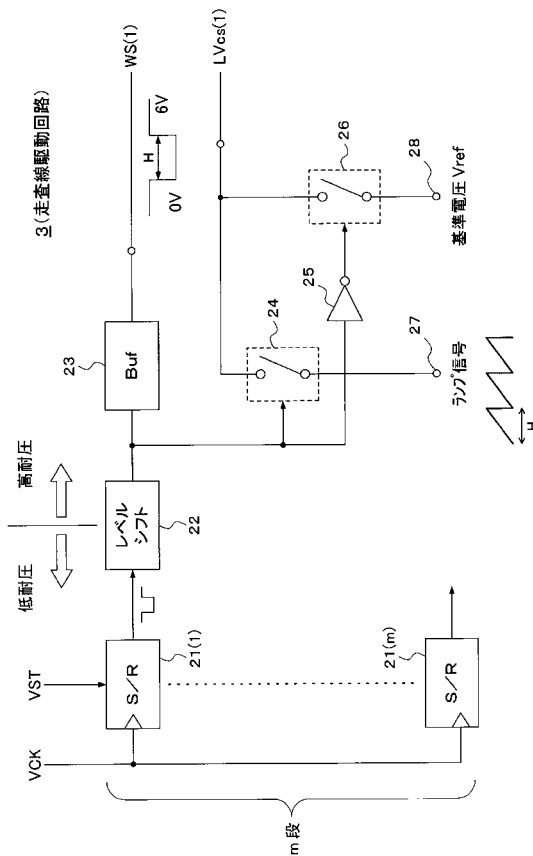
【図3】



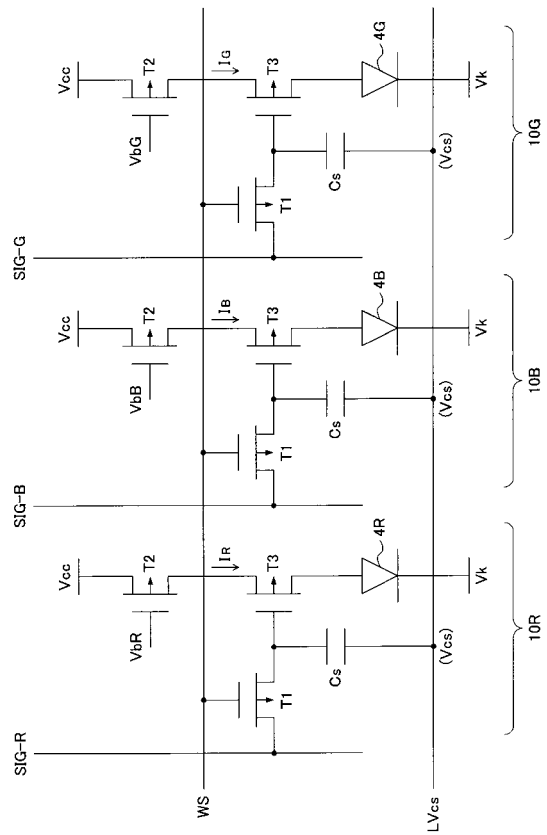
【図4】



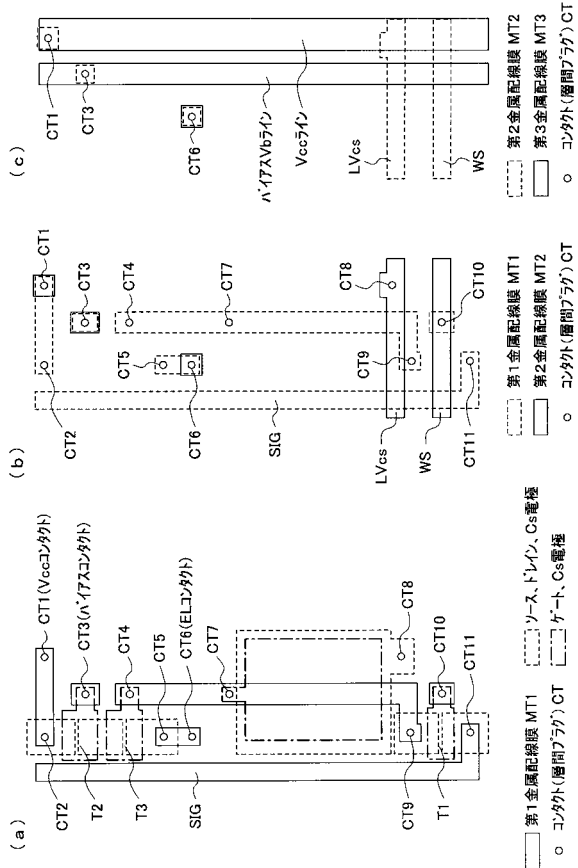
【図5】



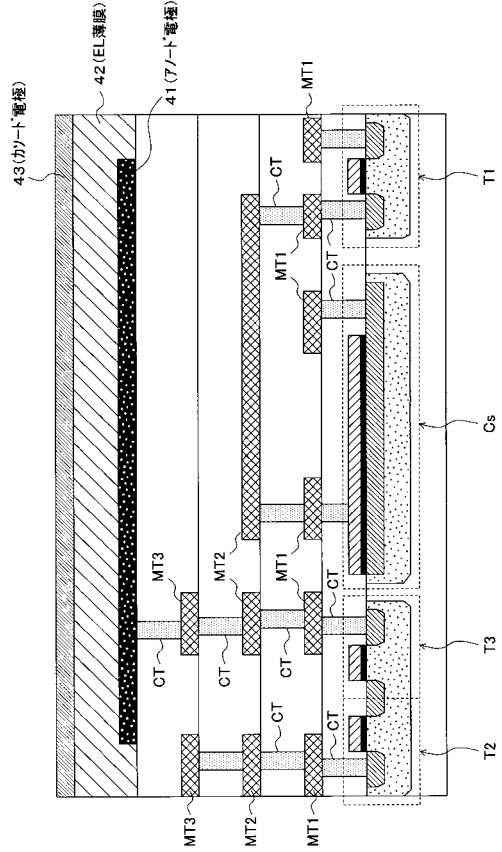
【図6】



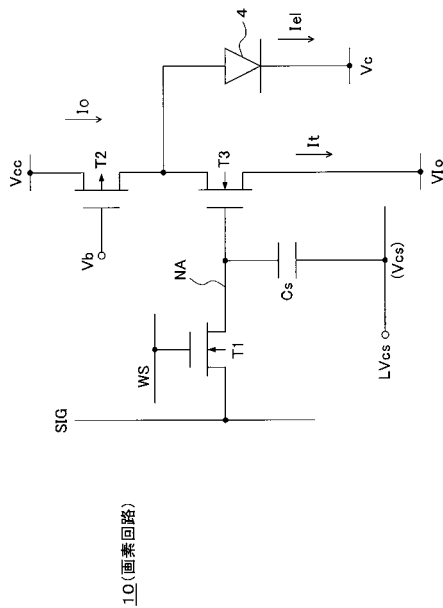
【図7】



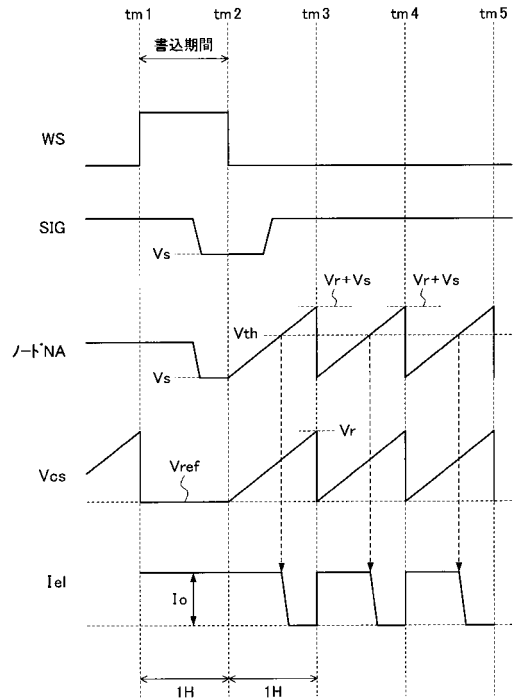
【図8】



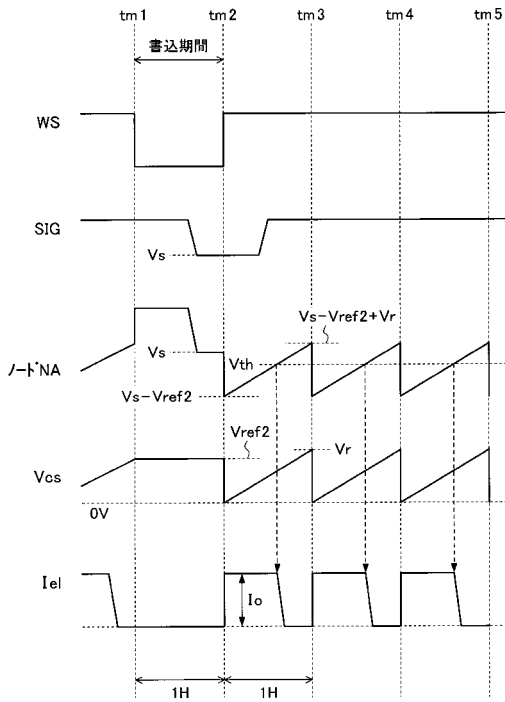
【図9】



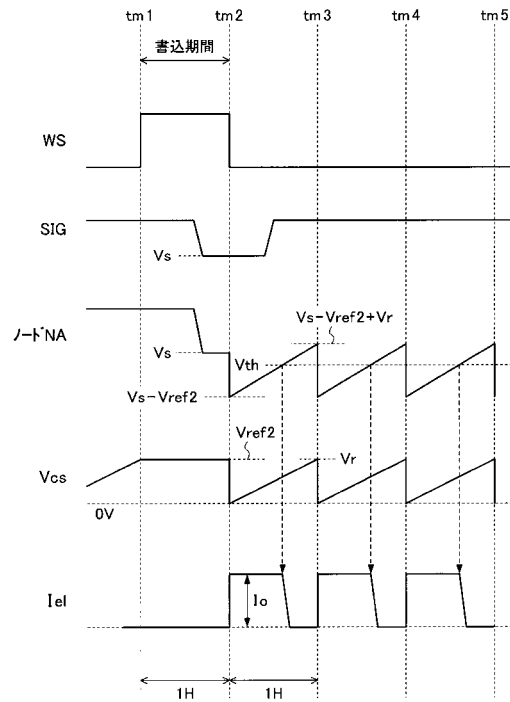
【図10】



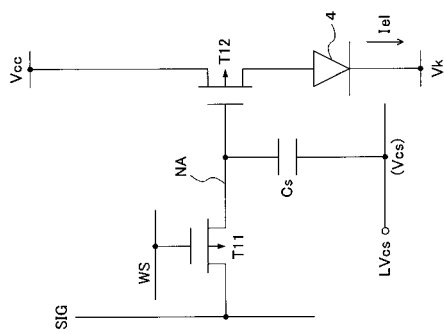
【図 1 1】



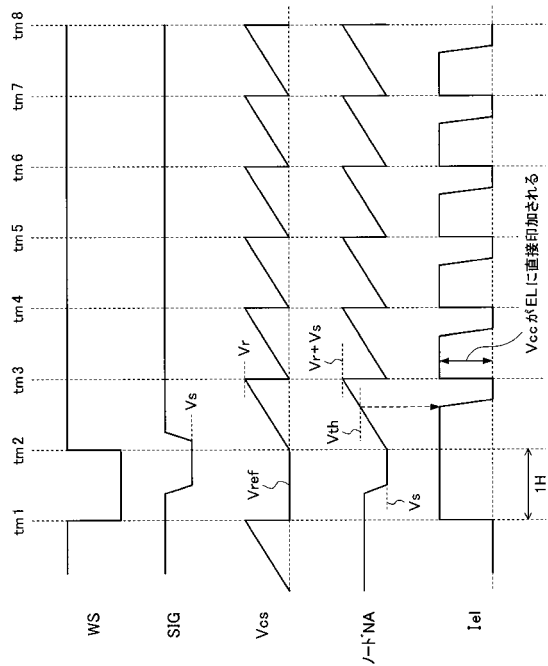
【図 1 2】



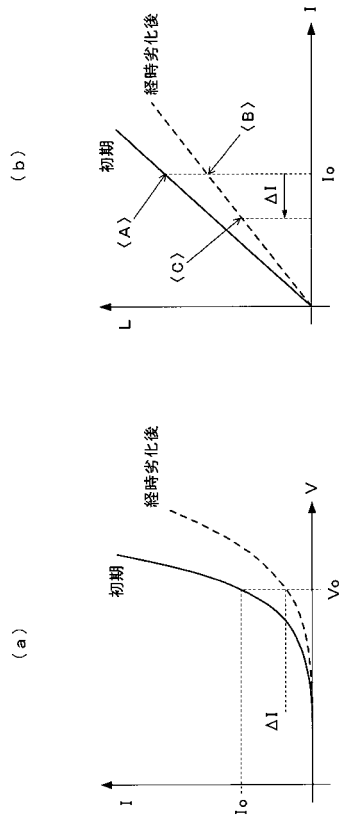
【図 1 3】



【図 1 4】



【 図 15 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 L
H 0 5 B 33/14 A

(56)参考文献 国際公開第01/054107(WO, A1)
特開2003-043999(JP, A)
国際公開第2004/086343(WO, A1)
特開2006-208743(JP, A)
特開2003-241711(JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	表示装置、画素驱动方法		
公开(公告)号	JP4934964B2	公开(公告)日	2012-05-23
申请号	JP2005028020	申请日	2005-02-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	中村和夫 内野勝秀		
发明人	中村 和夫 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0861 G09G2310/0259 G09G2320/043 G09G2320/045 B26D5/02 B26D7/26 B31B50/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.A G09G3/20.642.E G09G3/20.642.L H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107 /CC21 3K107/CC32 3K107/CC35 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD29 5C080/EE29 5C080/EE30 5C080/FF11 5C080 /HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380 /AB23 5C380/AB34 5C380/AC09 5C380/AC10 5C380/BA11 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB09 5C380/BB15 5C380/BB21 5C380/BB23 5C380/BD02 5C380/BD09 5C380 /CA08 5C380/CA12 5C380/CB01 5C380/CB11 5C380/CB14 5C380/CB17 5C380/CB19 5C380/CC01 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC63 5C380 /CC77 5C380/CD012 5C380/CD013 5C380/CE04 5C380/CE19 5C380/CE21 5C380/CF06 5C380 /CF07 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF51 5C380/DA02 5C380/DA07 5C380/DA30 5C380/DA32 5C380/DA35 5C380/HA02 5C380/HA03 5C380/HA06 5C380/HA11		
代理人(译)	铃木信夫		
审查员(译)	一宫诚		
其他公开文献	JP2006215274A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用具有更少元件和更长寿命的有机EL像素电路来实现具有高清晰度和高图像质量的有机EL（电致发光）显示装置。ZOLUTION：在使用MOS工艺制造的像素电路中，晶体管T2用作恒流源，以在连接到晶体管T3的有机EL薄膜4上施加恒定电流I_o，以允许有机EL薄膜发射当晶体管T3通电时亮起。通过将由写入电容器C_s的信号值和灯信号电压V_{cs}产生的栅极电压切换为晶体管T3，有机EL薄膜在根据信号值的周期内发光。也就是说，在根据图像信号值控制灰度的同时操作显示。Z

