

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4910779号
(P4910779)

(45) 発行日 平成24年4月4日 (2012.4.4)

(24) 登録日 平成24年1月27日 (2012.1.27)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09F 9/30 (2006.01)

G09F 9/30 338

H01L 51/50 (2006.01)

H05B 33/14 A

H05B 33/10 (2006.01)

H05B 33/10

H01L 27/32 (2006.01)

G09F 9/30 365Z

請求項の数 12 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2007-52416 (P2007-52416)
 (22) 出願日 平成19年3月2日 (2007.3.2)
 (65) 公開番号 特開2008-216529 (P2008-216529A)
 (43) 公開日 平成20年9月18日 (2008.9.18)
 審査請求日 平成22年2月23日 (2010.2.23)

(73) 特許権者 000003193
 凸版印刷株式会社
 東京都台東区台東1丁目5番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 石 ▼崎▲ 守
 東京都台東区台東1丁目5番1号 凸版印
 刷株式会社内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 有機ELディスプレイおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に形成され、マトリクス状に配置された複数の画素回路を有する薄膜トランジスタ回路と、前記複数の画素回路に接続された複数のゲート線及び複数のソース線と、前記基板上に形成された有機EL層と、
 を少なくとも含む有機ELディスプレイであって、
 前記画素回路は、少なくとも第1の薄膜トランジスタ、第2及び第3の薄膜トランジスタ、キャパシタ並びに抵抗を有し、
 前記第1の薄膜トランジスタのゲート電極、ソース電極、ドレイン電極は、それぞれ、前記ゲート線、前記ソース線、前記第2の薄膜トランジスタのゲート電極及び前記キャパシタの一方の電極に接続されており、
 前記キャパシタの他方の電極は、定電位に接続されており、
 前記第2の薄膜トランジスタはpチャネル型薄膜トランジスタであり、前記第2の薄膜トランジスタのソース電極、ドレイン電極は、それぞれ、電源電位、前記第3の薄膜トランジスタのゲート及び前記抵抗の一端に接続されており、
 前記第3の薄膜トランジスタはnチャネル型薄膜トランジスタであり、前記第3の薄膜トランジスタのドレイン、ソースは、それぞれ、前記電源電位、前記抵抗の他端及び陽極に接続されており、
 前記陽極と陰極との間に前記有機EL層を含むことを特徴とする有機ELディスプレイ。

【請求項2】

前記第 1 の薄膜トランジスタは走査トランジスタであり、且つ、前記第 2 の薄膜トランジスタ及び前記第 3 の薄膜トランジスタは、前記有機 E L を駆動する駆動トランジスタであることを特徴とする請求項 1 に記載の有機 E L ディスプレイ。

【請求項 3】

前記抵抗の代わりに 1 つの負荷トランジスタが接続されていることを特徴とする請求項 1 又は 2 に記載の有機 E L ディスプレイ。

【請求項 4】

前記負荷トランジスタは n チャネル型トランジスタであり、且つ、前記負荷トランジスタのゲートとドレインとが短絡していることを特徴とする請求項 3 に記載の有機 E L ディスプレイ。

10

【請求項 5】

前記第 3 の薄膜トランジスタ及び前記負荷トランジスタの半導体の材質、ゲート絶縁層の材質と厚さ、チャネル長がそれぞれ同じであることを特徴とする請求項 3 または 4 に記載の有機 E L ディスプレイ。

【請求項 6】

前記第 2 の薄膜トランジスタは半導体層に有機物を用いたトランジスタであり、前記第 3 の薄膜トランジスタは半導体層に酸化物を用いたトランジスタであることを特徴とする請求項 1 ~ 5 の何れかに記載の有機 E L ディスプレイ。

【請求項 7】

前記絶縁基板がプラスチックであり、その上に酸素や水分を通しにくいバリア膜を設けていることを特徴とする請求項 1 ~ 6 の何れかに記載の有機 E L ディスプレイ。

20

【請求項 8】

前記絶縁基板、前記ゲート電極、前記ソース電極、前記ドレイン電極、前記ゲート絶縁層が透明であることを特徴とする請求項 1 ~ 7 の何れかに記載の有機 E L ディスプレイ。

【請求項 9】

請求項 1 ~ 8 の何れかに記載の有機 E L ディスプレイの製造方法であって、
前記絶縁基板上に第一半導体パターンを形成し、

第一電極パターンを形成し、

第一絶縁パターンを形成し、

第二電極パターンを形成し、

第二半導体パターンを形成し、

第二絶縁パターンを形成し、

第三電極を形成し、

前記有機 E L 層を形成し、

前記陰極を形成することを少なくとも有することを特徴とする有機 E L ディスプレイの製造方法。

30

【請求項 10】

請求項 1 ~ 8 の何れかに記載の有機 E L ディスプレイの製造方法であって、
前記絶縁基板上に第一電極パターンを形成し、

第一絶縁パターンを形成し、

第一半導体パターンを形成し、

第二電極パターンを形成し、

第二半導体パターンを形成し、

第二絶縁パターンを形成し、

第三電極を形成し、

前記有機 E L 層を形成し、

前記陰極を形成することを少なくとも有することを特徴とする有機 E L ディスプレイの製造方法。

40

【請求項 11】

前記絶縁基板上にあらかじめバリア膜を形成し、前記陰極を形成した後にバリア構造を形

50

成することを有することを特徴とする請求項 9 または 10 に記載の有機 E L ディスプレイの製造方法。

【請求項 12】

前記第二電極を形成した後、かつ、前記第二絶縁層を形成する前に、前記抵抗を形成することを有することを特徴とする請求項 9 ~ 11 の何れかに記載の有機 E L ディスプレイの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットパネルディスプレイの一つである有機 E L ディスプレイに関する。

10

【背景技術】

【0002】

フラットパネルディスプレイとして、液晶ディスプレイやプラズマディスプレイが商品化されている。一般的に、液晶ディスプレイは視野角が狭く、高速画素信号に対して応答性が充分ではないという問題がある。また、プラズマディスプレイは消費電力が大きく、現在商品化されているもの以上の大型化を実現するためには技術的解決課題が多いという問題がある。

【0003】

液晶ディスプレイやプラズマディスプレイに対して最近注目されてきているのが、有機発光材料を用いた有機エレクトロルミネッセンスディスプレイ（有機 E L ディスプレイ）である。有機 E L ディスプレイは有機化合物を発光材料として用いているので、自発光であって応答速度が高速であり、更に視野角依存性が無い低消費電力のフラットパネルディスプレイを実現できるものとして期待されている。

20

【0004】

有機 E L ディスプレイには、薄膜トランジスタ（TFT）を用いない単純マトリクス型と、TFTを用いたアクティブマトリクス型とがある。単純マトリクス型の有機 E L ディスプレイは、ガラス基板上に形成された平行な複数の電極と、有機 E L 層と、前記平行な複数の電極に直交する複数の電極を有している。単純マトリクス型の有機 E L ディスプレイにおいては、選択された一瞬の間に有機 E L 層を高輝度に発光させる必要があり、有機 E L 層の劣化が激しいとともに、配線抵抗の影響が大きいという問題があった。一方、アクティブマトリクス型の有機 E L ディスプレイにおいては、ガラス基板上に TFT 回路を形成し、その上に有機 E L 層を形成し、さらに対向電極が形成される。通常、TFT 回路を構成する半導体にはアモルファスシリコン（a-Si）またはポリシリコン（p-Si）が用いられる。また、対向電極側を陰極として用い、光を基板側から取り出すタイプ（下方出射タイプ（ボトムエミッションタイプ））が一般的である。

30

【0005】

ところが、アモルファスシリコンやポリシリコンを成膜する際には 250 以上の高温工程が必要であり、基板としてガラスを使う必要があった。また、アモルファスシリコンやポリシリコンを用いた TFT は可視光で光伝導性を有するため遮光が必須であり、基板側から取り出せる光は、不透明な TFT の面積を差し引いた部分に限られる。よって、アモルファスシリコンやポリシリコンを用いたアクティブマトリクス型の有機 E L ディスプレイは開口率（＝発光面積／画素面積）が小さく、十分な画質を実現するためには、単純マトリクスほどではないものの高輝度で発光させる必要があった。

40

【0006】

一方、世の中ではフレキシブルディスプレイが求められている。フレキシブルディスプレイは、軽い、薄い、曲げられる、衝撃に強いなどの特長を有している。しかし、フレキシブルディスプレイに用いるプラスチック基板が熱に弱いため、高温プロセスに耐えることができず、シリコン系材料の使用が難しい。

【0007】

そこで注目されているのが、有機半導体を半導体層に用いた所謂「有機 TFT」や、酸化

50

物半導体を半導体層に用いた所謂「酸化物ＴＦＴ」である。これらのＴＦＴは、２００以下の低温プロセスで作製できるため、プラスチック基板上に形成することができる。

【０００８】

ところが有機ＴＦＴは、安定して得られるのがｐチャネル型のＴＦＴのみであることと、移動度が $1\text{ cm}^2/\text{Vs}$ 以下と小さいことが問題であった。また、酸化物ＴＦＴは、良好な特性が得られるのはｎチャネル型のＴＦＴのみであることが問題であった。

【０００９】

ところで、有機ＥＬに接続されるＴＦＴ回路は、基本構造として、図１１に示すように走査トランジスタと駆動トランジスタとを有している（非特許文献１）。走査トランジスタはｐチャネル型でもｎチャネル型でもよいが、高速応答特性が求められる。駆動トランジスタには大電流特性が求められ、かつｐチャネル型が好ましい。

10

【００１０】

【非特許文献１】２００３ＦＰＤテクノロジー大全（電子ジャーナル） p.684

【発明の開示】

【発明が解決しようとする課題】

【００１１】

本発明は上記問題を解決するためになされたものであり、有機ＥＬディスプレイの駆動トランジスタとして、酸化物ＴＦＴのようなｎチャネル型ＴＦＴを、ｐチャネル型のように用いることができる有機ＥＬディスプレイを実現することを課題とする。また、有機ＴＦＴのようなｐチャネル型ＴＦＴを用いた場合であっても大電流駆動を行うことができる有機ＥＬディスプレイを実現することを課題とする。

20

【００１２】

請求項１に係る本発明によると、

絶縁基板上に形成され、マトリクス状に配置された複数の画素回路を有する薄膜トランジスタ回路と、前記複数の画素回路に接続された複数のゲート線及び複数のソース線と、

前記基板上に形成された有機ＥＬ層と、

を少なくとも含む有機ＥＬディスプレイであって、

前記画素回路は、少なくとも第１の薄膜トランジスタ、第２及び第３の薄膜トランジスタ、キャパシタ並びに抵抗を有し、

前記第１の薄膜トランジスタのゲート電極、ソース電極、ドレイン電極は、それぞれ、前記ゲート線、前記ソース線、前記第２の薄膜トランジスタのゲート電極及び前記キャパシタの一方の電極に接続されており、

30

前記キャパシタの他方の電極は、定電位に接続されており、

前記第２の薄膜トランジスタはｐチャネル型薄膜トランジスタであり、前記第２の薄膜トランジスタのソース電極、ドレイン電極は、それぞれ、電源電位、前記第３の薄膜トランジスタのゲート及び前記抵抗の一端に接続されており、

前記第３の薄膜トランジスタはｎチャネル型薄膜トランジスタであり、前記第３の薄膜トランジスタのドレイン、ソースは、それぞれ、前記電源電位、前記抵抗の他端及び陽極に接続されており、

前記陽極と陰極との間に前記有機ＥＬ層を含むことを特徴とする有機ＥＬディスプレイが提供される。

40

【００１３】

請求項２に係る本発明によると、前記第１の薄膜トランジスタは走査トランジスタであり、且つ、前記第２の薄膜トランジスタ及び前記第３の薄膜トランジスタは、前記有機ＥＬを駆動する駆動トランジスタである。

【００１４】

請求項３に係る本発明によると、前記抵抗の代わりに１つの負荷トランジスタが接続されているようにしてもよい。

【００１５】

請求項４に係る本発明によると、前記負荷トランジスタはｎチャネル型トランジスタであ

50

り、且つ、前記負荷トランジスタのゲートとドレインとが短絡しているようにしてもよい。

【 0 0 1 6 】

請求項 5 に係る本発明によると、前記第 3 の薄膜トランジスタ及び前記負荷トランジスタの半導体の材質、ゲート絶縁層の材質と厚さ、チャンネル長がそれぞれ同じであるようにしてもよい。

【 0 0 1 7 】

請求項 6 に係る本発明によると、前記第 2 の薄膜トランジスタは半導体層に有機物を用いたトランジスタであり、前記第 3 の薄膜トランジスタは半導体層に酸化物を用いたトランジスタであるようにしてもよい。

10

【 0 0 1 8 】

請求項 7 に係る本発明によると、前記絶縁基板がプラスチックであり、その上に酸素や水分を通しにくいバリア膜を設けるようにしてもよい。

【 0 0 1 9 】

請求項 8 に係る本発明によると、前記絶縁基板、前記ゲート電極、前記ソース電極、前記ドレイン電極、前記ゲート絶縁層が透明であるようにしてもよい。

【 0 0 2 0 】

請求項 9 に係る本発明によると、上述の請求項 1 ～ 8 に係る本発明の有機 E L ディスプレイの製造方法であって、

前記絶縁基板上に第一半導体パターンを形成し、

20

第一電極パターンを形成し、

第一絶縁パターンを形成し、

第二電極パターンを形成し、

第二半導体パターンを形成し、

第二絶縁パターンを形成し、

第三電極を形成し、

前記有機 E L 層を形成し、

前記陰極を形成することを少なくとも有することを特徴とする有機 E L ディスプレイの製造方法が提供される。

【 0 0 2 1 】

30

請求項 1 0 に係る本発明によると、上述の請求項 1 ～ 8 に係る本発明の有機 E L ディスプレイ上述の有機 E L ディスプレイの製造方法であって、

前記絶縁基板上に第一電極パターンを形成し、

第一絶縁パターンを形成し、

第一半導体パターンを形成し、

第二電極パターンを形成し、

第二半導体パターンを形成し、

第二絶縁パターンを形成し、

第三電極を形成し、

前記有機 E L 層を形成し、

40

前記陰極を形成することを少なくとも有することを特徴とする有機 E L ディスプレイの製造方法が提供される。

【 0 0 2 2 】

前請求項 1 1 に係る本発明によると、記絶縁基板上にあらかじめバリア膜を形成し、前記陰極を形成した後にバリア構造を形成するようにしてもよい。

【 0 0 2 3 】

前請求項 1 1 に係る本発明によると、前記第二電極を形成した後、かつ、前記第二絶縁層を形成する前に、前記抵抗を形成するようにしてもよい。

【 発明の効果 】

【 0 0 2 4 】

50

本発明によれば、駆動トランジスタとしてpチャネルTFTとnチャネルTFTを組み合わせることにより、pチャネル形の動作とnチャネル様の高性能を両立させることができ、良好な有機ELディスプレイを実現できる。また、本発明によれば、有機TFTのようなpチャネル型TFTを用いた場合であっても大電流駆動を行うことができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態を図面に基いて説明する。図1は、本実施形態に係る本発明の有機ELディスプレイの画素部のTFT回路を構成する画素回路の回路構成図である。本実施形態に係る本発明の有機ELディスプレイの画素部のTFT回路は、図1に示すように、1画素当たりの画素回路において、薄膜トランジスタTr1、薄膜トランジスタTr2、薄膜トランジスタTr3、負荷抵抗R及びキャパシタCを有している。ここで、説明の便宜上、薄膜トランジスタTr1を走査トランジスタといい、薄膜トランジスタTr2、Tr3をそれぞれ駆動トランジスタTr2、Tr3という。本実施形態に係る本発明の有機ELディスプレイにおいては、図1に示すとおり、駆動トランジスタTr2はpチャネル型であり、駆動トランジスタTr3はnチャネル型である。走査トランジスタTr1はpチャネル型でもnチャネル型でもよいが、応答が速い方が望ましい。キャパシタCの対向電極の電位Eは、定電位点であればGNDでなくてもよく、例えばVddでもよい。

【0026】

本実施形態に係る本発明の有機ELディスプレイにおいては、走査トランジスタTr1のゲート電極G1、ソース電極S1、ドレイン電極D1は、それぞれ、ゲート線（走査線）（Gate）、ソース線（データ線）（Source）、駆動トランジスタTr2のゲート電極G2及びキャパシタCの一方の電極に接続されている。また、駆動トランジスタTr2のソース電極S2、ドレイン電極D2は、それぞれ、電源電位Vdd、負荷抵抗Rの一端及び駆動トランジスタTr3のゲート電極G3に接続されている。また、駆動トランジスタTr3のドレイン電極D3、ソース電極S3は、それぞれ、電源電位Vdd、EL層の陽極（Anode）に接続されている。負荷抵抗Rの他端は、EL層の陽極（Anode）に接続されている。また、EL層の陰極は共通電位Vkkに接続されている。

【0027】

本実施形態に係る本発明の有機ELディスプレイにおいては、走査トランジスタTr1のソース電極S1にソース線（Source）を通して信号電圧Vsを印加した状態で、ゲート線（Gate）に印加するゲート電圧Vgを所定の選択電位にすると、信号電圧VsがキャパシタCに書き込まれる。そして、駆動トランジスタTr2のソース電極S2・ゲート電極G2間電圧（Vdd - Vs）によって決まる電流Iが駆動トランジスタTr2に流れる。すると、その電流Iによって決まる電圧が抵抗Rの両端に発生する。そして、その電圧によって決まる電流Id3が駆動トランジスタTr3に流れ、負荷抵抗Rを流れる電流Iとの和IE_LがEL層に流れる。この電流IE_LによってEL層が駆動される。ここで、EL層を流れる電流IE_Lは、下記式（1）で与えられる。ここで、μはTr3の移動度、LはTr3のチャネル長、W3はTr3のチャネル幅、CoxはTr3のゲート絶縁膜の単位面積当りのキャパシタンス、VtはTr3のしきい値である。Vt RIかつ相互コンダクタンスgm = μWCox (RI - Vt) / L 1/Rなら、IE_LはI²に比例する。

$$I_{E_L} = I + \frac{\mu W_3}{2L} C_{ox} (RI - V_t)^2 \cdots (1)$$

【0028】

本実施形態に係る有機ELディスプレイをフレキシブルディスプレイとするためにプラスチック基板を用いる場合、他の理由で製造プロセス温度を上げたくない場合、また、開口率を大きくしたい場合は、pチャネル型トランジスタに有機TFTを用い、nチャネルトランジスタに酸化物TFTを用いるのが望ましい。有機TFT及び酸化物TFTは、製造

に要するプロセス温度が200以下であり、プラスチック基板を使用することができる。この場合、走査トランジスタには移動度の大きいnチャネル型トランジスタ(酸化物TFT)を用いるのが望ましい。また、酸化物半導体は透明であり、可視光での光伝導が小さいので、基板、電極、絶縁層にも透明な材料を用いることによって、開口率を上げることができる。

【0029】

本実施形態に係る有機ELディスプレイの基板1としては、ガラスを用いることもできるが、例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルスルホン(PES)、ポリイミド(PI)などのプラスチック材料を用いることもできる。また、基板にプラスチックを用いる場合、TFT、有機EL層及び陰極を保護する目的で、バリア層を設けることが望ましい。バリア層は酸素や水分を透過しにくいものであり、 SiO_x 、 SiON 、 Al_2O_3 、 Y_2O_3 等の無機膜や、無機膜とアクリル等の有機膜との積層構造などを用いることができる。バリア層の成膜には、CVD、蒸着、スパッタ等を用いることができる。

【0030】

また、陰極形成後にバリア構造を設けることが望ましい。バリア構造は、前記バリア層と同じでもよいが、ガラスや金属の構造体の周囲に接着剤を付けて貼り付けてもよい。その場合、内部に乾燥剤を配置してもよい。

【0031】

本実施形態において、酸化物TFTに用いる酸化物半導体としてはIn、Ga、Zn、Sn、Mgのいずれかを含む酸化物を用いることができる。具体的には、酸化インジウム、酸化亜鉛、酸化スズ、ZnMg酸化物、InGaZn酸化物、 $\text{In}_x\text{Zn}_{1-x}$ 酸化物、 $\text{In}_x\text{Sn}_{1-x}$ 酸化物、 $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$ 酸化物、GaSn酸化物、InGaSn酸化物、InGaZnMg酸化物などを用いることができる。これらの酸化物半導体は、スパッタ、レーザアブレーション、蒸着等で成膜することができる。特にInGaZn酸化物は、室温以上200以下のいずれの温度でスパッタ成膜しても、移動度 $5\text{ cm}^2/\text{Vs}$ 以上を容易かつ再現性よく得ることができ、酸化物TFTに用いる酸化物半導体としては好適な材料である。また、InGaZnMg酸化物はInGaZn酸化物と同等の移動度を有し、さらにバンドギャップが大きいので紫外線に強い(誤動作しにくい)という特徴を有している。ここで、InGaZn酸化物は、組成比がIn:Ga:Zn:O=1:1:1:4に近いものであるが、実際には若干の酸素空孔が存在し、若干の金属組成ずれがあっても特性は変わらないので、組成比はIn:Ga:Zn:O=(0.7~1.3):(0.7~1.3):(0.7~1.3):(3~4)が許容される。また、InGaZnMg酸化物はアモルファス状態を基本とするが、一部微結晶構造を含有していてもよい。なお、InGaZnMg酸化物は、InGaZn酸化物のZnの一部(例えば50%以下)をマグネシウム(Mg)に置き換えたものである。これらの酸化物半導体をスパッタ成膜する場合は、RFあるいはDCの反応性スパッタが好適である。

【0032】

本実施形態において、有機TFTに用いる有機半導体としては、ポリチオフェン誘導体、ポリフェニレンビニレン誘導体、ポリチエニレンビニレン誘導体、ポリアリルアミン誘導体、ポリアセチレン誘導体、アセン誘導体、オリゴチオフェン誘導体等を用いることができる。これらの有機半導体は、ディスペンサ、インクジェット、フレキソ印刷、反転印刷等の印刷法や、マスク蒸着等によって形成することができる。

【0033】

本実施形態において、ソース/ドレイン電極やキャパシタの電極などの電極としては、酸化インジウム錫(ITO)、酸化インジウム亜鉛(IZO)等が好適に用いられる。電極に透明性を要しない場合にはAl、Ag、Au、Pt、Pd、Ni、Cr、Mo、Ti、Sn等の金属を用いてもよい。絶縁層としては、 SiO_2 、 SiON 、 Al_2O_3 、 Y_2O_3 等が好適に用いられる。これらの絶縁材料も、室温以上200以下の温度で、スパッタ、レーザアブレーション、蒸着等によって成膜することができる。特に、反応性スパ

10

20

30

40

50

ッタが好適である。また、絶縁層に対しポストアニールを行ってもよい。ポストアニールの温度も、200以下でよい。また、絶縁層に透明な有機絶縁層を用いることも可能である。例えば絶縁層にフッ素樹脂やポリビニルアルコール、エポキシ、アクリル等を用いることができる。感光性樹脂ならば、パターンングが容易である。さらには、異種の絶縁層を重ねて用いてもよい。

【0034】

本実施形態に係る有機ELディスプレイにおいては、画素回路がマトリクス状に配置されている。駆動トランジスタTr3のソースに接続された上部画素電極がELディスプレイの陽極(Anode)となり、その上に有機EL層が積層される。本実施形態に係る有機ELディスプレイにおいては、有機EL層としては、正孔輸送層41、発光層42等の積層構造を用いるようにしてもよい。

10

【0035】

本実施形態に係る有機ELディスプレイにおいて、正孔輸送層41をなす材料としては、ポリアニリン誘導体、ポリチオフェン誘導体、ポリビニルカルバゾール誘導体、ポリ(3,4-エチレンジオキシチオフェン)とポリスチレンスルホン酸との混合物(PEDOT: PSS)等の導電性高分子材料が挙げられる。これらの正孔輸送材料は、トルエン、キシレン、アセトン、メチルエチルケトン、メチルイソブチルケトン、シクロヘキサノン、メタノール、エタノール、イソプロピルアルコール、酢酸エチル、酢酸ブチル、水等の単独または混合溶媒に溶解または分散させ、スピンコート、バーコート、ワイヤーコート、スリットコート等のコーティング法により塗布することができる。また、必要に応じてパターンングを行ってもよい。更に、正孔輸送層41には必要に応じて、界面活性剤、酸化防止剤、粘度調整剤、紫外線吸収剤等を添加してもよい。正孔輸送層41の膜厚は、10nmないし200nmの範囲が好ましい。あるいは、TPD(トリフェニルジアミン)、NPD(ビス[N-ナフチル-N-フェニル]ベンジジン)などの低分子材料を用いてもよい。

20

【0036】

実施形態に係る有機ELディスプレイにおいて、正孔輸送層41の上に発光層42を積層する。発光層42は、単層構造に限らず、さらに電荷輸送層等を設けた多層構造であってもよい。発光層42としては、例えば、クマリン系、ペリレン系、ピラン系、アンスロン系、ポルフィリン系、キナクリドン系、N,N'-ジアルキル置換キナクリドン系、ナフタルイミド系、N,N'-ジアリール置換ピロロピロール系、イリジウム錯体系等の有機溶剤に可溶な有機発光材料や該有機発光材料をポリスチレン、ポリメチルメタクリレート、ポリビニルカルバゾール等の高分子中に分散させたものや、ポリアリーレン系、ポリアリーレンビニレン系やポリフルオレン系などの高分子蛍光体を用いることができる。これらの高分子蛍光体はトルエン、キシレン、アセトン、メチルエチルケトン、メチルイソブチルケトン、シクロヘキサノン、メタノール、エタノール、イソプロピルアルコール、酢酸エチル、酢酸ブチル、水等の単独または混合溶媒に溶解し、スピンコート法、カーテンコート法、バーコート法、ワイヤーコート法、スリットコート法等のコーティング法により塗布することができる。また、これらの高分子蛍光体は、印刷法により形成することもできる。また、高分子蛍光体層には必要に応じて、界面活性剤、酸化防止剤、粘度調整剤、紫外線吸収剤等を添加してもよい。発光層42の膜厚は、単層または多層構造いずれの場合にも合わせて1000nm以下が好ましく、より好ましくは合わせて50nmないし150nmの範囲であるのが好ましい。あるいは、アルミキノリン錯体やジスチリル誘導体等に、キナクリドン、クマリン誘導体、ルブレン、DCM(4-(Dicyanomethylene)-2-methyl-6-(p-dimethylaminostyryl)-4H-pyran)誘導体、ペリレン、イリジウム錯体等をドーピングした低分子蛍光体を用いることができる。

30

40

【0037】

低分子蛍光体では、発光色は材料自体やドーパントで決まる。実施形態に係る有機ELディスプレイにおいて、青色発光としてはジスチルアリーレン誘導体にスチリルアリーレン

50

誘導体やスチリルアミン誘導体をドーブしたものなど、緑色発光としてはアルミキノリン錯体など、赤色発光としてはアルミキノリン錯体にDCMをドーブしたものなど、白色発光としては青色発光材料と黄～橙色発光材料を積層した構造などが用いられる。一方、高分子蛍光体では、発光色は側鎖を替えることによって調整が可能であり、RGBとも、同一の基本骨格を持つ高分子を用いることができる。また、それらを混合することで白色発光が得られる。

【0038】

実施形態に係る有機ELディスプレイにおいて、有機EL層をRGB塗り分け方式とする場合、低分子発光層の場合にはマスク蒸着で行うことになるが、大面積に均一な塗り分けを行うのは困難である。高分子発光層を用いる場合には印刷法を用いることができ、大面積に均一な塗り分けを行うことができる。印刷法としては、インクジェット、反転印刷、フレキソ印刷等を用いることができる。特にフレキソ印刷は、大面積に均一な印刷を短時間に行うことができ、最も好ましい。なお、マスク蒸着でも、インクジェット、反転印刷、フレキソ印刷等の印刷法でも、基板温度は室温でよい。また、塗り分けに先立ち、正孔輸送層41形成前に、塗り分け境界に隔壁を設けておいてもよい。隔壁としては、レジスト等を用いることができる。

10

【0039】

実施形態に係る有機ELディスプレイにおいて、陰極5としては、有機EL層の発光特性に応じたものを使用でき、例えば、リチウム、マグネシウム、カルシウム、イッテルビウム、アルミニウムなどの金属単体やこれらの合金、あるいはこれらと金、銀などの安定な金属との合金などを用いることができる。これらの材料は、通常の抵抗加熱、EB加熱などの真空蒸着法などで形成することができ、膜厚は特に限定されないが、1nm以上500nm以下の範囲が好ましい。また、フッ化リチウムなどの薄膜を陰極層と発光層との間に設けてもよい。

20

【0040】

次に、本実施形態に係る本発明の有機ELディスプレイの製造方法について詳細に述べる。図2は図1に示す本実施形態に係る本発明の有機ELディスプレイの画素回路(TFT回路)の平面図(図2(a))及び断面図(図2(b))であり、その製造工程を図3A及び図3Bに示す。なお、図3A及び図3Bにおいては、図3(a)～(i)は1画素回路(1サブピクセル)分の断面図を示しており、図3(j)～(l)は画素回路6個(6サブピクセル)分の断面図を示しており、図3(m)は本実施形態に係る本発明のELディスプレイの全体の断面図を示している。

30

【0041】

まず、基板1上に、バリア膜11を形成する(図3(a))。次に、Tr1およびTr3の半導体層となる第一半導体層21として酸化物半導体を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする(図3(b))。そして、ソース電極(S1)、ドレイン電極(D1)兼ゲート電極(G2)、ソース電極(S3)、ドレイン電極(D3)を含む第一電極層22としてITOを反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする(図3(c))。

【0042】

次に、ゲート絶縁層となる第一絶縁層23を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする(図3(d))。さらにゲート電極(G1)、キャパシタ(C)の電極、ソース電極(S2)、ドレイン電極(D2)兼ゲート電極(G3)を含む第二電極層24としてITOを反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする(図3(e))。そして、抵抗ペーストをスクリーン印刷する等の方法によって抵抗体3を形成する(図3(f))。さらに、Tr2の半導体層となる第二半導体層25をディスペンサ等によって成膜する(図3(g))。次に、層間絶縁膜となる第二絶縁層26を成膜しパターンニングする(図3(h))。さらに、画素電極となる第三電極層27を成膜しパターンニングする(図3(i))。

40

【0043】

50

そして、有機EL層4を形成する。まず、全面に正孔輸送層41を塗布する(図3(j))。次に、フレキソ印刷等によって発光層42R、42G、42Bを形成する(図3(k))。

【0044】

さらに、蒸着によって陰極5を全面に成膜する(図3(l))。最後に、全体をガラス板や金属板で覆うか、封止層を成膜する等の方法によって、バリア構造6を形成することが望ましい(図3(m))。ガラス板や金属板は、エポキシ等の接着剤でシールすることができ、試料とガラス板や金属板の空隙に乾燥剤を入れるようにしてもよい。

【0045】

(実施形態2) 本実施形態2においては、実施形態1とは画素回路の構成が異なる本発明の有機ELディスプレイについて説明する。なお、実施形態1に係る本発明の有機ELディスプレイと同様の構成については、ここでは改めて説明しない場合がある。

【0046】

図4は、本実施形態に係る本発明の有機ELディスプレイの画素部のTFT回路を構成する画素回路の回路構成図である。本実施形態に係る本発明の有機ELディスプレイの画素部のTFT回路は、図4に示すように、1画素当たりの画素回路において、薄膜トランジスタTr1、薄膜トランジスタTr2、薄膜トランジスタTr3、薄膜トランジスタTr4及びキャパシタCを有している。ここで、説明の便宜上、実施形態1と同様、薄膜トランジスタTr1を走査トランジスタといい、薄膜トランジスタTr2、Tr3をそれぞれ駆動トランジスタTr2、Tr3という。また、薄膜トランジスタTr4を負荷トランジスタという。本実施形態に係る本発明の有機ELディスプレイにおいては、図4に示すとおり、駆動トランジスタTr2はpチャネル型であり、駆動トランジスタTr3はnチャネル型であり、負荷トランジスタTr4はnチャネル型トランジスタである。走査トランジスタTr1はpチャネル型でもnチャネル型でもよいが、応答が速い方が望ましい。キャパシタCの対向電極の電位(E)は、定電位点であればGNDでなくてもよく、例えばVddでもよい。

【0047】

本実施形態に係る本発明の有機ELディスプレイにおいては、走査トランジスタTr1のゲート電極G1、ソース電極S1、ドレイン電極D1は、それぞれ、ゲート線(走査線)(Gate)、ソース線(データ線)(Source)、駆動トランジスタTr2のゲート電極G2及びキャパシタCの一方の電極に接続されている。また、駆動トランジスタTr2のソース電極S2、ドレイン電極D2は、それぞれ、電源電位Vdd、負荷トランジスタTr4のゲート電極G4及びドレイン電極D4並びに駆動トランジスタTr3のゲート電極G3に接続されている。また、駆動トランジスタTr3のドレイン電極D3、ソース電極S3は、それぞれ、電源電位Vdd、EL層の陽極(Anode)に接続されている。また、負荷トランジスタTr4のソース電極は、EL層の陽極(Anode)に接続されている。また、EL層の陰極は共通電位(Vkk)に接続されている。

【0048】

本実施形態に係る本発明の有機ELディスプレイにおいては、走査トランジスタTr1のソースS1にソース線(Source)を通して信号電圧Vsを印加した状態で、ゲート線(Gate)に印加するゲート電圧Vgを所定の選択電位にすると、信号電圧VsがキャパシタCに書き込まれる。そして、駆動トランジスタTr2のソース電極S2・ゲート電極G2間電圧(Vdd - Vs)によって決まる電流Iが駆動トランジスタTr2に流れる。すると、その電流Iで決まる電圧が負荷トランジスタTr4の両端に発生する。そして、その電圧によって決まる電流が駆動トランジスタTr3に流れ、駆動トランジスタTr4を流れる電流との和 I_{EL} がEL層に流れる。この電流 I_{EL} によってEL層が駆動される。ここで、EL層を流れる電流は、下記式(2)で与えられる。ここで、 μ はTr3およびTr4の移動度、LはTr3およびTr4のチャネル長、W3はTr3のチャネル幅、W4はTr4のチャネル幅、CoxはTr3およびTr4のゲート絶縁膜の単位面積当たりのキャパシタンス、VtはTr3およびTr4のしきい値である。なお、Tr3と

10

20

30

40

50

Tr 4の半導体の材質と厚さ、ゲート絶縁層の材質と厚さ、チャネル長がそれぞれ同じであれば、 μ 、 L 、 C_{ox} 、 V_t は等しいと見なせる。この場合、 V_t が小さければ I_{EL} は I に比例する。その比例係数はチャネル幅のみで決定でき、設計が容易である。

$$I_{EL} = \frac{W_3 + W_4}{W_4} I + \frac{\mu W_3}{2L} C_{ox} V_t^2 \cdots (2)$$

【0049】

実施形態1と同様、本実施形態2に係る有機ELディスプレイをフレキシブルディスプレイとするためにプラスチック基板を用いる場合、他の理由で製造プロセス温度を上げたくない場合、また、開口率を大きくしたい場合は、pチャネル型トランジスタに有機TFETを用い、nチャネル型トランジスタに酸化物TFETを用いるのが望ましい。有機TFET及び酸化物TFETは、製造に要するプロセス温度が200以下であり、プラスチック基板を使用することができる。この場合、走査トランジスタには移動度の大きいnチャネル型トランジスタ（酸化物TFET）を用いるのが望ましい。また、酸化物半導体は透明であり、可視光での光伝導が小さいので、基板、電極、絶縁層にも透明な材料を用いることによって、開口率を上げることができる。

【0050】

また、本実施形態に係る有機ELディスプレイの基板1としては、実施形態1で説明したものと同様のものを用いることができる。

【0051】

また、本実施形態に係る有機ELディスプレイにおいては、実施形態1と同様、陰極形成後にバリア構造を設けることが望ましい。バリア構造は、前記バリア層と同じでもよいが、ガラスや金属の構造体の周囲に接着剤を付けて貼り付けてもよい。その場合、内部に乾燥剤を配置してもよい。

【0052】

本実施形態に係る有機ELディスプレイにおいても、実施形態1と同様、酸化物TFET及び有機TFETを用いることができる。本実施形態に用いる酸化物TFET及び有機TFETは、実施形態1と同様のものを用いることができる。

【0053】

また、本実施形態におけるソース/ドレイン電極やキャパシタの電極などの電極、絶縁膜、としては、実施形態1と同様の材料を用いることができる。

【0054】

本実施形態に係る有機ELディスプレイにおいては、実施形態1と同様、画素回路がマトリクス状に配置されている。駆動トランジスタTr3のソースに接続された上部画素電極がELディスプレイの陽極（Anode）となり、その上に有機EL層が積層される。本実施形態に係る有機ELディスプレイにおいては、実施形態1と同様、有機EL層としては、正孔輸送層41、発光層42等の積層構造を用いるようにしてもよい。本実施形態2においても、実施形態1と同様の正孔輸送層41、発光層42等を用いることができる。

【0055】

実施形態に係る有機ELディスプレイにおいて、陰極5としては、有機EL層の発光特性に応じたものを使用でき、実施形態1と同様のものを用いることができる。また、フッ化リチウムなどの薄膜を陰極層と発光層との間に設けてもよい。

【0056】

次に、本実施形態2に係る本発明の有機ELディスプレイの製造方法の例について詳細に述べる。図5は図4に示す本実施形態に係る本発明の有機ELディスプレイの画素回路（TFET回路）の平面図（図5（a））及び断面図（図5（b））であり、その製造工程を図6A及び図6Bに示す。図5において駆動トランジスタTr3のゲート電極（G3）と負荷トランジスタTr4のゲート電極（G4）とは断面図以外の部分にて接続されている

10

20

30

40

50

ことを示している。なお、図 6 A 及び図 6 B においては、図 6 (a) ~ (h) は 1 画素回路 (1 サブピクセル) 分の断面図を示しており、図 6 (i) ~ (k) は画素回路 6 個 (6 サブピクセル) 分の断面図を示しており、図 6 (l) は本実施形態に係る本発明の E L ディスプレイの全体の断面図を示している。

【 0 0 5 7 】

まず、基板 1 上に、バリア膜 1 1 を形成する (図 6 (a))。次に、T r 1 および T r 3 の半導体層となる第一半導体層 2 1 として酸化物半導体を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする (図 6 (b))。そして、ソース電極 (S 1)、ドレイン電極 (D 1) 兼ゲート電極 (G 2)、ソース電極 (S 3) 兼ソース電極 (S 4)、ドレイン電極 (D 3)、ドレイン電極 (D 4) を含む第一電極層 2 2 として I T O を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする (図 6 (c))。

10

【 0 0 5 8 】

次に、ゲート絶縁層となる第一絶縁層 2 3 を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする (図 6 (d))。さらにゲート電極 (G 1)、キャパシタ電極 (C)、ソース電極 (S 2)、ドレイン電極 (D 2) 兼ゲート電極 (G 3) 兼ゲート電極 (G 4) を含む第二電極層 2 4 として I T O を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする (図 6 (e))。さらに、T r 2 の半導体層となる第二半導体層 2 5 をディスペンサ等によって成膜する (図 6 (f))。次に、層間絶縁膜となる第二絶縁層 2 6 を成膜しパターンニングする (図 6 (g))。さらに、画素電極となる第三電極層 2 7 を成膜しパターンニングする (図 6 (h))。

20

【 0 0 5 9 】

そして、有機 E L 層 4 を形成する。まず、全面に正孔輸送層 4 1 を塗布する (図 6 (i))。次に、フレキシソ印刷等によって発光層 4 2 R、4 2 G、4 2 B を形成する (図 6 (j))。

【 0 0 6 0 】

さらに、蒸着によって陰極 5 を全面に成膜する (図 6 (k))。最後に、全体をガラス板や金属板で覆うか、封止層を成膜する等の方法によって、バリア構造 6 を設けることが望ましい (図 6 (l))。ガラス板や金属板は、エポキシ等の接着剤でシールすることができ、試料とガラス板や金属板の空隙に乾燥剤を入れるようにしてもよい。

30

【 0 0 6 1 】

(実施形態 3) 本実施形態 3 に係る本発明の有機 E L ディスプレイの画素回路 (T F T 回路) の回路構成は、実施形態 1 に係る本発明の有機 E L ディスプレイの画素回路 (T F T 回路) の回路構成と同様である。本実施形態 3 においては、実施形態 1 に係る本発明の有機 E L ディスプレイの画素回路のデバイス構造とは異なるデバイス構造を有する有機 E L ディスプレイについて説明する。なお、本実施形態 3 においては、実施形態 1 と同様の構成については、用いる材料等を含め、重複した説明を避けるため再度説明しない場合がある。

【 0 0 6 2 】

図 7 は、本実施形態に係る本発明の有機 E L ディスプレイの画素回路 (T F T 回路) の平面図 (図 7 (a)) 及び断面図 (図 7 (b)) であり、その製造工程を図 8 A 及び図 8 B に示す。なお、図 8 A 及び図 8 B においては、図 8 (a) ~ (i) は 1 画素回路 (1 サブピクセル) 分の断面図を示しており、図 8 (j) ~ (l) は画素回路 6 個 (6 サブピクセル) 分の断面図を示しており、図 8 (m) は本実施形態に係る本発明の E L ディスプレイの全体の断面図を示している。

40

【 0 0 6 3 】

まず、基板 1 上に、バリア膜 1 1 を形成する (図 8 (a))。次に、ゲート電極 G 1、G 2、G 3、キャパシタ電極 C を含む第一電極層 2 2 として I T O を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする (図 8 (b))。そして、ゲート絶縁層となる第一絶縁層 2 3 を反応性スパッタによって成膜し、フォトリソ技術を使って

50

パターンニングする（図 8（c））。

【0064】

次に、Tr 1 および Tr 3 の半導体層となる第一半導体層 2 1 として酸化物半導体を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 8（d））。そして、ソース電極（S 1、S 2、S 3）、ドレイン電極（D 1、D 2、D 3）を含む第二電極層 2 4 として ITO を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 8（e））。そして、抵抗ペーストをスクリーン印刷する等の方法によって抵抗体 3 を形成する（図 8（f））。さらに、Tr 2 の半導体層となる第二半導体層 2 5 をディスペンサ等によって成膜する（図 8（g））。次に、層間絶縁膜となる第二絶縁層 2 6 を成膜しパターンニングする（図 8（h））。さらに、画素電極となる第三電極層 2 7 を成膜しパターンニングする（図 8（i））。

10

【0065】

そして、有機 EL 層 4 を形成する。まず、全面に正孔輸送層 4 1 を塗布する（図 8（j））。次に、フレキシソ印刷等によって発光層 4 2 R、4 2 G、4 2 B を形成する（図 8（k））。

【0066】

さらに、蒸着によって陰極 5 を全面に成膜する（図 8（l））。最後に、全体をガラス板や金属板で覆うか、封止層を成膜する等の方法によって、バリア構造を設けることが望ましい（図 8（m））。ガラス板や金属板は、エポキシ等の接着剤でシールすることができ、試料とガラス板や金属板の空隙に乾燥剤を入れるようにしてもよい。

20

【0067】

（実施形態 4）本実施形態 4 に係る本発明の有機 EL ディスプレイの画素回路（TF T 回路）の回路構成は、実施形態 2 に係る本発明の有機 EL ディスプレイの画素回路（TF T 回路）の回路構成と同様である。本実施形態 4 においては、実施形態 2 に係る本発明の有機 EL ディスプレイの画素回路のデバイス構造とは異なるデバイス構造を有する有機 EL ディスプレイについて説明する。なお、本実施形態 4 においては、実施形態 2 と同様の構成については、用いる材料等を含め、重複した説明を避けるため再度説明しない場合がある。

【0068】

図 9 は、本実施形態に係る本発明の有機 EL ディスプレイの画素回路（TF T 回路）の平面図（図 9（a））及び断面図（図 9（b））であり、その製造工程を図 10 A 及び図 10 B に示す。図 9 において駆動トランジスタ Tr 2 のソース（S 2）と駆動トランジスタ Tr 3 のドレイン（D 3）とは断面図以外の部分にて接続されており、駆動トランジスタ Tr 2 のドレイン（D 2）と負荷トランジスタ Tr 4 のドレイン（D 4）とは断面図以外の部分にて接続されていることを示している。なお、図 10 A 及び図 10 B においては、図 10（a）～（h）は 1 画素回路（1 サブピクセル）分の断面図を示しており、図 10（i）～（k）は画素回路 6 個（6 サブピクセル）分の断面図を示しており、図 10（l）は本実施形態に係る本発明の EL ディスプレイの全体の断面図を示している。

30

【0069】

まず、基板 1 上に、バリア膜 1 1 を形成する（図 10（a））。次に、ゲート電極 G 1、G 2、G 3 兼 G 4 となる第一電極層 2 2 として ITO を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 10（b））。そして、ゲート絶縁層となる第一の絶縁層 2 3 を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 10（c））。

40

【0070】

次に、Tr 1、Tr 3、Tr 4 の半導体層となる第一半導体層 2 1 として酸化物半導体を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 10（d））。そして、ソース・ドレイン電極（S 1、S 2 兼 D 3、S 3 兼 S 4、D 1、D 2 兼 D 4）となる第二電極層 2 4 として ITO を反応性スパッタ等によって成膜し、フォトリソ技術を使ってパターンニングする（図 10（e））。さらに、Tr 2 の半導体層となる第

50

二半導体層 25 をディスペンサ等によって成膜する (図 10 (f))。次に、層間絶縁膜となる第二絶縁層 26 を成膜しパターニングする (図 10 (g))。さらに、画素電極となる第三電極層 27 を成膜しパターニングする (図 10 (h))。

【0071】

そして、有機 EL 層 4 を形成する。まず、全面に正孔輸送層 41 を塗布する (図 10 (i))。次に、フレキシソ印刷等によって発光層 42R、42G、42B を形成する (図 10 (j))。

【0072】

さらに、蒸着によって陰極 5 を全面に成膜する (図 10 (k))。最後に、全体をガラス板や金属板で覆うか、封止層を成膜する等の方法によって、バリア構造を設けることが望ましい (図 10 (l))。ガラス板や金属板は、エポキシ等の接着剤によってシールすることができ、試料とガラス板や金属板の空隙に乾燥剤を入れるようにしてもよい。

【0073】

なお、ここでは第一電極層 22、第二電極層 24 として ITO を用いた例を示したが、実施形態 1 で説明したとおり、電極材料は ITO でなくてもよい。例えば IZO、ATO 等の透明導電膜を用いることができる他、開口率が低下することを考慮した上で Al、Ag、Au 等の金属を用いることもできる。あるいは、例えば駆動トランジスタ Tr2 のゲート電極 (G2) のみに金属を用いて、有機 TFT のみを遮光するという方法もある。また、有機 TFT 部分のみに、別途遮光膜を形成することもできる。さらには、有機半導体や酸化物半導体に接して (半導体の劣化を防止するための) 封止層を設けてもよい。封止層と遮光層は同一層であってもよい。

【実施例】

【0074】

以下、上述の実施形態 1 ~ 4 に係る本発明の有機 EL ディスプレイの具体的態様を実施例を用いて詳細に説明する。＜実施例 1＞本実施例 1 においては、上述の実施形態 1 に係る本発明の有機 EL ディスプレイの具体的態様を説明する。

【0075】

基板 1 として PEN を用い、その上に、バリア層 11 として SiO_2 を 100 nm CVD で成膜した (図 3 (a))。次に、Tr1 および Tr3 の半導体層となる第一半導体層 21 として InGaZn 酸化物を、 InGaZnO_4 をターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ (室温、RF スパッタ) によって成膜し、フォトリソ塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターニングした (図 3 (b))。さらに、あらかじめフォトリソパターン形成後にソース電極 S1、ドレイン電極 D1 兼ゲート電極 G2、ソース電極 S3、ドレイン電極 D3 を含む第一電極層 22 として ITO を、ITO をターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ (室温、DC スパッタ) によって成膜し、リフトオフによってパターニングした (図 3 (c))。そして、あらかじめフォトリソパターン形成後に第一の絶縁層 23 として SiON を、SiN をターゲットとし $\text{Ar} + \text{O}_2 + \text{N}_2$ ガス下での反応性スパッタ (室温、RF スパッタ) によって成膜し、リフトオフによってパターニングした (図 3 (d))。さらに、あらかじめフォトリソパターン形成後にゲート電極 G1、キャパシタ電極 C、ソース電極 S2、ドレイン電極 D2 兼ゲート電極 G3 を含む第二の電極層 24 として ITO を、第一の電極層 22 と同様の反応性スパッタによって成膜し、リフトオフによってパターニングした (図 3 (e))。

【0076】

そして、カーボン系の抵抗ペーストをスクリーン印刷・焼成して抵抗 3 を形成した (図 3 (f))。次に、第二半導体層 25 としてチオフェン系材料をディスペンサ・焼成した (図 3 (g))。ここで第二半導体層 25 を覆うように、封止兼遮光層としてフッ素系黒色樹脂をスクリーン印刷し (図示せず)、さらに第二絶縁層 26 として感光性アクリル樹脂を塗布・露光・現像によってパターニングし (図 3 (h))、第三電極層 27 として ITO を、第一の電極層 22 と同様の反応性スパッタによって成膜し、フォトリソ塗

10

20

30

40

50

布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターンニングした(図3(i))。

【0077】

そして、有機EL層4を形成した。まず、全面に正孔輸送層41としてPEDOT:PSSの溶液をスピンコートし、100で焼成した(図3(j))。次に、フレキソ印刷にて赤色発光層42R、緑色発光層42G、青色発光層42Bとしていずれもポリフルオレン系物質を順次形成した(図3(k))。

【0078】

さらに、蒸着によって陰極5としてカルシウムを10nm、銀を300nm、全面に成膜した(図3(l))。最後に全体にバリア構造6としてSiO₂/アクリル/SiO₂積層膜を蒸着した(図3(m))。

【0079】

このようにして作製した本実施例に係る本発明の有機ELディスプレイは、フレキシブルで軽く、薄く、少し曲げて壊れず、1mの高さから落としても壊れなかった。また、基板側から見て、開口率が大きくて明るい表示ができた。

【0080】

<実施例2> 本実施例2においては、上述の実施形態2に係る本発明の有機ELディスプレイの具体的な態様を説明する。

【0081】

基板1としてガラスを用い、その上に、バッファ層12としてSiO₂を100nmCVDで成膜した(図6(a))。次に、Tr1およびTr3の半導体層となる第一半導体層21としてInGaZn酸化物を、InGaZnO₄をターゲットとしAr+O₂ガス下での反応性スパッタ(室温、RFスパッタ)によって成膜し、フォトレジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターンニングした(図6(b))。さらに、あらかじめフォトレジストパターン形成後にソース電極S1、ドレイン電極D1兼ゲート電極G2、ソース電極S3兼ソース電極S4、ドレイン電極D3、ドレイン電極D4を含む第一電極層22としてITOを、ITOをターゲットとしAr+O₂ガス下での反応性スパッタ(室温、DCスパッタ)によって成膜し、リフトオフによってパターンニングした(図6(c))。そして、あらかじめフォトレジストパターン形成後に第一絶縁層23としてSiONを、SiNをターゲットとしAr+O₂+N₂ガス下での反応性スパッタ(室温、RFスパッタ)によって成膜し、リフトオフによってパターンニングした(図6(d))。さらに、あらかじめフォトレジストパターン形成後にゲート電極G1、キャパシタ電極C、ソース電極S2、ドレイン電極D2兼ゲート電極G3兼ゲート電極G4を含む第二電極層24としてITOを、第一電極層22と同様の反応性スパッタによって成膜し、リフトオフによってパターンニングした(図6(e))。

【0082】

次に、第二半導体層25としてチオフェン系材料をディスペンス・焼成した(図6(f))。ここで第二半導体層25を覆うように、封止兼遮光層28としてフッ素系黒色樹脂をスクリーン印刷し(図示せず)、さらに第二絶縁層26として感光性アクリル樹脂を塗布・露光・現像によってパターンニングし(図6(g))、第三電極層27としてITOを、第一の電極層22と同様の反応性スパッタによって成膜し、フォトレジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターンニングした(図6(h))。

【0083】

そして、有機EL層4を形成した。まず、全面に正孔輸送層41としてPEDOT:PSSの溶液をスピンコートし、100で焼成した(図6(i))。次に、フレキソ印刷にて赤色発光層42R、緑色発光層42G、青色発光層42Bとしていずれもポリフルオレン系物質を順次形成した(図6(j))。

【0084】

さらに、蒸着によって陰極5としてカルシウムを10nm、銀を300nm、全面に成膜

10

20

30

40

50

した（図 6（k））。最後に全体にバリア構造 6 としてガラスを接着剤で貼り付けた（図 6（l））。

【0085】

このようにして作製した本実施例に係る本発明の有機 EL ディスプレイは、基板側から見て、開口率が大きくて明るい表示ができた。また、輝度ムラの小さい、良好な表示ができた。

【0086】

<実施例 3> 本実施例 3 においては、上述の実施形態 3 に係る本発明の有機 EL ディスプレイの具体的態様を説明する。

【0087】

基板 1 として PEN を用い、その上に、バリア層 11 として SiO_2 を 100 nm CVD で成膜した（図 8（a））。次に、ゲート電極 G1、G2、G3、キャパシタ電極 C を含む第一電極層 22 として ITO を、ITO をターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ（室温、DC スパッタ）によって成膜し、フォトレジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターニングした（図 8（b））。さらに、あらかじめフォトレジストパターン形成後に第一の絶縁層 23 として SiON を、 SiN をターゲットとし $\text{Ar} + \text{O}_2 + \text{N}_2$ ガス下での反応性スパッタ（室温、RF スパッタ）によって成膜し、リフトオフによってパターニングした（図 8（c））。そして、あらかじめフォトレジストパターン形成後に $\text{Tr}1$ および $\text{Tr}3$ の半導体層となる第一半導体層 21 として InGaZn 酸化物を、 InGaZnO_4 をターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ（室温、RF スパッタ）によって成膜し、リフトオフによってパターニングした（図 8（d））。さらに、あらかじめフォトレジストパターン形成後にソース電極 S1、S2、S3、ドレイン電極 D1、D2、D3 を含む第二電極層 24 として ITO を、第一電極層 22 と同様の反応性スパッタによって成膜し、リフトオフによってパターニングした（図 8（e））。

【0088】

そして、カーボン系の抵抗ペーストをスクリーン印刷・焼成して抵抗 3 を形成した（図 8（f））。次に、第二半導体層 25 としてチオフェン系材料をディスペンス・焼成した（図 8（g））。ここで第一半導体層 21 および第二半導体層 25 を覆うように、封止兼遮光層 28 としてフッ素系黒色樹脂をスクリーン印刷し（図示せず）、さらに第二絶縁層 26 として感光性アクリル樹脂を塗布・露光・現像によってパターニングし（図 8（h））、第三電極層 27 として ITO を、第一の電極層 22 と同様の反応性スパッタによって成膜し、フォトレジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターニングした（図 8（i））。

【0089】

そして、有機 EL 層 4 を形成した。まず、全面に正孔輸送層 41 として PEDOT: PSS の溶液をスピンコートし、100 で焼成した（図 8（j））。次に、フレキシ印刷にて赤色発光層 42R、緑色発光層 42G、青色発光層 42B としていずれもポリフルオレン系物質を順次形成した（図 8（k））。

【0090】

さらに、蒸着によって陰極 5 としてカルシウムを 10 nm、銀を 300 nm、全面に成膜した（図 8（l））。最後に全体にバリア構造 6 として SiO_2 / アクリル / SiO_2 積層膜を蒸着した（図 8（m））。

【0091】

このようにして作製した本実施例に係る本発明の有機 EL ディスプレイは、フレキシブルで軽く、薄く、少し曲げても壊れず、1 m の高さから落としても壊れなかった。また、基板側から見て、開口率が大きくて明るい表示ができた。

【0092】

<実施例 4> 本実施例 4 においては、上述の実施形態 3 に係る本発明の有機 EL ディスプレイの具体的態様を説明する。

【0093】

基板1としてガラスを用い、その上に、バッファ層12として SiO_2 を100nmCVDで成膜した(図10(a))。次に、ゲート電極G1、G2、G3兼G4を含む第一電極層22としてITOを、ITOをターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ(室温、RFスパッタ)によって成膜し、レジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターンニングした(図10(b))。さらに、あらかじめフォトレジストパターン形成後に第一絶縁層23として SiON を、 SiN をターゲットとし $\text{Ar} + \text{O}_2 + \text{N}_2$ ガス下での反応性スパッタ(室温、RFスパッタ)によって成膜し、リフトオフによってパターンニングした(図10(c))。そして、あらかじめフォトレジストパターン形成後に、Tr1、Tr3およびTr4の半導体層となる第一半導体層21として InGaZn 酸化物を、 InGaZnO_4 をターゲットとし $\text{Ar} + \text{O}_2$ ガス下での反応性スパッタ(室温、RFスパッタ)によって成膜し、リフトオフによってパターンニングした(図10(d))。さらに、あらかじめフォトレジストパターン形成後にソース・ドレイン電極S1、S2兼D3、S3兼S4、D1、D2兼D4を含む第二電極層24としてITOを、第一電極層22と同様の反応性スパッタによって成膜し、リフトオフによってパターンニングした(図10(e))。

10

【0094】

次に、第二半導体層25としてチオフェン系材料をディスペンス・焼成した(図10(f))。ここで第一半導体層21および第二半導体層25を覆うように、封止兼遮光層28としてフッ素系黒色樹脂をスクリーン印刷し(図示せず)、さらに第二絶縁層26として感光性アクリル樹脂を塗布・露光・現像によってパターンニングし(図10(g))、第三電極層27としてITOを、第一の電極層32と同様の反応性スパッタによって成膜し、フォトレジスト塗布・露光・現像・塩酸によるウェットエッチング・レジスト剥離によってパターンニングした(図10(h))。

20

【0095】

そして、有機EL層4を形成した。まず、全面に正孔輸送層41としてPEDOT: PSSの溶液をスピコートし、焼成した100℃で焼成した(図10(i))。次に、フレキソ印刷にて赤色発

光層42R、緑色発光層42G、青色発光層42Bとしていずれもポリフルオレン系物質を順次形成した(図10(j))。

30

【0096】

さらに、蒸着によって陰極5としてカルシウムを10nm、銀を300nm、全面に成膜した(図10(k))。最後に全体にバリア構造6としてガラスを接着剤で貼り付けた(図10(l))。

【0097】

このようにして作製した本実施例に係る本発明の有機ELディスプレイは、基板側から見て、開口率が大きくて明るい表示ができた。また、輝度ムラの小さい、良好な表示ができた。

【図面の簡単な説明】

【0098】

40

【図1】実施形態1及び3に係る本発明のELディスプレイの画素回路の回路構成図である。

【図2】実施形態1に係る本発明のELディスプレイの構造の一例を示す断面模式図(図2(a))と平面図(図2(b))である。

【図3A】実施形態1に係る本発明のELディスプレイの製造工程の一例を示す断面図である。

【図3B】実施形態1に係る本発明のELディスプレイの製造工程の一例を示す断面図である。

【図4】実施形態2及び4に係る本発明のELディスプレイの画素回路の回路構成図である。

50

【図 5】実施形態 2 に係る本発明の E L ディスプレイの構造の一例を示す断面模式図（図 5（a））と平面図（図 5（b））である。

【図 6 A】実施形態 2 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

【図 6 B】実施形態 2 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

【図 7】実施形態 3 に係る本発明の E L ディスプレイの構造の一例を示す断面模式図（図 7（a））と平面図（図 7（b））である。

【図 8 A】実施形態 3 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

10

【図 8 B】実施形態 3 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

【図 9】実施形態 4 に係る本発明の E L ディスプレイの構造の一例を示す断面模式図（図 9（a））と平面図（図 9（b））である。

【図 10 A】実施形態 4 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

【図 10 B】実施形態 4 に係る本発明の E L ディスプレイの製造工程の一例を示す断面図である。

【図 11】従来の E L ディスプレイの画素回路の回路構成図である。

【符号の説明】

20

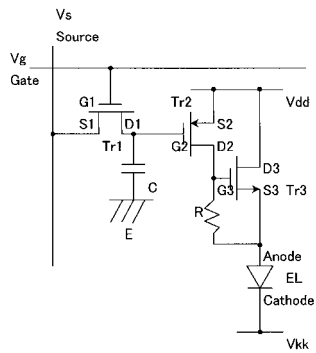
【0099】

- 1 透明基板
- 1 1 バリア層
- 1 2 バッファ層
- 2 T F T 回路
- 2 1 第一半導体層
- 2 2 第一電極層
- 2 3 第一絶縁層
- 2 4 第二電極層
- 2 5 第二半導体層
- 2 6 第二絶縁層
- 2 7 第三電極層
- 2 8 封止層兼遮光層
- 3 抵抗体
- G 1 ~ G 4 ゲート電極
- S 1 ~ S 4 ソース電極
- D 1 ~ D 4 ドレイン電極
- C キャパシタ電極
- R 抵抗体
- 4 有機 E L 層
- 4 1 正孔輸送層
- 4 2 発光層
- 4 2 R 赤色発光層
- 4 2 G 緑色発光層
- 4 2 B 青色発光層
- 5 陰極
- 6 バリア構造

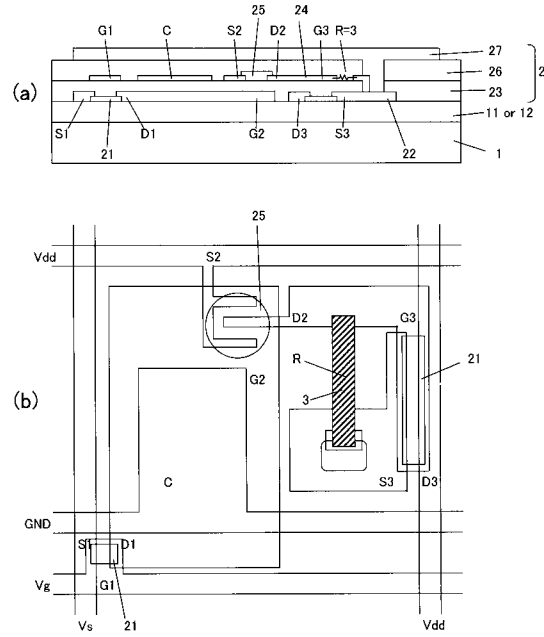
30

40

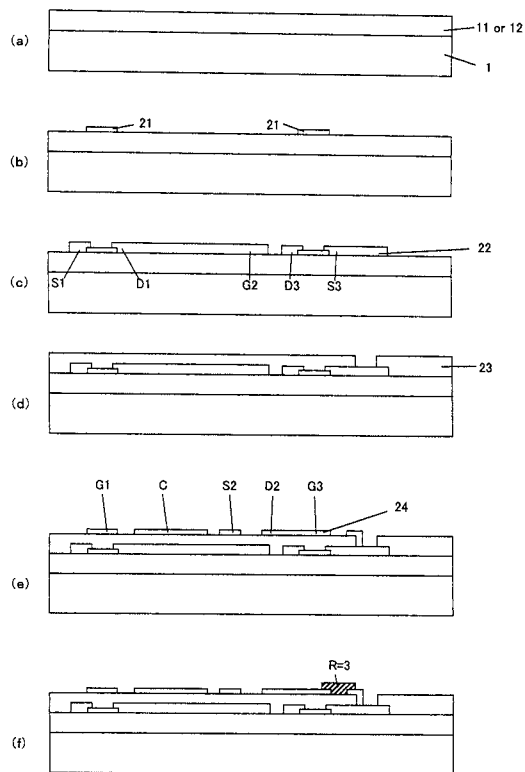
【図 1】



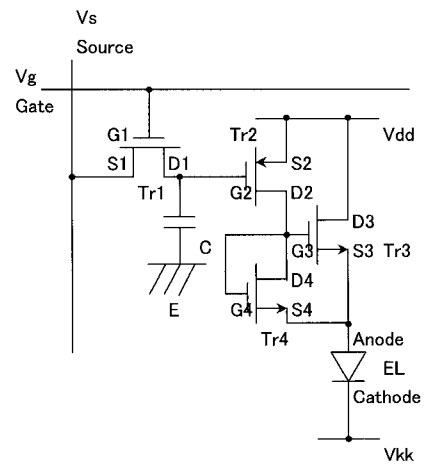
【図 2】



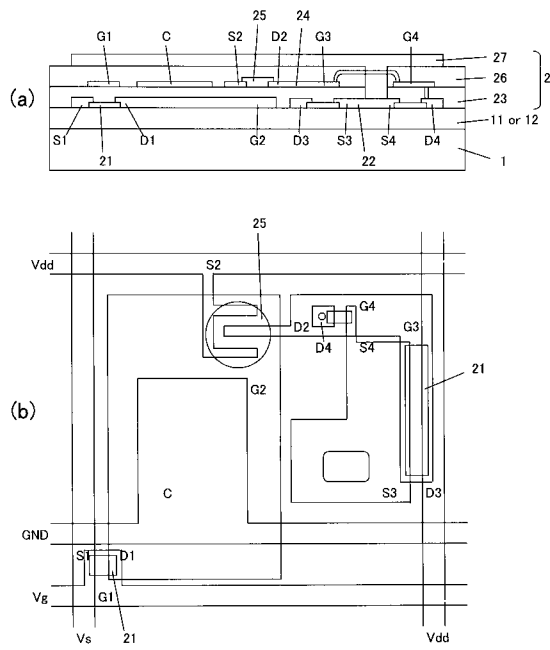
【図 3 A】



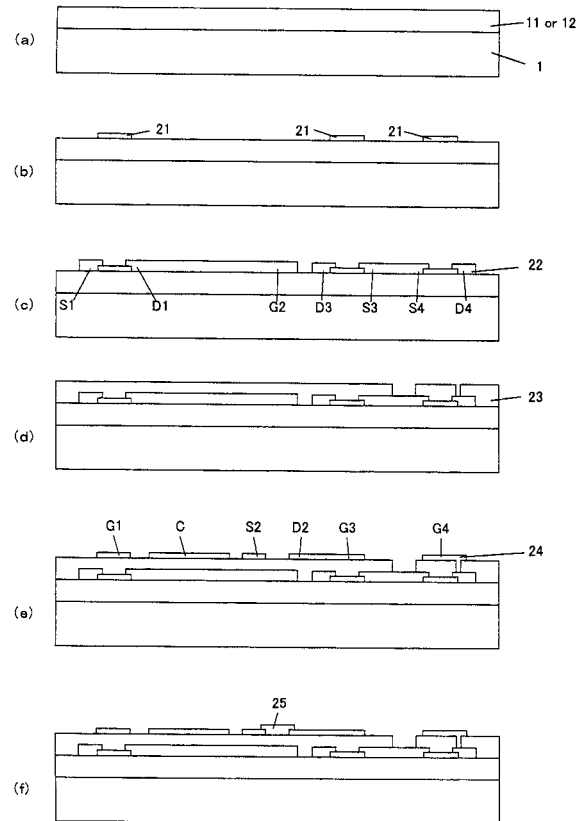
【図 4】



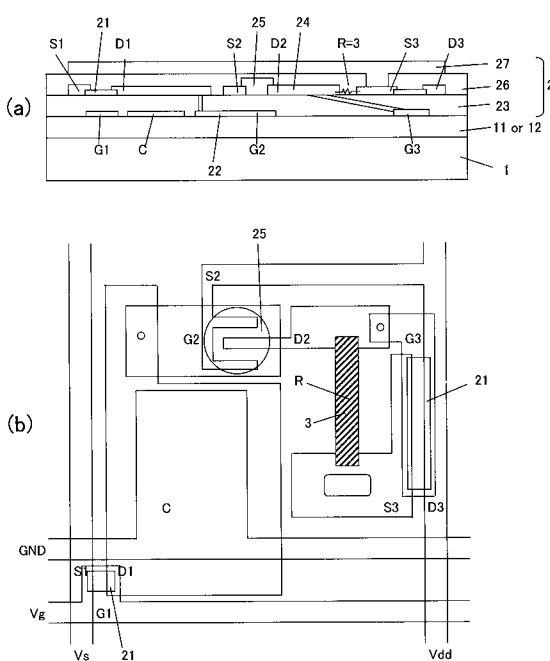
【図 5】



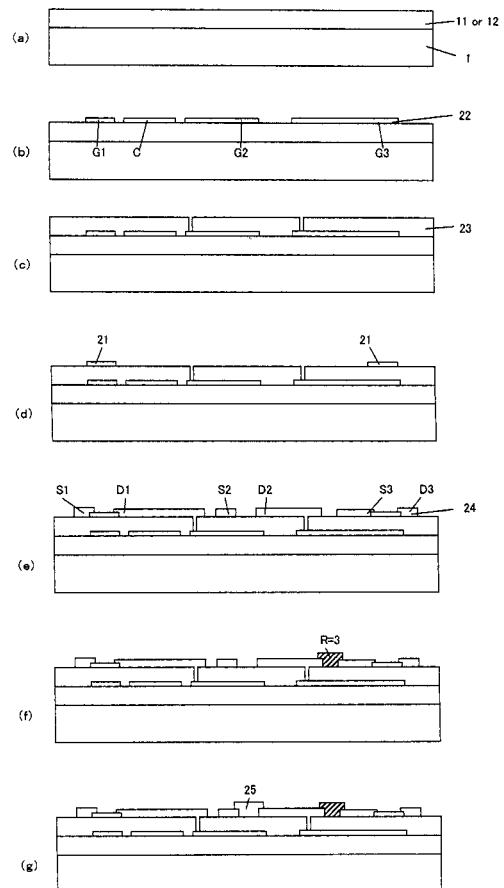
【図 6 A】



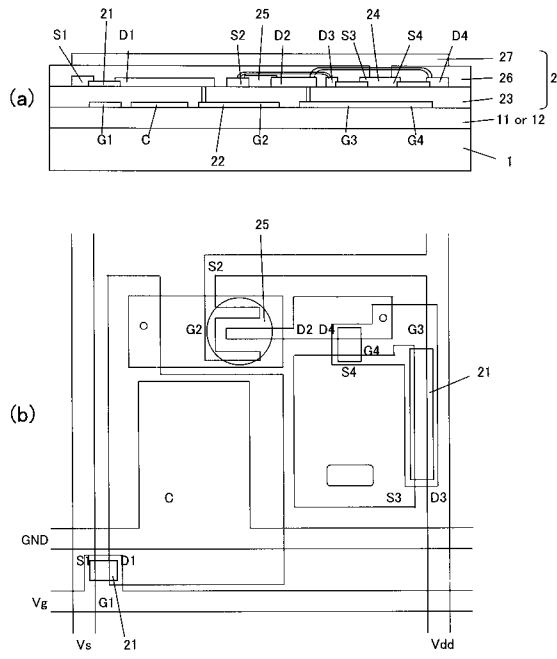
【図 7】



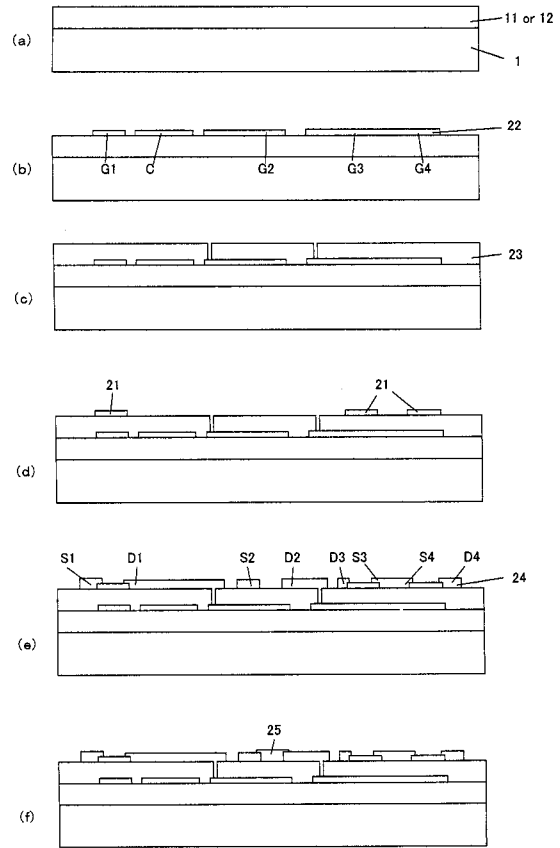
【図 8 A】



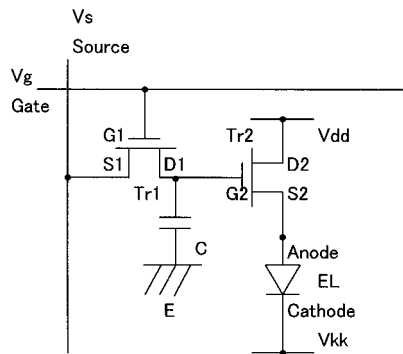
【図 9】



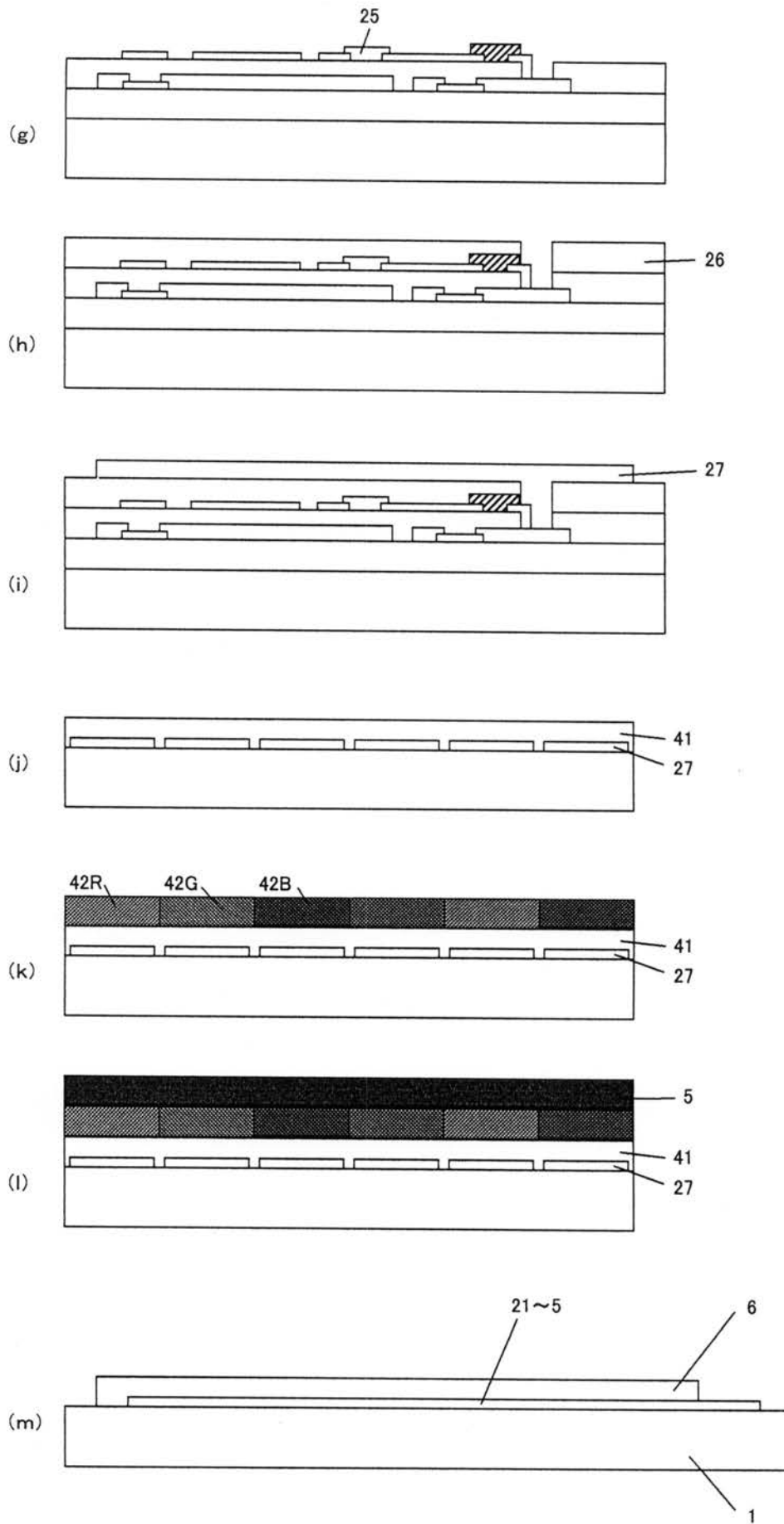
【図 10 A】



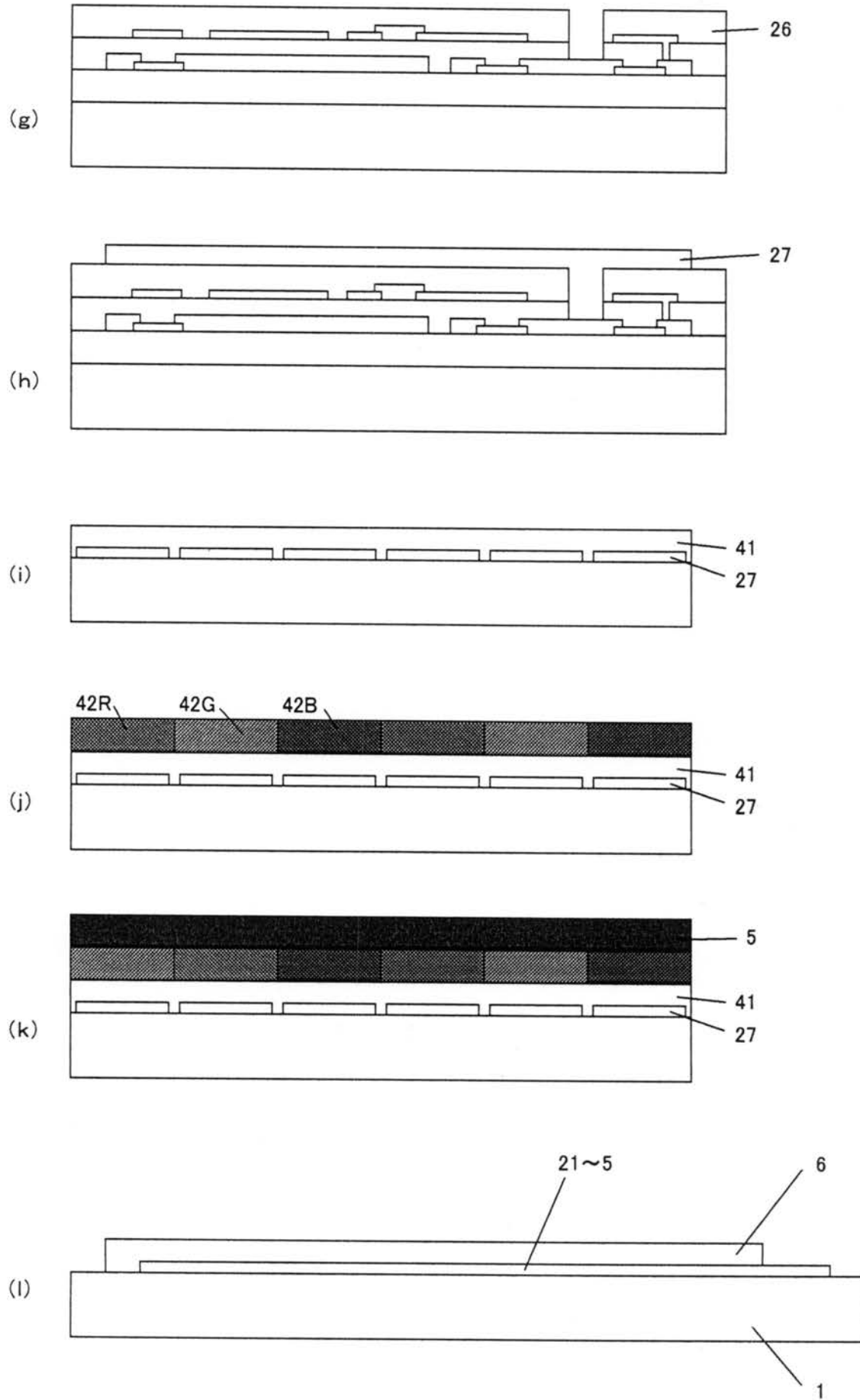
【図 11】



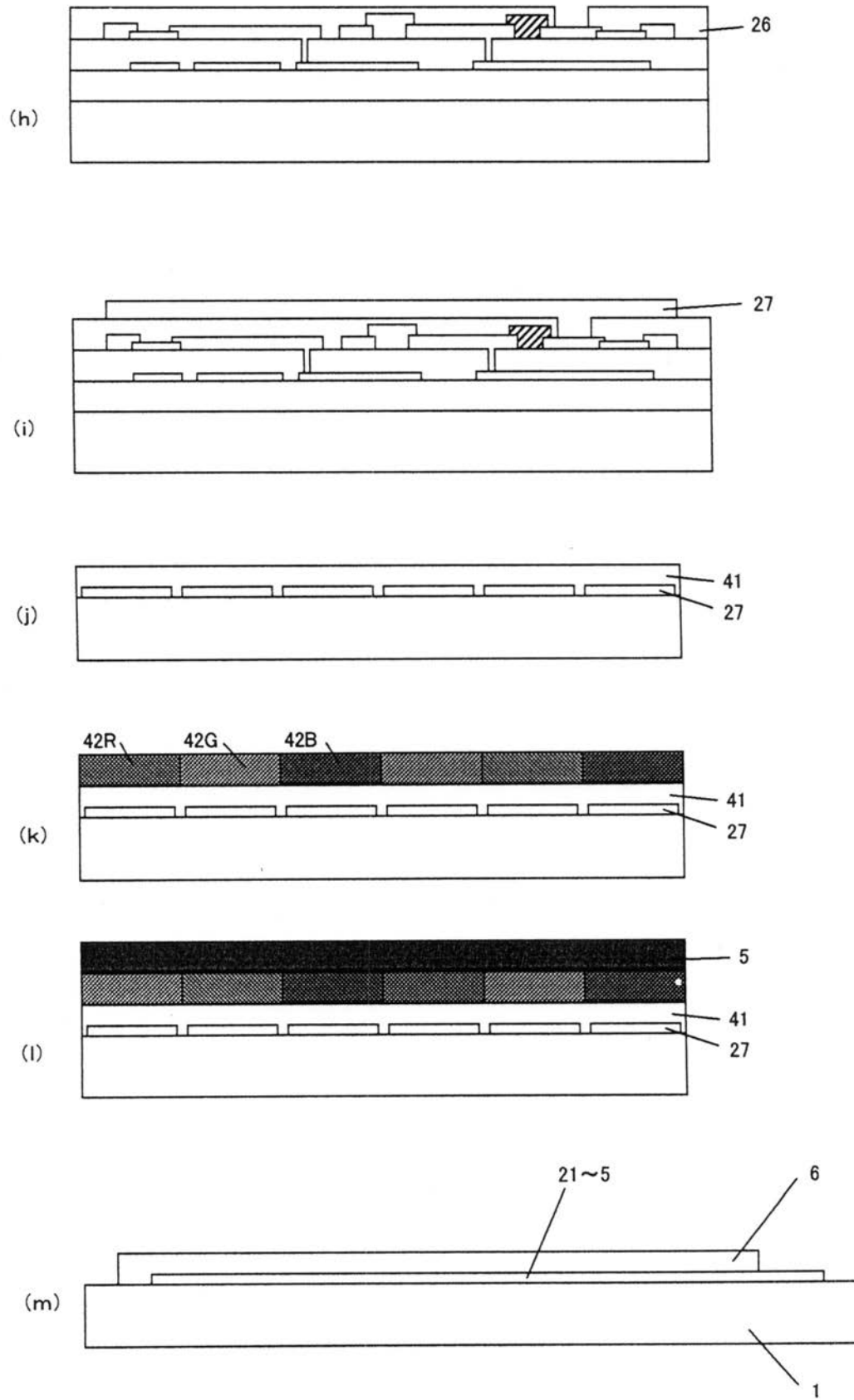
【図 3 B】



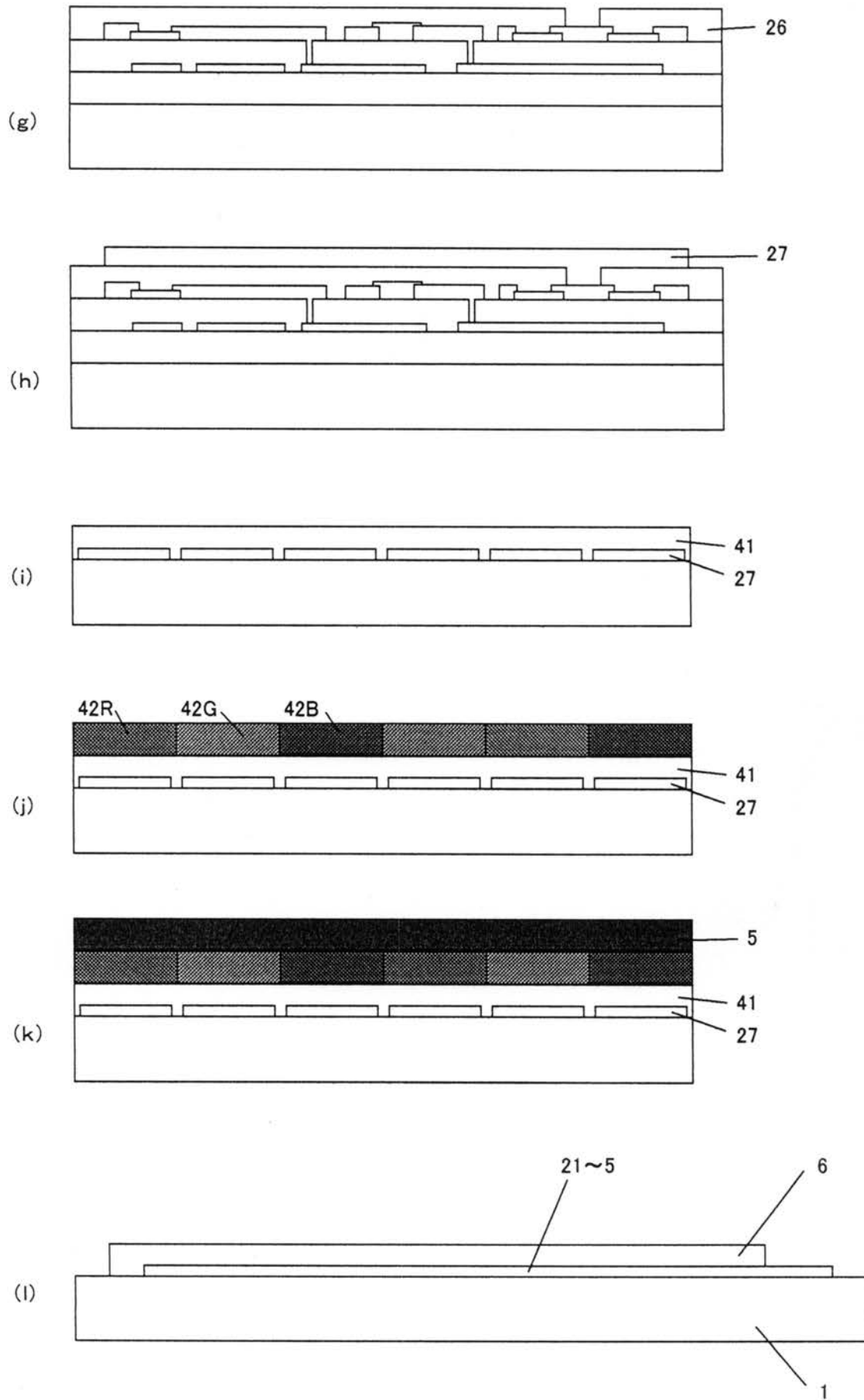
【図 6 B】



【図 8 B】



【図10B】



 フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 4</i>
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 2 Z</i>
<i>H 0 1 L</i>	<i>51/05</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 8 B</i>
<i>G 0 9 G</i>	<i>3/20</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/28</i>	<i>1 0 0 A</i>
			<i>G 0 9 G</i>	<i>3/20</i>	<i>6 2 4 B</i>

(56)参考文献 実開平 6 - 2 3 9 1 (J P , U)
 特開平 9 - 8 6 3 1 (J P , A)
 特開 2 0 0 7 - 8 8 2 1 0 (J P , A)
 特開 2 0 0 4 - 7 0 0 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 0
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0

专利名称(译)	有机EL显示器及其制造方法		
公开(公告)号	JP4910779B2	公开(公告)日	2012-04-04
申请号	JP2007052416	申请日	2007-03-02
[标]申请(专利权)人(译)	凸版印刷株式会社		
申请(专利权)人(译)	凸版印刷株式会社		
当前申请(专利权)人(译)	凸版印刷株式会社		
[标]发明人	石崎守		
发明人	石 ▼崎▲ 守		
IPC分类号	G09G3/30 G09F9/30 H01L51/50 H05B33/10 H01L27/32 H01L29/786 H01L21/336 H01L51/05 G09G3/20		
FI分类号	G09G3/30.J G09F9/30.338 H05B33/14.A H05B33/10 G09F9/30.365.Z H01L29/78.614 H01L29/78.612.Z H01L29/78.618.B H01L29/28.100.A G09G3/20.624.B G09F9/30.365 G09G3/3233 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC36 3K107/CC45 3K107/DD90 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD28 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ06 5C094/AA53 5C094/BA03 5C094/BA27 5C094/DB01 5C094/FB19 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB21 5C380/AB25 5C380/AB34 5C380/CA12 5C380/CC01 5C380/CC27 5C380/CC28 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CF41 5C380/DA02 5F110/AA30 5F110/BB01 5F110/CC01 5F110/CC03 5F110/DD01 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE42 5F110/EE43 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF04 5F110/FF27 5F110/FF28 5F110/FF36 5F110/GG04 5F110/GG05 5F110/GG06 5F110/GG42 5F110/GG43 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK32 5F110/HK33 5F110/NN02 5F110/NN71 5F110/NN73 5F110/NN78 5F110/QQ14		
审查员(译)	福村 拓		
其他公开文献	JP2008216529A		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用n沟道TFT，例如氧化物TFT作为p沟道型TFT作为有机EL显示器的驱动晶体管，并通过p沟道TFT实现大电流驱动。有机TFT。解决方案：有机EL显示器包括具有多个像素电路和有机EL层的薄膜TFT电路，并且每个像素电路包括第一，第二和第三薄膜TFT。第一薄膜TFT的栅电极，源电极和漏电极分别连接到栅极线，源极线，第二薄膜TFT的栅电极和电容器的一个电极。第二薄膜TFT是p沟道型薄膜TFT，第二薄膜TFT的源电极和漏电极连接到电源电位，第三薄膜TFT的栅极和电阻器的一端，分别。第三薄膜TFT是n沟道型薄膜TFT，第三薄膜TFT的漏极和源极分别连接到电源电位，电阻器的另一端和阳极。Ž

