

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4884609号
(P4884609)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H01L 51/50 (2006.01)

G09G 3/30 K

G09G 3/20 611H

G09G 3/20 612A

G09G 3/20 641E

G09G 3/20 670J

請求項の数 12 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2001-239058 (P2001-239058)
 (22) 出願日 平成13年8月7日(2001.8.7)
 (65) 公開番号 特開2002-123219 (P2002-123219A)
 (43) 公開日 平成14年4月26日(2002.4.26)
 審査請求日 平成20年6月27日(2008.6.27)
 (31) 優先権主張番号 特願2000-243272 (P2000-243272)
 (32) 優先日 平成12年8月10日(2000.8.10)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 西島 篤宏

(56) 参考文献 特開平10-232649 (JP, A)
 特開平11-272223 (JP, A)
 特開平09-138659 (JP, A)
 特開平09-101759 (JP, A)

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

画素部に設けられた第1の薄膜トランジスタ、第2の薄膜トランジスタ、及び第1のEL素子と、

前記画素部が設けられた基板と同じ基板上に設けられた第2のEL素子と、

互いに異なる値の一定の電流を出力するn(nは、2以上の自然数)個の定電流源と、

前記n個の定電流源のうちの1つを選択するスイッチと、

バッファアンプと、を有し、

前記第1のEL素子及び前記第2のEL素子それぞれは、第1の電極と、第2の電極と、前記第1の電極及び前記第2の電極の間に設けられたEL層とを有し、

前記第2のEL素子の第1の電極は、前記スイッチを介して前記n個の定電流源のうちの1つと電氣的に接続され、

前記第1の薄膜トランジスタのゲートは、ゲート信号線に電氣的に接続され、

前記第1の薄膜トランジスタのソースまたはドレインの一方は、ソース信号線に電氣的に接続され、

前記第1の薄膜トランジスタのソースまたはドレインの他方は、前記第2の薄膜トランジスタのゲートに電氣的に接続され、

前記第2の薄膜トランジスタのソースまたはドレインの一方は、電源供給線に電氣的に接続され、

前記第2の薄膜トランジスタのソースまたはドレインの他方は、前記第1のEL素子の

10

20

第 1 の電極に電氣的に接続され、

前記第 2 の E L 素子の第 1 の電極の電位が、前記バッファアンプ及び前記第 2 の薄膜トランジスタを介して前記第 1 の E L 素子の第 1 の電極に与えられることを特徴とする表示装置。

【請求項 2】

画素部に設けられた第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、及び第 1 の E L 素子と、

前記画素部が設けられた基板と同じ基板上に設けられた第 2 の E L 素子と、

互いに同じ値の一定の電流を出力する n (n は、2 以上の自然数) 個の定電流源と、

前記 n 個の定電流源のうちの少なくとも 1 つを選択するスイッチと、

バッファアンプと、を有し、

前記第 1 の E L 素子及び前記第 2 の E L 素子それぞれは、第 1 の電極と、第 2 の電極と、前記第 1 の電極及び前記第 2 の電極の間に設けられた E L 層とを有し、

前記第 2 の E L 素子の第 1 の電極が、前記スイッチを介して前記 n 個の定電流源のうちの m (m は、 n 以下の自然数) 個と電氣的に接続される期間と、前記スイッチを介して前記 n 個の定電流源のうちの k (k は、 m とは異なる n 以下の自然数) 個と電氣的に接続される期間とを有し、

前記第 1 の薄膜トランジスタのゲートは、ゲート信号線に電氣的に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの一方は、ソース信号線に電氣的に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの他方は、前記第 2 の薄膜トランジスタのゲートに電氣的に接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの一方は、電源供給線に電氣的に接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの他方は、前記第 1 の E L 素子の第 1 の電極に電氣的に接続され、

前記第 2 の E L 素子の第 1 の電極の電位が、前記バッファアンプ及び前記第 2 の薄膜トランジスタを介して前記第 1 の E L 素子の第 1 の電極に与えられることを特徴とする表示装置。

【請求項 3】

請求項 1 において、

前記 n 個の定電流源それぞれから出力される電流値の比は、 $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ を満たすことを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記第 1 の E L 素子の第 2 の電極と前記第 2 の E L 素子の第 2 の電極とは、互いに同じ電位が与えられていることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の表示装置を表示部に用いた電子機器。

【請求項 6】

請求項 5 において、

前記電子機器は、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末、モバイルコンピュータ、携帯電話、電子書籍、または画像再生装置であることを特徴とする電子機器。

【請求項 7】

画素部に設けられた第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、及び第 1 の E L 素子と、

前記画素部が設けられた基板と同じ基板上に設けられた第 2 の E L 素子と、

互いに異なる値の一定の電流を出力する n (n は、2 以上の自然数) 個の定電流源と、

前記 n 個の定電流源のうちの 1 つを選択するスイッチと、

バッファアンプと、を有し、

前記第 1 の E L 素子及び前記第 2 の E L 素子それぞれは、第 1 の電極と、第 2 の電極と、前記第 1 の電極及び前記第 2 の電極の間に設けられた E L 層とを有し、

前記第 1 の薄膜トランジスタのゲートは、ゲート信号線に電氣的に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの一方は、ソース信号線に電氣的に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの他方は、前記第 2 の薄膜トランジスタのゲートに電氣的に接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの一方は、電源供給線に電氣的に接続され、

10

前記第 2 の薄膜トランジスタのソースまたはドレインの他方は、前記第 1 の E L 素子の第 1 の電極に電氣的に接続されている表示装置の駆動方法であって、

1 フレーム期間を、書き込み期間及び表示期間を有する n 個のサブフレーム期間に分割し、

前記 n 個のサブフレーム期間それぞれの書き込み期間において、前記 n 個の定電流源のうち互いに異なる 1 つと前記第 2 の E L 素子の第 1 の電極とを前記スイッチを介して電氣的に接続し、

前記第 2 の E L 素子の第 1 の電極の電位を、前記バッファアンプ及び前記第 2 の薄膜トランジスタを介して前記第 1 の E L 素子の第 1 の電極に与えることを特徴とする表示装置の駆動方法。

20

【請求項 8】

画素部に設けられた第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、及び第 1 の E L 素子と、

前記画素部が設けられた基板と同じ基板上に設けられた第 2 の E L 素子と、

互いに同じ値の一定の電流を出力する n (n は、2 以上の自然数) 個の定電流源と、

前記 n 個の定電流源のうちの少なくとも 1 つを選択するスイッチと、

バッファアンプと、を有し、

前記第 1 の E L 素子及び前記第 2 の E L 素子それぞれは、第 1 の電極と、第 2 の電極と、前記第 1 の電極及び前記第 2 の電極の間に設けられた E L 層とを有し、

前記第 1 の薄膜トランジスタのゲートは、ゲート信号線に電氣的に接続され、

30

前記第 1 の薄膜トランジスタのソースまたはドレインの一方は、ソース信号線に電氣的に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの他方は、前記第 2 の薄膜トランジスタのゲートに電氣的に接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの一方は、電源供給線に電氣的に接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの他方は、前記第 1 の E L 素子の第 1 の電極に電氣的に接続されている表示装置の駆動方法であって、

1 フレーム期間を、書き込み期間及び表示期間を有する n 個のサブフレーム期間に分割し、

40

前記 n 個のサブフレーム期間それぞれの書き込み期間において、前記 n 個の定電流源のうち互いに異なる x (x は、 n 以下の自然数) 個と前記第 2 の E L 素子の第 1 の電極とを前記スイッチを介して電氣的に接続し、

前記第 2 の E L 素子の第 1 の電極の電位を、前記バッファアンプ及び前記第 2 の薄膜トランジスタを介して前記第 1 の E L 素子の第 1 の電極に与えることを特徴とする表示装置の駆動方法。

【請求項 9】

画素部に設けられた第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、及び第 1 の E L 素子と、

前記画素部が設けられた基板と同じ基板上に設けられた第 2 の E L 素子と、

50

互いに異なる値の一定の電流を出力する y (y は、 n 以下の自然数) 個の定電流源と、
 前記 y 個の定電流源のうちの 1 つを選択するスイッチと、
バッファアンプと、を有し、
 前記第 1 の E L 素子及び前記第 2 の E L 素子それぞれは、第 1 の電極と、第 2 の電極と、
 前記第 1 の電極及び前記第 2 の電極の間に設けられた E L 層とを有し、
前記第 1 の薄膜トランジスタのゲートは、ゲート信号線に電氣的に接続され、
前記第 1 の薄膜トランジスタのソースまたはドレインの一方は、ソース信号線に電氣的
に接続され、

前記第 1 の薄膜トランジスタのソースまたはドレインの他方は、前記第 2 の薄膜トラン
ジスタのゲートに電氣的に接続され、

10

前記第 2 の薄膜トランジスタのソースまたはドレインの一方は、電源供給線に電氣的に
接続され、

前記第 2 の薄膜トランジスタのソースまたはドレインの他方は、前記第 1 の E L 素子の
第 1 の電極に電氣的に接続されている表示装置の駆動方法であって、

1 フレーム期間を、書き込み期間及び表示期間を有する n (n は、2 以上の自然数) 個
 のサブフレーム期間に分割し、

前記 n 個のサブフレーム期間それぞれの書き込み期間において、前記 y 個の定電流源の
 うちの 1 つと前記第 2 の E L 素子の第 1 の電極とを前記スイッチを介して電氣的に接続し
 、

前記 n 個のサブフレーム期間のうち複数のサブフレーム期間で同じ定電流源が選択され
 ているとき、当該複数のサブフレーム期間それぞれの表示期間の長さを互いに異ならせ、

20

前記第 2 の E L 素子の第 1 の電極の電位を、前記バッファアンプ及び前記第 2 の薄膜ト
 ランジスタを介して前記第 1 の E L 素子の第 1 の電極に与えることを特徴とする表示装置
 の駆動方法。

【請求項 10】

請求項 7 において、

前記 n 個の定電流源それぞれから出力される電流値の比は、 $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ を満たすことを特徴とする表示装置の駆動方法。

【請求項 11】

請求項 7 において、

前記 n 個のサブフレーム期間それぞれの書き込み期間は互いに等しく、前記 n 個のサブ
 フレーム期間それぞれの表示期間は互いに等しいことを特徴とする表示装置の駆動方法。

30

【請求項 12】

請求項 7 乃至 11 のいずれか一において、

前記第 1 の E L 素子の第 2 の電極と前記第 2 の E L 素子の第 2 の電極とに、互いに同じ
 電位を与えることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は E L (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された電子表
 示装置及びその駆動方法に関する。特に半導体素子 (半導体薄膜を用いた素子) を用いた
 E L 表示装置及びその駆動方法に関する。また E L 表示装置を表示部に用いた電子機器に
 関する。

40

【0002】

【従来の技術】

近年、自発光型素子として E L 素子を有した E L 表示装置の開発が活発化している。E L
 表示装置は有機 E L ディスプレイ (O E L D : Organic EL Display) 又は有機ライトエミ
 ッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【0003】

E L 表示装置は、液晶表示装置と異なり自発光型である。E L 素子是一对の電極 (陽極と

50

陰極)間にE L層が挟まれた構造となっているが、E L層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているE L表示装置は殆どこの構造を採用している。

【0004】

また他にも、陽極上に「正孔注入層/正孔輸送層/発光層/電子輸送層」、または「正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層」の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0005】

本明細書において陰極と陽極の間に設けられる全ての層を総称してE L層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てE L層に含まれる。

10

【0006】

そして、上記構造でなるE L層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてE L素子が発光することを、E L素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L層及び陰極で形成される発光素子をE L素子と呼ぶ。

【0007】

ここで本明細書中において、E L素子の陽極及び陰極を、E L素子の両電極と呼ぶ場合もある。

20

【0008】

なお、本明細書中において、E L素子とは、一重項励起子からの発光(蛍光)を利用するものと、三重項励起子からの発光(燐光)を利用するものの両方を示すものとする。

【0009】

E L表示装置の駆動方法として、アクティブマトリクス方式が挙げられる。

【0010】

図6に、アクティブマトリクス方式の表示装置の例をブロック図で示す。画素部には、ソース信号線駆動回路から信号が入力されるソース信号線と、ゲート信号線駆動回路から信号が入力されるゲート信号線が、マトリクス状に形成されている。また、ソース信号線と平行に電源供給線が形成されている。本明細書中では、電源供給線の電位を電源電位という。

30

【0011】

図5に、アクティブマトリクス型E L表示装置の画素部の構成を示す。ゲート信号線駆動回路から選択信号を入力するゲート信号線(G1~Gy)は、各画素が有するスイッチング用TFT301のゲート電極に接続されている。また、各画素が有するスイッチング用TFT301のソース領域とドレイン領域は、一方がソース信号線駆動回路から信号を入力するソース信号線(S1~Sx)に、他方がE L駆動用TFT302のゲート電極及び各画素が有するコンデンサ303の一方の電極に接続されている。コンデンサ303のもう一方の電極は、電源供給線(V1~Vx)に接続されている。各画素の有するE L駆動用TFT302のソース領域とドレイン領域の一方は、電源供給線(V1~Vx)に、他方は、各画素が有するE L素子304に接続されている。

40

【0012】

E L素子304は、陽極と、陰極と、陽極と陰極の間に設けられたE L層とを有する。E L素子304の陽極がE L駆動用TFT302のソース領域またはドレイン領域と接続している場合、E L素子304の陽極が画素電極、陰極が対向電極となる。逆に、E L素子304の陰極がE L駆動用TFT302のソース領域またはドレイン領域と接続している場合、E L素子304の陰極が画素電極、陽極が対向電極となる。

【0013】

なお、本明細書において、対向電極の電位を対向電位という。なお、対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がE L駆動電

50

圧であり、このEL駆動電圧がEL層に印加される。

【0014】

上記EL表示装置の階調表示方法として、アナログ階調方式と、時間階調方式が挙げられる。

【0015】

まず、EL表示装置のアナログ階調方式について説明する。図5で示した表示装置をアナログ階調方式で駆動した場合のタイミングチャートを図7に示す。1つのゲート信号線が選択されてから、その次のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。また、1つの画像が選択されてから、次の画像が選択されるまでの期間が、1フレーム期間に相当する。図5のEL表示装置の場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間(L1~Ly)が設けられている。

10

【0016】

解像度が高くなるにつれ、1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0017】

電源供給線(V1~Vx)は、一定の電位に保たれている。また、対向電位も一定に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【0018】

第1のライン期間(L1)においてゲート信号線G1にはゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線(S1~Sx)に順にアナログのビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TF T301はオンの状態になるので、ソース信号線(S1~Sx)に入力されたアナログのビデオ信号は、スイッチング用TF T301を介してEL駆動用TF T302のゲート電極に入力される。

20

【0019】

スイッチング用TF T301がオンとなって画素内に入力されたアナログのビデオ信号はEL駆動用TF T302のゲート電圧となる。このときEL駆動用TF T302のId-Vg特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、EL駆動用TF T302のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位(オンのEL駆動電位)が定まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

30

【0020】

上述した動作を繰り返し、ソース信号線(S1~Sx)へのアナログのビデオ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信号線(S1~Sx)へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間(L2)となりゲート信号線G2に選択信号が入力される。そして第1のライン期間(L1)と同様にソース信号線(S1~Sx)に順にアナログのビデオ信号が入力される。

【0021】

そして全てのゲート信号線(G1~Gy)に選択信号が入力されると、全てのライン期間(L1~Ly)が終了する。全てのライン期間(L1~Ly)が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間(L1~Ly)と垂直帰線期間とを合わせて1フレーム期間としても良い。

40

【0022】

以上のように、アナログのビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。このように、アナログ階調方式では、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0023】

50

次に、時間階調方式について説明する。

【 0 0 2 4 】

時間階調方式では、画素にデジタル信号を入力し、このデジタル信号によって、画素の E L 素子の発光時間を制御して階調を表現する。

【 0 0 2 5 】

ここでは n (n は、2 以上の自然数) ビットのデジタル信号を入力し、 2^n 階調表示をする場合を例に説明する。

【 0 0 2 6 】

図 5 で示した表示装置を、時間階調方式で駆動した場合のタイミングチャートを図 8 に示す。まず、1 フレーム期間を n (n は、2 以上の自然数) 個のサブフレーム期間 ($S F_1 \sim S F_n$) に分割する。なお、画素部の全ての画素が 1 つの画像を表示する期間を 1 フレーム期間 (F) と呼ぶ。1 フレーム期間をさらに複数に分割した期間がサブフレーム期間である。階調数が多くなるにつれて 1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

10

【 0 0 2 7 】

1 つのサブフレーム期間は書き込み期間 ($T a$) と表示期間 ($T s$) とに分けられる。書き込み期間とは、1 サブフレーム期間中、全画素にデジタル信号を入力する期間であり、表示期間 (点灯期間とも呼ぶ) とは、E L 素子の発光または非発光状態を選択し表示を行う期間を示している。

【 0 0 2 8 】

20

また、図 8 に示した E L 駆動電圧は、発光状態を選択された E L 素子の E L 駆動電圧を表す。すなわち、発光状態を選択された E L 素子の E L 駆動電圧は、書き込み期間中は 0 V となり、表示期間中は E L 素子が発光する程度の大きさを有する。

【 0 0 2 9 】

対向電位は外部スイッチ (図示せず) により制御され、対向電位は、書き込み期間において電源電位と同じ高さに保たれ、表示期間において電源電位との間に E L 素子が発光する程度の電位差を有する。

【 0 0 3 0 】

まず、それぞれのサブフレーム期間が有する書き込み期間と表示期間について、図 5 と図 8 の記号を用いて詳しく説明し、その後、時間階調表示について詳しく説明する。

30

【 0 0 3 1 】

まずゲート信号線 $G 1$ に信号が入力され、ゲート信号線 $G 1$ に接続されている全てのスイッチング用 $T F T 3 0 1$ がオンの状態になる。そしてソース信号線 ($S 1 \sim S x$) に順にデジタル信号が入力される。対向電位は電源供給線 ($V 1 \sim V x$) の電源電位と同じ高さに保たれている。デジタル信号は「0」または「1」の情報を有している。「0」と「1」のデジタル信号はそれぞれ $H i$ または $L o$ のいずれかの電圧を有する信号を意味する。

【 0 0 3 2 】

そしてソース信号線 ($S 1 \sim S x$) に入力されたデジタル信号は、オンの状態のスイッチング用 $T F T 3 0 1$ を介して E L 駆動用 $T F T 3 0 2$ のゲート電極に入力される。またコンデンサ $3 0 3$ にデジタル信号が入力され保持される。

40

【 0 0 3 3 】

そして順にゲート信号線 $G 2 \sim G y$ に信号を入力することで上述した動作を繰り返し、全ての画素にデジタル信号が入力され、各画素において入力されたデジタル信号が保持される。この様にして、全ての画素にデジタル信号が入力されるまでの期間を書き込み期間と呼ぶ。

【 0 0 3 4 】

全ての画素にデジタル信号が入力されると、全てのスイッチング用 $T F T 3 0 1$ はオフの状態となる。そして対向電極に接続されている外部スイッチ (図示せず) によって、対向電位は、電源電位との間に E L 素子 $3 0 4$ が発光する程度の電位差を有するよう変化する。

50

【 0 0 3 5 】

デジタル信号が「0」の情報を持っていた場合、E L 駆動用 T F T 3 0 2 はオフの状態となり E L 素子 3 0 4 は発光しない。逆に、「1」の情報を持っていた場合、E L 駆動用 T F T 3 0 2 はオンの状態となる。その結果 E L 素子 3 0 4 の画素電極はほぼ電源電位に保たれ、E L 素子 3 0 4 は発光する。このようにデジタル信号によって、E L 素子の発光または非発光状態が選択され、全ての画素が一斉に表示を行う。全ての画素が表示を行うことによって、画像が形成される。

画素が表示を行う期間を表示期間と呼ぶ。

【 0 0 3 6 】

ここで、 n 個のサブフレーム期間 ($S F_1 \sim S F_n$) がそれぞれ有する書き込み期間 ($T a_1 \sim T a_n$) の長さは全て同じとし、 $S F_1 \sim S F_n$ がそれぞれ有する表示期間 ($T s$) を、それぞれ $T s_1 \sim T s_n$ とする。

10

【 0 0 3 7 】

例えば、表示期間 $T s_1 \sim T s_n$ の長さを、 $T s_1 : T s_2 : T s_3 : \dots : T s_{(n-1)} : T s_n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【 0 0 3 8 】

表示期間は $T s_1 \sim T s_n$ のいずれかの期間である。ここでは $T s_1$ の期間、所定の画素を点灯させたとする。

【 0 0 3 9 】

20

次に、再び書き込み期間に入り、全画素にデジタル信号を入力したら表示期間に入る。このときは $T s_2 \sim T s_n$ のいずれかの期間が表示期間となる。ここでは $T s_2$ の期間、所定の画素を点灯させたとする。

【 0 0 4 0 】

以下、残りの $n - 2$ 個のサブフレームについて同様の動作を繰り返し、順次 $T s_3$ 、 $T s_4$... $T s_n$ と表示期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【 0 0 4 1 】

n 個のサブフレーム期間が出現したら 1 フレーム期間を終えたことになる。このとき、画素が点灯していた表示期間の長さを積算することによって、その画素の階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100 % とすると、 $T s_1$ と $T s_2$ において画素が発光した場合には 75 % の輝度が表現でき、 $T s_3$ と $T s_5$ と $T s_8$ を選択した場合には 16 % の輝度が表現できる。

30

【 0 0 4 2 】

なお本明細書中では、表示装置に入力したデジタル信号のうち上位ビットの信号によって、画素の E L 素子が発光状態または非発光状態となる表示期間を、上位ビットの表示期間とよぶ。また、表示装置に入力したデジタル信号のうち下位ビットの信号によって、画素の E L 素子が発光状態または非発光状態となる表示期間を、下位ビットの表示期間とよぶ。

【 0 0 4 3 】

40

【発明が解決しようとする課題】

従来のアナログ階調方式を用いた場合、次のような問題がある。

【 0 0 4 4 】

アナログ階調方式では、T F T の特性のバラツキが、階調表示に大きく影響するという問題点がある。例えばスイッチング用 T F T の $I_d - V_g$ 特性が、同じ階調を表示する 2 つの画素で異なる場合 (どちらかの画素の特性が、もう一方に対して全体的にプラス又はマイナス側へシフトした場合) を想定する。

【 0 0 4 5 】

その場合、各スイッチング用 T F T のゲート電極に同じ電圧が印加されても、各スイッチング用 T F T のドレイン電流は異なる値となり、各画素の E L 駆動用 T F T には異なる値

50

のゲート電圧が印加されることになる。即ち、各 E L 素子に対して異なる量の電流が流れ、結果として異なる発光量となり、同じ階調表示を行うことができなくなる。

【 0 0 4 6 】

また、仮に各画素の E L 駆動用 T F T に等しいゲート電圧が印加されたとしても、E L 駆動用 T F T の $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。そのため、 $I_d - V_g$ 特性が僅かでも異なれば、等しいゲート電圧がかかっても、出力される電流量は大きく異なるといった事態が生じうる。すると僅かな $I_d - V_g$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまう。

【 0 0 4 7 】

実際には、スイッチング用 T F T と E L 駆動用 T F T との、両者のバラツキの相乗効果となるので、さらに大きく階調表示がバラつくことになる。このように、アナログ階調表示は T F T の特性バラツキに対して極めて敏感である。そのため、この E L 表示装置が、階調表示を行う場合、その表示にムラが多いことが問題となる。

【 0 0 4 8 】

一方、従来の時間階調方式を用いた場合、次のような問題点がある。

【 0 0 4 9 】

階調数が多くなってくると、1 フレームの分割数も増える。すると、特に下位ビットの表示期間が短くなる。

【 0 0 5 0 】

この際、E L 素子に印加される電圧の波形のなまりが問題となる。

【 0 0 5 1 】

書き込み期間後、表示期間において、E L 素子に電圧を印加する際、全画素の E L 素子の対向電極の電圧を一斉に変化させるため、E L 素子や配線に付く負荷の影響が非常に大きく、全画素の E L 素子に加わる電圧の波形がなまる。

【 0 0 5 2 】

このように、E L 素子に印加される電圧の波形がなまる場合、特に表示期間が短くなる下位ビットに対応する表示期間では、表示期間の間、十分に所定の電圧を E L 素子に印加することができず、正確な階調表示が困難となる。

【 0 0 5 3 】

また、電源供給線より画素部の E L 素子に印加される電圧は、電源供給線の配線抵抗等によりバラつきを生じる。そのため、印加電圧の変動により画素部の E L 素子を流れる電流が変化し、輝度がバラつきをもってしまう。

【 0 0 5 4 】

また、E L 素子に流れる電流の大きさは、温度によっても左右される。

【 0 0 5 5 】

ここで、E L 素子の輝度は、E L 素子を流れる電流に比例する。よって、E L 素子を流れる電流が変化すると、E L 素子の輝度も変化してしまう。

【 0 0 5 6 】

図 4 は、E L 素子の $I - V$ 特性の温度による変化（温度特性）を示すグラフである。このグラフにより、ある温度下で、E L 素子の両電極間に印加された電圧に対して、E L 素子を流れる電流量を知ることができる。ここで、温度 T_1 は、温度 T_2 よりも高く、温度 T_2 は温度 T_3 よりも高い。このグラフより、画素部の E L 素子の電極間にかかる電圧が同じであっても、E L 素子が有する温度特性によって、E L 層の温度が高くなれば高くなるほど、E L 素子を流れる電流は大きくなる。この様に、E L 表示装置を使用する環境温度によって、画素部の E L 素子を流れる電流が変動し、画素部の E L 素子の輝度が変化してしまう。

【 0 0 5 7 】

これらの理由により、正確な階調表現ができなくなり、E L 表示装置の信頼性を損なう原因の 1 つとなっている。

10

20

30

40

50

【 0 0 5 8 】

そこで、画素部の T F T の特性のバラツキの影響を受けづらく、E L 駆動電圧を高速で変化させる必要のない階調表示方法を用い、E L 素子の環境温度による輝度の変動を抑えた表示装置を提供することを課題とする。

【 0 0 5 9 】

【課題を解決するための手段】

1 フレーム期間を複数のサブフレーム期間に分割し、発光状態を選択された画素の E L 素子（第 1 の E L 素子）の両電極間に加えられる電圧を、サブフレーム期間毎に変化させる、時間階調方式を用い表示を行う。

【 0 0 6 0 】

下位ビットの表示期間において、発光状態を選択された画素の E L 素子（第 1 の E L 素子）の両電極間に加えられる電圧を、上位ビットの表示期間における、発光状態を選択された画素の E L 素子（第 1 の E L 素子）の両電極間に加えられる電圧に対して小さく設定する。こうして、下位ビットの表示期間を、従来の時間階調方式と比較して長くとることができる。

【 0 0 6 1 】

なお、発光状態を選択された画素の E L 素子（第 1 の E L 素子）の両電極間に印加される電圧は、第 1 の E L 素子を含む画素部が形成された基板と同じ基板上に形成されたモニター用 E L 素子（第 2 の E L 素子）の両電極間に、階調の基準となる複数の定電流源のうちの 1 つを選択し、一定の電流を流して、発生させる。

【 0 0 6 2 】

また、バッファアンプを用いて、画素の E L 素子（第 1 の E L 素子）の両電極間に印加する電圧を一定に保つ。

【 0 0 6 3 】

これにより、画素部の T F T の特性バラツキの影響を受けづらく、E L 駆動電圧の高速応答も必要としない階調表示方法で、E L 素子の環境温度による輝度の変動を抑えた表示装置を提供することができる。

【 0 0 6 4 】

以下に、本発明の構成を示す。

【 0 0 6 5 】

本発明によって、

第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に設けられた E L 層とによりそれぞれ構成される、第 1 の E L 素子及び第 2 の E L 素子を有する表示装置の駆動方法であって、

1 フレーム期間を複数のサブフレーム期間に分割し、前記複数の各サブフレーム期間毎に、前記第 1 の E L 素子が発光状態または非発光状態となり、

前記複数の各サブフレーム期間において、前記第 2 の E L 素子の第 1 の電極と第 2 の電極の間に一定の電流を流し、

前記発光状態となった前記第 1 の E L 素子の第 1 の電極と第 2 の電極の間の電圧は、前記一定の電流が流れる前記第 2 の E L 素子の第 1 の電極と第 2 の電極の間の電圧と等しく、前記複数のサブフレーム期間のうち、2 つのサブフレーム期間において、前記一定の電流の値が互いに異なることを特徴とする表示装置の駆動方法が提供される。

【 0 0 6 6 】

本発明によって、

第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に設けられた E L 層とによりそれぞれ構成される、第 1 の E L 素子及び第 2 の E L 素子を有する表示装置の駆動方法であって、

1 フレーム期間を複数のサブフレーム期間に分割し、前記複数の各サブフレーム期間毎に前記第 1 の E L 素子が発光状態または非発光状態となり、

前記複数の各サブフレーム期間において、前記第 2 の E L 素子の第 1 の電極と第 2 の電極

10

20

30

40

50

の間に一定の電流を流し、

前記発光状態となった前記第 1 の E L 素子の第 1 の電極と第 2 の電極の間の電圧は、前記一定の電流が流れる前記第 2 の E L 素子の第 1 の電極と第 2 の電極の間の電圧に等しく、前記複数の各サブフレーム期間における、前記一定の電流の値が異なることを特徴とする表示装置の駆動方法が提供される。

【 0 0 6 7 】

前記複数の各サブフレーム期間の長さが同じであることを特徴とする表示装置の駆動方法であってもよい。

【 0 0 6 8 】

本発明によって、

第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に設けられた E L 層とによりそれぞれ構成される、第 1 の E L 素子及び第 2 の E L 素子を有する表示装置の駆動方法であって、

1 フレーム期間を n (n は、2 以上の自然数) 個のサブフレーム期間に分割し、前記 n 個の各サブフレーム期間毎に、前記第 1 の E L 素子が発光状態または非発光状態となり、前記 n 個の各サブフレーム期間において、前記第 2 の E L 素子の第 1 の電極と第 2 の電極の間に一定の電流を流し、

前記発光状態となった前記第 1 の E L 素子の第 1 の電極と第 2 の電極の間の電圧は、前記一定の電流が流れる前記第 2 の E L 素子の第 1 の電極と第 2 の電極の間の電圧に等しく、前記 n 個の各サブフレーム期間における、前記一定の電流の値の比が $2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となることを特徴とする表示装置の駆動方法が提供される。

【 0 0 6 9 】

前記表示装置の駆動方法を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、パーソナルコンピュータまたは情報端末機器であってもよい。

【 0 0 7 0 】

本発明によって、

T F T と、第 1 の E L 素子とをそれぞれ有する複数の画素と、電源供給線と、バッファアンプと、第 2 の E L 素子と、互いに異なる値の一定の電流を出力する第 1 の定電流源 A 1 と第 2 の定電流源 A 2 とを有する表示装置であって、

前記第 1 の E L 素子及び前記第 2 の E L 素子はそれぞれ、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に設けられた E L 層とを有し、

前記第 1 の定電流源 A 1 の出力端子と、前記第 2 の E L 素子の第 1 の電極とを接続するか、前記第 2 の定電流源 A 2 の出力端子と、前記第 2 の E L 素子の第 1 の電極とを接続するかを選択するスイッチを有し、

前記第 2 の E L 素子の第 1 の電極は、前記バッファアンプの非反転入力端子と接続され、前記バッファアンプの出力端子は、前記電源供給線と接続され、

前記電源供給線の電位は、前記 T F T を介して前記第 1 の E L 素子の第 1 の電極に与えられていることを特徴とする表示装置が提供される。

【 0 0 7 1 】

本発明によって、

T F T と、第 1 の E L 素子とをそれぞれ有する複数の画素と、電源供給線と、バッファアンプと、第 2 の E L 素子と、それぞれ同じ値の一定の電流を出力する n (n は、2 以上の自然数) 個の定電流源とを有する表示装置であって、

前記第 1 の E L 素子及び前記第 2 の E L 素子はそれぞれ、第 1 の電極と、第 2 の電極と、前記第 1 の電極と前記第 2 の電極の間に設けられた E L 層とを有し、

前記 n 個の定電流源のうち m (m は、 n 以下の自然数) 個の出力端子と、前記第 2 の E L 素子の第 1 の電極とを接続するか、前記 n 個の定電流源のうち k (k は、 m と異なる n 以下の自然数) 個の出力端子と、前記第 2 の E L 素子の第 1 の電極とを接続するかを選択するスイッチを有し、

前記第 2 の E L 素子の第 1 の電極は、前記バッファアンプの非反転入力端子と接続され、

10

20

30

40

50

前記バッファアンプの出力端子は、前記電源供給線と接続され、
前記電源供給線の電位は、前記TFTを介して前記第1のEL素子の第1の電極に与えられていることを特徴とする表示装置が提供される。

【0072】

前記第1のEL素子及び前記第2のEL素子の、第1の電極は陽極であり、第2の電極は陰極であることを特徴とする表示装置であってもよい。

【0073】

前記第1のEL素子及び前記第2のEL素子の、第1の電極は陰極であり、第2の電極は陽極であることを特徴とする表示装置であってもよい。

【0074】

前記表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、パーソナルコンピュータまたは情報端末機器であってもよい。

【0075】

【発明の実施の形態】

本発明の構成について図1を用いて説明する。

【0076】

ここでは、 2^n (n は、2以上の自然数)階調の表示装置について説明するが、本発明は、 2^n 階調には限定されず、他の階調を用いる表示装置に対しても自由に应用することが可能である。

【0077】

101はモニター用EL素子(第2のEL素子)、102はバッファアンプ(緩衝増幅器)、 $A_1 \sim A_n$ は、それぞれ一定の電流 $I_1 \sim I_n$ を流す定電流源である。

【0078】

ここで、本明細書中では定電流源とは、その出力端子から、常に一定の電流を出力する素子であるとする。

【0079】

本発明の表示装置が有する定電流源としては、公知の構成のものを自由に用いることができる。

【0080】

ここで、画素部の各画素が有するEL素子(第1のEL素子)と、モニター用EL素子(第2のEL素子)101とは、それぞれ、第1の電極と、第2の電極と、前記第1の電極と第2の電極の間に設けられたEL層とを有し、そのI-V特性が、同じ温度において、ほぼ同じとなるように作製されている。

【0081】

また、103はスイッチであり、定電流源 $A_1 \sim A_n$ のうちどれかを選択し、その出力端子と、モニター用EL素子(第2のEL素子)101の一方の電極(第1の電極)と接続する。

【0082】

モニター用EL素子(第2のEL素子)101は、画素部が形成された基板と同じ基板上に形成されている。なお、本明細書中では、画素部が形成された基板を画素基板という。

【0083】

ここで、モニター用EL素子(第2のEL素子)と画素部のEL素子(第1のEL素子)とは、同時に作製することが可能である。

【0084】

定電流源 $A_1 \sim A_n$ 及びバッファアンプ102をまとめて1001で示した。1001は、画素基板上に形成されていてもよいし、単結晶ICチップ上に形成され画素基板上に貼り付けられていてもよいし、外部基板上に作製されていてもよい。

【0085】

ここで今、モニター用EL素子(第2のEL素子)101の一方の電極(第1の電極)は、スイッチ103により定電流源 A_1 の出力端子に接続されているとする。このときモニ

10

20

30

40

50

ター用 E L 素子 (第 2 の E L 素子) 1 0 1 の両電極 (第 1 の電極と第 2 の電極) 間には、一定の電流 I_1 が入力されている。

【 0 0 8 6 】

定電流源 A_1 に接続されたモニター用 E L 素子 (第 2 の E L 素子) 1 0 1 は、周りの環境の温度が変化すると、素子の両電極 (第 1 の電極と第 2 の電極) 間を流れる電流 I_1 が変化しない代わりに、図 4 に示した E L 素子の温度特性によりモニター用 E L 素子 (第 2 の E L 素子) の両電極 (第 1 の電極と第 2 の電極) 間の電圧が変化する。

【 0 0 8 7 】

ここで、モニター用 E L 素子 (第 2 の E L 素子) の電極で、定電流源 A_1 と接続されていない側の電極 (第 2 の電極) は、一定の電位が与えられている。この一定の電位は、表示期間中における画素部の E L 素子 (第 1 の E L 素子) の対向電極 (第 2 の電極) の電位とほぼ同じに設定されている。

【 0 0 8 8 】

ここで、バッファアンプ 1 0 2 は、非反転入力端子 (+)、反転入力端子 (-) 及び出力端子を有している。バッファアンプ 1 0 2 は、非反転入力端子 (+) に入力された電位が、出力端子に接続された負荷や配線抵抗などによって変化するのを抑える働きがある。

【 0 0 8 9 】

本発明の表示装置が有するバッファアンプとしては、公知の構成のものを自由に用いることができる。

【 0 0 9 0 】

バッファアンプの非反転入力端子 (+) は、モニター用 E L 素子 (第 2 の E L 素子) の、定電流源 A_1 の出力端子に接続された側の電極 (第 1 の電極) と接続され、モニター用 E L 素子 (第 2 の E L 素子) の電極 (第 1 の電極) の電位が入力されている。このモニター用 E L 素子 (第 2 の E L 素子) の電極 (第 1 の電極) の電位は、バッファアンプ 1 0 2 を介して、電源供給線 1 0 4 に入力される。ここで、電源供給線 1 0 4 に接続された画素の E L 駆動用 T F T がオンになると、このモニター用 E L 素子 (第 2 の E L 素子) 1 0 1 の電極 (第 1 の電極) の電位が画素部の E L 素子 (第 1 の E L 素子) の第 1 の電極に入力される。

【 0 0 9 1 】

モニター用 E L 素子 (第 2 の E L 素子) の定電流源の出力端子に接続された側の電極 (第 1 の電極) の電位は、接続された定電流源の設定された一定の電流を流すように、温度に応じて変化している。この電位を画素の E L 素子 (第 1 の E L 素子) の画素電極 (第 1 の電極) の電位とする。これによって、表示期間において、モニター用 E L 素子 (第 2 の E L 素子) の両電極 (第 1 の電極と第 2 の電極) 間に印加された電圧と同じ電圧が、発光状態を選択された画素の E L 素子 (第 1 の E L 素子) の両電極 (第 1 の電極と第 2 の電極) 間に印加される。こうして、画素の E L 素子 (第 1 の E L 素子) の両電極 (第 1 の電極と第 2 の電極) 間に一定の電流が流れる。

【 0 0 9 2 】

この様に、画素部の E L 素子 (第 1 の E L 素子) には、温度変化に対しても、その第 1 の電極と第 2 の電極間に、一定の電流を流すように変化した電圧が印加される。こうして、画素部 E L 素子 (第 1 の E L 素子) を流れる電流を、温度変化に対して一定に保つことができる。

【 0 0 9 3 】

ここで、画素部の E L 素子とモニター用 E L 素子とは、同一基板上に形成されているので、その I - V 特性が、同じ温度においてほぼ同じものが得られる。そのため、モニター用 E L 素子 (第 2 の E L 素子) の第 1 の電極と第 2 の電極の間を流れる電流を調節することで、画素部 E L 素子 (第 1 の E L 素子) を必要な明るさで点灯させることができる。

【 0 0 9 4 】

また、スイッチ 1 0 3 を切り換えることで、残りの定電流源 $A_2 \sim A_n$ を順次選択し、一定の電流 $I_2 \sim I_n$ をモニター用 E L 素子 (第 2 の E L 素子) に入力する。一定の電流 $I_2 \sim$

10

20

30

40

50

I_n によりモニターEL素子（第2のEL素子）の第1の電極と第2の電極の間に生じた電圧をバッファアンプを用いて、画素部のEL素子（第1のEL素子）の第1の電極と第2の電極の間に印加する。

【0095】

ここで、本発明の駆動方法について、図2のタイミングチャートを用いて説明する。なお、一部、図1で用いた符号と同じ符号を用いて示す。

【0096】

1フレーム期間は、複数のサブフレーム期間 $SF_1 \sim SF_n$ に分割されている。このサブフレーム期間 $SF_1 \sim SF_n$ ごとに図1に示した定電流源 $A_1 \sim A_n$ のうち1つが、スイッチ103によって、順次選択され、選択された定電流源の出力端子とモニター用EL素子（第2のEL素子）の第1の電極とが接続される。このとき、電源供給線には、一定の電流 $I_1 \sim I_n$ に対応した電圧 $V_1 \sim V_n$ が、印加される。

10

【0097】

サブフレーム期間は、全ての画素に信号が書き込まれそれぞれの画素が発光するかしないかを選択する書き込み期間 $Ta_1 \sim Ta_n$ と、書き込み期間 $Ta_1 \sim Ta_n$ に書き込まれた信号により全ての画素のEL素子（第1のEL素子）がそれぞれ発光するかしないかする表示期間 $Ts_1 \sim Ts_n$ とを有する。

【0098】

なお、書き込み期間 $Ta_1 \sim Ta_n$ の長さは全て同じであり、表示期間 $Ts_1 \sim Ts_n$ の長さも全て同じであるとする。

20

【0099】

サブフレーム期間毎に定電流源 $A_1 \sim A_n$ が順次選択され、それぞれが出力する一定の電流 $I_1 \sim I_n$ によって、モニター用EL素子（第2のEL素子）の第1の電極の電位が変化し、その電位に対応して、電源供給線の電位は、 $V_1 \sim V_n$ に変化する。

【0100】

各書き込み期間 $Ta_1 \sim Ta_n$ 中はそれぞれ、画素部EL素子（第1のEL素子）の対向電極（第2の電極）の電位は、電源供給線の電位 $V_1 \sim V_n$ それぞれと同じに保たれている。そのため書き込み期間 $Ta_1 \sim Ta_n$ 中は、EL駆動電圧は0Vである。一方、表示期間 $Ts_1 \sim Ts_n$ 中は、画素部EL素子（第1のEL素子）の対向電極（第2の電極）の電位は、電源供給線の電位との間に、EL素子が発光する程度の電位差が生じるように設定される。

30

【0101】

ここで、書き込み期間中の画素部EL素子（第1のEL素子）の対向電極（第2の電極）の電位は、サブフレーム期間毎に異なる電源供給線の電位に対応して変化する。なお、表示期間中の対向電極の電位は、全てのサブフレーム期間において、同じで構わない。

【0102】

ここでは、表示期間 $Ts_1 \sim Ts_n$ 中の画素部EL素子（第1のEL素子）の対向電極の電位を、0Vとする。すると、発光状態を選択された画素のEL素子（第1のEL素子）の両電極（第1の電極と第2の電極）間に、表示期間 $Ts_1 \sim Ts_n$ 中に印加されるEL駆動電圧は、サブフレーム期間毎に $V_1 \sim V_n$ の値に変化する。

40

【0103】

このEL駆動電圧 $V_1 \sim V_n$ により、画素部のEL素子（第1のEL素子）には、定電流源 $A_1 \sim A_n$ の出力する一定の電流 $I_1 \sim I_n$ に比例した一定の電流 $I_{EL1} \sim I_{ELn}$ が流れる。ここで、EL素子は、素子を流れる電流 $I_{EL1} \sim I_{ELn}$ に対して、発光輝度がほぼ正比例する性質がある。そのため、電流 $I_1 \sim I_n$ 、つまり定電流源 $A_1 \sim A_n$ を流れる電流 $I_1 \sim I_n$ の比 $I_1 : I_2 : \dots : I_{n-1} : I_n$ を、 $2^0 : 2^{-1} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定すれば、画素部のEL素子（第1のEL素子）を各表示期間 $Ts_1 \sim Ts_n$ 発光させた場合の発光輝度 $Lm_1 \sim Lm_n$ の比 $Lm_1 : Lm_2 : \dots : Lm_{(n-1)} : Lm_n$ も、 $2^0 : 2^{-1} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となる。

【0104】

50

このとき、1フレーム期間中に画素が点灯していた表示期間 $T_{s_1} \sim T_{s_n}$ の発光量を積算することにより、その画素の輝度が決まる。例えば、 $n = 8$ のとき、全部の表示期間 $T_{s_1} \sim T_{s_n}$ で画素が発光した場合の輝度を100%とすると、 T_{s_1} と T_{s_2} において画素が発光した場合は、約75%の輝度を表現することができる。一方、 T_{s_3} と T_{s_5} と T_{s_8} を選択した場合には、約16%の輝度が表現できる。

【0105】

なお表示期間 $T_{s_1} \sim T_{s_n}$ は、どのような順序で出現させてもよい。例えば、1フレーム期間中において、 T_{s_1} の次に、 T_{s_4} 、 T_{s_3} 、 T_{s_2} ・・・といった順序で表示期間を出現させることも可能である。

【0106】

また、上記の様に、それぞれ異なる値の電流を出力する定電流源が複数個存在する場合に、1フレーム期間のうち複数のサブフレーム期間で同じ定電流源を選択し、同じ定電流源を選択したそれぞれのサブフレーム期間の表示期間の長さを異ならせて、階調を表現することも可能である。

【0107】

例えば、図19のタイミングチャートに示す様に、1フレーム期間中の n 個のサブフレーム期間のうち複数のサブフレーム期間で同じ定電流源を選択し、同じ定電流源を選択したそれぞれのサブフレーム期間の表示期間の長さを変えて階調を表現することも可能である。

【0108】

図19において、サブフレーム期間 $SF1$ と $SF2$ は、同じ定電流源 $A1$ が選択されている。このとき、サブフレーム期間 $SF1$ と $SF2$ の表示期間 T_{s1} と T_{s2} の長さを異ならせている。

【0109】

このように、異なるサブフレーム期間において、表示期間の長さを変化させる手法と、異なるサブフレーム期間において、モニター用 EL 素子(第2の EL 素子)の両電極(第1の電極と第2の電極)間を流れる電流を変化させる手法とを組み合わせることによって、下位ビットの表示期間を長くとり、且つ階調表示に必要な定電流源の数を減らすことが可能である。

【0110】

更に、 n (n は、2以上の自然数)個の定電流源の出力する電流値が同じ場合で、1フレーム期間中において、あるサブフレーム期間では、 m (m は、 n 以下の自然数)個の定電流源の出力端子とモニター用 EL 素子(第2の EL 素子)の第1の電極とを接続し、別のサブフレーム期間では、 k (k は、 m とは異なる n 以下の自然数)個の定電流源の出力端子と、モニター用 EL 素子(第2の EL 素子)の第1の電極とを接続する。

【0111】

このように、選択した複数の定電流源の出力電流の和をもって、モニター用 EL 素子(第2の EL 素子)の第1の電極と第2の電極の間に流す電流としても良い。

【0112】

【実施例】

以下に、本発明の実施例について説明する。

【0113】

(実施例1)

本実施例では、本発明の表示装置が有するバッファアンプの構造について説明する。

【0114】

TFT を用いてバッファアンプを作製した例を、図3に示す。

【0115】

バッファアンプは $TFT1901 \sim 1909$ 、コンデンサ 1910 、定電流源 1911 、 1912 等により構成される。 $TFT1901$ 、 1902 、 1906 、 1909 は、 n チャンネル型 TFT であり、 $TFT1903 \sim 1905$ 、 1907 、 1908 は、 p チャンネル

10

20

30

40

50

型 T F T である。

【 0 1 1 6 】

また、1 9 3 0 は高電位側電源線であり、1 9 3 1 は低電位側電源線である。

【 0 1 1 7 】

このバッファアンプの動作について以下に詳しく説明する。

【 0 1 1 8 】

T F T 1 9 0 1 及び 1 9 0 2 によって構成される差動増幅回路 1 9 2 1 について説明する。バッファアンプの非反転入力端子に相当する T F T 1 9 0 1 のゲート電極と、バッファアンプの反転入力端子に相当する T F T 1 9 0 2 のゲート電極に入力された電圧の差により、それぞれの T F T のドレイン・ソース間に流れる電流量が異なる。この電流をそれぞれ i_1 と i_2 とする。

10

【 0 1 1 9 】

ここで、カレントミラー回路 1 9 2 2 は、T F T 1 9 0 3 及び 1 9 0 4 によって構成される。T F T 1 9 0 3 のゲート電極と T F T 1 9 0 4 のゲート電極は、接続されているため、この 2 つの T F T のゲート電極の電位は等しい。そのため、T F T 1 9 0 3 と T F T 1 9 0 4 のそれぞれのソース・ドレイン間を流れる電流量は、等しくなる。それ故、差動増幅回路 1 9 2 1 の T F T 1 9 0 1 と T F T 1 9 0 2 を流れる電流 i_1 と i_2 の差分に相当する電流 i_3 が、差動増幅回路 1 9 2 1 に入力されなくてはならない。

【 0 1 2 0 】

電流 i_3 は、コンデンサ 1 9 1 0 から供給される。これにより、コンデンサ 1 9 1 0 の電極間の電位差 V が増大する。電位差 V は、ソース接地増幅回路 1 9 2 3 に入力される。

20

【 0 1 2 1 】

ソース接地増幅回路 1 9 2 3 は、T F T 1 9 0 5 によって構成される。入力された電位差 V は、T F T 1 9 0 5 のソース・ドレイン間の電位差となる。この電位差 V に対応して、電流 i_4 が流れ込む。ここで、定電流源 1 9 1 2 は、一定の電流 i_0 しか流さない。そのため、電流 i_4 と i_0 の差分 i_5 は、ソースフォロウバッファ回路 1 9 2 4 に入力される。この電流 i_5 は、増幅された電位差 V に対応して増大している。

【 0 1 2 2 】

ソースフォロウバッファ回路 1 9 2 4 は、T F T 1 9 0 6 及び 1 9 0 7 によって構成されている。ソース接地増幅回路 1 9 2 3 からの入力 i_5 は、T F T 1 9 0 6 のゲート電極に入力される。この入力電流 i_5 により、T F T 1 9 0 6 のソース・ドレイン間を流れる電流 i_6 の量は大きくなる。すなわち、バッファアンプより、大きな電流が出力される。

30

【 0 1 2 3 】

この様に、バッファアンプは、電流を増幅して出力する。

【 0 1 2 4 】

なお、ここでは、n チャネル型 T F T で差動回路を構成しているが、p チャネル型 T F T で構成しても良い。

【 0 1 2 5 】

(実施例 2)

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部 (ソース信号線側駆動回路、ゲート信号線側駆動回路) の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

40

【 0 1 2 6 】

まず、図 9 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm] (好ましくは 5 0 ~ 1 0 0 [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化

50

シリコン膜 5002b を 50 ~ 200 [nm] (好ましくは 100 ~ 150 [nm]) の厚さに積層形成する。本実施例では下地膜 5002 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0127】

島状半導体層 5003 ~ 5006 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5003 ~ 5006 の厚さは 25 ~ 80 [nm] (好ましくは 30 ~ 60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【0128】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO₄ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 [Hz] とし、レーザーエネルギー密度を 100 ~ 400 [mJ/cm²] (代表的には 200 ~ 300 [mJ/cm²]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 10 [kHz] とし、レーザーエネルギー密度を 300 ~ 600 [mJ/cm²] (代表的には 350 ~ 500 [mJ/cm²]) とすると良い。そして幅 100 ~ 1000 [μm]、例えば 400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 80 ~ 98 [%] として行う。

【0129】

次いで、島状半導体層 5003 ~ 5006 を覆うゲート絶縁膜 5007 を形成する。ゲート絶縁膜 5007 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40 ~ 150 [nm] としシリコンを含む絶縁膜で形成する。本実施例では、120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O₂ とを混合し、反応圧力 40 [Pa]、基板温度 300 ~ 400 [] とし、高周波 (13.56 [MHz])、電力密度 0.5 ~ 0.8 [W/cm²] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 400 ~ 500 [] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0130】

そして、ゲート絶縁膜 5007 上にゲート電極を形成するための第 1 の導電膜 5008 と第 2 の導電膜 5009 とを形成する。本実施例では、第 1 の導電膜 5008 を Ta で 50 ~ 100 [nm] の厚さに形成し、第 2 の導電膜 5009 を W で 100 ~ 300 [nm] の厚さに形成する。

【0131】

Ta 膜はスパッタ法で、Ta のターゲットを Ar でスパッタすることにより形成する。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相の Ta 膜の抵抗率は 20 [μcm] 程度でありゲート電極に使用することが出来るが、相の Ta 膜の抵抗率は 180 [μcm] 程度でありゲート電極とするには不向きである。相の Ta 膜を形成するために、Ta の相に近い結晶構造をもつ窒化タンタルを 10 ~ 50 [nm] 程度の厚さで Ta の下地に形成しておくこと相の Ta 膜を容易に得ることが出来る。

【0132】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF₆) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 [μcm] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図るこ

10

20

30

40

50

とが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μ cm]を実現することが出来る。

【0133】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0134】

次に、レジストによりマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0135】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図9(B))

【0136】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。(図9(B))

【0137】

次に、図9(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で

覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0138】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

10

【0139】

そして、図10(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図9(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026～5030を不純物元素に対するマスクとして用い、第1の導電層5026a～5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032～5036が形成される。この第3の不純物領域5032～5036に添加されたリン(P)の濃度は、第1の導電層5026a～5030aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a～5030aのテーパ部と重なる半導体層において、第1の導電層5026a～5030aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

20

【0140】

図10(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a～5031aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037～5042(第1の導電層5037a～5042aと第2の導電層5037b～5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037～5042で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

30

【0141】

第3のエッチング処理によって、第3のエッチング前の第3の不純物領域5032～5036においては、第1の導電層5037a～5041aと重なる第3の不純物領域5032a～5036aと、第1の不純物領域と第3の不純物領域の間の第2の不純物領域5032b～5036bとが形成される。

40

【0142】

そして、図10(C)に示すように、pチャネル型TFETを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043～5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043～5054には既にそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用い、イオンドープ法で、そのいずれの領域におい

50

ても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるように形成する。

【0143】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042は島状のソース信号線として機能する。

【0144】

レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[]、代表的には500～600[]で行うものであり、本実施例では500[]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0145】

さらに、3～100[%]の水素を含む雰囲気中で、300～450[]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0146】

次いで、図11(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057～5062、5064をパターニング形成した後、接続配線5062に接する画素電極5063をパターニング形成する。

【0147】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTEによって形成される段差を十分に平坦化する膜厚でアクリル膜を形成する。好ましくは1～5[μm](さらに好ましくは2～4[μm])とすれば良い。

【0148】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域5017、5018、5021、5023またはp型の不純物領域5043～5054に達するコンタクトホール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0149】

また、配線(接続配線)5057～5062、5064として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【0150】

また、本実施例では、画素電極5063としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極と

10

20

30

40

50

なる。(図11(A))

【0151】

次に、図11(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500[nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0152】

次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80~200[nm](典型的には100~120[nm])、陰極5067の厚さは180~300[nm](典型的には200~250[nm])とすれば良い。

10

【0153】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0154】

20

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0155】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

30

【0156】

なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0157】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素(同じラインの画素)上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

40

【0158】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0159】

なお上記工程にしたがって、モニター用EL素子(第2のEL素子)は、画素のEL素子(第1のEL素子)を作製すると同時に、同じ基板上に作製することができる。

【0160】

こうして図11(B)に示すような構造のEL表示装置が完成する。なお、本実施例におけるEL表示装置の作製工程においては、回路の構成および工程の関係上、ゲート電極を

50

形成している材料であるTa、Wによってソース信号線を形成し、ドレイン・ソース電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0161】

ところで、本実施例のEL表示装置は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10 [MHz]以上にすることが可能である。

【0162】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0163】

本実施例の場合、nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{OV}領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{OFF}領域)およびチャネル形成領域を含む。

【0164】

また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0165】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、L_{OV}領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0166】

なお、実際には図11(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0167】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では表示装置という。

【0168】

また、本実施例で示す工程に従えば、表示装置の作製に必要なフォトリソマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0169】

(実施例3)

本実施例では、本発明のEL表示装置を作製した例について説明する。

10

20

30

40

50

【0170】

図12(A)は本発明のEL表示装置の上面図である。図12(A)において、4010は基板、4011は画素部、4012はソース信号側駆動回路、4013はゲート信号側駆動回路であり、画素部及びそれぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0171】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0172】

また、図12(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0173】

駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0174】

次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造としても良いし、単層構造としても良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0175】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0176】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0177】

なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定

10

20

30

40

50

の電圧を与えるための電源供給線であり、導電性ペースト材料 4 0 3 2 を介して F P C 4 0 1 7 に接続される。

【 0 1 7 8 】

4 0 3 1 に示された領域において陰極 4 0 3 0 と配線 4 0 1 6 とを電氣的に接続するために、層間絶縁膜 4 0 2 6 及び絶縁膜 4 0 2 8 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 2 6 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 4 0 2 8 のエッチング時（E L 層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 4 0 2 8 をエッチングする際に、層間絶縁膜 4 0 2 6 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 2 6 と絶縁膜 4 0 2 8 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

10

【 0 1 7 9 】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 6 0 0 3、充填材 6 0 0 4、カバー材 6 0 0 0 が形成される。

【 0 1 8 0 】

さらに、E L 素子部を囲むようにして、カバー材 6 0 0 0 と基板 4 0 1 0 の間にシーリング材 7 0 0 0 が設けられ、さらにシーリング材 7 0 0 0 の外側には密封材（第 2 のシーリング材）7 0 0 1 が形成される。

【 0 1 8 1 】

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、P V B（ポリビニルブチラル）または E V A（エチレンビニルアセテート）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

20

【 0 1 8 2 】

また、充填材 6 0 0 4 の中にスペーサーを含有させてもよい。このとき、スペーサーを B a O などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【 0 1 8 3 】

スペーサーを設けた場合、パッシベーション膜 6 0 0 3 はスペーサー圧を緩和することができる。また、パッシベーション膜 6 0 0 3 とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

30

【 0 1 8 4 】

また、カバー材 6 0 0 0 としては、ガラス板、アルミニウム板、ステンレス板、F R P（F i b e r g l a s s - R e i n f o r c e d P l a s t i c s）板、P V F（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6 0 0 4 として P V B や E V A を用いる場合、数十 μ m のアルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【 0 1 8 5 】

但し、E L 素子からの発光方向（光の放射方向）によっては、カバー材 6 0 0 0 が透光性を有する必要がある。

40

【 0 1 8 6 】

また、配線 4 0 1 6 はシーリング材 7 0 0 0 および密封材 7 0 0 1 と基板 4 0 1 0 との隙間を通して F P C 4 0 1 7 に電氣的に接続される。なお、ここでは配線 4 0 1 6 について説明したが、他の配線 4 0 1 4、4 0 1 5 も同様にしてシーリング材 7 0 0 0 および密封材 7 0 0 1 の下を通して F P C 4 0 1 7 に電氣的に接続される。

【 0 1 8 7 】

なお図 1 2 では、充填材 6 0 0 4 を設けてからカバー材 6 0 0 0 を接着し、充填材 6 0 0 4 の側面（露呈面）を覆うようにシーリング材 7 0 0 0 を取り付けられているが、カバー材 6 0 0 0 及びシーリング材 7 0 0 0 を取り付けから、充填材 6 0 0 4 を設けても良い。この場合、基板 4 0 1 0、カバー材 6 0 0 0 及びシーリング材 7 0 0 0 で形成されている空

50

隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0188】

(実施例4)

次に、図12(A)、(B)とは異なる形態のEL表示装置を作製した例について、図13(A)、(B)を用いて説明する。図12(A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

【0189】

図13(A)は本実施例のEL表示装置の上面図であり、図13(A)をA-A'で切断した断面図を図13(B)に示す。

10

【0190】

図12に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0191】

さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0192】

20

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0193】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0194】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

30

【0195】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0196】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

40

【0197】

また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0198】

50

なお図13では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} Torr以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0199】

(実施例5)

本実施例では、本発明のEL表示装置の画素部の構造の例を示す。

10

【0200】

画素部の詳細な断面構造を図14に示す。図14において、基板3501上に設けられたスイッチング用TFT3502は公知の方法を用いて作製される。46はゲート絶縁膜である。本実施例ではダブルゲート構造としている。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0201】

なお本実施例では、スイッチング用TFTのゲート電極38は、第一の導電層38aと第二の導電層38bの積層構造になっている。

20

【0202】

また、EL駆動用TFT3503はnチャネル型TFTであり、公知の方法を用いて作製される。このとき、スイッチング用TFTのソース配線41は、ソース信号線39に接続されている。なお、本実施例では、ソース信号線は、第一の導電層39aと第二の導電層39bの積層構造となっている。スイッチング用TFT3502のドレイン配線35はEL駆動用TFT3503のゲート電極37に電気的に接続されている。EL駆動用TFT3503のドレイン配線40をEL素子の陰極43に接続している。また、EL駆動用TFT3503のソース配線34は電源供給線(図示せず)に接続され、電圧が加えられている。

【0203】

本実施例ではEL駆動用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

30

【0204】

なお本実施例では、EL駆動用TFTのゲート電極は、第一の導電層37aと第二の導電層37bの積層構造となっている。

【0205】

スイッチング用TFT3502及びEL駆動用TFT3503の上には、層間絶縁膜49及び樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

40

【0206】

また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)である。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0207】

また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL

50

材料としては、共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0208】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0209】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0210】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0211】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0212】

本実施例では発光層45の上に、透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0213】

陽極47まで形成された時点でEL素子3504が完成する。なお、ここでいうEL素子3504は、画素電極（陰極）43、発光層45及び陽極47で形成されている。

【0214】

ところで、本実施例では、陽極47の上にさらにパッシベーション膜48を設けている。パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0215】

（実施例6）

本実施例では、実施例5に示した画素部において、EL素子3504の構造を反転させた構造について説明する。説明には図15を用いる。なお、実施例5で示した、図14の構造と異なる点はEL素子の部分とEL駆動用TFTだけであるので、その他の説明は省略することとする。

【0216】

図15において、EL駆動用TFT4503はpチャネル型TFTであり、公知の方法を用いて作製することができる。本実施例では、EL駆動用TFT4503のドレイン配線440をEL素子の陽極447に接続し、EL駆動用TFTのソース配線434を電源供給線（図示せず）に接続する構造としている。

【0217】

本実施例では、画素電極（陽極）４４７として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【０２１８】

そして、絶縁膜でなるバンク４４ａ、４４ｂが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層４４５が形成される。その上には、アルミニウム合金でなる陰極４４３が形成される。この場合、陰極４４３がパッシベーション膜としても機能する。こうしてＥＬ素子３７０１が形成される。

【０２１９】

本実施例の場合、発光層４４５で発生した光は、矢印で示されるようにＴＦＴが形成された基板の方に向かって放射される。

10

【０２２０】

（実施例７）

本発明のＥＬ表示装置において、ＥＬ素子が有するＥＬ層に用いられる材料は、有機ＥＬ材料に限定されず、無機ＥＬ材料を用いても実施できる。但し、現在の無機ＥＬ材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するＴＦＴを用いなければならない。

【０２２１】

または、将来的にさらに駆動電圧の低い無機ＥＬ材料が開発されれば、本発明に適用することは可能である。

20

【０２２２】

（実施例８）

本発明において、ＥＬ層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質はＡｌｑ₃（トリス－８－キノリライト－アルミニウム）、ＴＰＤ（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、共役ポリマー系の物質が挙げられる。代表的には、ＰＰＶ（ポリフェニレンビニレン）、ＰＶＫ（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【０２２３】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

30

【０２２４】

また本発明のＥＬ表示装置が有するＥＬ素子において、そのＥＬ素子が有するＥＬ層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のＳｉまたは非晶質のＳｉ_{1-x}Ｃ_x等の非晶質半導体で構成しても良い。

【０２２５】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、ＥＬ素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

40

【０２２６】

また有機ＥＬ層にドーパント（不純物）を添加し、有機ＥＬ層の発光の色を変化させても良い。ドーパントとして、ＤＣＭ１、ナイルレッド、ルブレン、クマリン６、ＴＰＢ、キナクリドン等が挙げられる。

【０２２７】

（実施例９）

本実施例では、本発明を用いてＥＬ表示装置を作製した例について図１６（Ａ）、（Ｂ）を用いて説明する。図１６（Ａ）は、ＥＬ素子の形成されたアクティブマトリクス基板において、ＥＬ素子の封入まで行った状態を示す上面図である。点線で示された６８０１はソース信号線駆動回路、６８０２はゲート信号線駆動回路、６８０３は画素部である。ま

50

た、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とアクティブマトリクス基板の間には充填材6807(図16(B)参照)が設けられる。

【0228】

なお、6808は、ソース信号線駆動回路6801、ゲート信号線駆動回路6802及び画素部6803に輸入される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC(フレキシブルプリントサーキット)6809からビデオ信号やクロック信号を受け取る。

【0229】

ここで、図16(A)をA-A'で切断した断面に相当する断面図を図16(B)に示す。なお、図16(A)、(B)では同一の部位に同一の符号を用いている。

10

【0230】

図16(B)に示すように、基板6800上には画素部6803、ソース信号線駆動回路6801が形成されており、画素部6803はEL素子に流れる電流を制御するためのEL駆動用TFT6851及びそのドレイン領域に電気的に接続された画素電極6852等を含む複数の画素により形成される。なお、本実施例ではEL駆動用TFT6851をpチャネル型TFTとする。また、ソース信号線駆動回路6801はnチャネル型TFT6853とpチャネル型TFT6854とを相補的に組み合わせたCMOS回路を用いて形成される。

【0231】

20

各画素は画素電極の下にカラーフィルタ(R)6855、カラーフィルタ(G)6856及びカラーフィルタ(B)(図示せず)を有している。ここでカラーフィルタ(R)とは赤色光を抽出するカラーフィルタであり、カラーフィルタ(G)は緑色光を抽出するカラーフィルタ、カラーフィルタ(B)は青色光を抽出するカラーフィルタである。なお、カラーフィルタ(R)6855は赤色発光の画素に、カラーフィルタ(G)6856は緑色発光の画素に、カラーフィルタ(B)は青色発光の画素に設けられる。

【0232】

これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からはEL素子から赤色光が放射される(本実施例では画素電極側に向かって放射される)が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

30

【0233】

また、従来のカラーフィルタを用いない構造ではEL表示装置の外部から侵入した可視光がEL素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることでEL素子には特定の波長の光しか入らないようになる。即ち、外部からの光によりEL素子が励起されてしまうような不具合を防ぐことが可能である。

【0234】

なお、カラーフィルタを設ける構造は従来提案されているが、EL素子は白色発光のものをしていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えばEL素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

40

【0235】

次に、画素電極6852は透明導電膜で形成され、EL素子の陽極として機能する。また、画素電極6852の両端には絶縁膜6857が形成され、さらに赤色に発光する発光層6858、緑色に発光する発光層6859が形成される。なお、図示しないが隣接する画素には青色に発光する発光層が設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

50

【0236】

なお、E L材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0237】

また、各発光層の上にはE L素子の陰極6860が遮光性を有する導電膜でもって形成される。この陰極6860は全ての画素に共通であり、接続配線6808を経由してF P C 6809に電氣的に接続されている。

【0238】

次に、第1シール材6805をディスペンサー等で形成し、スペーサ（図示せず）を撒布してカバー材6804を貼り合わせる。そして、アクティブマトリクス基板6800、カバー材6804及び第1シール材6805で囲まれた領域内に充填材6807を真空注入法により充填する。

10

【0239】

また、本実施例では充填材6807に予め吸湿性物質6861として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【0240】

次に、充填材6807を紫外線照射または加熱により硬化させた後、第1シール材6805に形成された開口部（図示せず）を塞ぐ。第1シール材6805の開口部を塞いだら、導電性材料6862を用いて接続配線6808及びF P C 6809を電氣的に接続させる。さらに、第1シール材6805の露呈部及びF P C 6809の一部を覆うように第2シール材6806を設ける。第2シール材6806は第1シール材6805と同様の材料を用いても良い。

20

【0241】

以上のような方式を用いてE L素子を充填材6807に封入することにより、E L素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いE L表示装置を作製することができる。

30

【0242】

（実施例10）

本実施例では、実施例9に示したE L表示装置において、E L素子から発する光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図17を用いるが、基本的な構造は図16（B）と同様であるので変更部分に新しい符号を付して説明する。

【0243】

画素部6901はE L駆動用T F T 6902及びそのドレイン領域に電氣的に接続された画素電極6903等を含む複数の画素により形成される

【0244】

本実施例では画素部6901にはE L駆動用T F T 6902としてnチャネル型T F T が用いられている。また、E L駆動用T F T 6902のドレインには画素電極6903が電氣的に接続され、この画素電極6903は遮光性を有する導電膜で形成されている。本実施例では画素電極6903がE L素子の陰極となる。

40

【0245】

また、赤色に発光する発光層6858、緑色に発光する発光層6859の上には各画素に共通な透明導電膜6904が形成される。この透明導電膜6904はE L素子の陽極となる。

【0246】

さらに、本実施例ではカラーフィルタ（R）6905、カラーフィルタ（G）6906及

50

びカラーフィルタ（Ｂ）（図示せず）がカバー材６８０４に形成されている点に特徴がある。本実施例のＥＬ素子の構造とした場合、発光層から発した光の放射方向がカバー材６８０４側に向かうため、図１７の構造とすればその光の経路にカラーフィルタを設置することができる。

【０２４７】

本実施例のようにカラーフィルタ（Ｒ）６９０５、カラーフィルタ（Ｇ）６９０６及びカラーフィルタ（Ｂ）（図示せず）をカバー材６８０４に設けると、アクティブマトリクス基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【０２４８】

（実施例１１）

本実施例では、本発明を用いて形成されたＥＬ表示装置を表示媒体として組み込んだ電子機器について説明する。

【０２４９】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図１８に示す。

【０２５０】

図１８（Ａ）はパーソナルコンピュータであり、本体２００１、筐体２００２、表示部２００３、キーボード２００４等を含む。本発明のＥＬ表示装置はパーソナルコンピュータの表示部２００３に用いることができる。

【０２５１】

図１８（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６等を含む。本発明のＥＬ表示装置はビデオカメラの表示部２１０２に用いることができる。

【０２５２】

図１８（Ｃ）は頭部取り付け型の表示装置の一部（右片側）であり、本体２３０１、信号ケーブル２３０２、頭部固定バンド２３０３、表示モニタ２３０４、光学系２３０５、表示部２３０６等を含む。本発明のＥＬ表示装置は頭部取り付け型の表示装置の表示部２３０６に用いることができる。

【０２５３】

図１８（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）２４０２、操作スイッチ２４０３、表示部（ａ）２４０４、表示部（ｂ）２４０５等を含む。表示部（ａ）２４０４は主として画像情報を表示し、表示部（ｂ）２４０５は主として文字情報を表示するが、本発明のＥＬ表示装置は記録媒体を備えた画像再生装置の表示部（ａ）２４０４、（ｂ）２４０５に用いることができる。なお、記録媒体を備えた画像再生装置としては、ＣＤ再生装置、ゲーム機器などに本発明を用いることができる。

【０２５４】

図１８（Ｅ）は携帯型（モバイル）コンピュータであり、本体２５０１、カメラ部２５０２、受像部２５０３、操作スイッチ２５０４、表示部２５０５等を含む。本発明のＥＬ表示装置は携帯型（モバイル）コンピュータの表示部２５０５に用いることができる。

【０２５５】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例１～１０のどのような組み合わせからなる構成を用いても実現することができる。

【０２５６】

【発明の効果】

従来のアナログ階調方式のＥＬ表示装置では、画素部のＴＦＴの特性のバラつきにより輝

10

20

30

40

50

度がバラつく。また、従来の時間階調方式のＥＬ表示装置では、多階調を表現する際、下位ビットの信号に対応するサブフレーム期間の表示期間が短くなり、一定のＥＬ駆動電圧を印加し続けることが困難となる。また、使用する際の環境温度が変化すると、ＥＬ素子の温度特性によって、同じ電圧をＥＬ素子に印加していても、ＥＬ素子に流れる電流量が変化してしまい、輝度にバラつきが起こるという問題があった。

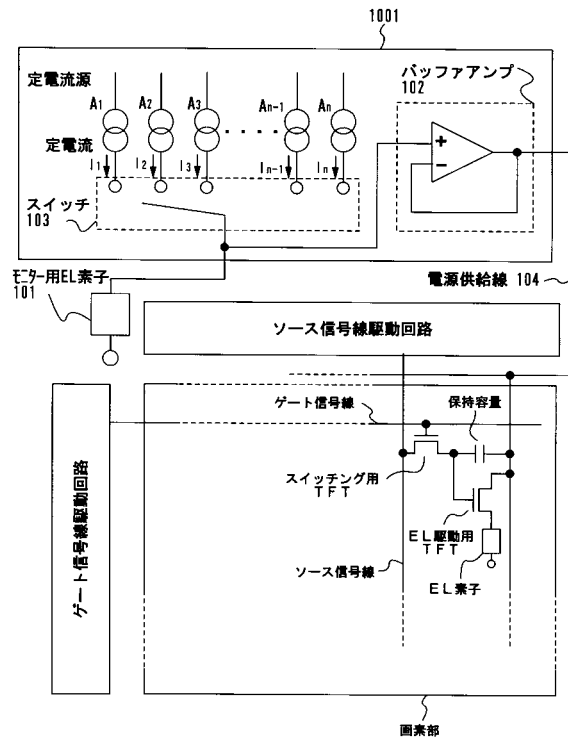
【０２５７】

しかし、本発明は、上記構成によって、ＥＬ素子の輝度のバラつきを抑えることができる。これにより、高画質なＥＬ表示装置を提供することができる。

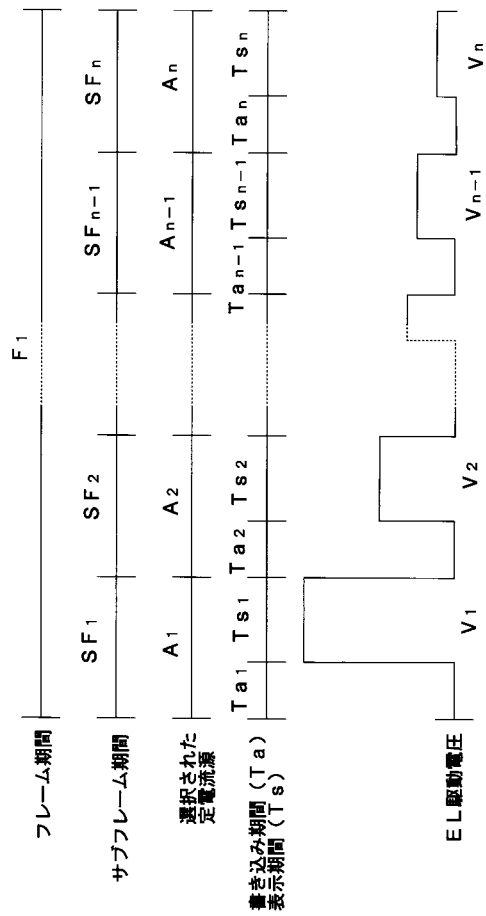
【図面の簡単な説明】

- 【図１】 本発明のＥＬ表示装置の構成を示す図。 10
- 【図２】 本発明のＥＬ表示装置の階調方式のタイミングチャートを示す図。
- 【図３】 本発明のＥＬ表示装置のバッファアンプの構成を示す図。
- 【図４】 ＥＬ素子の温度特性を示す図。
- 【図５】 ＥＬ表示装置の画素部の構成を示す図。
- 【図６】 ＥＬ表示装置の構成を示すブロック図。
- 【図７】 従来のアナログ階調方式のタイミングチャートを示す図。
- 【図８】 従来の時間階調方式のタイミングチャートを示す図。
- 【図９】 本発明のＥＬ表示装置の作製工程を示す図。
- 【図１０】 本発明のＥＬ表示装置の作製工程を示す図。
- 【図１１】 本発明のＥＬ表示装置の作製工程を示す図。 20
- 【図１２】 本発明のＥＬ表示装置の上面図及び断面図。
- 【図１３】 本発明のＥＬ表示装置の上面図及び断面図。
- 【図１４】 本発明のＥＬ表示装置の断面図。
- 【図１５】 本発明のＥＬ表示装置の断面図。
- 【図１６】 本発明のＥＬ表示装置の上面図及び断面図。
- 【図１７】 本発明のＥＬ表示装置の断面図。
- 【図１８】 本発明のＥＬ表示装置を用いた応用電子機器を示す図。
- 【図１９】 本発明のＥＬ表示装置の階調方式のタイミングチャートを示す図。

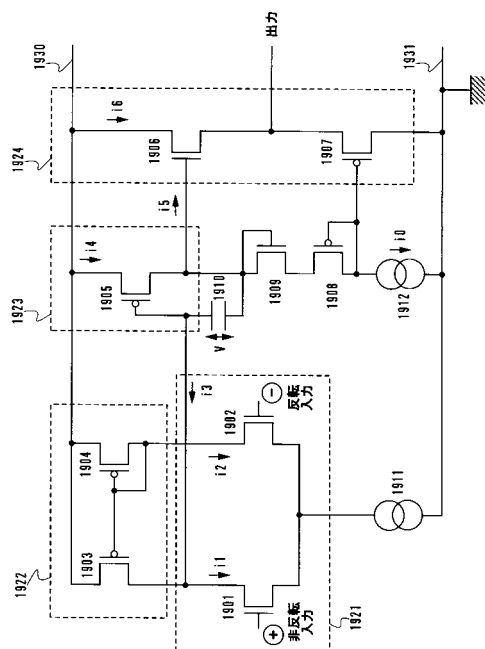
【 図 1 】



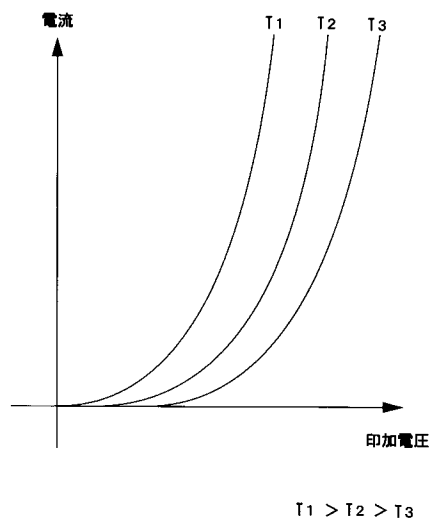
【 図 2 】



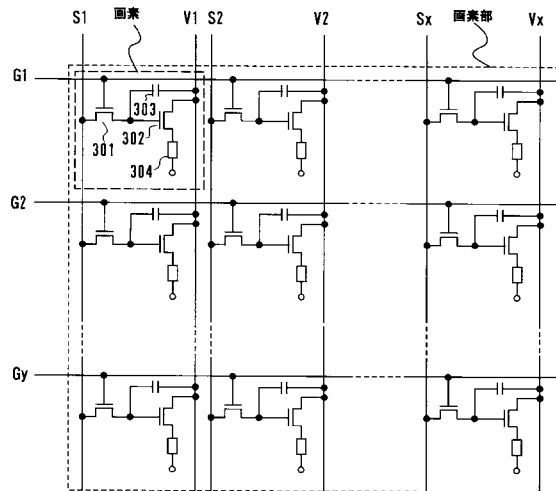
【 図 3 】



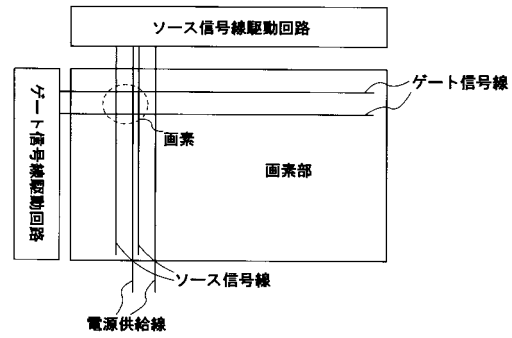
【 図 4 】



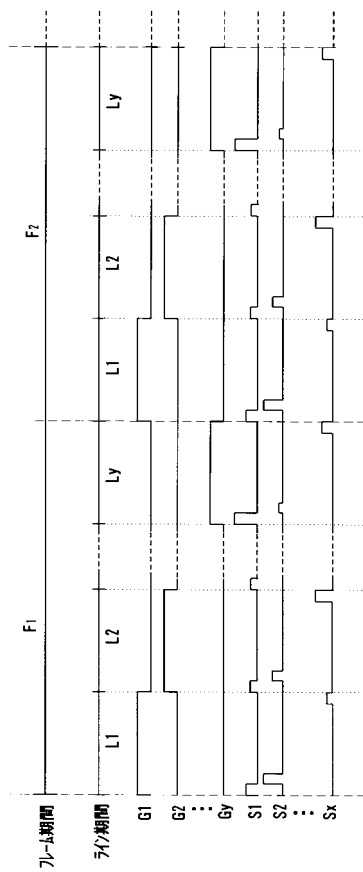
【図 5】



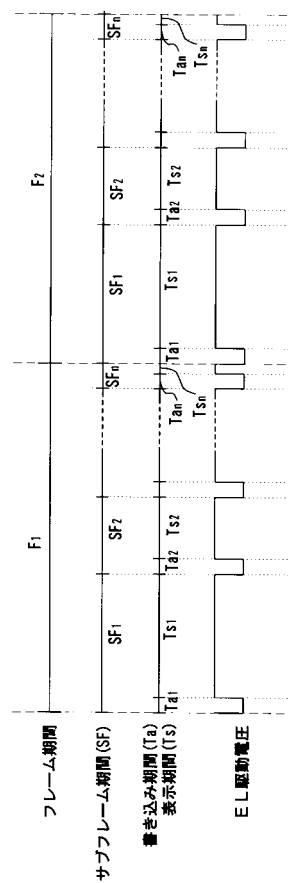
【図 6】



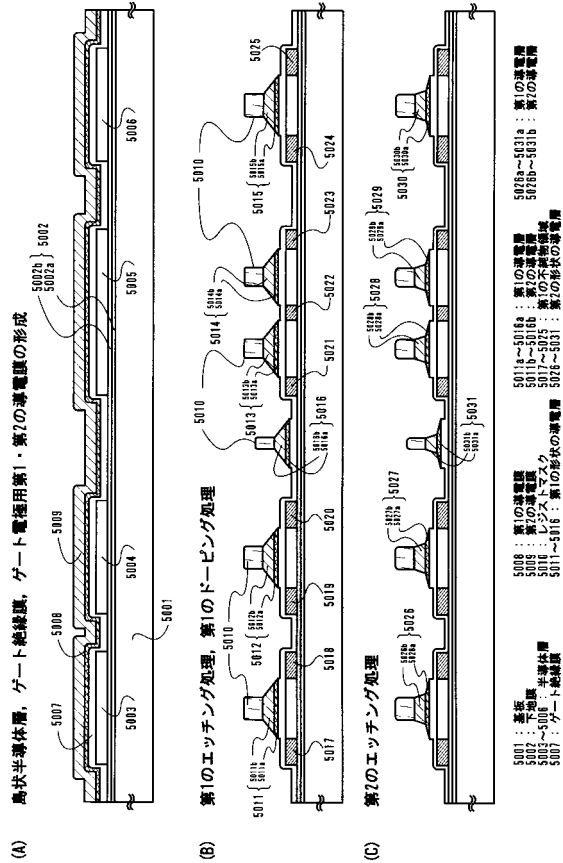
【図 7】



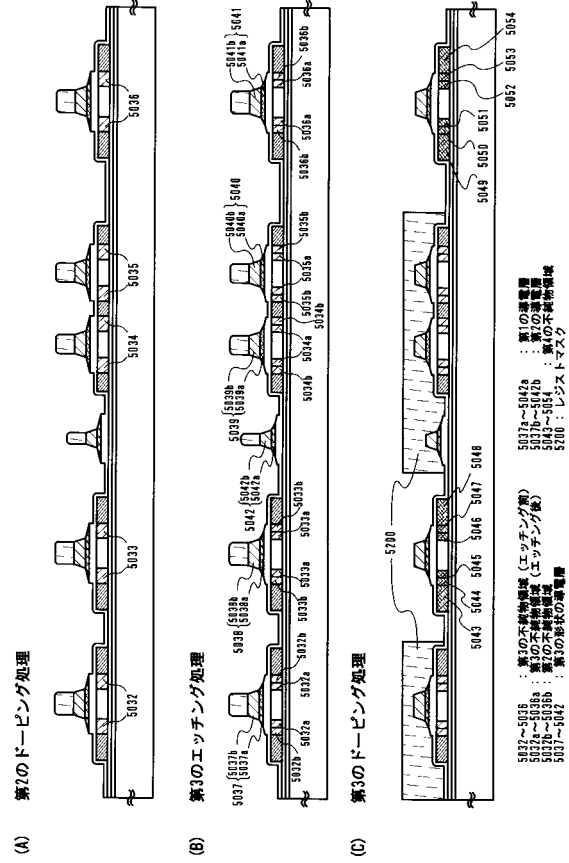
【図 8】



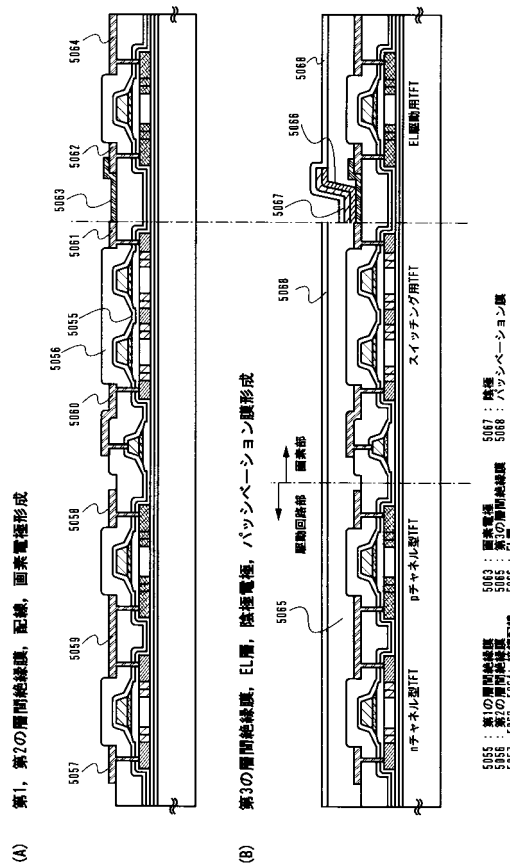
【 図 9 】



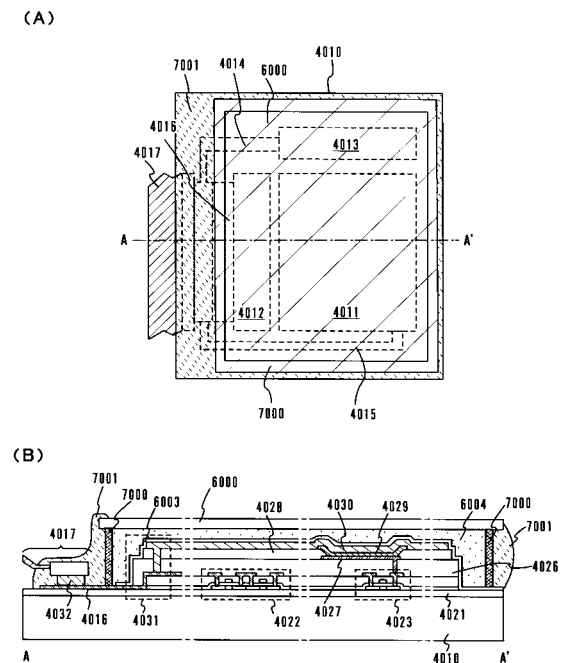
【 図 1 0 】



【 図 1 1 】

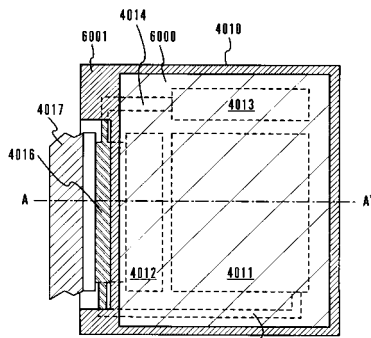


【 図 1 2 】

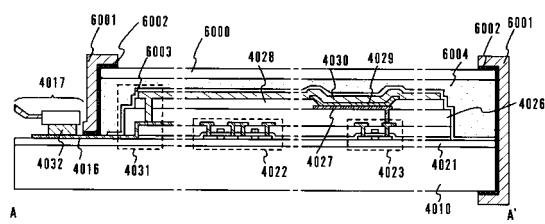


【 図 1 3 】

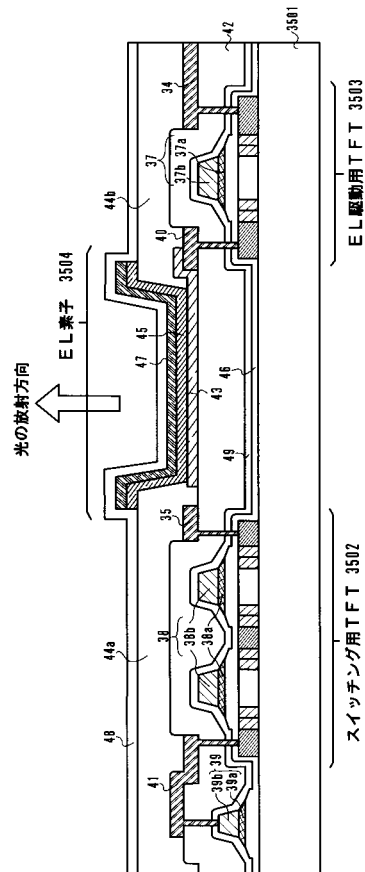
(A)



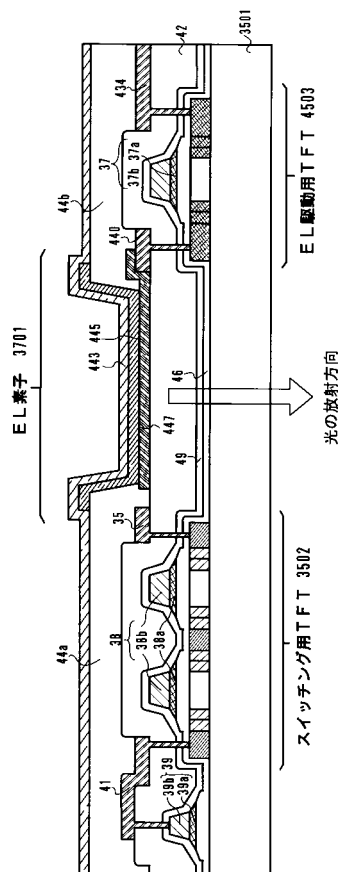
(B)



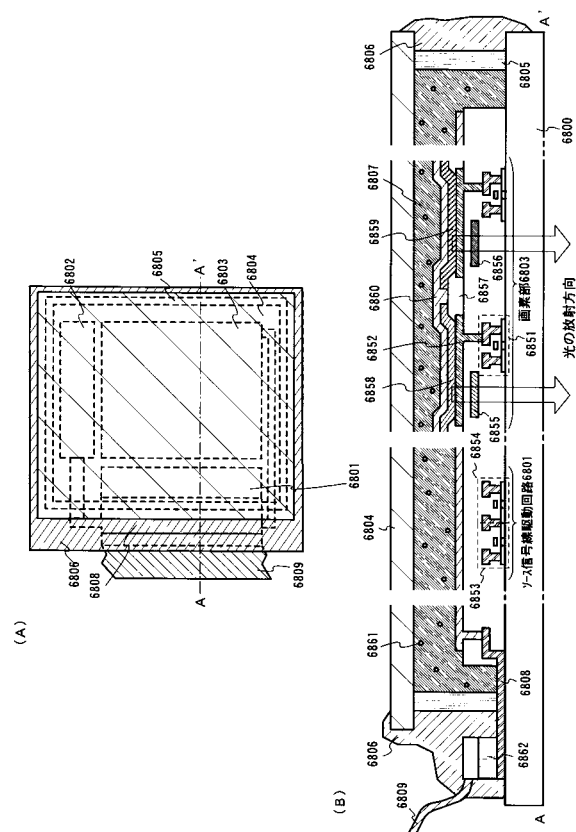
【 図 1 4 】



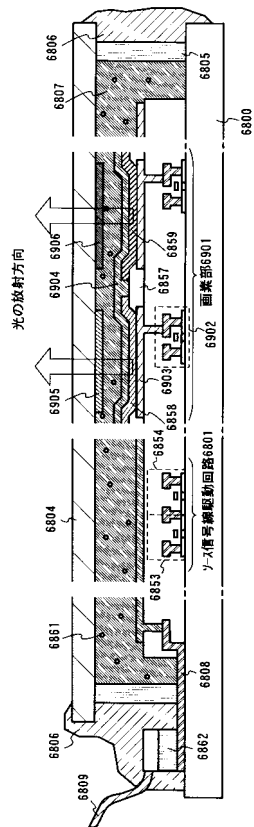
【 図 1 5 】



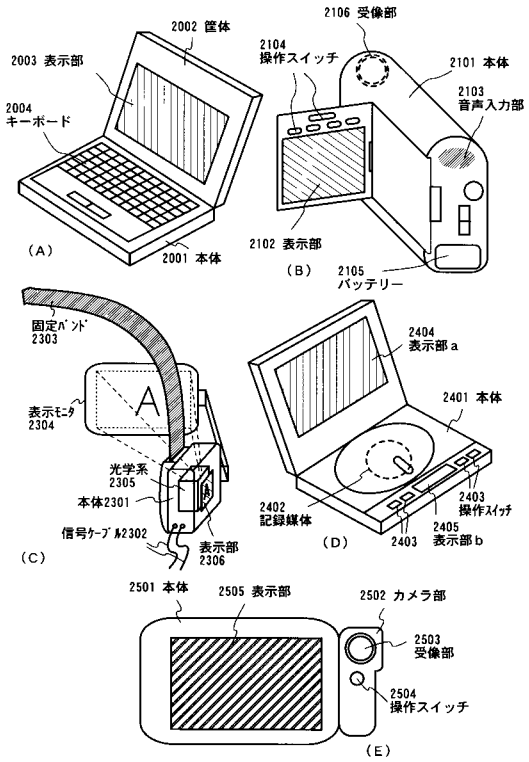
【 図 1 6 】



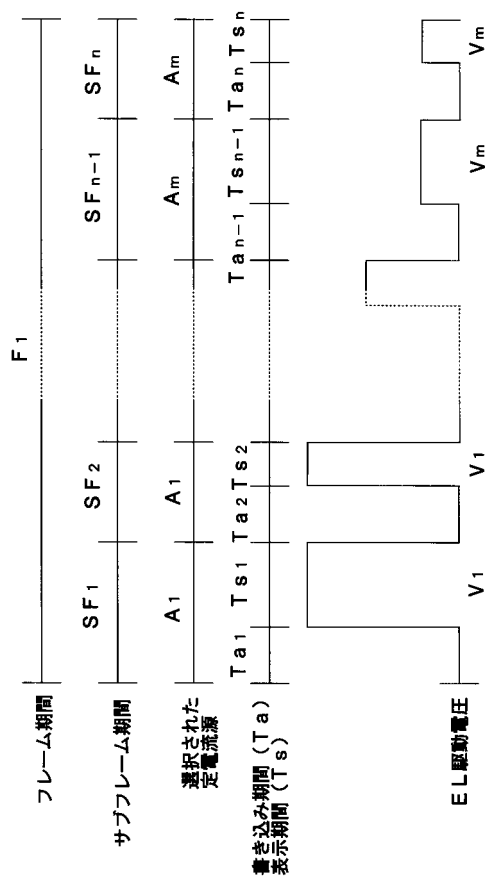
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

H01L 51/50

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	JP4884609B2	公开(公告)日	2012-02-29
申请号	JP2001239058	申请日	2001-08-07
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤		
发明人	小山 潤		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09F9/30 H01L27/32 H05B33/14		
FI分类号	G09G3/30.K G09G3/20.611.H G09G3/20.612.A G09G3/20.641.E G09G3/20.670.J H05B33/14.A G09F9/30.338 G09F9/30.365 G09F9/30.365.Z G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB04 3K007/AB17 3K007/BA06 3K007/BB01 3K007/BB03 3K007/BB04 3K007/BB05 3K007/BB06 3K007/BB07 3K007/CA01 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EA01 3K007/EB00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C094/AA07 5C094/AA08 5C094/AA53 5C094/AA54 5C094/AA56 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA24 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA06 5C094/EA07 5C094/EA10 5C094/EB02 5C094/EC02 5C094/EC03 5C094/ED03 5C094/FA01 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GA10 5C094/HA08 5C094/HA10 5C094/JA01 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA10 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BA31 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA42 5C380/BB02 5C380/BB19 5C380/BB21 5C380/BB22 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA14 5C380/CA24 5C380/CB01 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CE02 5C380/CE05 5C380/CE08 5C380/CF07 5C380/CF09 5C380/CF21 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF28 5C380/CF43 5C380/CF51 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA16 5C380/DA19 5C380/DA35 5C380/DA38 5C380/DA50 5C380/FA02 5C380/FA04 5C380/FA20		
优先权	2000243272 2000-08-10 JP		
其他公开文献	JP2002123219A5 JP2002123219A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了抑制构成像素的TFT（薄膜晶体管）的特性中的色散的影响，EL元件的显示周期的变化和亮度的波动对于在显示装置中使用显示装置的环境温度的变化而消失矩阵型EL（电致发光）显示装置。解决方案：在该显示装置中，一个帧周期被分成多个子帧周期，并且通过改变要施加到每个子帧周期的像素的EL元件的电压并且通过使用时间灰度系统来执行显示。因此，通过使用几乎不受像素部分的TFT的特性的分散和显示的变化的影响的灰度显示方法，抑制了由于环境温度的变化引起的EL元件的亮度波动的显示装置。获得期间。

【 図 3 】

