

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-45015

(P2013-45015A)

(43) 公開日 平成25年3月4日(2013.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 622C	5C380
	G09G 3/20 624B	
	G09G 3/20 611A	
	G09G 3/20 621A	
審査請求 未請求 請求項の数 17 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2011-183862 (P2011-183862)	(71) 出願人	000005821
(22) 出願日	平成23年8月25日 (2011.8.25)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100109210
			弁理士 新居 広守
		(72) 発明者	若林 俊一
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	5C080 AA06 BB05 CC03 DD26 FF11
			JJ02 JJ03 JJ04 KK43
			5C380 AA01 AA02 AB06 AB34 AC04
			AC07 BA01 BA12 CA14 CA53
			CA54 CB04 CB26 CB31 CC27
			CC34 CC35 CC38 CC41 CC42
			CC54 CC63 CD011 CD013 CF46
			DA02 DA09 DA47

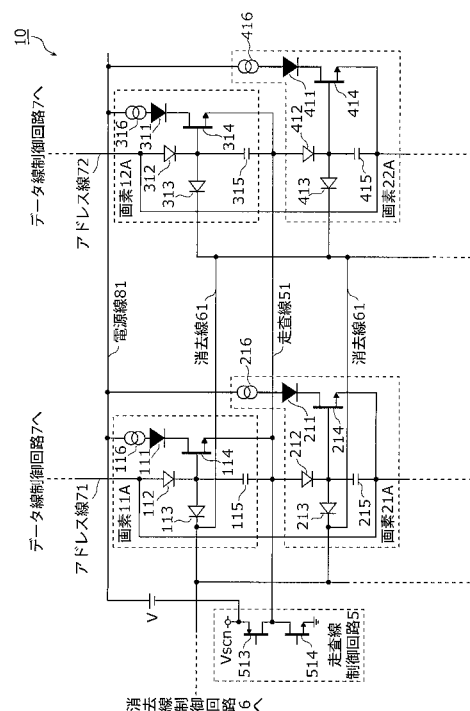
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】配線による損失を低減し、高精細化が可能な表示装置及びその駆動方法を提供する。

【解決手段】表示装置1は、複数の画素と、2画素行ごとに配置された走査線51と、画素列ごとに配置されたアドレス線71とを備え、画素11Aは、走査線51の電位に応じて導通するダイオード112と、ダイオード112の導通時にアドレス線71の電位に対応した電圧を保持するコンデンサ115と、当該電圧に応じて導通するTFTスイッチ114と、TFTスイッチ114の導通により発光する有機EL素子111とを備え、画素21Aは、走査線51の電位に応じて、ダイオード212とは排他的に導通状態となるダイオード212と、ダイオード212の導通時にアドレス線71の電位に対応した電圧を保持するコンデンサ215と、当該電圧に応じて導通状態となるTFTスイッチ214と、TFTスイッチ214の導通により発光する有機EL素子211とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素と、
2画素行ごとに配置された走査線と、
画素列ごとに配置されたアドレス線とを備え、
前記複数の画素のうち、一の前記走査線と一の前記アドレス線との交点に対応する2画素のうちの第1の画素は、
前記走査線の電位に応じて導通状態となる第1スイッチ部と、
前記第1スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第1コンデンサと、
前記第1コンデンサに保持された電圧に応じて発光電流を流す第1スイッチトランジスタと、
前記発光電流が流れることにより発光する第1発光素子とを備え、
前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する画素行と異なる画素行に配置された第2の画素は、
前記走査線の電位に応じて、前記第1スイッチ部とは排他的に導通状態となる第2スイッチ部と、
前記第2スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第2コンデンサと、
前記第2コンデンサに保持された電圧に応じて発光電流を流す第2スイッチトランジスタと、
前記発光電流が流れることにより発光する第2発光素子とを備える
表示装置。

【請求項 2】

前記第1スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第1コンデンサの一方の電極に接続された第1のダイオード素子であり、
前記第1コンデンサの他方の電極は前記走査線に接続され、
前記第1スイッチトランジスタのゲート電極は前記第1コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記走査線に接続され、
前記第1発光素子は、前記電源線と前記第1スイッチトランジスタのドレイン電極との間に直列に挿入されており、
前記第2スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第2コンデンサの一方の電極に接続された第2のダイオード素子であり、
前記第2コンデンサの他方の電極は、前記アドレス線に接続され、
前記第2スイッチトランジスタのゲート電極は前記第2コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記アドレス線に接続され、
前記第2発光素子は、前記電源線と前記第2スイッチトランジスタのドレイン電極との間に直列に挿入されている
請求項1に記載の表示装置。

【請求項 3】

さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、
前記駆動部は、
前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第1スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第1のダイオードを導通状態にして前記第1コンデンサに前記電圧を保持させ、
前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第2スイッチトランジスタの閾値電圧分よりも低い電位であるアドレス線低電位とすることにより、前記第2のダイオードを導通状態にして前記第2コンデンサに前記電圧を保持させ、

前記走査線を前記低電位とし、前記アドレス線を前記アドレス線低電位とすることにより、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧に応じて前記第 1 スイッチトランジスタ及び前記第 2 スイッチトランジスタを導通状態にして前記第 1 発光素子及び前記第 2 発光素子を発光させる

請求項 2 に記載の表示装置。

【請求項 4】

さらに、

前記第 1 コンデンサ及び第 2 コンデンサに保持された電圧を消去するための消去線を備え、

前記第 1 画素は、さらに、

アノード電極が前記第 1 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 3 のダイオード素子を備え、

前記第 2 画素は、さらに、

アノード電極が前記第 2 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 4 のダイオード素子を備える

請求項 2 または 3 に記載の表示装置。

【請求項 5】

前記駆動部は、

前記第 1 コンデンサ及び前記第 2 コンデンサに電圧を保持させる場合には、前記消去線の電位を高電位とし、

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の低電位とする

請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 スイッチ部は、

ゲート電極が前記走査線に接続され、ソース電極が第 1 電源線に接続された第 3 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極が前記第 3 スイッチトランジスタのドレイン電極と接続された第 4 スイッチトランジスタとを備え、

前記第 2 スイッチ部は、

ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第 5 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 2 コンデンサの一方の電極に接続され、ドレイン電極が前記第 5 スイッチトランジスタのドレイン電極と接続された第 6 スイッチトランジスタとを備え、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は第 2 電源線に接続され、ソース電極は前記第 1 コンデンサの他方の電極に接続され、

前記第 1 発光素子は、アノード電極が前記第 1 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 電源線に接続され、ソース電極は前記第 2 コンデンサの他方の電極に接続され、

前記第 2 発光素子は、アノード電極が前記第 2 スイッチトランジスタのソース電極に接続され、カソード電極が接地されている

請求項 1 に記載の表示装置。

【請求項 7】

さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、

前記駆動部は、

前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、

前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させる

請求項 6 に記載の表示装置。

【請求項 8】

さらに、

前記第 1 コンデンサの一方の電極及び第 2 コンデンサの一方の電極に接続され、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備える請求項 6 または 7 に記載の表示装置。

【請求項 9】

前記駆動部は、

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記アドレス線の電位を、前記第 4 スイッチトランジスタのソース電位に対して前記第 4 スイッチトランジスタの閾値電圧分よりも低く、かつ、前記第 6 スイッチトランジスタのソース電位に対して前記第 6 スイッチトランジスタの閾値電圧分よりも低くすることにより前記第 4 スイッチトランジスタ及び前記第 6 スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記アドレス線に印加される前記低電位以下の低電位とする

請求項 8 に記載の表示装置。

【請求項 10】

前記第 1 発光素子及び前記第 2 発光素子は、有機 EL 素子である

請求項 1 ～ 9 のうちいずれか 1 項に記載の表示装置。

【請求項 11】

前記第 1 発光素子及び前記第 2 発光素子は、無機 EL 素子である

請求項 1 ～ 9 のうちいずれか 1 項に記載の表示装置。

【請求項 12】

複数の画素が行列状に配置された表示装置の駆動方法であって、

前記複数の画素のうち、2 画素行ごとに配置された走査線のうちの走査線と画素列ごとに配置されたアドレス線のうちのアドレス線との交点に配置された第 1 画素は、

前記走査線の電位に応じて導通状態となる第 1 スイッチ部と、

前記アドレス線の電位に対応した電圧を保持する第 1 コンデンサと、

前記第 1 コンデンサに保持された電圧に応じて導通状態となる第 1 スイッチトランジスタと、

前記第 1 スイッチトランジスタが導通状態となることにより発光する第 1 発光素子とを備え、

前記複数の画素のうち、前記交点であって前記第 1 画素の属する画素行と異なる画素行に配置された第 2 画素は、

前記走査線の電位に応じて導通状態となる第 2 スイッチ部と、

前記アドレス線の電位に対応した電圧を保持する第 2 コンデンサと、

前記第 2 コンデンサに保持された電圧に応じて導通状態となる第 2 スイッチトランジスタと、

前記第 2 スイッチトランジスタが導通状態となることにより発光する第 2 発光素子とを備え、

前記走査線の電位を低電位とすることにより、前記第 1 スイッチ部を導通状態にして前記第 1 コンデンサに前記電圧を保持させる第 1 電圧保持ステップと、

前記走査線の電位を高電位とすることにより、前記第 2 スイッチ部を導通状態にして前記第 2 コンデンサに前記電圧を保持させる第 2 電圧保持ステップと、

前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの後、前記走査線及び前記アドレス線を低電位とすることにより、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧に応じて前記第 1 スイッチトランジスタ及び前記第 2 スイッチトランジスタを導通状態にして前記第 1 発光素子及び前記第 2 発光素子を一斉発光させる発光ステップとを含む

10

表示装置の駆動方法。

【請求項 1 3】

前記第 1 スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第 1 コンデンサの一方の電極の接続された第 1 のダイオード素子であり、

前記第 1 コンデンサの他方の電極は前記走査線に接続され、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記走査線に接続され、

前記第 1 発光素子は、前記電源線と前記第 1 スイッチトランジスタのドレイン電極との間、または、前記第 1 スイッチトランジスタのドレイン電極と前記走査線との間に直列に挿入されており、

20

前記第 2 スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第 2 コンデンサの一方の電極の接続された第 2 のダイオード素子であり、

前記第 2 コンデンサの他方の電極は前記アドレス線に接続され、

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記アドレス線に接続され、

前記第 2 発光素子は、前記電源線と前記第 2 スイッチトランジスタのドレイン電極との間、または、前記第 2 スイッチトランジスタのドレイン電極と前記アドレス線との間に直列に挿入されており、

前記第 1 電圧保持ステップでは、前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第 1 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 1 のダイオードを導通状態にして前記第 1 コンデンサに前記電圧を保持させ、

30

前記第 2 電圧保持ステップでは、前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第 2 スイッチトランジスタの閾値電圧分よりも低い低電位とすることにより、前記第 2 のダイオードを導通状態にして前記第 2 コンデンサに前記電圧を保持させる

請求項 1 2 に記載の表示装置の駆動方法。

【請求項 1 4】

さらに、

40

前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備え、

前記第 1 画素は、さらに、

アノード電極が前記第 1 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 3 のダイオード素子を備え、

前記第 2 画素は、さらに、

アノード電極が前記第 2 コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第 4 のダイオード素子を備え、

さらに、前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの前に、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の

50

低電位とすることにより、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する消去ステップを含む

請求項 13 に記載の表示装置の駆動方法。

【請求項 15】

前記第 1 スイッチ部は、

ゲート電極が前記走査線に接続され、ソース電極が第 1 電源線に接続された第 3 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極が前記第 3 スイッチトランジスタのドレイン電極と接続された第 4 スイッチトランジスタとを備え、

10

前記第 2 スイッチ部は、

ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第 5 スイッチトランジスタと、

ゲート電極が前記アドレス線に接続され、ソース電極が前記第 2 コンデンサの一方の電極に接続され、ドレイン電極が前記第 5 スイッチトランジスタのドレイン電極と接続された第 6 スイッチトランジスタとを備え、

前記第 1 スイッチトランジスタのゲート電極は前記第 1 コンデンサの一方の電極に接続され、ドレイン電極は第 2 電源線に接続され、ソース電極は前記第 1 コンデンサの他方の電極に接続され、

前記第 1 発光素子は、アノード電極が前記第 1 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

20

前記第 2 スイッチトランジスタのゲート電極は前記第 2 コンデンサの一方の電極に接続され、ドレイン電極は前記第 2 電源線に接続され、ソース電極は前記第 2 コンデンサの他方の電極に接続され、

前記第 2 発光素子は、アノード電極が前記第 2 スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、

前記第 1 電圧保持ステップでは、前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、

30

前記第 2 電圧保持ステップでは、前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させる

請求項 12 に記載の表示装置の駆動方法。

【請求項 16】

40

さらに、

前記第 1 コンデンサの一方の電極及び前記第 2 コンデンサの一方の電極に接続され、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備え、

さらに、前記第 1 電圧保持ステップ及び前記第 2 電圧保持ステップの前に、前記アドレス線の電位を、前記第 4 スイッチトランジスタのソース電位に対して前記第 4 スイッチトランジスタの閾値電圧よりも低く、かつ、前記第 6 スイッチトランジスタのソース電位に対して前記第 6 スイッチトランジスタの閾値電圧よりも低くすることにより前記第 4 スイッチトランジスタ及び前記第 6 スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記走査線低電位とすることにより前記第 1 コンデンサ及び前記第 2 コンデン

50

サに保持された電圧を消去する消去ステップを含む

請求項 15 に記載の表示装置の駆動方法。

【請求項 17】

前記第 1 電圧保持ステップ、前記第 2 電圧保持ステップ及び発光ステップでは、前記消去線の電位を、ハイインピーダンス状態とする

請求項 16 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関し、特に、画素の発光時間に応じて表示輝度を制御するアクティブマトリクス型表示装置及びその駆動方法に関する。 10

【背景技術】

【0002】

表示装置の一つとして、有機材料を発光層に用いた有機 EL（エレクトロルミネッセンス）素子を画素の構成要素とした表示パネルが、すでに商品化されている。有機 EL 素子を用いた表示装置としては、マトリクス状に配列された画素の各々に、例えば、TFT（Thin Film Transistor）などの点灯制御用素子を用いたアクティブマトリクス型表示装置が知られている。

【0003】

アクティブマトリクス型表示装置では、階調表現方式として、アナログ駆動方式とデジタル駆動方式とが知られている。アナログ駆動方式は、TFT のゲート端子に接続されたコンデンサに、映像データに応じた電圧を保持させる。そして、1 フレーム期間において、コンデンサに保持された電圧に応じた輝度で各画素の有機 EL 素子を発光させ続ける。このように、アナログ駆動方式では、映像データに応じてコンデンサに保持される電荷量を変化させ、各画素の有機 EL 素子の輝度を制御して階調を表現する。一方、デジタル駆動方式は、1 フレーム期間を、それぞれ発光可能期間の異なる複数のサブフィールドに分割し、映像データに応じて、サブフィールドごとに各画素を発光させるか発光させないかを選択する。そして、1 フィールド期間の発光時間の総和により、階調を表現する。 20

【0004】

図 10 は、特許文献 1 に記載された、デジタル駆動方式の表示パネルに配置された画素の回路図である。同図に記載の画素 900 において、映像信号に対応したデータドライバからのデータ信号が、表示パネルに配列されたデータ線 914 を介してデータ書き込み用トランジスタ 901 のソースに供給される。データ書き込み用トランジスタ 901 のゲートには、走査ドライバに接続された走査線 913 を介して走査信号が供給される。データ書き込み用トランジスタ 901 のドレインは、駆動トランジスタ 902 のゲートに接続されると共に、コンデンサ 905 の一方の端子に接続されている。また、駆動トランジスタ 902 のソースは、コンデンサ 905 の他方の端子に接続されると共に、電源線 916 を介して駆動電圧が供給される。駆動トランジスタ 902 のドレインは、有機 EL 素子 904 のアノード端子に接続され、有機 EL 素子 904 のカソード端子は、基準電位点に接続されている。さらに、消去用トランジスタ 903 のソース及びドレインが、コンデンサ 905 の各端部にそれぞれ接続されている。消去用トランジスタ 903 のゲートには、消去線 915 を介して消去ドライバより消去信号が供給される。 30 40

【0005】

上記構成は、一般的なアナログ駆動方式に対して、コンデンサ 905 の両端を接続する消去用トランジスタ 903 及び消去線 915 が設けられている点異なる。消去線 915 に消去信号が印加されることにより、消去用トランジスタ 903 が短絡されてコンデンサ 905 に保持された電圧がキャンセルされる。コンデンサ 905 に電荷が蓄積されてから消去線 915 に電圧を印加されるまでの時間を、各サブフィールドで異ならせることにより、サブフィールドごとの発光可能期間を異ならせている。デジタル駆動方式では、点灯制御用素子に求められる機能がスイッチング機能のみであるため、点灯制御用素子での電 50

力損失を低減することが可能となる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-108366号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、前述した特許文献1のデジタル駆動方式では、1画素ごとに、走査線及び消去線を配置する必要があるため、例えば、FHD（フル・ハイビジョン・ディスプレイ）や、SHD（4k2kディスプレイ）などの高精細ディスプレイにおいては、配線の設計が問題となる。すなわち、より高精細な画像を得るためには、配線幅を狭くする必要があり、そのため配線抵抗が大きくなってしまふ。配線抵抗が大きくなると配線による損失が大きくなり、消費電力量も大きくなるといった課題が発生する。

【0008】

本発明は、上記課題に鑑みてなされたものであり、配線による損失を低減し、高精細化が可能な表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の一態様に係る表示装置は、行列状に配置された複数の画素と、2画素行ごとに配置された走査線と、画素列ごとに配置されたアドレス線とを備え、前記複数の画素のうち、一の前記走査線と一の前記アドレス線との交点に対応する2画素のうちの第1の画素は、前記走査線の電位に応じて導通状態となる第1スイッチ部と、前記第1スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第1コンデンサと、前記第1コンデンサに保持された電圧に応じて発光電流を流す第1スイッチトランジスタと、前記発光電流が流れることにより発光する第1発光素子とを備え、前記複数の画素のうち、前記交点に対応する2画素のうちの、前記第1の画素の属する画素行と異なる画素行に配置された第2の画素は、前記走査線の電位に応じて、前記第1スイッチ部とは排他的に導通状態となる第2スイッチ部と、前記第2スイッチ部が導通状態となることにより前記アドレス線及び前記走査線の電位に応じて定まる電圧を保持する第2コンデンサと、前記第2コンデンサに保持された電圧に応じて発光電流を流す第2スイッチトランジスタと、前記発光電流が流れることにより発光する第2発光素子とを備えることを特徴とする。

【0010】

上記構成によれば、各画素への電圧書き込みのタイミングを制御するための走査線は、2画素行ごとに配置されればよく、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。

【0011】

また、前記第1スイッチ部は、アノード電極が前記アドレス線に接続され、カソード電極が前記第1コンデンサの一方の電極に接続された第1のダイオード素子であり、前記第1コンデンサの他方の電極は前記走査線に接続され、前記第1スイッチトランジスタのゲート電極は前記第1コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記走査線に接続され、前記第1発光素子は、前記電源線と前記第1スイッチトランジスタのドレイン電極との間に直列に挿入されており、前記第2スイッチ部は、アノード電極が前記走査線に接続され、カソード電極が前記第2コンデンサの一方の電極に接続された第2のダイオード素子であり、前記第2コンデンサの他方の電極は、前記アドレス線に接続され、前記第2スイッチトランジスタのゲート電極は前記第2コンデンサの一方の電極に接続され、ドレイン電極は電源線に接続され、ソース電極は前記アドレス線に接続され、前記第2発光素子は、前記電源線と前記第2スイッチトランジスタのドレイン電極との間に直列に挿入されていてもよい。

【0012】

また、さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、前記駆動部は、前記走査線の電位を低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記低電位に対して前記第1スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第1のダイオードを導通状態にして前記第1コンデンサに前記電圧を保持させ、前記走査線の電位を高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、前記高電位に対して前記第2スイッチトランジスタの閾値電圧分よりも低い電位であるアドレス線低電位とすることにより、前記第2のダイオードを導通状態にして前記第2コンデンサに前記電圧を保持させ、前記走査線を前記低電位とし、前記アドレス線を前記アドレス線低電位とすることにより、前記第1コンデンサ及び前記第2コンデンサに保持された電圧に応じて前記第1スイッチトランジスタ及び前記第2スイッチトランジスタを導通状態にして前記第1発光素子及び前記第2発光素子を発光させることが好ましい。

10

【0013】

これにより、走査線の電位を低電位としアドレス線の電位を高電位とすることにより、第1の画素への電圧書き込みが実行され、走査線の電位を高電位としアドレス線の電位を低電位とすることにより、第2の画素への電圧書き込みが実行される。

【0014】

また、さらに、前記第1コンデンサ及び第2コンデンサに保持された電圧を消去するための消去線を備え、前記第1画素は、さらに、アノード電極が前記第1コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第3のダイオード素子を備え、前記第2画素は、さらに、アノード電極が前記第2コンデンサの一方の電極に接続され、カソード電極が前記消去線に接続された第4のダイオード素子を備えてもよい。

20

【0015】

また、前記駆動部は、前記第1コンデンサ及び前記第2コンデンサに電圧を保持させる場合には、前記消去線の電位を高電位とし、前記第1コンデンサ及び前記第2コンデンサに保持された電圧を消去する場合には、前記消去線の電位を、前記走査線に印加される低電位及び前記アドレス線に印加される低電位以下の低電位としてもよい。

【0016】

これにより、全ての画素に対し、一斉にリセット動作を実行できるので、サブフィールドごとの発光可能期間を制御できる。よって、デジタル駆動方式による表示動作が可能となる。

30

【0017】

また、前記第1スイッチ部は、ゲート電極が前記走査線に接続され、ソース電極が第1電源線に接続された第3スイッチトランジスタと、ゲート電極が前記アドレス線に接続され、ソース電極が前記第1コンデンサの一方の電極に接続され、ドレイン電極が前記第3スイッチトランジスタのドレイン電極と接続された第4スイッチトランジスタとを備え、前記第2スイッチ部は、ゲート電極が所定のバイアス電位を有するバイアス端子に接続され、ソース電極が前記走査線に接続された第5スイッチトランジスタと、ゲート電極が前記アドレス線に接続され、ソース電極が前記第2コンデンサの一方の電極に接続され、ドレイン電極が前記第5スイッチトランジスタのドレイン電極と接続された第6スイッチトランジスタとを備え、前記第1スイッチトランジスタのゲート電極は前記第1コンデンサの一方の電極に接続され、ドレイン電極は第2電源線に接続され、ソース電極は前記第1コンデンサの他方の電極に接続され、前記第1発光素子は、アノード電極が前記第1スイッチトランジスタのソース電極に接続され、カソード電極が接地されており、前記第2スイッチトランジスタのゲート電極は前記第2コンデンサの一方の電極に接続され、ドレイン電極は前記第2電源線に接続され、ソース電極は前記第2コンデンサの他方の電極に接続され、前記第2発光素子は、アノード電極が前記第2スイッチトランジスタのソース電極に接続され、カソード電極が接地されていてもよい。

40

【0018】

50

また、さらに、前記走査線及び前記アドレス線の電位を制御する駆動部を備え、前記駆動部は、前記走査線の電位を、前記第 1 電源線の電源電位に対して前記第 3 スイッチトランジスタの閾値電圧分よりも低い走査線低電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 1 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 3 スイッチトランジスタ及び前記第 4 スイッチトランジスタを導通状態にして、前記第 1 電源線から前記第 1 コンデンサに前記電圧を保持させ、前記走査線の電位を、前記バイアス電位に対して前記第 5 スイッチトランジスタの閾値電圧分よりも高い高電位とし、前記走査線以外の走査線をハイインピーダンス状態とし、前記アドレス線の電位を、接地電位に対して前記第 2 スイッチトランジスタの閾値電圧分よりも高い高電位とすることにより、前記第 5 スイッチトランジスタ及び前記第 6 スイッチトランジスタを導通状態にして前記走査線から前記第 2 コンデンサに前記電圧を保持させることが好ましい。

10

【0019】

これにより、各画素への電圧書き込みのタイミングを制御するための走査線は、2 画素行ごとに配置されればよく、さらに、消去線が不要であるので、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。さらに、スイッチ部を、ダイオードを使用せずに T F T で構成しているので、製造工程が簡略化できる。

【0020】

また、さらに、前記第 1 コンデンサの一方の電極及び第 2 コンデンサの一方の電極に接続され、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去するための消去線を備えてもよい。

20

【0021】

また、前記駆動部は、前記第 1 コンデンサ及び前記第 2 コンデンサに保持された電圧を消去する場合には、前記アドレス線の電位を、前記第 4 スイッチトランジスタのソース電位に対して前記第 4 スイッチトランジスタの閾値電圧分よりも低く、かつ、前記第 6 スイッチトランジスタのソース電位に対して前記第 6 スイッチトランジスタの閾値電圧分よりも低くすることにより前記第 4 スイッチトランジスタ及び前記第 6 スイッチトランジスタを非導通とした状態で、前記消去線の電位を、前記アドレス線に印加される前記低電位以下の低電位としてもよい。

30

【0022】

これにより、全ての画素に対し、一斉にリセット動作を実行できるので、サブフィールドごとの発光可能期間を制御できる。よって、デジタル駆動方式による表示動作が可能となる。

【0023】

また、前記第 1 発光素子及び前記第 2 発光素子は、有機 E L 素子であってもよい。

【0024】

また、前記第 1 発光素子及び前記第 2 発光素子は、無機 E L 素子であってもよい。

【0025】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

40

【発明の効果】**【0026】**

本発明の表示装置及びその駆動方法によれば、配線数を削減することができるため、配線による損失を低減できる。また、高精細化も可能となる。

【図面の簡単な説明】**【0027】**

【図 1】本発明の実施の形態 1 に係る表示装置の機能ブロック図である。

【図 2】本発明の実施の形態 1 に係る表示装置が有する画素部の回路構成図である。

50

【図 3】本発明の実施の形態 1 に係る表示装置が有する走査線制御回路の内部回路図である。

【図 4】本発明の表示装置が有するデータ線制御回路の内部回路図である。

【図 5】本発明の実施の形態 1 に係る表示装置の駆動タイミングチャートである。

【図 6 A】実施の形態 1 に係る画素のリセット動作を説明する状態遷移図である。

【図 6 B】実施の形態 1 に係る奇数行画素の書き込み動作を説明する状態遷移図である。

【図 6 C】実施の形態 1 に係る偶数行画素の書き込み動作を説明する状態遷移図である。

【図 6 D】実施の形態 1 に係る画素の発光動作を説明する状態遷移図である。

【図 7】本発明の実施の形態 2 に係る表示装置が有する画素部の回路構成図である。

【図 8】本発明の実施の形態 2 に係る表示装置の駆動タイミングチャートである。

10

【図 9 A】実施の形態 2 に係る画素のリセット動作を説明する状態遷移図である。

【図 9 B】実施の形態 2 に係る奇数行画素の書き込み動作を説明する状態遷移図である。

【図 9 C】実施の形態 2 に係る偶数行画素の書き込み動作を説明する状態遷移図である。

【図 9 D】実施の形態 2 に係る画素の発光動作を説明する状態遷移図である。

【図 10】特許文献 1 に記載された、デジタル駆動方式の表示パネルに配置された画素の回路図である。

【発明を実施するための形態】

【0028】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

【0029】

20

(実施の形態 1)

<表示装置の構成>

図 1 は、本発明の実施の形態 1 に係る表示装置の機能ブロック図である。同図に記載された表示装置 1 は、サブフィールド処理回路 2 と、走査線制御回路 5 と、消去線制御回路 6 と、データ線制御回路 7 と、画素部 10 とを備える。

【0030】

サブフィールド処理回路 2 は、入力された映像信号に応じて、画素部 10 の画素ごとに発光させるサブフィールドを割り当て、走査線制御回路 5、消去線制御回路 6 及びデータ線制御回路 7 に制御信号を出力する。

【0031】

30

走査線制御回路 5 は画素部 10 に走査電圧を印加し、データ線制御回路 7 は画素部 10 にアドレス電圧を印加し、消去線制御回路 6 は画素部 10 に消去電圧を印加する。以下、上述した表示装置 1 の構成要素について詳細に説明する。走査線制御回路 5、データ線制御回路 7 及び消去線制御回路 6 は、それぞれ、走査線、アドレス線及び消去線の電位を制御する駆動部である。

【0032】

図 2 は、本発明の実施の形態 1 に係る表示装置が有する画素部の回路構成図である。画素部 10 は、ディスプレイの解像度 ($m \times n$) に応じたマトリクス状に配置された複数の画素が配置された表示部であるが、図 2 には、画素部 10 の一部である、隣接する 4 画素が記載されている。図 2 に記載された画素部 10 は、隣接する 4 つの画素 11 A、12 A、21 A 及び 22 A と、画素列ごとに配置されたアドレス線 71 及び 72 と、2 画素行ごとに配置された走査線 51 と、各画素に対応して格子状に配置された電源線 81 及び消去線 61 とを備える。

40

【0033】

画素 11 A は、上記複数の画素のうち、走査線 51 とアドレス線 71 との交点に対応する 2 画素のうちの第 1 の画素であり、画素 12 A は、上記複数の画素のうち、走査線 51 とアドレス線 72 との交点に対応する 2 画素のうちの第 1 の画素である。また、画素 21 A は、上記複数の画素のうち、走査線 51 とアドレス線 71 との交点に対応する 2 画素のうちの、画素 11 A の属する画素行と異なる画素行に配置された第 2 の画素であり、画素 22 A は、上記複数の画素のうち、走査線 51 とアドレス線 72 との交点に対応する 2 画

50

素のうちの、画素 1 2 A の属する画素行と異なる画素行に配置された第 2 の画素である。

【0034】

また、画素部 1 0 が有する複数の画素は、全て同じ回路素子を有しており、例えば、図 2 に記載された画素 1 1 A は、有機 E L 素子 1 1 1 と、ダイオード 1 1 2 及び 1 1 3 と、T F T スイッチ 1 1 4 と、コンデンサ 1 1 5 と、定電流源 1 1 6 とを備える。

【0035】

ここで、画素 1 1 A ~ 2 2 A の各構成要素及びそれらの接続関係を説明する。

【0036】

まず、画素 1 1 A ~ 2 2 A に共通した接続関係を、画素 1 1 A を例にして説明する。有機 E L 素子 1 1 1 のアノード電極は、定電流源 1 1 6 を介して電源線 8 1 に接続され、カソード電極は、T F T スイッチ 1 1 4 のドレイン電極に接続されている。T F T スイッチ 1 1 4 のゲート電極は、ダイオード 1 1 2 のカソード電極、ダイオード 1 1 3 のアノード電極、及びコンデンサ 1 1 5 の一方の電極に接続されている。ダイオード 1 1 3 のカソード電極は、消去線 6 1 に接続されている。

【0037】

さらに、同一画素行に配置された画素 1 1 A 及び 1 2 A では、T F T スイッチ 1 1 4 及び 3 1 4 のソース電極は走査線 5 1 に接続されている。一方、同一画素行に配置された画素 2 1 A 及び 2 2 A では、T F T スイッチ 2 1 4 及び 4 1 4 のソース電極は、それぞれ、アドレス線 7 1 及び 7 2 に接続されている。

【0038】

また、画素 1 1 A においては、アドレス線 7 1 は、ダイオード 1 1 2 のアノード電極に接続され、画素 2 1 A においては、コンデンサ 2 1 5 の他方の電極に接続されている。

【0039】

また、画素 1 2 A においては、アドレス線 7 2 は、ダイオード 3 1 2 のアノード電極に接続され、画素 2 2 A においては、コンデンサ 4 1 5 の他方の電極に接続されている。

【0040】

次に、画素 1 1 A ~ 2 2 A の各構成要素を説明する。

【0041】

有機 E L 素子 1 1 1、2 1 1、3 1 1 及び 4 1 1 は、電流駆動型の発光素子である。有機 E L 素子 1 1 1 及び 3 1 1 は、それぞれ、T F T スイッチ 1 1 4 及び 3 1 4 が導通状態となることにより発光する第 1 発光素子である。また、有機 E L 素子 2 1 1 及び 4 1 1 は、それぞれ、T F T スイッチ 2 1 4 及び 4 1 4 が導通状態となることにより発光する第 2 発光素子である。具体的には、有機 E L 素子 1 1 1 及び 3 1 1 は、それぞれ、電源線 8 1 と T F T スイッチ 1 1 4 及び 3 1 4 のドレイン電極との間に直列に挿入されている。また、有機 E L 素子 2 1 1 及び 4 1 1 は、それぞれ、電源線 8 1 と T F T スイッチ 2 1 4 及び 4 1 4 のドレイン電極との間に直列に挿入されている。

【0042】

T F T スイッチ 1 1 4、2 1 4、3 1 4 及び 4 1 4 は、例えば、n 型の M O S F E T であり、ゲートーソース間電圧が閾値電圧より大きい場合にドレインーソース間を導通状態とするスイッチ素子である。T F T スイッチ 1 1 4 及び 3 1 4 は、それぞれ、コンデンサ 1 1 5 及び 3 1 5 に保持された電圧に応じて導通状態となる第 1 スイッチトランジスタである。また、T F T スイッチ 2 1 4 及び 4 1 4 は、それぞれ、コンデンサ 2 1 5 及び 4 1 5 に保持された電圧に応じて導通状態となる第 2 スイッチトランジスタである。

【0043】

コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 は、アドレス線と走査線との電位差に対応した電荷を、ダイオード 1 1 2、2 1 2、3 1 2 及び 4 1 2 を介して充電し、また、消去線 6 1 に消去電圧が印加された場合に、上記充電された電荷を、ダイオード 1 1 3、2 1 3、3 1 3 及び 4 1 3 を介して放電する。コンデンサ 1 1 5 及び 3 1 5 は、それぞれ、ダイオード 1 1 2 及び 3 1 2 が導通状態となることにより、アドレス線 7 1 及び 7 2 ならびに走査線 5 1 の電位に応じて定まる電圧を保持する第 1 コンデンサである。また、コン

10

20

30

40

50

デンサ 2 1 5 及び 4 1 5 は、それぞれ、ダイオード 2 1 2 及び 4 1 2 が導通状態となることにより、アドレス線 7 1 及び 7 2 の電位ならびに走査線 5 1 の電位に応じて定まる電圧を保持する第 2 コンデンサである。

【0044】

ダイオード 1 1 2 は、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部であり、アノード電極がアドレス線 7 1 に接続され、カソード電極がコンデンサ 1 1 5 の一方の電極に接続された第 1 のダイオード素子である。ダイオード 3 1 2 は、走査線 5 1 の電位に応じて導通状態となる第 1 スイッチ部であり、アノード電極がアドレス線 7 2 に接続され、カソード電極がコンデンサ 3 1 5 の一方の電極に接続された第 1 のダイオード素子である。

10

【0045】

ダイオード 2 1 2 は、走査線 5 1 の電位に応じて、ダイオード 1 1 2 とは排他的に導通状態となる第 2 スイッチ部であり、アノード電極が走査線 5 1 に接続され、カソード電極がコンデンサ 2 1 5 の一方の電極に接続された第 2 のダイオード素子である。ダイオード 4 1 2 は、走査線 5 1 の電位に応じて、ダイオード 3 1 2 とは排他的に導通状態となる第 2 スイッチ部であり、アノード電極が走査線 5 1 に接続され、カソード電極がコンデンサ 4 1 5 の一方の電極に接続された第 2 のダイオード素子である。

【0046】

ダイオード 1 1 3 は、アノード電極がコンデンサ 1 1 5 の一方の電極に接続され、カソード電極が消去線 6 1 に接続された第 3 のダイオード素子であり、ダイオード 3 1 3 は、アノード電極がコンデンサ 3 1 5 の一方の電極に接続され、カソード電極が消去線 6 1 に接続された第 3 のダイオード素子である。

20

【0047】

ダイオード 2 1 3 は、アノード電極がコンデンサ 2 1 5 の一方の電極に接続され、カソード電極が消去線 6 1 に接続された第 4 のダイオード素子であり、ダイオード 4 1 3 は、アノード電極がコンデンサ 4 1 5 の一方の電極に接続され、カソード電極が消去線 6 1 に接続された第 4 のダイオード素子である。

【0048】

消去線 6 1 は、消去電圧が印加されることにより、コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 に蓄積された電荷を放電する。言い換えると、消去線 6 1 は、コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 に保持された電圧を消去するための制御線である。

30

【0049】

なお、本実施の形態では、全ての画素に対し、一定の電源電圧が電源線 8 1 を介して印加される。また、消去電圧は、全ての画素に対し、消去線 6 1 を介して同じタイミングで印加される。よって、消去線 6 1 及び電源線 8 1 は、それぞれ、全画素にわたり共通線となってもよい。これにより、消去線制御回路 6 の駆動負荷が低減される。

【0050】

上記接続関係及び構成要素により、アドレス線 7 1 及び 7 2 の電位が走査線 5 1 の電位に対して T F T スイッチ 1 1 4 及び 3 1 4 の閾値電圧分よりも高い場合、コンデンサ 1 1 5 及び 3 1 5 には、それぞれ、アドレス線 7 1 及び 7 2 と走査線 5 1 との電位差に対応する電圧が保持される。また、アドレス線 7 1 及び 7 2 の電位が走査線 5 1 の電位に対して T F T スイッチ 2 1 4 及び 4 1 4 の閾値電圧分よりも低い場合、コンデンサ 2 1 5 及び 4 1 5 には、走査線 5 1 とアドレス線 7 1 及び 7 2 との電位差に対応する電圧が保持される。このように、アドレス線の電位と走査線の電位とが、排他的に制御されることにより、奇数画素行への電圧書き込みの後、偶数画素行への電圧書き込みが実行される。上記書き込みが完了した後、走査線 5 1 を所定の電位（例えば、G N D 電位）に設定することにより、T F T スイッチの閾値電圧以上の電圧がコンデンサに保持されている画素の有機 E L 素子が一斉発光する。

40

【0051】

上記構成によれば、電圧書き込みのタイミングを制御するための走査線は、2 画素行ご

50

とに配置されればよく、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。

【0052】

次に、走査線制御回路5について説明する。走査線制御回路5は、サブフィールド処理回路2からの制御信号により、書き込み期間において発光画素行を選択するための走査信号を、走査線を介して画素部に出力する。

【0053】

図3は、本発明の実施の形態1に係る表示装置が有する走査線制御回路の内部回路図である。走査線制御回路5は、出力ラインである走査線51～5kに、それぞれ高電位パルス V_{scn} または低電位パルス V_{GND} を供給するための2つのFETスイッチをライン毎に配置した回路構成となっている。画素行数がnである場合には、走査線制御回路5は、 $n/2$ 本の走査線51～5kを介して画素部10に接続されている。各走査線には、走査線制御回路5の信号に応じて、任意の順序で2画素行毎に走査線51～5kに高電位パルス V_{scn} または低電位パルス V_{GND} を供給することが可能である。高電位パルスまたは低電位パルスを印加するタイミングについては、後述する。

【0054】

図3に記載された回路において、例えば、走査線51に低電位パルス V_{GND} を印加する場合には、走査線制御回路5は、FET514をON状態とし、FET513をOFF状態とする。また、走査線51に高電位パルス V_{scn} を印加する場合には、走査線制御回路5は、FET513をON状態とし、FET514をOFF状態とする。また、FET513及びFET514をとともOFF状態とした場合には、走査線51はハイインピーダンス状態となり、電流経路を構成しない。すなわち、走査線制御回路5は、走査線ごとに配置された2つのFETのON状態及びOFF状態を選択することにより、走査線を、低電位パルス V_{GND} 状態、高電位パルス V_{scn} 状態、及びハイインピーダンス状態の3形態のうちいずれかの形態とすることが可能である。

【0055】

次に、消去線制御回路6について説明する。消去線制御回路6は、サブフィールド処理回路2からの制御信号により、コンデンサ115、215、315及び415に保持された、信号電圧を消去するための消去電圧を、消去線を介してダイオード113、213、313及び413のカソード電極に出力する。

【0056】

消去線制御回路6は、消去線61に対し、走査線に印加される低電位パルス及びアドレス線に印加される低電位パルス以下の低電位、例えば、GND電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ115、215、315及び415の一方の電極から消去線61へ向かって順方向電流が流れ、コンデンサ115、215、315及び415がリセットされる。また、リセットしない場合には、消去線制御回路6は、消去線61に対し、例えば、走査線に印加される高電位パルスまたはアドレス線に印加される高電位パルス信号電圧よりも大きい正電圧を供給する。消去電圧パルスを印加するタイミングについては、後述する。

【0057】

次に、データ線制御回路7について説明する。

【0058】

図4は、本発明の表示装置が有するデータ線制御回路の内部回路図である。データ線制御回路7は、サブフィールド処理回路2からの制御信号により、書き込み期間において走査線制御回路5から出力される走査信号に同期して、TFETスイッチ114、214、314及び414の導通及び非導通を切り換えるためのアドレス電圧を、アドレス線71または72を介して、各画素に出力する。また、図4に示されるように、データ線制御回路7は、R画素、G画素、B画素に応じて、異なるアドレス電圧をアドレス線71または72を介して各画素に供給してもよい。例えば、画素11A及び画素21AがR画素である場合、データ線制御回路7は、画素11Aに対して、走査線51が低電位パルス V_{GND}

10

20

30

40

50

状態であるときに、スイッチ $SW3A_R$ を導通させることによりアドレス電圧 (V_R) をアドレス線 71 に供給する。また、走査線 51 が高電位パルス V_{scn} 状態であるときに、スイッチ $SW3B_R$ を導通させることによりアドレス電圧 ($-V_R$) をアドレス線 71 に供給する。アドレス電圧を印加するタイミングについては、後述する。また、データ線制御回路 7 は、画素部 10 の解像度に応じた画素列数 m 本のアドレス線を同時に制御可能とするためのメモリ機能を有している。

【0059】

＜表示装置の動作＞

以下、図 2、図 5 及び図 6 A～図 6 D を用いて、表示装置 1 の動作について述べる。図 5 は、本発明の実施の形態 1 に係る表示装置の駆動タイミングチャートである。同図には、図 2 における画素 11 A 及び 12 A を 3 行目の画素行に属する画素、また、画素 21 A 及び 22 A を 4 行目の画素行に属する画素と仮定し、これら 4 画素を、所定のサブフィールド期間において、全て発光させた場合を例示している。

10

【0060】

〔リセット動作〕

まず、時刻 t_{01} ～時刻 t_{02} において、消去線制御回路 6 は、消去線 61 に対し消去電圧を供給し、全ての画素が有するコンデンサをリセットする。消去線制御回路 6 は、消去線 61 に対し、例えば、 GND 電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ 115、215、315 及び 415 の一方の電極から消去線 61 へ向かってダイオード 113、213、313 及び 413 に順方向電流が流れ、コンデンサ 115、215、315 及び 415 がリセットされる。

20

【0061】

図 6 A は、実施の形態 1 に係る画素のリセット動作を説明する状態遷移図である。すなわち、消去線 61 に LOW 電位が印加された場合、図 6 A に示されるように、コンデンサ 115、215、315 及び 415 →ダイオード 113、213、313 及び 413 →消去線 61 の順に放電電流が流れ、コンデンサ 115、215、315 及び 415 に保持された電圧が消去される。

【0062】

上記時刻 t_{01} ～時刻 t_{02} における消去線制御回路 6 の動作は、書き込み動作の前に、消去線 61 の電位を、走査線 51 に印加される低電位及びアドレス線 71 及び 72 に印加される低電位以下の低電位とすることにより、コンデンサ 115 及びコンデンサ 315 に保持された電圧を消去する消去ステップに相当する。

30

【0063】

〔書き込み動作〕

時刻 t_{03} において、走査線制御回路 5 は、 n 型の $FET514$ のゲート電位を LOW 電位として OFF 状態とし、また p 型の $FET513$ のゲート電位が既に $HIGH$ 電位であり OFF 状態であることから、走査線 51 は、ハイインピーダンス状態となる。これにより、画素が有するコンデンサへ信号を書き込むための準備が完了する。

【0064】

次に、奇数画素行への書き込み動作が、奇数行順次に行われる。

40

【0065】

例えば、時刻 t_{04} ～時刻 t_{05} において、走査線制御回路 5 は、3 行目に属する画素への電圧書き込みを実行すべく、 $FET514$ のゲート電位を $HIGH$ 電位として ON 状態とし、走査線 51 の電位を LOW (GND) 電位とする。一方、データ線制御回路 7 は、走査線制御回路 5 の上記動作と同期して、3 行目の画素に対応する $HIGH$ 電位、つまり、走査線 51 の電位に対して TFT スイッチ 114 及び 314 の閾値電圧分よりも高い高電位を、アドレス線 71 及び 72 に供給する。

【0066】

これにより、コンデンサ 115 の一方の電極及び 315 の一方の電極には、それぞれ、アドレス線 71 及び 72 の $HIGH$ 電位が、導通状態となったダイオード 112 及び 31

50

2を介して印加され、また、コンデンサ115及び315の他方の電極には、走査線51のLOW（GND）電位が印加されることから、コンデンサ115及び315には、アドレス線71及び72のHIGH電位に対応した電圧が保持される。つまり、画素11A及び21Aへの書き込み動作が実行される。

【0067】

図6Bは、実施の形態1に係る奇数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線51にLOW電位が印加され、アドレス線71及び72にHIGH電位が印加された場合、図6Bに示されるように、アドレス線71及び72→ダイオード112及び312→コンデンサ115及び315の順に充電電流が流れ、コンデンサ115及び315に電圧が保持される。

10

【0068】

上記時刻t04～時刻t05における走査線制御回路5及びデータ線制御回路7の動作は、走査線51の電位を低電位とし、走査線51以外の走査線をハイインピーダンス状態とし、アドレス線71及び72の電位を、走査線51の低電位に対してTF Tスイッチ114及び314の閾値電圧分よりも高い高電位とすることにより、ダイオード112及び312を導通状態にしてコンデンサ115及び315に電圧を保持させる第1電圧保持ステップに相当する。

【0069】

時刻t05以降、上述した3行目の画素行における書き込み動作と同様に、奇数画素行への書き込み動作を奇数行順次に実行する。なお、この間、書き込み動作中でない画素行の走査線は、ハイインピーダンス状態に設定されている。従って、書き込みが完了した画素であっても、FETのソース電位が確定しないため、当該奇数画素行への書き込み期間中には、有機EL素子は発光動作を開始しない。

20

【0070】

次に、奇数画素行への書き込み動作が終了すると、偶数画素行への書き込み動作が実行される。

【0071】

例えば、時刻t06～時刻t07において、走査線制御回路5は、4行目に属する画素への信号電圧書き込みを実行すべく、FET513のゲート電位をLOW電位としてON状態とし、走査線51の電位をHIGH（Vscn）電位とする。一方、データ線制御回路7は、走査線制御回路5の上記動作と同期して、4行目の画素に対応するLOW（GND）電位、つまり、走査線51のHIGH電位に対してTF Tスイッチ214及び414の閾値電圧分よりも低い低電位を、アドレス線71及び72に供給する。

30

【0072】

これにより、コンデンサ215の一方の電極及び415の一方の電極には、それぞれ、走査線51のHIGH（Vscn）電位が、導通状態となったダイオード212及び412を介して印加され、また、コンデンサ215及び415の他方の電極には、アドレス線71及び72のLOW（GND）電位が印加されることから、コンデンサ215及び415には、走査線のHIGH電位に対応した電圧が保持される。つまり、画素11A及び21Aへの書き込み動作が実行される。

40

【0073】

図6Cは、実施の形態1に係る偶数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線51にHIGH電位が印加され、アドレス線71及び72にLOW電位が印加された場合、図6Cに示されるように、走査線51→ダイオード212及び412→コンデンサ215及び415の順に充電電流が流れ、コンデンサ215及び415に電圧が保持される。

【0074】

上記時刻t06～時刻t07における走査線制御回路5及びデータ線制御回路7の動作は、走査線51の電位を高電位とし、走査線51以外の走査線をハイインピーダンス状態とし、アドレス線71及び72の電位を、走査線51の高電位に対してTF Tスイッチ2

50

1 4 及び 4 1 4 の閾値電圧分よりも低い低電位とすることにより、ダイオード 2 1 2 及び 4 1 2 を導通状態にしてコンデンサ 2 1 5 及び 4 1 5 に電圧を保持させる第 2 電圧保持ステップに相当する。

【0075】

時刻 t_{07} 以降、上述した 4 行目の画素行における書き込み動作と同様に、偶数画素行への書き込み動作を偶数行順次に実行する。なお、この間、書き込み動作中でない画素行の走査線は、ハイインピーダンス状態に設定されている。従って、書き込みが完了した画素であっても、TFT スwitch のゲート電位が確定しないため、当該偶数画素行への書き込み期間中には、有機 EL 素子は発光動作を開始しない。

【0076】

なお、奇数行への書き込み時に印加されるアドレス線 7 1 及び 7 2 の HIGH 電位と GND 電位との電位差、及び、偶数行への書き込み時に印加される走査線の HIGH 電位 (V_{scn}) と GND 電位との電位差は、TFT スwitch の閾値電圧よりも大きいことが条件である。

【0077】

[発光動作]

次に、時刻 t_{08} において、走査線制御回路 5 は、全画素を一斉に発光させるべく、FET 5 1 4 のゲート電位を HIGH 電位として ON 状態とし、走査線 5 1 の電位を LOW (GND) 電位とする。同様にして、他の走査線の電位も LOW 電位とする。また、全てのアドレス線を LOW 電位とする。

【0078】

これにより、奇数画素行の画素が有する TFT スwitch のソース電位、及び、偶数画素行の画素が有する TFT スwitch のゲート電位が確定し、閾値電圧以上の電圧が保持されているコンデンサを有する画素の TFT スwitch はオン状態となる。よって、奇数画素行においては、電源線 8 1 → 定電流源 → 有機 EL 素子 → オン状態の TFT スwitch → LOW 電位である走査線という経路で発光電流が流れる。また、偶数画素行においては、電源線 8 1 → 定電流源 → 有機 EL 素子 → オン状態の TFT スwitch → LOW 電位であるアドレス線という経路で発光電流が流れる。

【0079】

図 6 D は、実施の形態 1 に係る画素の発光動作を説明する状態遷移図である。すなわち、走査線 5 1、アドレス線 7 1 及び 7 2 に LOW 電位が印加された場合、図 6 D に示されるように、電源線 8 1 → 定電流源 1 1 6、2 1 6、3 1 6 及び 4 1 6 → 有機 EL 素子 1 1 1、2 1 1、3 1 1 及び 4 1 1 → TFT スwitch 1 1 4、2 1 4、3 1 4 及び 4 1 4 → 走査線 5 1 またはアドレス線 7 1 及び 7 2 の順に発光電流が流れ、有機 EL 素子 1 1 1、2 1 1、3 1 1 及び 4 1 1 が一斉発光する。

【0080】

上記時刻 t_{08} ~ 時刻 t_{09} における走査線制御回路 5 及びデータ線制御回路 7 の動作は、上記書き込み動作の後、走査線 5 1 及びアドレス線 7 1 及び 7 2 を低電位とすることにより、コンデンサ 1 1 5、2 1 5、3 1 5 及び 4 1 5 に保持された電圧に応じて TFT スwitch 1 1 4、2 1 4、3 1 4 及び 4 1 4 を導通状態にして有機 EL 素子 1 1 1、2 1 1、3 1 1 及び 4 1 1 を一斉発光させる発光ステップに相当する。

【0081】

上述した時刻 t_{01} ~ 時刻 t_{09} におけるリセット期間、書き込み動作及び発光動作の期間は、サブフィールド期間であり、デジタル階調制御は、上記サブフィールド期間を複数繰り返すことにより実行される。すなわち、例えば、第 1 サブフィールドの発光期間を 1μ 秒、第 2 サブフィールドの発光期間を 2μ 秒、第 3 サブフィールドの発光期間を 4μ 秒、第 4 サブフィールドの発光期間を 8μ 秒、・・・、第 9 サブフィールドの発光期間を 256μ 秒とし、第 1 ~ 9 サブフィールドを組み合わせてることにより、階調表示を行う。具体的には、以下の通りである。0 階調は、すべてのサブフィールドにおいて発光させない。1 階調は第 1 サブフィールド (1μ 秒) のみ発光させる。2 階調は第 2 サブフィールド

10

20

30

40

50

ド（ $2\mu\text{秒}$ ）のみ発光させる。3階調は（第1＋第2）サブフィールド（ $1\mu\text{秒}+2\mu\text{秒}=3\mu\text{秒}$ ）を発光させる。4階調は第3サブフィールド（ $4\mu\text{秒}$ ）のみ発光させる。5階調は（第1＋第3）サブフィールド（ $1\mu\text{秒}+4\mu\text{秒}=5\mu\text{秒}$ ）を発光させる。6階調は（第2＋第3）サブフィールド（ $2\mu\text{秒}+4\mu\text{秒}=6\mu\text{秒}$ ）を発光させる。7階調は（第1＋第2＋第3）サブフィールド（ $1\mu\text{秒}+2\mu\text{秒}+4\mu\text{秒}=7\mu\text{秒}$ ）を発光させる。8階調は第4サブフィールド（ $8\mu\text{秒}$ ）のみ発光させる。このようにして、各0～511階調を表示する。

【0082】

上記サブフィールド期間を組み合わせた階調表示を、1フレームの間に実行して画像を作り出す。なお、奇数画素行及び偶数画素行の書き込み順序は、逆でも構わない。

10

【0083】

以上のように、本発明の表示装置の駆動方法によれば、1本の走査線で2画素行分の画素を駆動することにより、1画素行ごとに走査線が配置された従来の表示装置に比べて、配線数及び配線に必要な面積を削減することができる。また、電極抵抗及び電極浮遊容量を削減できるので、配線による損失を低減できる。また、高精細化が容易になる。

【0084】

（実施の形態2）

本実施の形態に係る表示装置の画素回路は、実施の形態1に係る表示装置の画素回路と比較して、スイッチ部の構成要素としてダイオードを使用せずにTF Tスイッチを使用した点が回路構成として異なるが、走査線電位を奇数画素行と偶数画素行とで排他的に制御し、アドレス線及び走査線の電位に応じて定まる電圧を保持することにより書き込みを実行する基本動作は同じである。以下、実施の形態1と同じ点は説明を省略し、異なる点のみ説明する。

20

【0085】

＜表示装置の構成＞

図7は、本発明の実施の形態2に係る表示装置が有する画素部の回路構成図である。図7に記載された画素部は、隣接する4つの画素11B、12B、21B及び22Bと、画素列ごとに配置されたアドレス線91及び92と、2画素行ごとに配置された走査線51と、各画素に対応して格子状に配置された電源線81及び消去線62とを備える。

【0086】

30

画素11Bは、上記複数の画素のうち、走査線51とアドレス線91との交点に対応する2画素のうちの第1の画素であり、画素12Bは、上記複数の画素のうち、走査線51とアドレス線92との交点に対応する2画素のうちの第1の画素である。また、画素21Bは、上記複数の画素のうち、走査線51とアドレス線91との交点に対応する2画素のうちの、画素11Bの属する画素行と異なる画素行に配置された第2の画素であり、画素22Bは、上記複数の画素のうち、走査線51とアドレス線92との交点に対応する2画素のうちの、画素12Bの属する画素行と異なる画素行に配置された第2の画素である。

【0087】

また、画素部が有する複数の画素は、全て同じ回路素子を有しており、例えば、図7に記載された画素11Bは、有機EL素子121と、TF Tスイッチ122、123及び124と、コンデンサ125と、定電流源126とを備える。

40

【0088】

ここで、画素11B～22Bの各構成要素及びそれらの接続関係を説明する。

【0089】

まず、画素11B～22Bに共通した接続関係を、画素11Bを例にして説明する。

【0090】

有機EL素子121のアノード電極は、n型のTF Tスイッチ124のソース電極に接続され、カソード電極は接地されている。

【0091】

TF Tスイッチ124のドレイン電極は定電流源126を介して電源線82に接続され

50

、ゲート電極はn型のTFTスイッチ123のソース電極に接続されている。

【0092】

TFTスイッチ123のドレイン電極はp型のTFTスイッチ122のドレイン電極に接続され、ゲート電極はアドレス線91に接続されている。

【0093】

コンデンサ125は、TFTスイッチ124のゲート電極及びソース電極に接続され、さらに、全画素共通の消去線62に接続されている。

【0094】

さらに、同一の奇数画素行に配置された画素11B及び12Bでは、TFTスイッチ122及び322のソース電極は電源線82に接続され、ゲート電極は走査線51に接続されている。

10

【0095】

一方、同一の偶数画素行に配置された画素21B及び22Bでは、TFTスイッチ222及び422のソース電極は走査線51に接続され、ゲート電極はバイアス電位Vbを有するバイアス端子に接続されている。

【0096】

次に、画素11B～22Bの各構成要素を説明する。

【0097】

有機EL素子121及び321は、それぞれ、アノード電極がTFTスイッチ124及び324のソース電極に接続され、カソード電極が接地された第1発光素子である。有機EL素子221及び421は、それぞれ、アノード電極がTFTスイッチ224及び424のソース電極に接続され、カソード電極が接地された第2発光素子である。

20

【0098】

TFTスイッチ122、222、322及び422は、例えば、p型のMOSFETであり、ソース電位に対するゲート電位が閾値電圧分より小さい場合にドレインーソース間を導通状態とするローアクティブ素子である。

【0099】

TFTスイッチ123、223、323及び423は、例えば、n型のMOSFETであり、ソース電位に対するゲート電位が閾値電圧分より大きい場合にドレインーソース間を導通状態とするハイアクティブ素子である。

30

【0100】

TFTスイッチ122及び322は、ゲート電極が走査線51に接続され、ソース電極が第1電源線である電源線82に接続された第3スイッチトランジスタである。

【0101】

TFTスイッチ123及び323は、それぞれ、ゲート電極がアドレス線91及び92に接続され、ソース電極がコンデンサ125及び325の一方の電極に接続され、ドレイン電極がTFTスイッチ122及び322のドレイン電極と接続された第4スイッチトランジスタである。

【0102】

TFTスイッチ122とTFTスイッチ123とは、走査線51の電位に応じて導通状態となる第1スイッチ部を構成する。また、TFTスイッチ322とTFTスイッチ323とは、走査線51の電位に応じて導通状態となる第1スイッチ部を構成する。

40

【0103】

TFTスイッチ222及び422は、ゲート電極がバイアス電位Vbを有するバイアス端子に接続され、ソース電極が走査線51に接続された第5スイッチトランジスタである。

【0104】

TFTスイッチ223及び423は、それぞれ、ゲート電極がアドレス線91及び92に接続され、ソース電極がコンデンサ225及び425の一方の電極に接続され、ドレイン電極がTFTスイッチ222及び422のドレイン電極と接続された第6スイッチトラ

50

ンジスタである。

【0105】

TFTスイッチ222と223とは、走査線51の電位に応じて、上記第1スイッチ部とは排他的に導通状態となる第2スイッチ部を構成する。また、TFTスイッチ422と423とは、走査線51の電位に応じて、上記第1スイッチ部とは排他的に導通状態となる第2スイッチ部を構成する。

【0106】

TFTスイッチ124及び324のゲート電極は、それぞれ、コンデンサ125及び325の一方の電極に接続され、ドレイン電極は電源 V_{DD} に接続され、ソース電極はコンデンサ125及び325の他方の電極に接続された第1スイッチトランジスタである。

10

【0107】

TFTスイッチ224及び424のゲート電極は、それぞれ、コンデンサ225及び425の一方の電極に接続され、ドレイン電極は第2電源線 V_{DD} に接続され、ソース電極はコンデンサ225及び425の他方の電極に接続された第2スイッチトランジスタである。

【0108】

コンデンサ125及び325は、電源線82の電位（例えば10V）に対応した電荷を、TFTスイッチ122及び123ならびに322及び323を介して充電し、また、消去線62を介して放電する。

【0109】

20

コンデンサ225及び425は、走査線51のHIGH電位（例えば10V）に対応した電荷を、TFTスイッチ222及び223ならびに422及び423を介して充電し、また、消去線62を介して放電する。

【0110】

コンデンサ125及び325は、それぞれ、第1スイッチ部が導通状態となることにより、アドレス線91及び92、走査線51ならびに電源線82の電位に応じて定まる電圧を保持する第1コンデンサである。また、コンデンサ225及び425は、それぞれ、第2スイッチ部が導通状態となることにより、アドレス線91及び92、ならびに走査線51の電位に応じて定まる電圧を保持する第2コンデンサである。

【0111】

30

消去線62は、通常はハイインピーダンス状態に設定されており、消去動作時のみLOW電位（例えば0V）が印加されることにより、コンデンサ125、225、325及び425に蓄積された電荷を放電する。

【0112】

また、定電流源126、226、326及び426が接続されている電源 V_{DD} と電源線82とが共有されていてもよい。

【0113】

上記接続関係及び構成要素により、走査線51の電位が電源線82の電源電位に対してTFTスイッチ122及び322の閾値電圧分よりも十分低いLOW電位の場合、ローアクティブ動作するTFTスイッチ122及び322がソース→ドレインへと導通する。この状態でアドレス線91及び92の電位が接地電位に対してTFTスイッチ124及び324の閾値電圧分よりも高い高電位である場合、TFTスイッチ123及び323の導通により、コンデンサ125及び325には、それぞれ、電源線82の電源電位に対応する電圧が保持される。

40

【0114】

また、走査線51の電位がバイアス電位 V_b に対してTFTスイッチ222及び422の閾値電圧分よりも十分高い高電位の場合、ローアクティブ動作するTFTスイッチ222及び422がソース→ドレインへと導通する。この状態でアドレス線91及び92の電位が接地電位に対してTFTスイッチ224及び424の閾値電圧分よりも高い高電位である場合、TFTスイッチ223及び423の導通により、コンデンサ225及び425

50

には、それぞれ、走査線 5 1 の H I G H 電位に対応する電圧が保持される。

【0 1 1 5】

このように、走査線の電位が、奇数画素行と偶数画素行とで排他的に制御されることにより、奇数画素行への電圧書き込みの後、偶数画素行への電圧書き込みが行順次に実行される。上記書き込みが完了した後、走査線 5 1、アドレス線 9 1 及び 9 2 を L O W 電位に設定することにより、T F T スイッチの閾値電圧以上の電圧がコンデンサに保持されている画素の有機 E L 素子が一斉発光する。

【0 1 1 6】

上記構成によれば、信号電圧の書き込みタイミングを制御するための走査線は、2 画素行ごとに配置されればよいので、配線数を削減することができる。よって、配線による損失を低減できる。また、高精細化も可能となる。また、実施の形態 1 と比較して、スイッチ部を、ダイオードを使用せずに T F T で構成しているため、製造工程が簡略化できる。

【0 1 1 7】

＜表示装置の動作＞

以下、図 7、図 8 及び図 9 A ～図 9 D を用いて、本実施の形態に係る表示装置の動作について述べる。図 8 は、本発明の実施の形態 2 に係る表示装置の駆動タイミングチャートである。同図には、図 7 における画素 1 1 B 及び 1 2 B を 3 行目の画素行に属する画素、また、画素 2 1 B 及び 2 2 B を 4 行目の画素行に属する画素と仮定し、これら 4 画素を、所定のサブフィールド期間において、全て発光させた場合を例示している。

【0 1 1 8】

〔リセット動作〕

まず、時刻 t_{21} ～時刻 t_{22} において、消去線制御回路 6 は、消去線 6 2 に対し消去電圧を供給し、全ての画素が有するコンデンサをリセットする。消去線制御回路 6 は、消去線 6 2 に対し、例えば、G N D 電位を消去電圧として供給する。これにより、信号電圧が保持されているコンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 の一方の電極から消去線 6 2 を介して消去線制御回路 6 の方向へ放電電流が流れ、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 がリセットされる。

【0 1 1 9】

また、この期間において、データ線制御回路 7 は、アドレス線 9 1 及び 9 2 に対し、L O W 電位を供給する。これにより、T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 のゲートソース間には、閾値電圧よりも小さい電圧が印加されているので、ドレインソースは非導通状態となる。

【0 1 2 0】

図 9 A は、実施の形態 2 に係る画素のリセット動作を説明する状態遷移図である。すなわち、消去線 6 2 に L O W 電位が印加された場合、図 9 A に示されるように、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 → 消去線 6 2 の順に放電電流が流れ、コンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 に保持された電圧が消去される。

【0 1 2 1】

上記時刻 t_{21} ～時刻 t_{22} における消去線制御回路 6 の動作は、書き込み動作の前に、アドレス線 9 1 及び 9 2 の電位を、T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 のソース電位に対して T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 の閾値電圧よりも低くすることにより T F T スイッチ 1 2 3、2 2 3、3 2 3 及び 4 2 3 を非導通とした状態で、消去線 6 2 の電位を、アドレス線 9 1 及び 9 2 の低電位以下の低電位とすることによりコンデンサ 1 2 5、2 2 5、3 2 5 及び 4 2 5 に保持された電圧を消去する消去ステップに相当する。

【0 1 2 2】

なお、上述したリセット期間以外の期間では、消去線制御回路 6 は、消去線 6 2 の電位を、ハイインピーダンス状態としている。

【0 1 2 3】

〔書き込み動作〕

時刻 t_{23} において、走査線制御回路 5 は、 n 型の FET 514 のゲート電位を LOW 電位として OFF 状態とし、また p 型の FET 513 のゲート電位が既に HIGH 電位であり OFF 状態であることから、走査線 51 は、ハイインピーダンス状態となる。これにより、画素が有するコンデンサへ信号を書き込むための準備が完了する。

【0124】

次に、奇数画素行への書き込み動作が、奇数行順次に実行される。

【0125】

例えば、時刻 t_{24} ～時刻 t_{25} において、走査線制御回路 5 は、3 行目に属する画素への電圧書き込みを実行すべく、FET 514 のゲート電位を HIGH 電位として ON 状態とし、走査線 51 の電位を LOW (GND) 電位とする。これにより、TFT スイッチ 122 及び 322 のゲート電極には当該 LOW 電位 (GND) が印加される。また、TFT スイッチ 122 及び 322 のソース電極には電源電位 (10V) が印加される。そうすると、TFT スイッチ 122 及び 322 のゲート-ソース間には、絶対値が閾値電圧よりも十分大きな負電圧が印加されているので、ソース→ドレインへと電流が流れ得る状態となる。

10

【0126】

一方、データ線制御回路 7 は、走査線制御回路 5 の上記動作と同期して、3 行目の画素に対応する HIGH 電位、つまり、GND 電位に対して TFT スイッチ 124 及び 324 の閾値電圧分よりも高い電位を、アドレス線 91 及び 92 に供給する。これにより、TFT スイッチ 123 及び 323 のゲート電極には当該 HIGH 電位が印加される。そうすると、TFT スイッチ 123 及び 323 のゲート-ソース間には、閾値電圧よりも十分大きな正電圧が印加されているので、ドレイン-ソースが導通状態となる。

20

【0127】

上記 TFT スイッチ 122 及び 322 ならびに TFT スイッチ 123 及び 323 の導通状態により、コンデンサ 125 及び 325 には、アドレス線 91 及び 92 の HIGH 電位、走査線 51 の LOW 電位ならびに電源線 82 の電源電位に応じて定まる電圧が保持される。つまり、画素 11B 及び 12B への書き込み動作が実行される。

【0128】

図 9B は、実施の形態 2 に係る奇数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線 51 に LOW 電位が印加され、アドレス線 91 及び 91 に HIGH 電位が印加された場合、図 9B に示されるように、電源線 82 → TFT スイッチ 122 及び 322 → TFT スイッチ 123 及び 323 → コンデンサ 125 及び 325 の順に充電電流が流れ、コンデンサ 125 及び 325 に電圧が保持される。

30

【0129】

上記時刻 t_{24} ～時刻 t_{25} におけるデータ線制御回路 7 及び走査線制御回路 5 の動作は、走査線 51 の電位を、電源線 82 の電源電位に対して TFT スイッチ 122 及び 322 の閾値電圧分よりも低い走査線低電位とし、走査線 51 以外の走査線をハイインピーダンス状態とし、アドレス線 91 及び 92 の電位を、接地電位に対して TFT スイッチ 124 及び 324 の閾値電圧分よりも高い高電位とすることにより、TFT スイッチ 122、123、322 及び 323 を導通状態にして、電源線 82 からコンデンサ 125 及び 325 に電圧を保持させる第 1 電圧保持ステップに相当する。

40

【0130】

時刻 t_{25} 以降、上述した 3 行目の画素行における書き込み動作と同様に、奇数画素行への書き込み動作を奇数行順次に実行する。

【0131】

次に、奇数画素行への書き込み動作が終了すると、偶数画素行への書き込み動作が実行される。

【0132】

例えば、時刻 t_{26} ～時刻 t_{27} において、走査線制御回路 5 は、4 行目に属する画素への信号電圧書き込みを実行すべく、FET 513 のゲート電位を LOW 電位として ON

50

状態とし、走査線 5 1 の電位を H I G H (V s c n) 電位とする。これにより、T F T スイッチ 2 2 2 及び 4 2 2 のソース電極には当該 H I G H 電位 (V s c n、例えば 10 V) が印加される。また、T F T スイッチ 2 2 2 及び 4 2 2 のゲート電極にはバイアス電位 (例えば、5 V) が印加される。そうすると、T F T スイッチ 2 2 2 及び 4 2 2 のゲートソース間には、絶対値が閾値電圧よりも十分大きな負電圧が印加されているので、ソース→ドレインへと電流が流れ得る状態となる。

【0133】

一方、データ線制御回路 7 は、走査線制御回路 5 の上記動作と同期して、4 行目の画素に対応する H I G H 電位、つまり、G N D 電位に対して T F T スイッチ 2 2 4 及び 4 2 4 の閾値電圧分よりも高い電位を、アドレス線 9 1 及び 9 2 に供給する。これにより、T F T スイッチ 2 2 3 及び 4 2 3 のゲート電極には当該 H I G H 電位が印加される。そうすると、T F T スイッチ 2 2 3 及び 4 2 3 のゲートソース間には、閾値電圧よりも十分大きな正電圧が印加されているので、ドレインソースが導通状態となる。

【0134】

上記 T F T スイッチ 2 2 2 及び 4 2 2 ならびに T F T スイッチ 2 2 3 及び 4 2 3 の導通状態により、コンデンサ 2 2 5 及び 4 2 5 には、アドレス線 9 1 及び 9 2 の H I G H 電位ならびに走査線 5 1 の H I G H 電位に応じて定まる電圧が保持される。つまり、画素 2 1 B 及び 2 2 B への書き込み動作が実行される。

【0135】

図 9 C は、実施の形態 2 に係る偶数行画素の書き込み動作を説明する状態遷移図である。すなわち、走査線 5 1 に H I G H 電位が印加され、アドレス線 9 1 及び 9 1 に H I G H 電位が印加された場合、図 9 C に示されるように、走査線 5 1 → T F T スイッチ 2 2 2 及び 4 2 2 → T F T スイッチ 2 2 3 及び 4 2 3 → コンデンサ 2 2 5 及び 4 2 5 の順に充電電流が流れ、コンデンサ 2 2 5 及び 4 2 5 に電圧が保持される。

【0136】

上記時刻 t 2 6 ~ 時刻 t 2 7 におけるデータ線制御回路 7 及び走査線制御回路 5 の動作は、走査線 5 1 の電位を、バイアス電位 V b に対して T F T スイッチ 2 2 2 及び 4 2 2 の閾値電圧分よりも高い高電位とし、走査線 5 1 以外の走査線をハイインピーダンス状態とし、アドレス線 9 1 及び 9 2 の電位を、接地電位に対して T F T スイッチ 2 2 4 及び 4 2 4 の閾値電圧分よりも高い高電位とすることにより、T F T スイッチ 2 2 2、2 2 3、4 2 2 及び 4 2 3 を導通状態にして走査線 5 1 からコンデンサ 2 2 5 及び 4 2 5 に電圧を保持させる第 2 電圧保持ステップに相当する。

【0137】

時刻 t 2 7 以降、上述した 4 行目の画素行における書き込み動作と同様に、偶数画素行への書き込み動作を偶数行順次 to 実行する。

【0138】

[発光動作]

次に、時刻 t 2 8 において、走査線制御回路 5 は、全画素を一斉に発光させるべく、F E T 5 1 4 のゲート電位を H I G H 電位として O N 状態とし、走査線 5 1 の電位を L O W (G N D) 電位とする。同様にして、他の走査線の電位も L O W 電位とする。

【0139】

これにより、全画素において、電源 V_{DD} → 定電流源 → オン状態の T F T スイッチ → 有機 E L 素子 → 接地端子という経路で発光電流が流れる。

【0140】

図 9 D は、実施の形態 2 に係る画素の発光動作を説明する状態遷移図である。すなわち、走査線 5 1、アドレス線 9 1 及び 9 2 に L O W 電位が印加された場合、図 9 D に示されるように、電源 V_{DD} → 定電流源 1 2 6、2 2 6、3 2 6 及び 4 2 6 → T F T スイッチ 1 2 4、2 2 4、3 2 4 及び 4 2 4 → 有機 E L 素子 1 2 1、2 2 1、3 2 1 及び 4 2 1 → 接地端子の順に発光電流が流れ、有機 E L 素子 1 2 1、2 2 1、3 2 1 及び 4 2 1 が一斉発光する。

【0141】

上述した時刻 t_{21} ～時刻 t_{29} における書き込み動作及び発光動作の期間は、サブフィールド期間であり、デジタル階調制御は、上記サブフィールド期間を複数繰り返すことにより実行される。上記サブフィールド期間を組み合わせた階調表示を、1フレームの間に実行して画像を作り出す。なお、奇数画素行及び偶数画素行の書き込み順序は、逆でも構わない。

【0142】

以上のように、本実施の形態に係る表示装置の駆動方法によれば、1本の走査線で2行の画素を駆動することにより、1行ごとに走査線が配置された従来の表示装置に比べて、配線数及び配線に必要な面積を削減することができる。また、電極抵抗及び電極浮遊容量を削減できるので、配線による損失を低減できる。また、高精細化が容易になる。さらに、実施の形態1と比較して、スイッチ部を、ダイオードを使用せずにTFTで構成しているので、製造工程が簡略化できる。

【0143】

以上、本発明に係る表示装置及びその駆動方法について実施に形態1及び2に基づき説明したが、本発明に係る表示装置及びその駆動方法は、上述した実施の形態1及び2に限定されるものではない。実施の形態1及び2に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【0144】

なお、実施の形態1及び2では、発光素子として有機EL素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機EL素子であってもよい。

【産業上の利用可能性】

【0145】

本発明の表示装置及びその駆動方法は、特に、デジタル階調制御方式で輝度を変動させるアクティブ型ディスプレイに有用であり、壁掛けテレビや大型モニタ等に有用である。

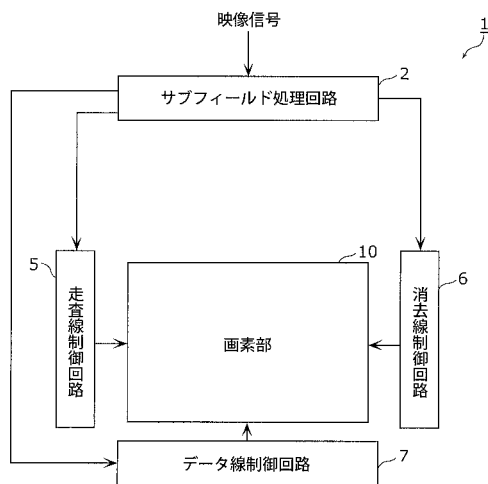
【符号の説明】

【0146】

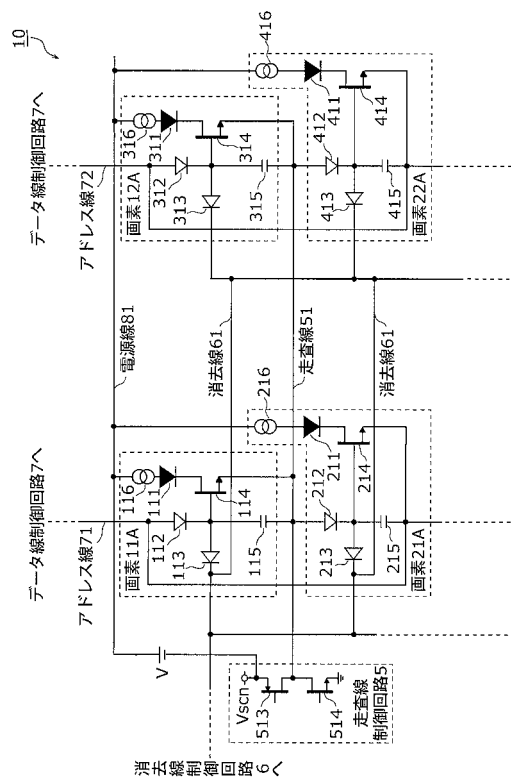
1	表示装置	
2	サブフィールド処理回路	
3	電源線制御回路	
5	走査線制御回路	
6	消去線制御回路	
7	データ線制御回路	
10	画素部	
11A、11B、12A、12B、21A、21B、22A、22B、900	画素	
51、913	走査線	
61、62、915	消去線	
71、72、91、92	アドレス線	
81、82、916	電源線	
111、121、211、221、311、321、411、421、904	有機EL素子	
112、113、212、213、312、313、412、413	ダイオード	
114、122、123、124、214、222、223、224、314、322、323、324、414、422、423、424	TFTスイッチ	
115、125、215、225、315、325、415、425、905	コンデンサ	
116、126、216、226、316、326、416、426	定電流源	
513、514	FET	
901	データ書き込み用トランジスタ	

- 902 駆動トランジスタ
 903 消去用トランジスタ
 914 データ線

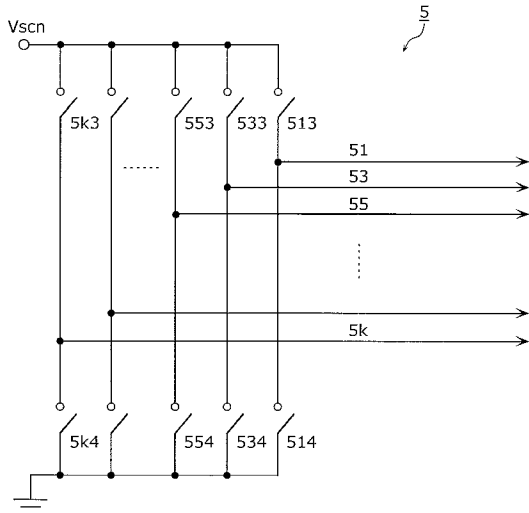
【図 1】



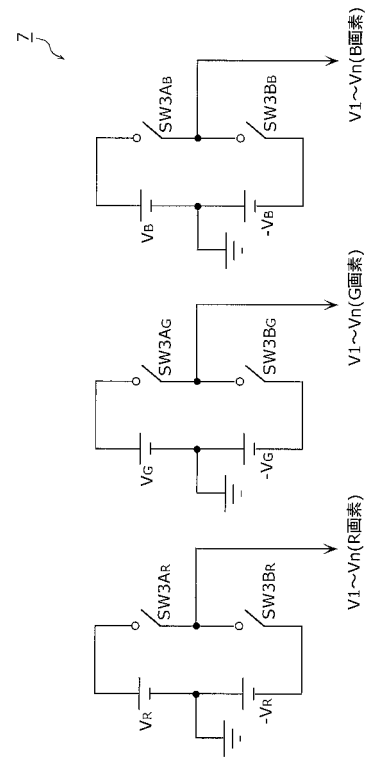
【図 2】



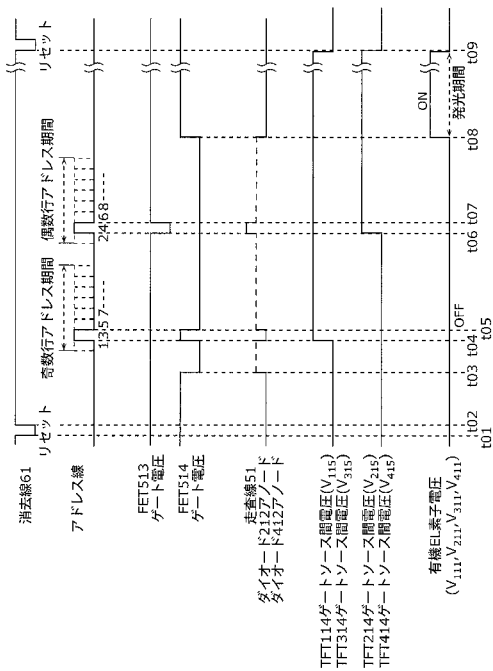
【図 3】



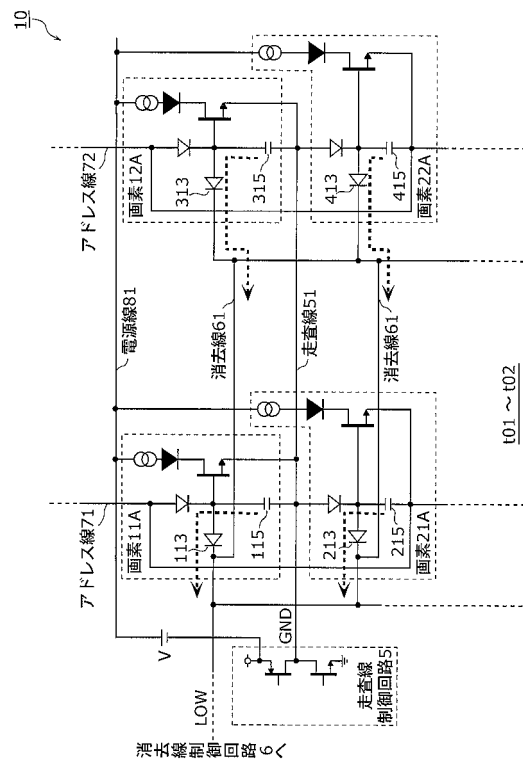
【図 4】



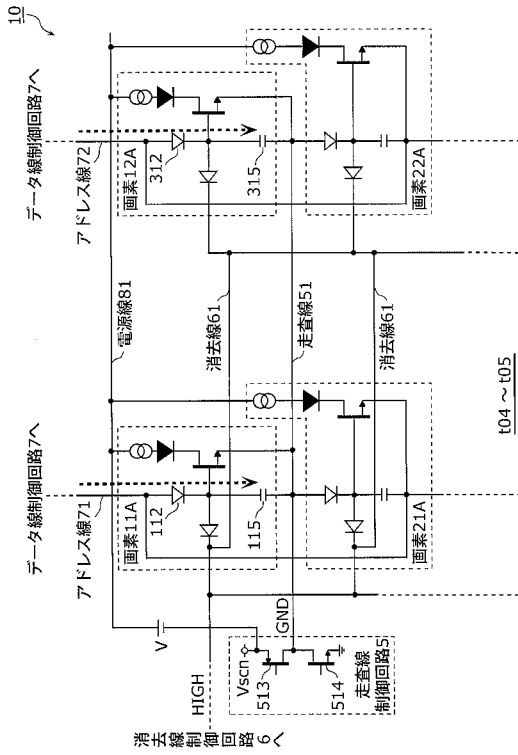
【図 5】



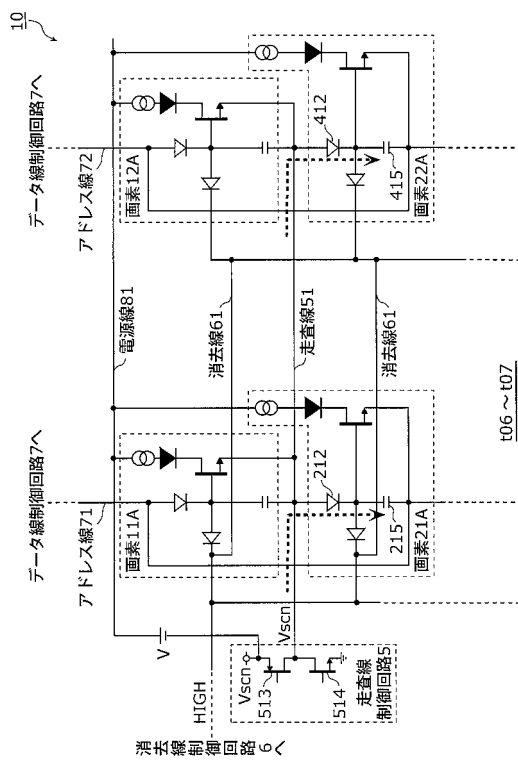
【図 6 A】



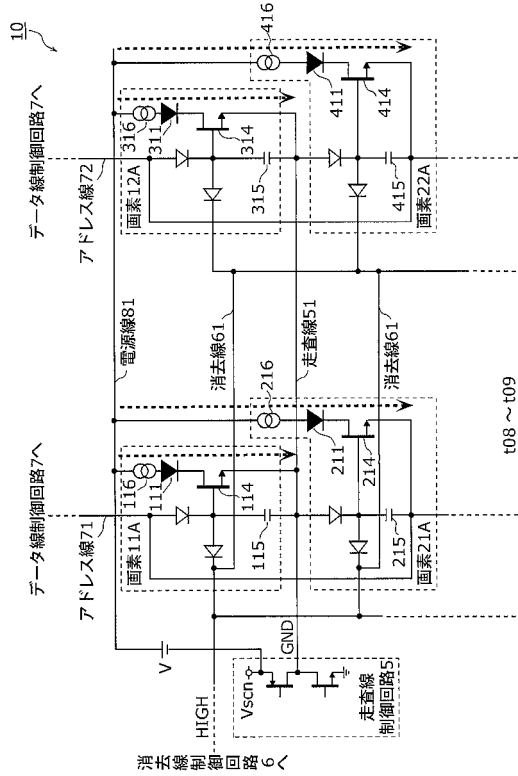
【図 6 B】



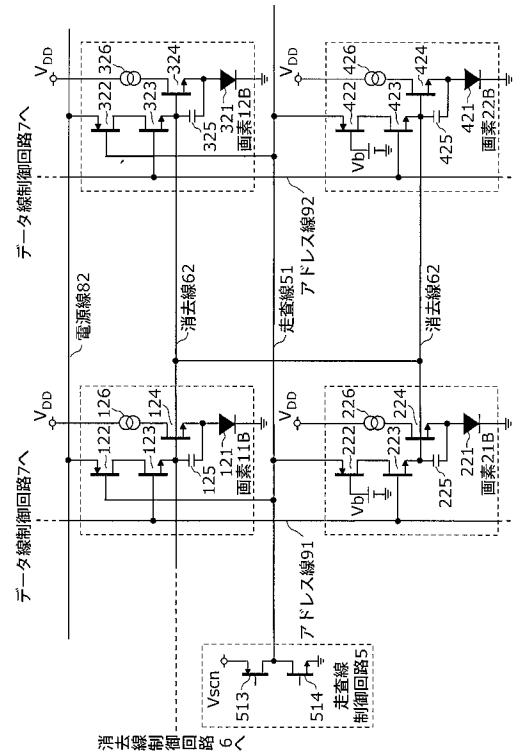
【図 6 C】



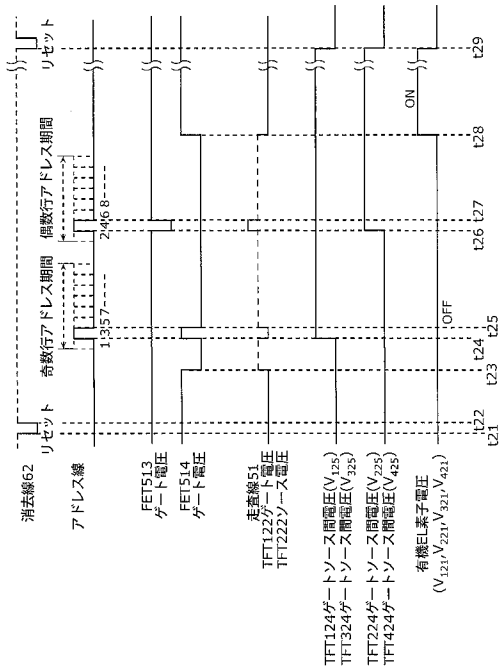
【図 6 D】



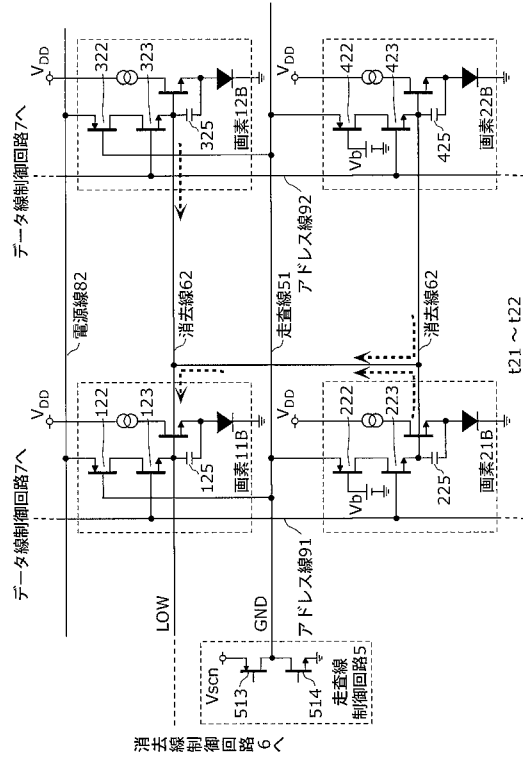
【図 7】



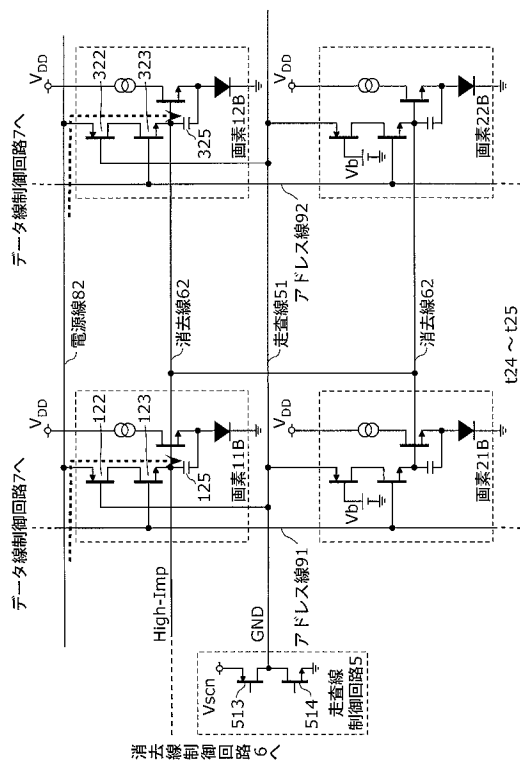
【図 8】



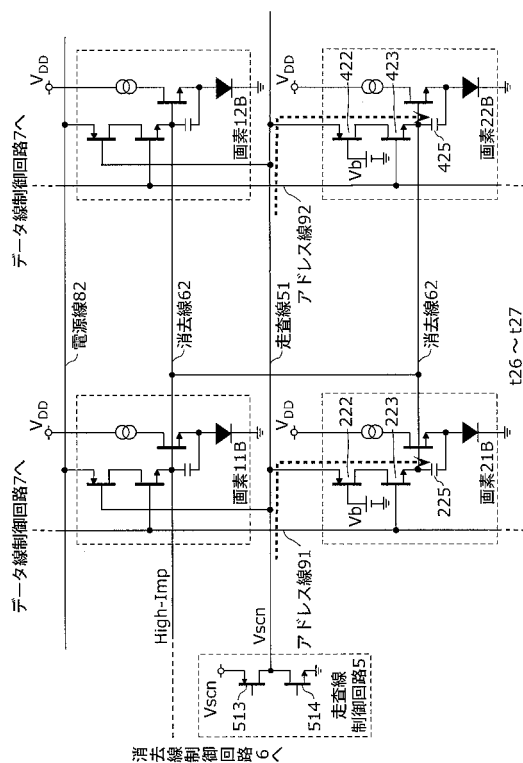
【図 9 A】



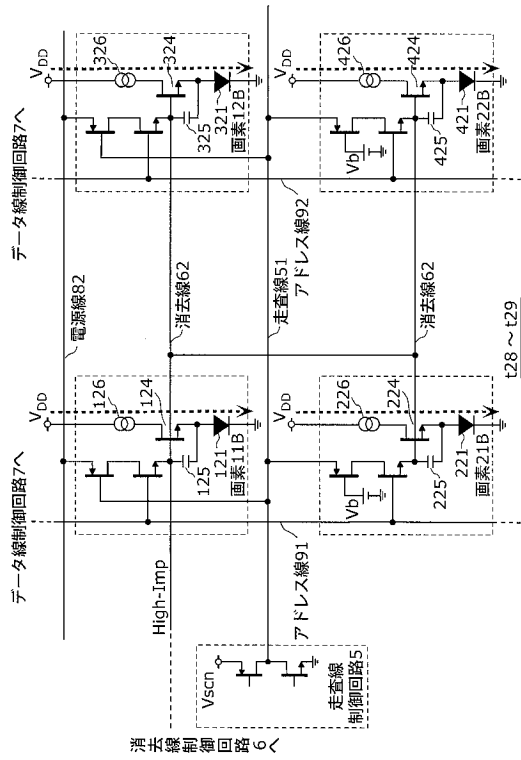
【図 9 B】



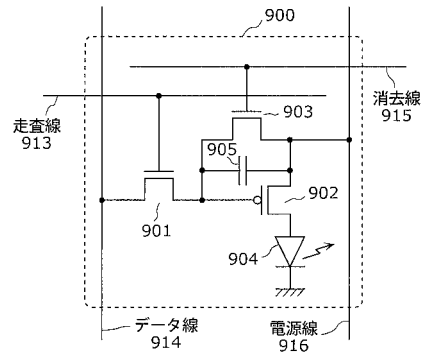
【図 9 C】



【図 9 D】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 4 1 E

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2013045015A	公开(公告)日	2013-03-04
申请号	JP2011183862	申请日	2011-08-25
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	若林俊一		
发明人	若林 俊一		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.622.C G09G3/20.624.B G09G3/20.611.A G09G3/20.621.A G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.622.M G09G3/20.641.E G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB34 5C380/AC04 5C380/AC07 5C380/BA01 5C380/BA12 5C380/CA14 5C380/CA53 5C380/CA54 5C380/CB04 5C380/CB26 5C380/CB31 5C380/CC27 5C380/CC34 5C380/CC35 5C380/CC38 5C380/CC41 5C380/CC42 5C380/CC54 5C380/CC63 5C380/CD011 5C380/CD013 5C380/CF46 5C380/DA02 5C380/DA09 5C380/DA47		
代理人(译)	新居 広守		
其他公开文献	JP6041286B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够显示高分辨率图像的减少布线损耗的显示装置及其驱动方法。解决方案：显示装置1包括多个像素，每两个提供一条扫描线51像素行和为每个像素列提供的地址线71。像素11A包括：二极管112，其根据扫描线51的电位导通，电容器115，其在二极管112导通时保持与地址线71的电位对应的电压；TFT开关114这是由电容器115的电压导通的，以及当TFT开关114导通时发光的有机EL元件111。像素21A包括二极管212，其导通状态根据扫描线51的电位保持与二极管112的导通状态相反，电容器215保持与地址线71的电位相对应的电压。二极管212导通，TFT开关214由电容器215的电压导通，有机EL元件211在TFT开关214导通时发光。

