

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-530599

(P2008-530599A)

(43) 公表日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>G09G 3/30</b> (2006.01)	G09G 3/30	J 3K107
<b>G09G 3/20</b> (2006.01)	G09G 3/20	642P 5C080
<b>H01L 51/50</b> (2006.01)	G09G 3/20	641D
	G09G 3/20	623R
	HO5B 33/14	A

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2007-554402 (P2007-554402)  
 (86) (22) 出願日 平成18年2月9日 (2006.2.9)  
 (85) 翻訳文提出日 平成19年10月1日 (2007.10.1)  
 (86) 國際出願番号 PCT/CA2006/000177  
 (87) 國際公開番号 WO2006/084360  
 (87) 國際公開日 平成18年8月17日 (2006.8.17)  
 (31) 優先権主張番号 2,496,642  
 (32) 優先日 平成17年2月10日 (2005.2.10)  
 (33) 優先権主張国 カナダ(CA)

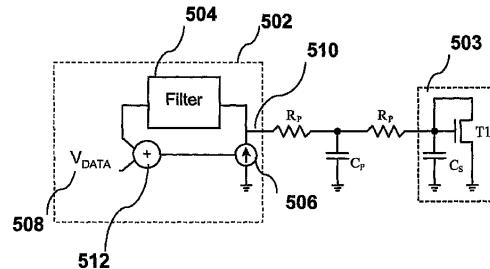
(71) 出願人 507257080  
 イグニス・イノベイション・インコーポレーテッド  
 IGNIS INNOVATION IN  
 CORPORATION  
 カナダ オンタリオ キッチナー フレデ  
 リック ストリート 22 スイート 1  
 O2O  
 (74) 代理人 100075258  
 弁理士 吉田 研二  
 (74) 代理人 100096976  
 弁理士 石田 純

最終頁に続く

(54) 【発明の名称】電流プログラム方式である有機発光ダイオードディスプレイ用の駆動回路

## (57) 【要約】

関連付けられた寄生容量を有する負荷用の負荷駆動回路を提供する。負荷は、電流プログラム方式のものである。駆動回路は、負荷を制御する電圧を有するデータ線と、データ線の電圧を監視するローパスフィルタを含むフィードバックループと、データ線に電流を供給する電流源とを含み、電流源は、信号線と、ローパスフィルタからの出力とにより制御される。



## 【特許請求の範囲】

## 【請求項 1】

関連付けられた寄生容量を有する負荷用の、電流プログラム方式の負荷駆動回路であつて、前記駆動回路は、

前記負荷を制御する電圧を有するデータ線と、

ローパスフィルタを有し、前記データ線の電圧を監視するフィードバックループと、

前記データ線に電流を供給する電流源と、

を有し、

前記電流源は、信号線と前記ローパスフィルタからの出力とによって制御されることを特徴とする駆動回路。

10

## 【請求項 2】

前記ローパスフィルタは、バターワースフィルタと呼ばれるフィルタと、微分器とを有することを特徴とする、請求項 1 に記載の負荷駆動回路。

## 【請求項 3】

前記電流源は、電圧制御電流源 (VCCS) であることを特徴とする、請求項 1 に記載の負荷駆動回路。

## 【請求項 4】

寄生容量を有し、電流プログラムされた発光ダイオード用の駆動回路であつて、前記駆動回路は、

前記発光ダイオードを制御するデータ線と、

20

前記データ線の電圧を監視するローパスフィルタと、

前記データ線に電流を供給する電流源と、

を有し、

前記電流源は、信号線と前記ローパスフィルタからの出力とによって制御されることを特徴とする駆動回路。

## 【請求項 5】

前記ローパスフィルタは、バターワースフィルタと呼ばれるフィルタと、微分器とを有することを特徴とする、請求項 4 に記載の駆動回路。

## 【請求項 6】

前記電流源は、電圧制御電流源 (VCCS) であることを特徴とする、請求項 4 に記載の駆動回路。

30

## 【請求項 7】

前記発光ダイオードは、有機発光ダイオードであることを特徴とする、請求項 4 に記載の駆動回路。

## 【請求項 8】

前記発光ダイオードの照度は、前記データ線により供給される電流に対応することを特徴とする、請求項 4 に記載の駆動回路。

## 【請求項 9】

前記発光ダイオードは、薄膜トランジスタによって制御されることを特徴とする、請求項 4 に記載の駆動回路。

40

## 【請求項 10】

寄生容量を有し、電流プログラムされた発光ダイオード用の駆動回路であつて、前記駆動回路は、

前記発光ダイオードを制御するデータ線と、

フィードバックループであつて、アナログ デジタル変換器と、前記フィードバックループに対しローパスフィルタの機能を与えるアルゴリズムを実行する制御器とを含むフィードバックループと、

前記データ線に電流を供給する電流源と、

を有し、

前記電流源は、前記制御器から入力を受けるディジタル アナログ変換器からの入力を

50

受けることを特徴とする駆動回路。

【請求項 1 1】

前記電流源は、電圧制御電流源（VCCS）であることを特徴とする、請求項 1 0 に記載の駆動回路。

【請求項 1 2】

前記発光ダイオードは、有機発光ダイオードであることを特徴とする、請求項 1 0 に記載の駆動回路。

【請求項 1 3】

画素配列を有するディスプレイであって、前記各画素は有機発光ダイオードを含み、前記ダイオードは請求項 4 に記載の駆動回路によって駆動されるディスプレイ。

10

【請求項 1 4】

画素配列を有するディスプレイであって、前記各画素は有機発光ダイオードを含み、前記ダイオードは請求項 1 0 に記載の駆動回路によって駆動されるディスプレイ。

【請求項 1 5】

ディスプレイにおける発光ダイオードを駆動する方法であって、前記発光ダイオードは、寄生容量を有し、電流プログラムされるダイオードであって、前記方法は、

前記発光ダイオードに電流を供給するステップであって、前記電流は電流源から供給されるステップと、

ローパスフィルタを含む前記発光ダイオードに前記電流を供給するデータ線の電圧を監視するステップと、

入力を形成するように、前記電圧とデータ線信号を混合するステップと、

前記電流源に前記入力を供給するステップと、

を含むことを特徴とする方法。

20

【請求項 1 6】

前記電流源は、電圧制御電流源（VCCS）であることを特徴とする、請求項 1 5 に記載の方法。

【請求項 1 7】

前記発光ダイオードは、有機発光ダイオードであることを特徴とする、請求項 1 5 に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、寄生容量を有する電流線を駆動する方法と装置に関する。本発明は、特に電流プログラム方式の有機発光ダイオード（OLED）ディスプレイを駆動する方法と装置に関する。

【背景技術】

【0002】

フラットパネルディスプレイ（FPD）技術の成熟にともない、より大型でより低コストのラップトップモニタ、携帯電話や他の携帯装置に使用される面積が小さく低電力のパネル、家庭用テレビに使用されるハイビジョンテレビや大型画面、航空機の「グラスコックピット」に使用される信頼性が高く、昼光下でも読み取り可能なディスプレイなどが提供されている。

40

【0003】

有機LED（OLED）などの新技術により、より品質の高い自発光型フラットディスプレイの実現が約束され、バックライトの省略が可能になった。LCDと比べて、OLEDは、薄型を可能にし、最適な視野角、および、より早い応答速度を提供することができる。このように、OLED固有の特徴により、LCDと比べて、視覚的にも、形状的にも有利な要因がもたらされる。

【0004】

図1に、アクティブマトリクス有機発光ダイオード（AMOLED）の一般的な配列構

50

造を示す。ディスプレイ 100 は、行方向と列方向に配列された画素配列 102 を含む。画素 102 は、選択トランジスタ 104 を介してデータ線 106 に接続されている。トランジスタ 104 は、薄膜トランジスタ (TFT) である。データ線 106 は、電流源 108 によって駆動される。データ線 106 に接続されたトランジスタ 104 のオーバーラップ容量とデータ線 106 自体の配線容量により、高い寄生容量が生じる。

#### 【0005】

任意の画素 102 における基本的な OLED の構造では、透明陽極と金属陰極の間に薄い有機層が含まれる。有機層には、正孔注入層、正孔輸送層、発光層、および電子輸送層が含まれる。この構造に適切な電圧が印加されると、注入された正および負の電荷は発光層において結合し、光を発生させる。このように、OLED は自発光型ディスプレイであるので、LCD のようにバックライトを必要としない。さらに電荷結合プロセスは、ほとんど遅延を生じさせないので、早い応答時間を提供できる。

10

#### 【0006】

OLED ディスプレイは、電流制御方式のディスプレイ装置である。一方、LCD は、電圧制御方式である。OLED は、電流プログラム方式により、薄膜トランジスタ (TFT) または OLED 自体を含むほかの構成要素の特性から電流を独立させ、電圧 (Vt) 变化、空間的不整合、および OLED の劣化を補正する。しかしながら、配線および配線に接続されたトランジスタにより生じる寄生容量は、安定時間を長くさせる。安定時間は、初期線間電圧と駆動 TFT の閾値電圧の関数である。安定時間は、プリチャージにより部分的には改善できるが、この改善は、中型や大型のディスプレイには十分ではない。

20

#### 【0007】

図 2 に、駆動トランジスタと駆動トランジスタが接続されるデータ線の寄生容量を概略的に示す。図 2 では、特にプログラムサイクル中における、電流源 203 およびトランジスタ 204 を含む、電流プログラム方式の画素 202 の等価回路を概略的に示す。容量  $C_p 210$  および抵抗  $R_p 208$  は、寄生構成要素であり、一方、容量  $C_s 206$  は、蓄積コンデンサの容量である。 $C_s 206 \ll C_p 210$  であり、かつ、 $R_p 208$  が小さい場合、図 2 に示す回路のタイミング定数、つまり安定時間は、以下のようになる。

#### 【0008】

#### 【数1】

30

$$\tau \propto 2 \frac{C_p}{\sqrt{i^* \beta}} \quad (1)$$

#### 【0009】

ここで  $I_{ds} = (V_{gs} - V_{th})^2$  で示されるトランジスタ 204 の電流電圧 (I-V) 特性の係数である。 $I_{ds}$  はドレイン ソース間電流、 $V_{gs}$  はゲート ソース間電圧、 $V_{th}$  は閾値電圧を示す。

#### 【0010】

容量  $C_p 210$  が  $40 \text{ pF}$  程度の大きな容量であり、かつ、アモルファスシリコン (a-Si) により形成されたトランジスタ 204 において  $\beta$  が小さい場合、 $\tau$  は、ミリ秒単位程度である。しかしながら、プログラムサイクルにおけるタイミングバジェットは、大型ディスプレイでは  $100 \mu\text{s}$  以下である。OLED の効率は改善されているので、最大輝度を得るために必要とされる電流は非常に小さいため、電流の関数である  $\tau$  も格段に増大する。

40

#### 【0011】

このように、電流プログラム方式の画素の安定時間は寄生容量によって長くなり、プログラムサイクルのタイミングバジェットを制限することになる。これにより、完全に安定せず、重大なエラーを生じることになる。このようなエラーを回避するために、OLED ディスプレイに適した、電流プログラム方式画素の駆動における単純かつ迅速な解決策

50

が必要とされている。

【0012】

リブシュ (Lisch) らによる米国特許公開公報第20040095297号は、プログラム電流を電流センサによって制御するプログラム方法を記述している。図3に、上記リブシュらによる公報の図1に示された回路の概略図を示す。プログラムサイクル中は、電流センサ302は、抵抗R304とフィードバック308の間の電圧を監視する。電流センサ302は、プログラミング電流を制御する。画素が安定すると、抵抗R304とOLED306の間を流れる電流は、所望の電流となる。フィードバック308の使用により、この駆動方法では安定時間が早い。しかしながらこの回路では、抵抗R304により消費電力が高いという欠点がある。また、この回路では、低電流も正確に検知する必要があるため、抵抗R304は、かなり大型となるため、抵抗R304の消費電力は高くなる。さらに、この回路には、不整合という別の欠点もある。空間的な不整合により抵抗R304の値が変わり、ディスプレイが不均一となる。また、回路には付加的フィードバック308もある。

10

【0013】

ブー (Buu) による米国特許第6,433,488号明細書は、フィードバックループ内に電流比較器を実装するOLED駆動回路を開示している。図4に、上記ブーによる明細書の図2に示される回路の概略を示す。プログラムサイクル中は、走査信号(SCAN)は高いので、トランジスタT2 402はオフ、トランジスタT4 404はオンとなる。このため電流は、トランジスタT3 406、OLED408、およびトランジスタT1 410を流れる。電流比較器412は、フィードバック線416を介する画素電流と基準電流418の比較に基づき基準電圧414を確定する。画素が安定した後は、画素電流416は、基準電流418と一致する。この回路は、フィードバックを使用するので、画素の安定時間が早い。しかしながら、駆動サイクル中の電流経路内に2つのトランジスタ (T1 410およびT2 402) があるため、この回路の消費電力は高い。また、この方法では、4つのトランジスタと付加的フィードバック線416を使用する。

20

【0014】

このため、周知の回路における高い消費電力を必要とせず、電流駆動回路の安定時間を改善する回路が必要である。

30

【0015】

【特許文献1】米国特許公開公報第20040095297号

【特許文献2】米国特許第6,433,488号明細書

【発明の開示】

【課題を解決するための手段】

【0016】

本発明は、OLED画素を駆動する回路に関する。本発明は、特に、安定時間を改善し、大型ディスプレイでの電流プログラム方式画素回路の使用を可能にする回路に関する。

【0017】

本発明の目的は、従来技術における時間に対する反応性を改善するように、回路の少なくとも1つの欠点を排除する、または、軽減することである。

40

【0018】

本発明の1つの態様では、関連付けられた寄生容量を有し、電流プログラム方式である負荷用の負荷駆動回路を提供する。駆動回路は、負荷を制御する電圧を有するデータ線と、データ線の電圧を監視するローパスフィルタと、データ線に電流を供給する電流源とを含み、電流源は信号線とローパスフィルタからの出力とによって制御される。

【0019】

本発明の他の態様では、寄生容量を有し、電流プログラム方式である発光ダイオード用の駆動回路を提供する。駆動回路は、発光ダイオードを制御するデータ線と、データ線の電圧を監視するローパスフィルタと、データ線に電流を供給する電流源とを含み、電流源は信号線とローパスフィルタからの出力とによって制御される。

50

## 【0020】

本発明のさらに他の態様では、寄生容量を有し、電流プログラム方式である発光ダイオード用の駆動回路を提供する。駆動回路は、発光ダイオードを制御するデータ線と、フィードバックループであって、アナログ デジタル変換器と、フィードバックループにローパスフィルタ機能を与えるアルゴリズムを実行する制御器とを含むフィードバックループと、データ線に電流を供給する電流源とを含み、電流源は、制御器から入力を受けるデジタル アナログ変換器からの入力を受ける。

## 【0021】

本発明のさらに他の態様では、ディスプレイに使用される発光ダイオードを駆動する方法であって、発光ダイオードは、寄生容量を有し、電流プログラム方式である方法を提供する。この方法は、電流源から供給される電流を発光ダイオードに供給するステップと、ローパスフィルタを含む発光ダイオードに電流を供給するデータ線の電圧を監視するステップと、電圧とデータ線の信号を複合し入力を形成して、入力を電流源に供給するステップとを含む。

## 【0022】

この発明の開示は、必ずしも本発明のすべての特徴を示すものではない。

## 【発明を実施するための最良の形態】

## 【0023】

本発明の上記およびその他の特徴を図面を参照しながら以下に説明し、より明白にする。

## 【0024】

図2に関する説明において要点を示したとおり、寄生容量が原因で、電流の安定時間は許容されたよりも長くなる。本発明の実施形態では電流源へ正のフィードバックを供給するフィードバック回路の使用が考察されている。このフィードバックにより、電流の安定時間は改善され、電流駆動方式のディスプレイに必要な応答時間を確保することができる。

## 【0025】

図5に、本発明の一実施形態に係る基本的なフィードバック回路を示す。ディスプレイ駆動回路502は、発光画素503を駆動する。駆動回路502は、電圧制御電流源(VCCS)506とフィードバックループとを含む。フィードバックループ内には、フィルタ504と電圧加算器512とが含まれる。電流源506は、V<sub>DAT</sub>A508と、フィルタ504の出力とによって制御され、データ線510の電圧を監視する。電流源506と、フィルタ504と、電圧加算器512はディスプレイ駆動部502の一部であって、ディスプレイ駆動部502は、CMOS技術によって別のチップとして実装することも、または、ディスプレイのTFT技術によってディスプレイの一部とすることもできる。

## 【0026】

本発明の他の実施形態では、図6に示すように、微分器602としてフィルタを実装する。寄生容量R<sub>p</sub>604が十分に小さく、かつ、VCCS606が直流電流源である場合、図6に示す回路のタイミング定数は、次の式で表すことができる。

## 【0027】

## 【数2】

$$\tau \propto 2 \frac{(C_p - K)}{\sqrt{i * \beta}} \quad (3)$$

## 【0028】

ここで、「i」は、V<sub>DAT</sub>A608における電流を示す。Kは、微分器602の係数であって、所望の結果を得るために寄生容量C<sub>p</sub>610に近い値を選ぶ必要がある。しかしながら、KとC<sub>p</sub>との差が妥当な範囲内であれば、安定時間に重大な影響を及ぼすこ

とはない。

【0029】

図6に示す回路は、寄生容量610の影響を排除することができるため、電流プログラム方式の画素612に対する高速プログラムとして使用することができる。この回路は、電流プログラム方式の画素の機能を示す一般的な回路図である。図6の回路がいかなる電流プログラム方式の画素回路にも使用できることは、当業者には明白であろう。

【0030】

図7に、現在のところ好適な実施形態に係るフィルタ回路を示す。この実施形態では、ディスプレイ駆動回路702は、バンドパス(BP)フィルタ704をフィードバック機能として使用する。駆動回路702は、画素703を駆動し、正のフィードバックを使用して、寄生容量C<sub>P</sub>706の影響を管理する。プログラムサイクルの最初には、配線708の電圧は急激に変化するので、VCCS710は電流線708により多くの電流を供給する。電流線708の電圧が安定すると、電流源710により供給される電流はプログラム電流となる。また、バンドパスフィルタ704は、電流線708の高周波ノイズを軽減する。この軽減がなければ、このノイズにより電流源710の出力電流は影響を受けることになる。

【0031】

図8aに、ディスプレイ駆動回路702に使用されるバンドパスフィルタの詳細をさらに示す。約100μmの画素ピッチ内に収まるように、単純なフィルタ回路が使用されている。図8aのバンドパスフィルタは、大まかに803で示され、単極ローパスバターワースフィルタおよび微分器として実装される。図8aの回路において、駆動部は第2世代電流コンベア(CCII)を使用して実現される。Z端子808は、Y端子806に直接接続される。このため、ノードX804の電圧は、Y端子806とX端子804の間のフィードバックによって、Z端子808の電圧に従う。また、容量C<sub>L</sub>P810は、ローパスフィルタとして機能し、高周波ノイズを軽減する。一方、容量C<sub>F</sub>812は、配線の電圧に相当するX端子804における電圧を微分し、電流に変換する。電流ミラーは、この電流を複製し、プログラム電流に加算する。

【0032】

図8bに、デジタル実装によるローパスフィルタの他の実装を示す。図8bでは、駆動回路819は、画素825を駆動する。配線820の電圧は、アナログデジタル変換器(ADC)822によって変換される。制御器824ブロックは、アルゴリズムを実行し、電流源826の電流をデジタルアナログ変換器(DAC)828によって変更する。制御器824が実行するアルゴリズムの重要な側面は、電流サンプルV[n]と前のサンプル[n-1]の差を算出することである。この差を考慮することによってアルゴリズムは、電流源826から供給される電流を調節し、プログラミングを高速化できる。

【0033】

図8aの回路に関する安定時間の解析を図9に示す。新規電流源の特性の調査には、MATLAB<sup>TM</sup>モデルが使用されている。解析を単純化するため、LPフィルタのカットオフ周波数は高いものとする。T1オーバードライブ電圧は、以下の式に表すことができる。

【0034】

【数3】

$$I_P = (C_P - C_F) \frac{d}{dt} V - V^2 \quad (3)$$

【0035】

ここで、VはT1のオーバードライブ電圧、C<sub>F</sub>は微分器のゲインを示す。C<sub>F</sub>は寄生容量を補償できることは明白である。

10

20

30

40

50

## 【0036】

図9において、LPフィルタを実装する電流源702の安定時間は、 $40\mu s$ 以下である。これに対し、従来の場合では $400\mu s$ であるので、電流はフィードバックなしで電流源から供給される。さらに、ローパスフィルタのカットオフ周波数を上げることにより、電流線のノイズに対して駆動部はより敏感になることも明白である。しかしながら、カットオフ周波数を増加させることにより、速度は増す。

## 【0037】

図10aに、微分器またはハイパスフィルタを使用する場合における、プログラミングサイクル中の時間に対する画素電流をグラフに示す。配線ノイズは、微分器を通して電流に戻される。これにより、ノイズは増幅される。さらに、微分器は高周波信号に非常に敏感なため、駆動部を不安定にさせる。このグラフから明らかなように、配線ノイズは増幅され、信号を破壊する。図10bに、ローパスフィルタを使用する場合におけるプログラミングサイクル中の時間に対する画素電流をグラフに示す。図10bと図10aを比べると、ノイズの軽減は明らかである。

## 【0038】

以上、1つまたは複数の実施形態に関連させて、本発明を説明した。しかしながら、請求項に定義された本発明の範囲を逸脱することなく、さまざまな変更および修正が可能であることは、当業者には明白であろう。

## 【図面の簡単な説明】

## 【0039】

【図1】従来技術における画素配列の概略図である。

【図2】従来技術における、OLEDディスプレイを基礎とする画素に関連付けられた寄生性を示す概略図である。

【図3】従来技術における画素プログラム回路の概略図である。

【図4】従来技術における他の画素プログラム回路の概略図である。

【図5】本発明の一実施形態に係るフィードバック回路を含むディスプレイ駆動回路の概略図である。

【図6】本発明の他の実施形態に係るフィードバック回路を含むディスプレイ駆動回路の概略図である。

【図7】本発明のさらに他の実施形態に係るバンドパスフィルタを含むディスプレイ駆動回路の概略図である。

【図8a】本発明のさらに他の実施形態に係るバンドパスフィルタの概略図である。

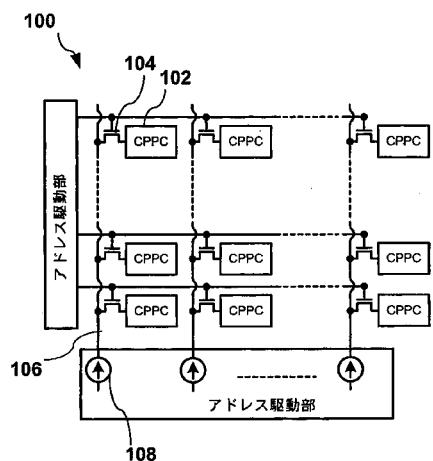
【図8b】本発明のさらに他の実施形態に係るバンドパスフィルタの概略図である。

【図9】本発明のさらに他の実施形態に係る安定時間の変化を示すグラフである。

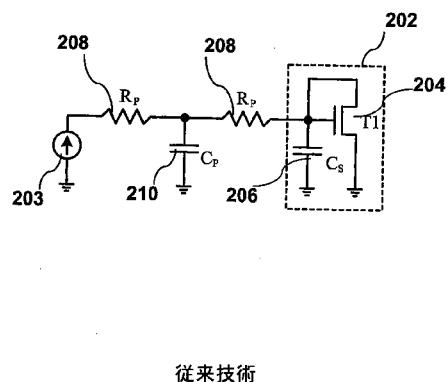
【図10a】本発明の一実施形態に係るハイパスフィルタを使用する場合に算出されるノイズを示すグラフである。

【図10b】本発明の一実施形態に係るローパスフィルタを使用する場合に算出されるノイズを示すグラフである。

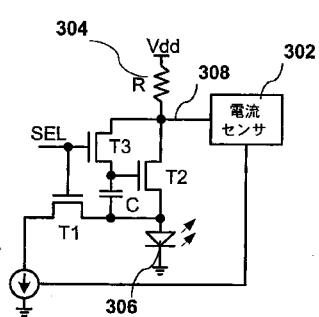
【図1】



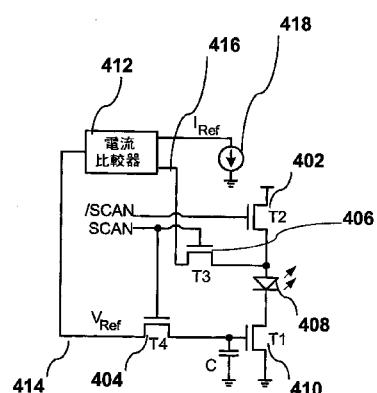
【図2】



【図3】



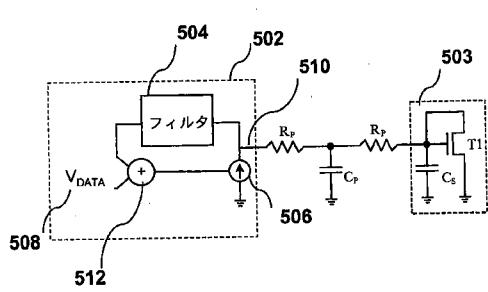
【図4】



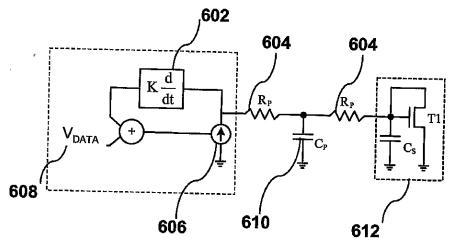
従来技術

従来技術

【図5】

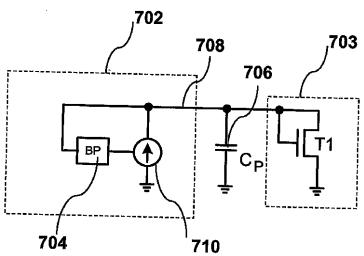


【図6】



*Figure 6*

【図7】



*Figure 7*

〔 8 a 〕

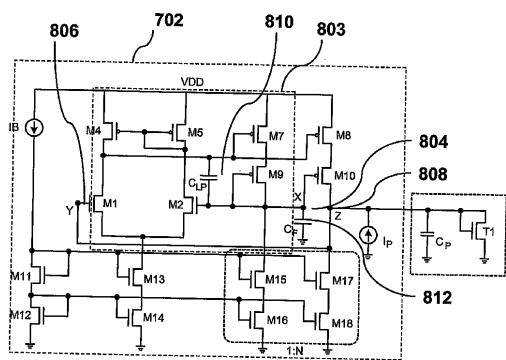
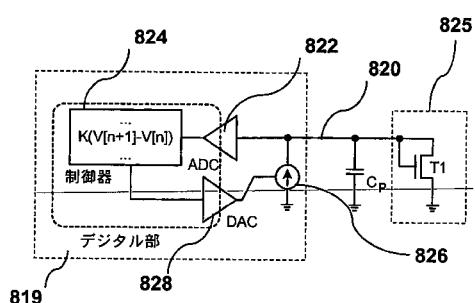
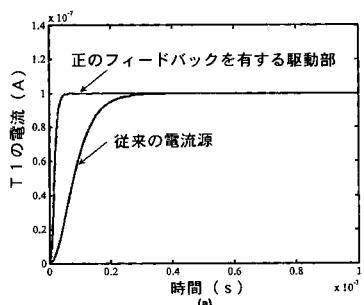


Figure 8a

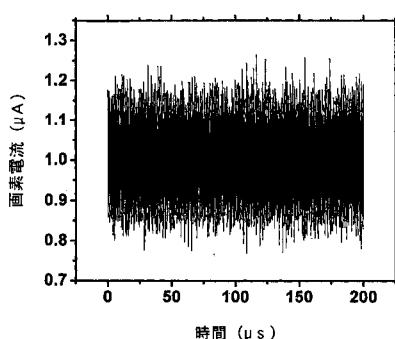
〔 図 8 b 〕



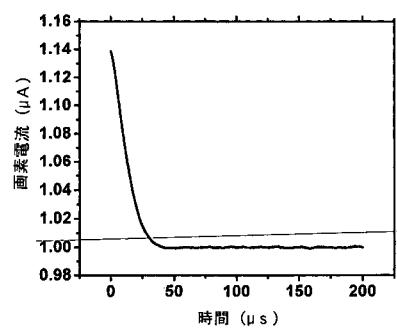
( 义 9 )



【図10a】



【図 10 b】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CA2006/000177

A. CLASSIFICATION OF SUBJECT MATTER IPC: H05B 33/08 (2006.01), H01L 51/50 (2006.01), G09G 3/32 (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H05B33, H01L51, G09G3, H01L27		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Epodoc, Delphion, Canadian Patent Database. Terms used: led, oled, light emitting, organic, current program*, display, matrix, grid, array, settling time, timing constant, parasitic, capacitance, filter, feedback.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	US 2005/0068275 (Kane) 31 March 2005 (31-03-2005) whole document	1, 4, 10, 15
A	US 5,198,803 (Shie et al.) 30 March 1993 (30-03-1998) column 3, line 61 to column 4, line 26; figures 1A and 1B	1, 4, 10, 15
A	US 2003/0030603 (Shimoda) 13 February 2003 (13-02-2003) paragraphs 0037 to 0038; figure 4	1, 4, 10, 15
[ ] Further documents are listed in the continuation of Box C. [X] See patent family annex.		
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>		<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
Date of the actual completion of the international search 31 May 2006 (31-05-2006)		Date of mailing of the international search report 2 June 2006 (02-06-2006)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001(819)953-2476		Authorized officer Andrew O'Malley (819) 953-5481

**INTERNATIONAL SEARCH REPORT**

## Information on patent family members

International application No.  
**PCT/CA2006/000177**

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US2005068275	31-03-2005	US2005067971 A1	31-03-2005
US5198803	30-03-1993	NONE	
US2003030603	13-02-2003	JP2003058106 A US6809706 B2	28-02-2003 26-10-2004

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ネーサン アロキア

カナダ オンタリオ ウォータールー カルペッパー ドライブ 55 シーオー イグニス イ  
ノベーション インコーポレーテッド

(72)発明者 チャジ レザ ジー

カナダ オンタリオ ウォータールー ウエストマウント ロード エヌ 507-196

F ターム(参考) 3K107 AA01 BB01 CC14 CC33 EE03 HH00 HH04 HH05

5C080 AA06 BB05

专利名称(译)	用于有机发光二极管显示器的驱动电路是当前的编程方法		
公开(公告)号	<a href="#">JP2008530599A</a>	公开(公告)日	2008-08-07
申请号	JP2007554402	申请日	2006-02-09
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯-Inobeishon公司		
[标]发明人	ネーサンアロキア チャジレザジー		
发明人	ネーサン アロキア チャジ レザ ジー		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 G09G3/3208		
CPC分类号	G09G3/3283 G09G3/3241 G09G2310/0248 G09G2320/0252 G09G2320/0295 G09G2330/06 H05B33/08		
FI分类号	G09G3/30.J G09G3/20.642.P G09G3/20.641.D G09G3/20.623.R H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05		
代理人(译)	吉田健治 石田 纯		
优先权	2496642 2005-02-10 CA		
其他公开文献	JP5011130B2		

#### 摘要(译)

提供了一种用于具有相关寄生电容的负载的负载驱动电路。负载是当前程序类型。驱动电路包括：数据线，具有用于控制负载的电压；反馈回路，包括用于监视数据线的电压的低通滤波器；以及用于向数据线提供电流的电流源。电流源连接在信号线和信号线之间，以及低通滤波器的输出。

