

(19) 日本国特許庁(JP)

(12) 公 泰 特 許 公 報(A)

(11) 特許出願公表番号

特表2007-522492
(P2007-522492A)

(43) 公表日 平成19年8月9日(2007.8.9)

(51) Int.Cl.		F I		テーマコード (参考)
G09G	3/30	(2006.01)	G09G	3/30 J 3K107
G09G	3/34	(2006.01)	G09G	3/34 C 5C080
G09G	3/20	(2006.01)	G09G	3/20 624B
G09G	3/32	(2006.01)	G09G	3/20 611H
H01L	51/50	(2006.01)	G09G	3/32 A

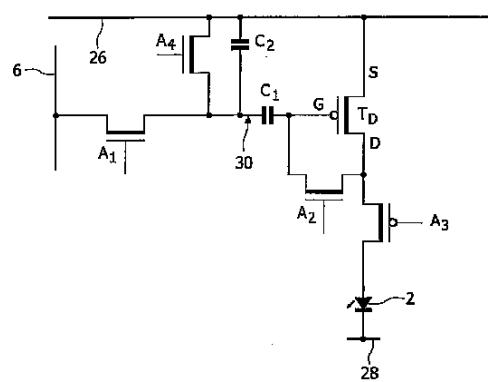
審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2006-548493 (P2006-548493)	(71) 出願人	5900000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ オランダ国 5621 ペーাー アインドーフェン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成17年1月4日 (2005.1.4)		
(85) 翻訳文提出日	平成18年7月6日 (2006.7.6)		
(86) 國際出願番号	PCT/IB2005/050027		
(87) 國際公開番号	W02005/069266		
(87) 國際公開日	平成17年7月28日 (2005.7.28)		
(31) 優先権主張番号	0400213.5	(74) 代理人	100070150 弁理士 伊東 忠彦
(32) 優先日	平成16年1月7日 (2004.1.7)	(74) 代理人	100091214 弁理士 大貫 進介
(33) 優先権主張国	英国 (GB)	(74) 代理人	100107766 弁理士 伊東 忠重

(54) 【発明の名称】 アクティブマトリクスによる電界発光表示装置

(57) 【要約】

アクティブマトリクスEL表示装置は、画素駆動トランジスタのゲートとソース又はドレインとの間に直列に接続された第1及び第2のキャパシタを有する。画素へのデータ入力は、第1及び第2のキャパシタの間の接点へ供給され、それによって、画素データ電圧から導出される電圧へと第2のキャパシタを充電する。駆動トランジスタ閾値電圧から導出される電圧は、第1のキャパシタに蓄積される。放電トランジスタは、第1及び第2のキャパシタの間の接点と、表示装置の全ての画素のための共通ラインとの間に接続されている。この装置は、閾値電圧測定動作のための放電シンク／ソースとして共通ラインを使用する。この目的のためにデータラインの使用を回避することによって、画素は、閾値測定が起こる場合に非アドレス指定状態になることができる。



【特許請求の範囲】**【請求項 1】**

表示画素の配列を有するアクティブマトリクス表示装置であって、夫々の画素は：
電流駆動式発光表示素子；
該表示素子に電流を流す駆動トランジスタ；
該駆動トランジスタのゲートとソース又はドレインとの間に直列に接続された第1及び第2のキャパシタ；及び
該第1及び第2のキャパシタの間の接点と、当該表示装置の全ての画素のための共通ラインとの間に接続された放電トランジスタ；
を有し、
前記画素へ入力されるデータは、前記第1及び第2のキャパシタの間の接点へ供給され、それによって前記第2のキャパシタを前記画素のデータ電圧から導出される電圧へと充電し、前記駆動トランジスタの閾値電圧から導出される電圧は、前記第1のキャパシタに蓄積されることを特徴とする装置。

【請求項 2】

前記駆動トランジスタは、p形薄膜トランジスタを有することを特徴とする請求項1記載の装置。

【請求項 3】

前記駆動トランジスタは、ポリシリコン又は微結晶性シリコントランジスタを有することを特徴とする請求項1又は2記載の装置。

【請求項 4】

前記駆動トランジスタは、低温ポリシリコントランジスタであることを特徴とする請求項3記載の装置。

【請求項 5】

夫々の画素は、入力データラインと、前記第1及び第2のキャパシタの間の接点との間に接続された入力トランジスタを更に有することを特徴とする請求項1乃至4のうちいずれか一項記載の装置。

【請求項 6】

夫々の画素は、前記入力トランジスタがオフであり、前記駆動トランジスタの閾値電圧から導出される電圧が第1のキャパシタに蓄積される第1のモードと、前記入力トランジスタがオンであり、前記画素へ入力されるデータが前記第2のキャパシタを前記画素のデータ電圧から導出される電圧へと充電する第2のモードとから成る2つのモードで動作可能であることを特徴とする請求項1乃至5のうちいずれか一項記載の装置。

【請求項 7】

前記駆動トランジスタは、p形トランジスタであり、前記駆動トランジスタのソースは、電源ラインへ接続されることを特徴とする請求項1乃至6のうちいずれか一項記載。

【請求項 8】

前記共通ラインは、前記電源ラインを有することを特徴とする請求項7記載の装置。

【請求項 9】

夫々の画素は、前記駆動トランジスタのゲートとドレインとの間に接続された第2のトランジスタを更に有することを特徴とする請求項1乃至8のうちいずれか一項記載の装置。

【請求項 10】

前記第2のトランジスタは、1行の画素の間で共有される第1のゲート制御ラインによって制御されることを特徴とする請求項9記載の装置。

【請求項 11】

前記第1及び第2のキャパシタは、前記駆動トランジスタのゲートとソースとの間に直列に接続されることを特徴とする請求項1乃至10のうちいずれか一項記載の装置。

【請求項 12】

10

20

30

40

50

夫々の画素は、前記駆動トランジスタと前記表示素子との間に接続された第3のトランジスタを更に有することを特徴とする請求項1乃至11のうちいずれか一項記載の装置。

【請求項13】

前記表示素子は、電界発光表示素子を有することを特徴とする請求項1乃至12のうちいずれか一項記載の装置。

【請求項14】

前記電界発光表示素子は、電気泳動有機電界発光表示素子を有することを特徴とする請求項1乃至13のうちいずれか一項記載の装置。

【請求項15】

表示素子と、該表示素子に電流を流す駆動トランジスタとを夫々が有する電流駆動式発光表示画素の配列を有するアクティブマトリクス表示装置を駆動する方法であって：

夫々の画素に対して、

データラインを前記画素から分離し、前記データラインが分離されている間に、

前記駆動トランジスタに電流を流し、結果として生ずるゲート-ソース間電圧へと第1のキャパシタを充電し、

前記第1のキャパシタが閾値電圧を蓄えるよう、前記駆動トランジスタがオフとなるまで、前記第1のキャパシタの一方の端子と共にラインとの間に接続された放電トランジスタを介して前記第1のキャパシタを放電するステップ；及び

データラインを前記画素へ結合し、前記データラインが結合されている間に、

前記駆動トランジスタのゲートとソース又はドレインとの間で前記第1のキャパシタに直列な第2のキャパシタを前記データラインからのデータ入力電圧へと充電し、

前記第1及び第2のキャパシタの両端の電圧から導出されるゲート電圧を用いて前記表示素子に電流を流すよう前記駆動トランジスタを使用するステップ；

を有する方法。

【請求項16】

前記分離及び結合は、前記データラインと前記画素への入力部との間に接続されたアドレストランジスタを切り替えるステップを有することを特徴とする請求項15記載の方法。

【請求項17】

1つの行にある夫々の画素の前記アドレストランジスタは、共通の行アドレス制御ラインによって同時にオンに切り替えられることを特徴とする請求項16記載の方法。

【請求項18】

画素の1つの行の前記アドレストランジスタは、隣の行のアドレストランジスタがオフとされた後に実質的に即座にオンとされることを特徴とする請求項17記載の方法。

【請求項19】

前記データラインが前記画素から分離され、前記第1のキャパシタが充電されている場合に、前記データラインは、該データラインに結合された他の画素へデータ入力電圧を供給するために使用されることを特徴とする請求項15乃至18のうちいずれか一項記載の方法。

【請求項20】

夫々の画素がp形駆動トランジスタを有する表示装置を駆動するための請求項15乃至19のうちいずれか一項記載の方法。

【請求項21】

前記駆動トランジスタがポリシリコン又は微結晶性シリコントランジスタを有する表示装置を駆動するための請求項15乃至20のうちのいずれか一項記載の方法。

【請求項22】

夫々の画素の前記駆動トランジスタがLPTSトランジスタを有する表示装置を駆動するための請求項21記載の方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、電界発光表示装置、具体的には、夫々の画素に結合された薄膜スイッチングトランジスタを有するアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

電界発光や光放射型の表示素子を用いるマトリクス表示装置が良く知られる。前記表示素子は、例えばポリマー材料を用いる有機薄膜電界発光素子、又は従来のIII-V族半導体化合物を用いる発光ダイオード（LED）を有しても良い。有機電界発光物質、特にポリマー材料における最近の発展は、特に映像表示装置に使用されるべきそれらの能力を実証している。一般的に、これらの物質は、一対の電極間に挟まれた半導体共役高分子の1又はそれ以上の層を有する。一対の電極の1つは透明であり、他は空孔又は電子を高分子層に入れると適した物質から成る。

10

【0003】

ポリマー材料は、CVD処理、又は、簡単に、水溶性共役高分子の溶液を用いるスピンドルティング技術によって作られ得る。また、インクジェット印刷が使用されても良い。有機電界発光物質は、それらが表示機能及びスイッチング機能の両方を提供する能力を有するように、ダイオードのようなI-V特性を示し、従って、パッシブ型表示装置において使用可能である。代替的には、これらの物質は、表示素子と、表示素子を流れる電流を制御するスイッチングデバイスとを夫々が有する画素を有するアクティブマトリクス表示装置に用いられても良い。

20

【0004】

この形式の表示装置は電流駆動式表示素子を有するので、従来のアナログ駆動方式は、表示素子へ制御可能な電流を供給する。画素構造の一部として電流源トランジスタを設けることが知られる。この電流源トランジスタへ供給されるゲート電圧は、表示素子を流れる電流を決める。蓄積キャパシタは、アドレス指定相の後にゲート電圧を保持する。

【0005】

図1は、アクティブマトリクスアドレス指定型電界発光表示装置用の既知の画素回路を示す。表示装置は、規則正しく間隔を空けられた画素の行及び列のマトリクス配列を有するパネルを有する。該画素は、ブロック1によって表わされ、結合される切替え手段と共に電界発光表示素子2を有し、行（選択）及び列（データ）のアドレス導電体4及び6の交差する組の間の共通部分に置かれている。簡単のため、数個の画素しか図には示されていない。実際には、画素の数百の行及び列が存在しうる。画素1は、行走査ドライバ回路8及び列データドライバ回路9を含む周辺の駆動回路によって、行及び列のアドレス導電体の組を介してアドレス指定される。これらのドライバ回路は、導電体の夫々の組の終端に接続されている。

30

【0006】

電界発光表示素子2は、ここではダイオード素子（LED）として表わされ、有機電界発光物質の1又はそれ以上のアクティブ層が挟まれた一対の電極を有する有機発光ダイオードを有する。前記配列の表示素子は、結合されるアクティブマトリクス回路と共に絶縁支持材の一方の側に載せられている。表示素子の陰極又は陽極のいずれか一方は、透明な導電物質で形成されている。支持材は、例えばガラスのような透明な物質から作られ、基板に最も近い表示素子2の電極は、例えばITOのような透明な導電物質から成っても良い。従って、電界発光層より発せられる光は、支持材の他の側において観測者に対して可視的であるようにこれらの電極及び支持材を介して伝達される。一般的に、有機電界発光物質層の厚さは、100nmから200nmの間である。素子2に使用可能な適切な有機電界発光物質の代表実施例は、EP-A-0717446において知られ、記述されている。WO96/36959に記述されるような共役高分子材も使用可能である。

40

【0007】

図2は、電圧プログラム式動作を提供する既知の画素及び駆動回路配置を簡単な回路図形式で示す。夫々の画素1は、EL表示素子2と、結合されるドライバ回路とを有する。

50

ドライバ回路は、行導電体4の行アドレスパルスによりオンとされるアドレストランジスタ16を有する。アドレストランジスタ16がオンとされると、列導電体6の電圧は、残りの画素へ伝わることができる。具体的には、アドレストランジスタ16は、列導電体電圧を電流源20へ供給する。電流源20は、駆動トランジスタ22と、蓄積キャパシタ24とを有する。列電圧は、駆動トランジスタ22のゲートへ供給され、ゲートは、行アドレスパルスが終了した後でさえ、蓄積キャパシタ24によってこの電圧に保たれる。駆動トランジスタ22は、電源ライン26から電流を引き込む。

【0008】

この回路内の駆動トランジスタ22は、例えば低温ポリシリコンTFTのようなp形TFTとして実施されているので、蓄積キャパシタ24は、ゲート-ソース間電圧を一定に保つ。これにより、トランジスタ22を流れる一定のソース-ドレイン間電流が得られる。従って、トランジスタ22は、画素の所望の電流源動作を提供する。

10

【特許文献1】EP-A-0717446

【特許文献2】WO96/36959

【発明の開示】

【発明が解決しようとする課題】

【0009】

特にポリシリコン薄膜トランジスタを用いる電圧プログラム式画素に伴う1つの問題は、基板全体に亘って異なるトランジスタ特性（具体的には閾値電圧）が、ゲート電圧とソース-ドレイン間電流との間の異なった関係と、表示された画像結果におけるアーティファクトとを引き起こすことである。

20

【0010】

様々な技術が、このような閾値電圧のばらつきを補償するために提案してきた。幾つかの技術は、駆動トランジスタ閾値電圧の画素内での測定を実行し、この閾値電圧を画素駆動信号に加える。従って、結合された駆動電圧は、閾値電圧を考慮する。これを実行する画素回路は、2つの蓄積キャパシタを使用することができる。蓄積キャパシタのうちの1つは、閾値電圧用であり、他は、画素駆動電圧用である。更なるスイッチングトランジスタは、また、閾値電圧が、例えば、駆動トランジスタがオフとなるまで駆動トランジスタのゲート-ソース間接合の両端の静電容量を放電することによって測定されることを可能にするために、必要とされる。

30

【0011】

このような形式の閾値補償画素回路は、アドレス周期に対して2つの相を有する。第1の相では、閾値電圧は閾値キャパシタに蓄積される。第2の相では、画素データ電圧がデータキャパシタに蓄積される。既知の配置に伴う1つの問題は、列ラインが閾値電圧測定動作のために使用され、この列ラインが、行によって制御されるアドレストランジスタを介して画素へ結合されることである。これは、閾値電圧測定と、画素への画素データの供給とが、行アドレス指定期間内に起こらなければならないことを意味する。

【課題を解決するための手段】

【0012】

本発明に従って、表示画素の配列を有するアクティブマトリクス表示装置であって、夫々の画素は：

40

電流駆動式発光表示素子；

該表示素子に電流を流す駆動トランジスタ；

該駆動トランジスタのゲートとソース又はドレインとの間に直列に接続された第1及び第2のキャパシタ；及び

該第1及び第2のキャパシタの間の接点と、当該表示装置の全ての画素のための共通ラインとの間に接続された放電トランジスタを有し、

前記画素へ入力されるデータは、前記第1及び第2のキャパシタの間の接点へ供給され、それによって前記第2のキャパシタを前記画素のデータ電圧から導出される電圧へと充電し、前記駆動トランジスタの閾値電圧から導出される電圧は、前記第1のキャパシタに

50

蓄積されることを特徴とする装置が提供される。

【0013】

この装置は、閾値電圧測定動作のための放電シンク／ソースとしての共通ラインを使用する。この目的のためにデータラインの使用を回避することによって、画素は、閾値測定が起こると、非アドレス指定状態になることができる。

【0014】

夫々の画素は、入力データラインと、前記第1及び第2のキャパシタの間の接点との間に接続された入力トランジスタを更に有しても良い。

【0015】

その場合に、夫々の画素は、望ましくは、前記入力トランジスタがオフであり、前記駆動トランジスタの閾値電圧から導出される電圧が第1のキャパシタに蓄積される第1のモードと、前記入力トランジスタがオンであり、前記画素へ入力されるデータが前記第2のキャパシタを前記画素のデータ電圧から導出される電圧へと充電する第2のモードとから成る2つのモードで動作可能である。

【0016】

この入力トランジスタは、当該回路のアドレス指定トランジスタであり、閾値測定段階の間はオフである。

【0017】

前記駆動トランジスタは、p形トランジスタであっても良く、その場合に、前記駆動トランジスタのソースは、電源ラインへ接続される。その場合に、前記共通ラインは、この電源ラインを有しても良く、あるいは、それは、別のラインであっても良い。

【0018】

夫々の画素は、前記駆動トランジスタのゲートとドレインとの間に接続された第2のトランジスタを更に有しても良い。これは、ドレインからの電流の供給を制御するために使用される。従って、第2のトランジスタをオンとすることによって、第1のキャパシタは、ゲート-ソース間電圧へと充電され得る。前記第2のトランジスタは、1行の画素の間で共有される第1のゲート制御ラインによって制御されても良い。

【0019】

1つの例では、前記第1及び第2のキャパシタは、前記駆動トランジスタのゲートとソースとの間に直列に接続される。

【0020】

夫々の画素は、前記駆動トランジスタと前記表示素子との間に接続された第3のトランジスタを更に有しても良い。これは、画素プログラミング段階の間に表示素子を分離するために使用されえる。

【0021】

前記表示素子は、電界発光表示素子を有しても良い。

【0022】

本発明は、また、表示素子と、該表示素子に電流を流す駆動トランジスタとを夫々が有する電流駆動式発光表示画素の配列を有するアクティブマトリクス表示装置を駆動する方法であって、夫々の画素に対して、

データラインを前記画素から分離し、前記データラインが分離されている間に、

前記駆動トランジスタに電流を流し、結果として生ずるゲート-ソース間電圧へと第1のキャパシタを充電し、

前記第1のキャパシタが閾値電圧を蓄えるよう、前記駆動トランジスタがオフとなるまで、前記第1のキャパシタの一方の端子と共に接続された放電トランジスタを介して前記第1のキャパシタを放電するステップと、

データラインを前記画素へ結合し、前記データラインが結合されている間に、

前記駆動トランジスタのゲートとソース又はドレインとの間で前記第1のキャパシタに直列な第2のキャパシタを前記データラインからのデータ入力電圧へと充電し、

前記第1及び第2のキャパシタの両端の電圧から導出されるゲート電圧を用いて前記表

10

20

30

40

50

示素子に電流を流すよう前記駆動トランジスタを使用するステップとを有する方法を提供する。

【0023】

当該方法は、閾値電圧測定動作のための放電シンク／ソースとしての共通ラインを使用する。上述したように、この目的のためにデータラインの使用を回避することは、画素が、閾値測定が起こると非アドレス指定状態となることを可能にする。

【0024】

望ましくは、前記分離及び結合は、前記データラインと前記画素への入力部との間に接続されたアドレストランジスタを切り替えるステップを有し、1つの行にある夫々の画素の前記アドレストランジスタは、共通の行アドレス制御ラインによって同時にオンに切り替えられる。

【0025】

前記データラインが前記画素から分離され、前記第1のキャパシタが充電されている場合に、望ましくは、前記データラインは、該データラインに結合された他の画素へデータ入力電圧を供給するために使用される。これは、パイプライン式アドレス指定シーケンスを提供する。

【発明を実施するための最良の形態】

【0026】

本発明を、一例として添付の図面を参照して説明する。

【0027】

同じ参考番号が、異なる図において同じ構成要素に対して使用されており、このような構成要素の説明は繰り返さないこととする。

【0028】

図3は、既知の閾値補償画素配置を示す。夫々の画素は、やはり、電界発光(EL)表示素子2及び駆動トランジスタT_Dを、電源供給ライン26と接地された共通陰極28との間に直列に有する。駆動トランジスタT_Dは、表示素子2に電流を流すために使用される。

【0029】

第1及び第2のキャパシタC₁及びC₂は、駆動トランジスタT_Dのゲートとソースとの間に直列に接続されている。画素へのデータ入力は、第1及び第2のキャパシタの間の接点30へ供給され、第2のキャパシタC₂を、以下で説明する画素データ電圧へと充電する。第1のキャパシタC₁は、駆動トランジスタ閾値電圧を蓄積するために使用される。

【0030】

アドレストランジスタA₁は、入力データライン6と、第1及び第2のキャパシタの間の接点30との間に接続されている。このアドレストランジスタは、第2のキャパシタC₂での蓄電のために、画素へのデータ電圧の印加の時間を設定する。

【0031】

第2の短絡トランジスタA₂は、駆動トランジスタT_Dのゲートとドレインとの間に接続されている。これは、駆動トランジスタT_Dがオンである場合に、電源ライン26と第1のキャパシタC₁との間の電流のフローを制御するために使用される。

【0032】

第3の分離トランジスタA₃は、駆動トランジスタT_Dと表示素子2の陽極との間に接続されている。これは、画素プログラミングシーケンスの閾値測定動作の間に、表示素子2をオフとするために使用される。

【0033】

トランジスタA₁からA₃は、それらのゲートへ接続された夫々の行導電体によって制御される。

【0034】

画素の配列のアドレス指定は、従来の方法では、画素の全ての行が同時にアドレス指定

10

20

30

40

50

されるように、画素の行をアドレス指定する。データライン 6 は、列導電体を有する。

【0035】

図 3 の回路は、多数の異なる様式で動作可能である。1つの基本的な動作について記述し、当該回路に関連した問題について説明する。

【0036】

1つの駆動トランジスタ T_D しか、定電流モードでは使用されない。回路内の他の全ての $TFTA_1$ から A_3 は、短いデューティーサイクルで動作するスイッチとして使用される。

【0037】

回路動作は、駆動トランジスタ T_D のゲート - ソース間電圧がデータ電圧と駆動トランジスタ T_D の閾値電圧との和であるように、閾値電圧を第 1 のキャパシタ C_1 に蓄積し、データ電圧を第 2 のキャパシタ C_2 に蓄積すべきである。10

【0038】

閾値電圧測定の間に、アドレストランジスタ A_1 は、短絡トランジスタ A_2 のようにオンとされる。分離トランジスタ A_3 は、電流が、駆動トランジスタをオンとする程に大きな駆動トランジスタのゲート - ソース間電圧を確立するために、少しの間表示素子に流れられるように、最初はオンである。

【0039】

次に、分離トランジスタ A_3 はオフとされ、駆動トランジスタによって供給された電流は、ソースからドレンへと流れ、トランジスタ A_2 、キャパシタ C_1 及びアドレストランジスタ A_1 を介してデータライン 6 へ向かう。適切な電圧、例えば電源ライン電圧と同じ電圧が、この動作のためにデータライン 6 に供給される。これは、すべて、行アドレス指定期間内（即ち、アドレストランジスタ A_1 がオンとされている間）に起こる。20

【0040】

充電のフローは、ゲート - ソース間電圧が閾値電圧に達するまで、キャパシタ C_1 の両端に蓄えられる電圧を変化させる。この時点で、駆動トランジスタはオフとなる。（電源ライン電圧がデータライン 6 上にあることにより）キャパシタ C_2 が短絡されると、キャパシタ C_1 は、閾値電圧を蓄積し、保持する。

【0041】

その後、短絡トランジスタ A_2 がオフとされ、画素データが、アドレストランジスタ A_1 を介してキャパシタ C_2 に蓄積される。トランジスタ A_3 は、照明期間の間、オンとされる。30

【0042】

この回路に対する変形は、例えば、閾値測定動作の間に光のパルスが出力される必要性を回避するよう、当然可能である。しかし、アドレス周期のかなりの部分が閾値測定によって占められるという問題が残っている。

【0043】

本発明は、隣接する行の制御信号の間に幾らかのタイミング重複が存在しうるよう、パイプライン式アドレス指定シーケンスを提供する。

【0044】

図 4 は、本発明の画素回路の一例を示す。当該回路は、図 3 に示された画素回路と同一であるが、接点 30 と電源ライン 26 との間に接続された放電トランジスタ A_4 を更に有する。このトランジスタの機能は、他の行の画素へ画素データを供給する際に使用される列導電体を解放するように、閾値電圧測定の間にアドレストランジスタ A_1 がオフとされることを可能にすべきである。40

【0045】

当該回路の動作を、図 5 を参照して説明する。

【0046】

図 5 に示されたグラフの開始時には、表示装置は、前のアドレス指定期間から光を放射している。プログラミング相の開始時には、短絡トランジスタ A_2 及び放電トランジスタ 50

A_4 はオンとされる。その場合に、接点 30 は、電源レール電圧へと引き上げられ、駆動トランジスタ T_D のゲート及びドレインは、共に接続される。光の短パルスが、駆動トランジスタのゲート電圧が安定している間放射され、次に、分離トランジスタ A_3 がオフとされる（図 5 においてプロット A_3 は高くなる。）。これにより、駆動トランジスタ T_D のソース - ドレイン間電流は、駆動トランジスタ T_D のゲートへと導かれる。上述した回路と同様に、ゲートは、駆動トランジスタ T_D のゲートがその閾値電圧に達するまで充電し、これは、キャパシタ C_1 に蓄積される。

【0047】

ゲートのこのような充電は、比較的長い時定数を有する。本発明は、時間が、画素データによる画素の他の列のプログラミングと共にパイプライン化され得るように、ゲート充電が、アドレストランジスタ A_1 がオフとされている状態で実行されることを可能にする。10

【0048】

次に、短絡トランジスタ A_2 及び放電トランジスタ A_4 は、駆動トランジスタ T_D の閾値電圧がキャパシタ C_1 の両端に蓄積された状態で、駆動トランジスタのゲートが浮動するようにオフとされる。分離トランジスタ A_3 は、また、それと同時にオンとされ得、電流は、画素がデータ電圧によりアドレス指定されるまで表示素子へ流れない。

【0049】

アドレストランジスタ A_1 に対する短アドレスパルスは、列上のデータに同期して、その後に必要とされる（図 5 におけるデータプロットのハッチのない部分）。列は、電源ライン電圧よりも低い電圧にあって、第 2 のキャパシタ C_2 に画素データ電圧を蓄積するように駆動トランジスタのゲート電圧をプルダウンする。従って、ソース - ゲート間接合の両端の結合電圧は、画素駆動電圧に加えられた実測の閾値電圧である。20

【0050】

トランジスタ A_2 及び A_4 のプロットは同一であるから、それらが共有の制御ラインによって制御され得ることは明らかである。

【0051】

アドレス指定シーケンスのこのようなパイプライン化は、画素の 1 よりも多い行がどの時点においてもプログラムされ得ることを可能にする。従って、ライン A_2 から A_4 上のアドレス指定信号は、異なる行に対して同じ信号で重複することができる。その場合に、アドレス指定シーケンスの長さは、長い画素プログラミング時間を含まない。効率的なライン時間は、アドレスライン A_1 が高い（High）場合に第 2 のキャパシタ C_2 を充電するために必要とされる時間によってのみ限定される。この時間期間は、標準的なアクティブマトリクスアドレス指定シーケンスと同じである。アドレス指定の他の部分は、フレーム時間全体が、表示装置の最初の数行に必要とされるセットアップによって、僅かに長くされるに過ぎない。しかし、このセットアップは、フレームプランギング期間内に容易に実行され得るので、閾値電圧測定に必要とされる時間は問題ではない。30

【0052】

パイプライン式アドレス指定は、図 6 のタイミング図において更に明確に示されている。トランジスタ A_2 から A_4 に対する制御信号は、単一のプロットに一体化されているが、動作は、図 4 及び 5 を参照して説明した通りである。図 6 の「データ」プロットは、データライン 6 が、データを連続的な行へ供給するよう、ほぼ連続的に使用されることを示す。40

【0053】

図 4 及び 5 の方法では、閾値測定動作は、閾値測定及び表示が画素の夫々の行に対して順に実行されるように、表示動作と組み合わされる。

【0054】

代わりに、表示装置全体に対して閾値測定の全てを実行し、次にアドレス指定することが可能である。

【0055】

上述したような特定の回路配置に対する変形は、多数存在し、同じように動作することが可能である。好ましくは、画素プログラミングの間に光のフラッシュが生ずることを防ぐ点で相違しても良い。駆動トランジスタのドレインを接地する経路が、表示素子を流れる電流を使用せずに、閾値測定の直前に電流フローを確実にするために使用されるよう、例えば、更なるトランジスタが、このような経路を与えるよう設けられても良い。

【0056】

当該回路は、現在のところ利用可能なLEDデバイスに対して使用される。なお、電界発光(EL)表示素子は、電気泳動(electrophorescent)有機電界発光表示素子を有しても良い。

【0057】

上記回路は、p形駆動トランジスタにより実施されるよう示されていた。本発明は、画素回路が、より長い画素アドレス指定時間を必要とせずに、画素毎のばらつきを補償するので、より大きな面積のポリシリコン配列が製造されることを可能にする。このような画素アドレス指定時間は、大きな表示装置を設計する場合に限定因子となる。本発明は、特に、駆動トランジスタがLPTSトランジスタを有する表示装置に適している。

【0058】

本発明は、例えば微結晶性シリコンのような他のトランジスタ技術に適用可能である。

【0059】

様々な他の変形は、当業者には明らかであろう。

【図面の簡単な説明】

【0060】

【図1】既知のEL表示装置を示す。

【図2】入力駆動電圧を用いてEL表示画素を電流アドレス指定するための既知の画素回路の回路図である。

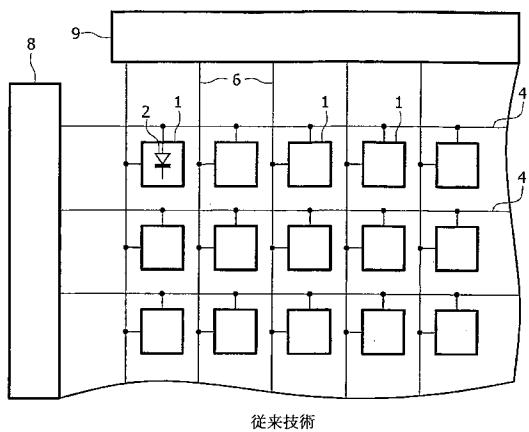
【図3】既知の閾値補償回路の回路図を示す。

【図4】本発明の表示装置用の画素配置の一例の回路図を示す。

【図5】図4の画素配置の動作に関するタイミング図である。

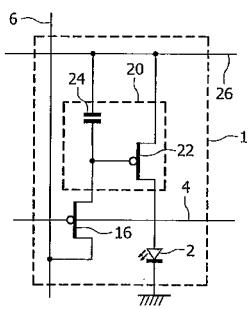
【図6】本発明の回路が、パイプライン化が実行されることを如何に可能にするかを示す図である。

【図1】



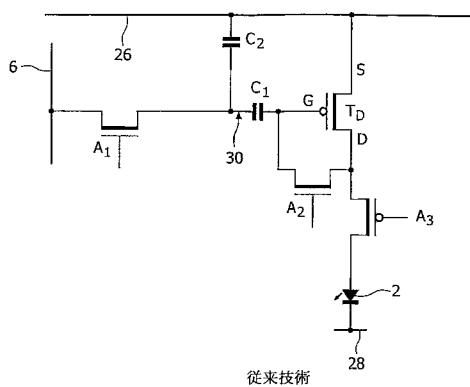
従来技術

【図2】



従来技術

【図3】



従来技術

【図4】

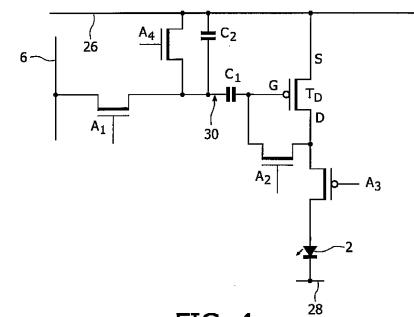
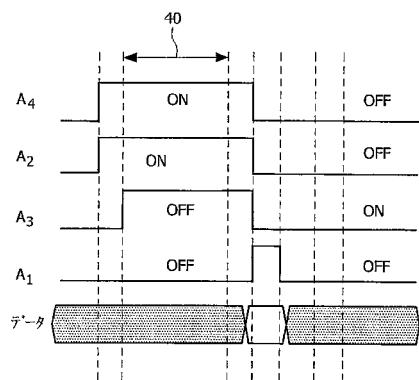
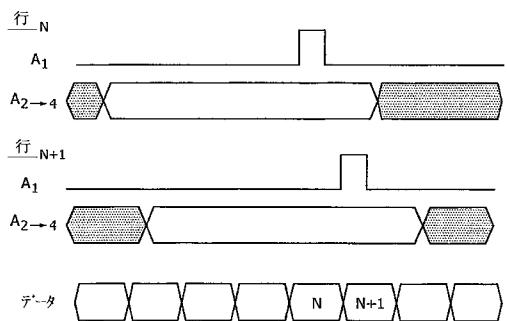


FIG. 4

【図5】



【図6】



【手続補正書】

【提出日】平成18年7月10日(2006.7.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】**【請求項6】**

夫々の画素は、前記入力トランジスタがオフであり、前記駆動トランジスタの閾値電圧から導出される電圧が第1のキャパシタに蓄積される第1のモードと、前記入力トランジスタがオンであり、前記画素へ入力されるデータが前記第2のキャパシタを前記画素のデータ電圧から導出される電圧へと充電する第2のモードとから成る2つのモードで動作可能であることを特徴とする請求項5記載の装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Int'l Application No
PCT/EP2005/050027

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>YUMOTO A ET AL: "PIXEL-DRIVING METHODS FOR LARGE-SIZED POLY-SI AM-OLED DISPLAYS" ASIA DISPLAY / IDW'01. PROCEEDINGS OF THE 21ST INTERNATIONAL DISPLAY RESEARCH CONFERENCE IN CONJUNCTION WITH THE 8TH INTERNATIONAL DISPLAY WORKSHOPS, NAGOYA, JAPAN, OCT. 16 - 19, 2001, INTERNATIONAL DISPLAY RESEARCH CONFERENCE. IDRC, SAN JOSE, CA : SI, vol. CONF. 21 / 8, 16 October 2001 (2001-10-16), pages 1395-1398, XP001134248 page 1395, right-hand column, paragraph 2; figure 2</p> <p>-----</p> <p>-/-</p>	1,15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		
E earlier document but published on or after the International filing date		
L document which may throw doubts on priority claim(s) or which cited to establish the publication date of another citation or other special reason (as specified)		
O document referring to an oral disclosure, use, exhibition or other means		
P document published prior to the International filing date but later than the priority date claimed		
T later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
8 document member of the same patent family		
Date of the actual completion of the International search	Date of mailing of the International search report	
15 March 2005	31/03/2005	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Farricella, L	

INTERNATIONAL SEARCH REPORT

International Application No PCT/IB2005/050027

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/011584 A1 (AZAMI MUNEHIRO ET AL) 16 January 2003 (2003-01-16) paragraph '0090! – paragraph '0134!; figures 1,25	1,15
A	WO 03/077229 A (SAMSUNG ELECTRONICS CO., LTD; CHOI, BEOM-RAK; CHOI, JOON-HOO; CHAE, CH) 18 September 2003 (2003-09-18) page 6, line 4 – page 8, line 16; figures 1-4	1,15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/IB2005/050027

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2003011584	A1 16-01-2003	JP	2003029707 A	31-01-2003
		JP	2003091260 A	28-03-2003
		CN	1397922 A	19-02-2003
		TW	554558 B	21-09-2003
WO 03077229	A 18-09-2003	KR	2003073116 A	19-09-2003
		AU	2002329105 A1	22-09-2003
		WO	03077229 A1	18-09-2003

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/30	K
H 0 5 B	33/14	A

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,L,U,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 フィッシュ , デイヴィッド エイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

(72)発明者 チャイルズ , マーク ジェイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

F ターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH04 HH05

5C080 AA06 AA07 AA13 BB05 DD05 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007522492A5	公开(公告)日	2008-02-21
申请号	JP2006548493	申请日	2005-01-04
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ チャイルズマークジェイ		
发明人	フィッシュ,デイヴィッド エイ チャイルズ,マーク ジェイ		
IPC分类号	G09G3/30 G09G3/34 G09G3/20 G09G3/32 H01L51/50		
CPC分类号	G09G3/3233 G09G3/20 G09G2300/0417 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/061 G09G2320/043		
FI分类号	G09G3/30.J G09G3/34.C G09G3/20.624.B G09G3/20.611.H G09G3/32.A G09G3/20.621.A G09G3/20. 641.D G09G3/20.612.T G09G3/20.642.A G09G3/30.K H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/AA07 5C080/AA13 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2004000213 2004-01-07 GB		
其他公开文献	JP2007522492A		

摘要(译)

有源矩阵EL显示装置包括串联连接在像素驱动晶体管的栅极和源极或漏极之间的第一和第二电容器。输入到像素的数据被提供给第一和第二电容器之间的结，从而将第二电容器从像素数据电压充电到导出的电压。从驱动晶体管阈值电压导出的电压存储在第一电容器中。放电晶体管连接在第一和第二电容器之间的接触和显示装置的所有像素的公共线之间。该器件使用公共线作为阈值电压测量操作的放电吸收/源。通过避免用于此目的使用的数据线，所述像素可以是在阈值测量发生的非寻址状态。