

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-507531  
(P2006-507531A)

(43) 公表日 平成18年3月2日(2006.3.2)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K007
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 J	5C080
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 612F	
	G09G 3/20 612G	
	G09G 3/20 624B	

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

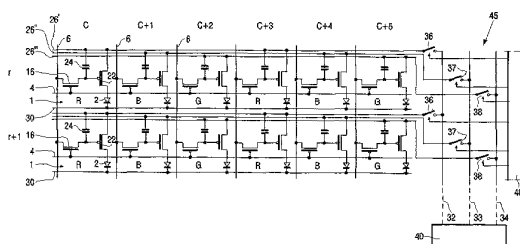
(21) 出願番号	特願2004-554768 (P2004-554768)	(71) 出願人	590000248
(86) (22) 出願日	平成15年11月11日 (2003.11.11)		コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
(85) 翻訳文提出日	平成17年5月20日 (2005.5.20)		Koninklijke Philips Electronics N. V.
(86) 国際出願番号	PCT/IB2003/005105		オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
(87) 国際公開番号	W02004/049289		Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(87) 国際公開日	平成16年6月10日 (2004.6.10)	(74) 代理人	100070150
(31) 優先権主張番号	0227356.3		弁理士 伊東 忠彦
(32) 優先日	平成14年11月23日 (2002.11.23)	(74) 代理人	100091214
(33) 優先権主張国	英国 (GB)		弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 アクティブマトリクスエレクトロルミネッセンス表示装置

(57) 【要約】

カラーアクティブマトリクスEL表示装置は、電力ライン(26)に駆動トランジスタ(22)を直列に接続されたエレクトロルミネッセンス表示素子(2)を各々有する、カラー画素(1)の行及び列アレイを有する。行における異なる色の画素はそれぞれ個別の電力ライン(26'、26''及び26''')に接続されている。画素の行に対応付けられた個別の電力ラインの各々へのそれぞれの電力供給は、行における異なる色の画素のデューティサイクルの制御を可能にするように、個々にスイッチング(45, 48)可能である。このように、表示素子においても散られる異なる色のEL材料の異なる効率が割り当てられることができ、各々の色の相対輝度の調節を達成することができる。



## 【特許請求の範囲】

## 【請求項 1】

表示画素の行及び列アレイを有するカラーアクティブマトリクスエレクトロルミネッセンス表示装置であって：

各々の画素は、前記表示装置により電流を駆動するための駆動トランジスタとエレクトロルミネッセンス表示素子とを有し；そして

前記駆動トランジスタ及び前記表示素子は、共通電位ラインと前記表示素子から又はそれに制御可能な電流を引き出す又は供給するための電力ラインとの間に直列に接続されている；

表示装置であって、

表示画素の各々の行は、異なる色の光出力を生成するための異なる色の表示画素を有し；

行において各々の色の表示画素はそれぞれの個別の電力ラインと対応付けられており；

各々の電力ラインに対する電源は、対応付けられた表示画素のデューティサイクルを制御するように個別にスイッチング可能である；

ことを特徴とする表示装置。

10

## 【請求項 2】

請求項 1 に記載の表示装置であって、前記の画素の行に対応付けられた電力ラインは、行の一端部においてスイッチング構成により電源に接続されている、ことを特徴とする表示装置。

20

## 【請求項 3】

請求項 2 に記載の表示装置であって、前記の画素の行に対応付けられた電力ラインは、前記スイッチング構成のそれぞれのスイッチにより少なくとも 1 つの電源レールに接続されている、ことを特徴とする表示装置。

## 【請求項 4】

請求項 3 に記載の表示装置であって、前記電源の数は、画素の行に対応付けられた電力ラインの数に対応し、前記電源レールは前記画素の行の全てにより共有されている、ことを特徴とする表示装置。

## 【請求項 5】

請求項 3 又は 4 に記載の表示装置であって、各々のフレーム期間に、各々の画素の行は、前記画素の前記駆動トランジスタの動作を制御するための駆動信号を記憶するように、それぞれの行アドレス期間に順次アドレス指定されるように備えられている、ことを特徴とする表示装置。

30

## 【請求項 6】

請求項 5 に記載の表示装置であって、前記スイッチング構成は、前記電力ラインに対応付けられた前記表示画素の前記デューティサイクルを決定するアドレッシングに続く所定期間の間、前記電源に画素の行に対応付けられた前記電力ラインの各々を接続するように動作可能である、ことを特徴とする表示装置。

## 【請求項 7】

請求項 6 に記載の表示装置であって、前記の行の電力ラインは、前記行アドレス期間にすぐに続く所定の期間の間、前記電源に接続される、ことを特徴とする表示装置。

40

## 【請求項 8】

請求項 5 乃至 7 のいずれ一項に記載の表示装置であって、各々の画素は、前記行アドレス期間の間、前記駆動トランジスタのゲートに対してデータ電圧をスイッチングするためのアドレスタランジスタと前記駆動トランジスタのデータ電圧を記憶するための保持容量とを有し、前記スイッチング構成は、前記アドレス期間の間、前記電源から画素の行の前記電力ラインの接続を切るように動作する、ことを特徴とする表示装置。

## 【請求項 9】

請求項 5 乃至 7 のいずれ一項に記載の表示装置であって、前記画素各々は、前記行アドレス期間中、駆動電流をサンプリングするための電流サンプリング回路と、サンプリング

50

駆動回路に対応する前記駆動トランジスタに対してゲート・ソース電圧を記憶するための保持容量とを有する、ことを特徴とする表示装置。

【請求項 10】

請求項 2 乃至 7 のいずれ一項に記載の表示装置であって、前記スイッチング構成は、前記表示素子と電力ラインとを支持する前記装置の基板上に形成されている、ことを特徴とする表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれ一項に記載の表示装置であって、各々の表示画素の行は、赤色、緑色及び青色の画素を有し、前記の異なる色の画素はそれぞれの電力ラインに接続されている、ことを特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、カラーアクティブマトリクスエレクトロルミネッセンス表示装置に関し、例えば、高分子LEDのような有機エレクトロルミネッセンス素子を用いたアクティブマトリクス表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセンス(EL)発光装置を用いるマトリクス型表示装置は周知である。その表示素子は、例えば、高分子材料を用いる有機薄膜エレクトロルミネッセンス素子、又は、従来のIII-V族化合物半導体を用いる発光ダイオード(LED)を有することが可能である。有機エレクトロルミネッセンス材料であって、特に高分子材料における近年の研究は、映像表示装置に対して実際に使用されるそれらの能力を示してきた。それらの材料は、典型的には、一对の電極間に挟まれた半導体性共役系高分子の1層又はそれ以上の数の層を有し、それら電極の一方は透明であり、他方は高分子層にホール又は電子を注入するために適する材料から成る。

20

【0003】

高分子材料層は、PVDプロセスを用いて形成することができ、又は可溶性共役高分子の溶液を用いて、スピンコーティング技術により簡単に形成することができる。有機エレクトロルミネッセンス材料は、ダイオードのようなI-V族半導体材料の特性を示し、それ故、それらの材料は表示機能及びスイッチング機能両方を備えることができ、受動型表示装置において用いられることができる。又、表示素子を流れる電流を制御するためのスイッチング素子及び表示素子を有する各々の画素を有するアクティブマトリクス表示装置に対して、それらの材料が用いられることが可能である。

30

【0004】

表示素子を通して流れる電流を決定する電流源トランジスタに供給されるゲート電圧を、画素構成の一部としての電流源トランジスタに印加することが知られている。保持容量はアドレスフェーズの後、ゲート電圧を維持する。

【0005】

図1は、既知のアクティブマトリクスアドレスエレクトロルミネッセンス表示装置を示している。その表示装置は、ブロック1により表される、一定間隔を置いた画素の行列マトリクスアレイを有するパネルを有し、行(選択)列(データ)アドレス導体4及び6の交差部分の集合間の交差点に位置付けられた、関連スイッチング手段を共なったエレクトロルミネッセンス表示素子2を有する。実際には、数百の画素の行及び列が存在することが可能である。画素1は、それぞれの導体の集合の端部に接続された、列、データ、駆動回路9と行、走査、駆動回路とを有する周辺駆動回路により、行及び列のアドレス導体の集合によりアドレス指定される。

40

【0006】

エレクトロルミネッセンス表示素子2は、ここでは、ダイオード素子(LED)として表され、1つ又はそれ以上の有機エレクトロルミネッセンス材料の活性層が間に挟まれた

50

一对の電極を有する、有機発光ダイオードを有する。アレイを有する表示素子は、絶縁基板の一方側に、関連アクティブマトリクス回路構成と共に支持されている。表示素子の陰極が又は陽極のどちらかは、透明導電材料から構成されている。下方に発光する構成に対して、その基板はガラスのような透明材料から成り、基板に最も近い表示素子2の電極は、その基板の他方側においてビューアが見ることができるように、エレクトロルミネッセンス層により生成された光がそれらの電極及び基板を透過するように、ITOのような透明導電材料から成る。表示素子2に対して用いることができる適切な有機エレクトロルミネッセンス材料の典型的な例については、欧州特許第0717446号明細書に記載されており、既知である。国際公開第96/36959号パンフレットに記載されているような共役高分子材料が又、使用されることができる。

10

**【0007】**

図2は、電圧アドレス指定動作のための既知の画素及び駆動回路構成の配置を、単純化した模式図で示している。各々の画素1は、EL表示素子2と関連駆動回路構成とを有している。その駆動回路構成は、行導体4における行アドレスパルスによりオンにされるアドレストランジスタ16を有している。アドレストランジスタ16がオンにされる時、列導体6の電圧は残りの画素に渡すことができる。特に、アドレストランジスタ16は、駆動トランジスタ22と保持容量24とを有する電流源20に列導体電圧を印加する。列電圧は駆動トランジスタ22のゲートに印加され、ゲートは、行アドレスパルスが終了した後に保持容量24によりこの電圧に維持される。駆動トランジスタ22は、同じ行における画素全てに共通である電力供給ライン26から電流を引き出し、EL表示素子1を

20

**【0008】**

この回路における駆動トランジスタ22は、PMOS-TFTとして実施され、それ故、保持容量24は固定されたゲートソース電圧に保たれる。この結果、トランジスタを流れて流れる固定されたソースドレイン電流が得られ、それ故、画素の所望の電流源動作が与えられる。

**【0009】**

上記の基本的な画素回路は電圧アドレス指定画素であり、又、駆動電流をサンプリングする電流アドレス指定画素が存在する。しかしながら、画素構成全ては、各々の画素に供給される電流を必要とする。

30

**【0010】**

カラー表示装置においては、各々の画素行は、異なる色であって、典型的には、赤色、緑色及び青色の光出力を生成する画素を有する。それぞれのカラーフィルター要素と共に白色発光エレクトロルミネッセンス(EL)表示素子を用いることにより、異なる色を生成することが可能である。好適には、しかしながら、異なる色の光出力は、赤色、緑色及び青色EL表示素子に対して異なるEL材料を用いることにより、得られ、これは、通常、最も効率的な方法である。

**【0011】**

そのようなカラー表示装置のもつ問題点は、一般に、各々の画素から同様の光量(即ち、輝度レベル)を生成するためにEL表示素子に印加する必要がある電圧及び電流が著しく変化することである。これは、部分的に、青色又は赤色光より緑色光に対してより感度がある、眼の応答の関数であり、又、異なる色の画素に対して用いられる異なるEL材料は異なる光生成効率を有することによる。現在、使用可能である高分子LED材料を用いる典型的な例としては、赤色画素は、バランスのよい白色を生成するためには、緑色画素の電流及び電圧の数倍を必要とする。通常の駆動スキームにおいては、画素アレイのための駆動回路は、好適には、画素全てを駆動することができる必要があり、画素に電力を供給するラインの電圧は、最小効率でカラー画素を適切に駆動するのに十分である必要がある。しかしながら、このことは、駆動回路が必要とされるより大きい電力を浪費する結果、比較的大きい電圧において動作する電力ラインにより駆動される最大効率のカラーEL

40

50

素子に繋がる。

【0012】

異なる色のEL素子のための駆動トランジスタにより印加される駆動電流は、それらのチャンネル寸法を適切にスケールングすることにより異なる光生成効率を占めるように調節されることが可能であるが、これは、異なる色の画素に対して、異なる問題であって、例えば、より複雑は製造及び異なる画素開口特性をもたらす。

【発明の開示】

【課題を解決するための手段】

【0013】

本発明に従って、表示画素の行及び列アレイを有するカラーアクティブマトリクスエレクトロルミネッセンス表示装置であって、各々の画素は、エレクトロルミネッセンス表示素子と表示素子を通して流れる電流を駆動するための駆動トランジスタとを有し、駆動トランジスタ及び表示素子は、表示素子に又は表示素子から制御可能電流を供給する又は引き出すための電力ラインと共通電位ラインとの間に直列に接続され、表示画素の各々の行は異なる色の光出力を生成するための異なるカラー表示画素を有し、行における各々の色の表示画素はそれぞれの個別の電力ラインに対応付けられ、そして、各々の電力ラインへの電力供給は、関連表示画素のデューティサイクルを制御するように個別にスイッチング可能である。

10

【0014】

デューティサイクルを制御する能力、即ち、この方式で個別の電力ラインを用いて異なるカラー表示画素の一フレーム期間又は走査サイクルにおける、画素が光を発光する時間対光を発光しない時間の比は、上記の種類の問題を回避し、又、更なる優位性を提供する。画素のEL表示素子が、通常の場合のような実質的に全フレーム期間ではなく、有効なフレーム期間の一部のみに間に光出力を生成するように電力供給される場合、ビューアが眼で確認できる表示素子の輝度は減少する。発光持続時間の変化は、LED素子のピーク電流における変化に対応する。フレーム期間の $1/X$ に対する輝度レベル $Y$ において電力供給された表示素子は、 $Y/X$ の時間において輝度を平均で有するよう見える。それ故、EL表示素子が異なる効率を有する異なる色の表示画素の場合には、例えば、表示素子が消費する電流を低く保つように、実質的に全体のフレーム期間に対して低い効率のEL表示素子に電力供給することが、及び、低い効率の素子のそれと同じオーダーであるように、表示素子が消費する電流を増加させるためにフレーム期間の比較的短い割合の間、高い効率のEL素子に電力供給することが、個々のデューティサイクルの制御により、可能となる。この点で、異なる色の画素に対する駆動電流ができるだけ等しくなるようにすることは、駆動回路構成の考慮から好ましい。更に、個別に制御される表示画素の異なる色の各々のデューティサイクルが、それぞれの電力供給ラインへの電力供給を制御されるようにすることにより、各々の色の相対輝度の調節を容易に実行することができる。

20

30

【0015】

色深度及びガンマに必ずしも影響を与えることなく、全表示(画像)出力の輝度及び異なる色の輝度を個別に制御するための能力はかなり有用であることが理解されるであろう。

40

【0016】

行の画素に対する電流は複数の電力ラインにより流されるため、各々の電力ラインは、行における画素全てに対して用いられる単一の電力ラインの幅又は厚さに比べて、その幅又は厚さを減少させることができる。

【0017】

好適な実施形態においては、画素の各々の行は、赤色、緑色及び青色表示画素を有し、赤色、緑色及び青色表示画素にそれぞれ接続された3種類の電力ラインを備えている。アレイの画素は、それぞれの行アドレス(ライン)期間において従来の方式でプログラムされることができる。それらアレイの画素は、決定された駆動TFTゲート電圧と列導体に印加される電圧データ信号とを用いて電圧プログラムされることが可能であり、それによ

50

り、保持容量において維持されることが可能であり、又は、例えば、例えば、米国特許第 6,359,605 号明細書に記載されているような各々の画素回路におけるカレントミラーであって、その文献の援用によって本発明の説明の一部を代替する、カレントミラーを用いて、駆動電流をサンプリングすることにより電流プログラム去れることが可能である。前者の場合、行の電力ラインへの電力はオフにされる一方、行の表示画素は、行アドレス期間においてアドレス指定され且つプログラムされ、その後、EL素子に電力供給するようにオンにされる。その結果、アドレス期間中、電力ラインからEL素子を分離するように動作する付加TFTを各々の画素において備えることの必要性は、好ましいプログラム状態を変える電力ラインに沿って生じさせることができる電圧降下の影響を補償するために、ときどき必要である。

10

**【0018】**

表示素子の行に対応付けられた電力ラインは、スイッチング構成のそれぞれのスイッチによりそれぞれの電力レールにアレイの一方側において好適に接続され、電力レールは、表示画素の行すべての電力ラインにより共有されている。好適には、スイッチング構成は、電力ラインに対応付けられた表示画素に対する好ましいデューティサイクルにとって適切な時間の間、それぞれの電力レールに1つの画素行の各々の電力ラインを接続するように、順次に動作する行である。例えば、シフトレジスタ型回路を使用して、この方式におけるスイッチング構成の時間調節動作を達成することが可能である。

**【0019】**

本発明の実施形態については、以下、添付図面を参照しながら、例示として詳述する。

20

**【0020】**

図は単なる概要であることに留意する必要がある。同じ参照番号は、同じ又は類似する部分を示すように、全体の図を通して付けられている。

**【発明を実施するための最良の形態】****【0021】**

図3を参照するに、2つの隣接する行 $r$ 及び $r+1$ の各々における隣接する列 $C$ 乃至 $C+5$ における6つの表示画素を有する、本発明に従ったカラーアクティブマトリクスEL表示装置の代表的な一部を示している。典型的には、そのEL表示装置は、表示画素の数百の列及び数百の行を有する。各々の画素1は、それぞれの色の光出力を生成するように動作し、図3において、ラベルR、G及びBにより表しているように、列 $C$ 、 $C+3$ 等における画素は赤色光を生成し、列 $C+1$ 、 $C+4$ 等における画素は青色光を生成し、そして列 $C+2$ 、 $C+5$ 等における画素は緑色光を生成する。それ故、行における3つの隣接画素の群はカラートリプレットを成す。

30

**【0022】**

各々の画素1は、ここで、PMOS TFTの形のアドレスタランジスタ16を有する関連ドライバ回路構成とEL表示素子を有する、図2の画素に類似する従来形態を有し、そのトランジスタ16のソース電極及びドレイン電極は又、PMOS TFTの形で列導体6と駆動トランジスタ22のゲートとの間に接続され、そのトランジスタ22のゲートは行導体4に接続されている。保持容量24は、トランジスタ16及び22の間のノードに接続されている。行導体4は同じ行における画素全てにより共有され、列導体6は同じ列における画素全てにより共有されている。

40

**【0023】**

行における画素全てのEL表示素子2の陰極は共通電位ライン30に接続されている。実際には、このラインは、通常、アレイにおける画素全てに共通の連続シート電極の形で備えられている。

**【0024】**

駆動トランジスタ22は、行方向に伸びている関連電力供給ライン26とEL素子2の陽極との間に接続され、そのトランジスタ22に、保持容量24の他の側が又、接続されている。

**【0025】**

50

同じ行における画素全ては単一の電力供給ラインを共有する、従来の画素回路構成とは異なり、3つの個別の電力ライン26'、26 及び26 ʼは各々の画素行に対して使用され、それぞれの色のそれらの画素の各々に接続されている。それ故、1つの画素の行においては、列C及びC+3における赤色発光画素は電力供給ライン26'に対応付けられ、列C+1及びC+4における青色発光画素は電力供給ライン26 に対応付けられ、そして、列C+2及びC+5における緑色発光画素は電力供給ライン26 ʼに対応付けられている。同じ行における他の画素全ては、同様の方式でそれぞれのそれらの電力供給ラインに接続されており、対応する3つの電力ラインの集合が他の画素の行の各々に備えられている。

#### 【0026】

画素1は、一般に、上記と同じように動作する。各々の画素の行は、行アドレス(選択)パルス信号が行の画素のアドレストランジスタ16をオンにするように関連行導体4に印加される、それぞれの行アドレス期間に順に個別にアドレス指定される。このとき、個々の列導体に印加されるデータ(輝度情報)電圧信号は、それ故、トランジスタ16により、行の各々の画素における保持容量24と駆動トランジスタ22のゲートに渡される。アドレスパルスの終了時に、トランジスタ16はオフにされ、駆動トランジスタ22のゲートは、画素の保持容量24によりデータ信号電圧に対応するレベルに保たれる。これらの保持電圧は、次いで、続く駆動位相において関連駆動トランジスタ22によりそれぞれのEL表示素子を流れる電流を決定し、それ故、その位相の期間におけるEL素子からの光出力を決定する。駆動トランジスタ22は、その電流を既定するそのソースとそのゲートとの間の電圧によりトランスコンダクタンスモードで動作する。EL表示素子に電流を供給する電力ラインへの電力は続く行アドレス期間に供給される。

#### 【0027】

アレイにおける画素行全ては、フレーム期間において順に、このようにしてアドレス指定され、続くフレーム期間において繰り返してアドレス指定され、フレーム期間 $T_f$ は $N \times T_r$ に略等しく、ここで、Nは画素行の数であり、 $T_r$ は行アドレス期間である。

#### 【0028】

この動作は、従来の方法に従うものであり、それ故、詳細説明はここでは省略することにする。その動作に関する更なる情報については、画素回路基準について、欧州特許第0717446号明細書のような上記の文献に記載されており、その文献には又、それら回路構成の詳細について記載されている。

#### 【0029】

既知の表示装置においては、画素は、光生成効率のような、異なるカラーLED表示素子2の特性における差に拘わらず、通常、再びアドレス指定されるまで、実質的に全体の残りのフレーム期間の間の行アドレス期間中に印加されるデータ電圧信号に従って発光するように動作する。

#### 【0030】

異なる色の画素のデューティサイクルが独立して変えられることにより、それら画素のそれぞれの効率のような動作特性における違いに対する特定の補償として、そして図3の装置における異なるカラー画素のために、個別の電力供給ラインを備えることにより、その装置の異なる色の画素の大きい制御性が可能になる。

#### 【0031】

画素の行に対応付けられる3つの電力ライン26'、26 及び26 ʼは、電源40に接続されたそれぞれの電力レール32、33及び34に行の一端部において接続され、個別に制御可能なスイッチ36、37及び38によりアレイの一方側に沿って伸びている。

#### 【0032】

所定の一定電圧が、電源40によりそれら電力レールに印加される。電力レール32、33及び34は、画素行全ての電力ライン26'、26 及び26 ʼにより共有されている。行全てと共に対応付けられたスイッチ36、37及び38は、スイッチ36、37

10

20

30

40

50

及び38がそれぞれの電力ライン26'、26及び26'への電力の供給を効果的に制御する、スイッチング構成45を構成する。それ故、スイッチ36は赤色画素への電力供給を制御し、スイッチ37は青色画素への電力供給を制御し、そしてスイッチ38は緑色画素への電力供給を制御する。1つの画素行に対応付けられたスイッチ36、37及び38の動作は、それ故、行における異なる色の画素の3つの集合のそれぞれの動作の制御を可能にし、それ故、それら3つの集合のデューティサイクルが個別に決定されることを可能にする。この点で、スイッチング構成45におけるスイッチ36、37及び38の開状態及び閉状態は制御回路48により制御され、その制御回路は、例えば、シフトレジスタ回路の形態をとることが可能である。制御回路48を含む、スイッチング構成45及び電力レールは、便利であることに、導体4、6、30及び26と画素回路構成を支持する基板上に集積されることが可能であり、共通の堆積層により同時に製造されることが可能であり、スイッチ36、37及び38並びに制御回路における部分は、例えば、ポリシリコンTFTから構成される。

10

## 【0033】

スイッチ36、37及び38は、それらが電源40に接続されていないとき、基準電位であって、例えば、アースに電力ラインを接続するように備えられることが可能である。電力レール32、33及び34も印加される電圧は、それらに対応付けられる異なる色のEL素子の要求に従って、異なっており、そして選択されることが可能である。他方、同じ電圧が画素全てに対して用いられる場合、次いで、1つの電力レールのみが必要である。

20

## 【0034】

スイッチング構成45の動作は、それ故、行における異なる色の画素の3つの集合の各々が電力供給され、それらスイッチの時間調節動作を変化させることにより、異なる色の画素に対するデューティサイクルが個別に変化される、フレーム期間の割合を決定する。このように、3つの集合のデューティサイクルを変化させることにより、それらの異なる効率は、存在する場合、補償されることができ、アレイからの表示出力の色成分はより良好に制御されることができ、全フレーム期間の一部のみに対して発光するように電力供給された画素は、全体のフレーム期間の間、電力供給された画素を比べて、輝度が減少したように見える。印加されたデータ信号に従った駆動トランジスタ22の電流制御により、そして全フレーム期間の1/Xに対して、輝度出力レベルYを生成するように、画素が電力供給される場合、ビューアは、時間Y/Xに亘って平均輝度を有するとして知覚する。異なる効率のLEG材料を用いて画素のそれぞれのデューティサイクルを調節することにより、画素が消費する電流を等しくすること及び/又は最適化することが可能になる。小さい効率の画素は、その画素の電流消費を小さく保つようにアドレッシングに続く全フレーム期間の間、電力供給されることができ、大きい効率の画素は、類似する量の電流を消費するように、全フレーム期間の一部の間、電力供給されることができ、更に、異なる色の画素のデューティサイクルを変化させる能力は、知覚される異なる色の輝度が個別に制御されること、及び、アレイ出力の全体的な輝度が調節されることを可能にする。更に、表示出力に対する簡単な色制御が、ガンマに影響を与えずに、効果を現すことができる。電圧プログラムされる画素の場合、上記のように、電力ライン26'、26及び26'への電力は、関連行アドレス期間中、関連スイッチ36、37及び38を動作させることにより好適に回避され、次いで、画素に電力供給されるように直後にそれらのスイッチを閉状態にする。これは、アドレッシング中の電力ラインに沿って生じ得る電圧降下が、プログラムされた電圧に影響を及ぼさないように及び画素出力の不均一性に導かないようにする効果を有する。

30

40

## 【0035】

ここで、異なる色の画素に対して異なるデューティサイクルを用いて表示装置を動作する方法の例について、図4を参照して説明する。図4は、図3に示す画素アレイの一部にある6本の電力ライン26'、26及び26'に印加される例示としての波形を示している。T軸は時間を表す。図4a及4eは、行r及びr+1それぞれに対する行導体4

50

に印加される行アドレスパルスを示し、これらのパルスは、フレーム期間  $T_f$  の初期の一部における行アドレス期間  $T_r$  の間、印加される。それ故、行  $r$  における画素 1 は、画素においてプログラムされた関連データ信号電圧を用いて、それぞれの行アドレス期間においてアドレス指定され、その直後に、行  $r + 1$  における画素が同様にアドレス指定され、それぞれのフレーム期間において順に続く画素行すべてにより後続される。図 4 b、4 c 及び 4 d は、画素行  $r$  の電力ライン 26'、26 及び 26' それぞれに電力を供給する場合のスイッチ 36、37 及び 38 の動作を示している一方、図 4 f、4 g 及び 4 h は、画素行  $r + 1$  に対応付けられた電力ライン 26'、26 及び 26' に対する同じ種類の動作を示している。この例から理解できるように、赤色画素に対応付けられた電力ライン 26' に供給される電力に対する持続時間は、緑色画素に対応付けられた電力ライン 26' に供給される電力に対する持続時間より長い、青色画素に対応付けられた電力ライン 26 に供給される電力に対する持続時間より長い。波形の立ち下がり端部における矢印はこれらの持続時間における可能な変化を示している。いずれの一の電力ラインの電力供給の持続時間は、フレーム期間  $T_f$  の略終了に対応する最大値に対して減少又は増加することが可能である。

10

#### 【0036】

図から明らかであるように、スイッチ 36、37 及び 38 は順次に行を制御する。それ故、1つの行に対応付けられた3つのスイッチ 36、37 及び 38 は、制御回路 48 による適切な制御により、選択された時間に動作され、この一連の動作は、次の行に対応付けられたスイッチについて繰り返され、一行アドレス期間だけ遅延される。

20

#### 【0037】

当業者は、種々の変形が可能であることを理解しているであろう。

#### 【0038】

例えば、3つの個別の電力レール 32、33 及び 34 は、電力ライン 26'、26 及び 26' の各々の集合に対して、備えられているが、電力ライン全てがスイッチにより接続されている単一の電力レールを用いることが可能であるが、異なる色の画素の3つの集合の各々に対して異なる供給電圧レベルを用いることは可能ではない。

#### 【0039】

簡単な、電圧アドレス指定された、画素回路の形態は、上記の実施形態の駆動において使用されたが、他の既知の種類画素回路を使用することが可能である。例えば、駆動トランジスタの閾値電圧補償のための又はエージング補償のための付加回路素子を用いる既知の画素回路を使用することが可能である。更に、電流アドレス指定タイプの画素回路であって、典型的には、行アドレッシング中に駆動電流をサンプリングするためのカレントミラー回路を用いる、画素回路を使用することが可能である。これらの代替の画素回路は、NMOS、PMOS 又は CMOS 技術を用いることが可能である。

30

#### 【0040】

本明細書を読むことにより、他の変形が可能であることを、当業者は理解するであろう。そのような変形は、上で既に説明した特徴に加えて又はそれらに代えて使用することが可能である、並びに、アクティブマトリクス EL 表示装置及びその構成要素の分野で周知である、他の特徴を有することが可能である。

40

#### 【図面の簡単な説明】

#### 【0041】

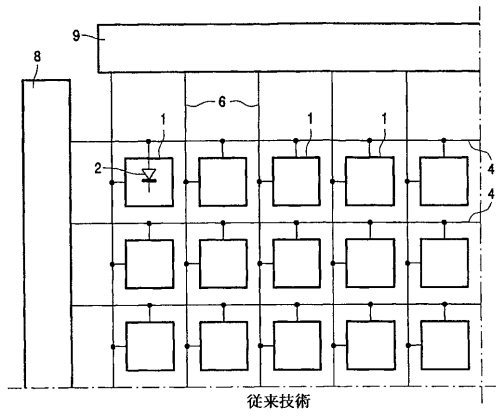
【図1】既知のアクティブマトリクス EL 表示装置の模式図である。

【図2】アクティブマトリクス EL 表示装置における EL 表示画素を電圧アドレッシングするための基地の画素回路の簡略化された模式図である。

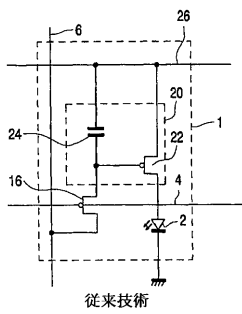
【図3】本発明に従ってカラーアクティブマトリクス EL 表示装置における2つの隣接行の幾つかの表示画素の回路の模式図である。

【図4】図3の表示画素の駆動において用いられる波形の例を示す図である。

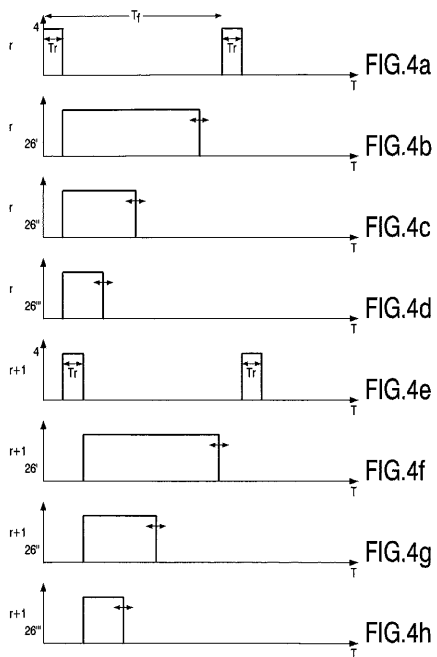
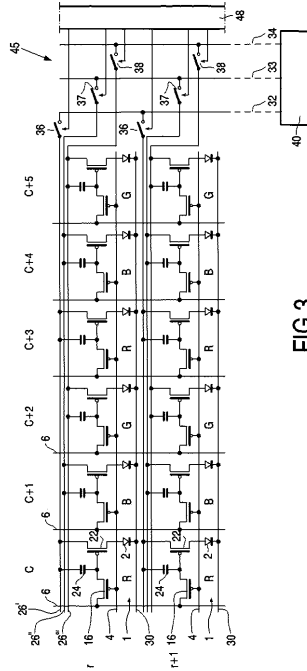
【 図 1 】



【 図 2 】



【 図 3 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/JP 03/05105
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) PAJ, EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 061 497 A (SONY CORP) 20 December 2000 (2000-12-20) paragraph '0047! - paragraph '0050!; figures 4,6,7 ---	1-11
X	US 2002/171611 A1 (COK RONALD S) 21 November 2002 (2002-11-21) paragraph '0013! - paragraph '0016!; figures 1-4 --- -/--	1, 11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 12 February 2004		Date of mailing of the international search report 26/02/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Morris, D

## INTERNATIONAL SEARCH REPORT

International Application No  
PC/JP 03/05105

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>YUMOTO A ET AL: "PIXEL-DRIVING METHODS FOR LARGE-SIZED POLY-SI AM-OLED DISPLAYS" ASIA DISPLAY / IDW'01. PROCEEDINGS OF THE 21ST INTERNATIONAL DISPLAY RESEARCH CONFERENCE IN CONJUNCTION WITH THE 8TH INTERNATIONAL DISPLAY WORKSHOPS. NAGOYA, JAPAN, OCT. 16 - 19, 2001, INTERNATIONAL DISPLAY RESEARCH CONFERENCE. IDRC, SAN JOSE, CA: SID, vol. CONF. 21 / 8, 16 October 2001 (2001-10-16), pages 1395-1398, XP001134248 page 1396, right-hand column, line 1 -page 1397, right-hand column, line 17; figures 1-8</p> <p>---</p>	1-11
Y	<p>WO 97 24706 A (CREE RESEARCH INC ; SWOBODA CHARLES M (US); VEN ANTONY P VAN DE (US) 10 July 1997 (1997-07-10) page 16, line 22 -page 17, line 14; figures 1-3 page 32, line 28 -page 34, line 11; figure 12</p> <p>---</p>	1-11
Y	<p>EP 0 762 374 A (MOTOROLA INC) 12 March 1997 (1997-03-12) column 1, line 5 -column 1, line 7 column 4, line 44 -column 5, line 29; figure 3 column 5, line 58 -column 6, line 34; figures 2,4,5</p> <p>---</p>	1-11
A	<p>PATENT ABSTRACTS OF JAPAN vol. 2002, no. 02, 2 April 2002 (2002-04-02) -&amp; JP 2001 290457 A (SEMICONDUCTOR ENERGY LAB CO LTD), 19 October 2001 (2001-10-19) abstract paragraph '0021! - paragraph '0026!; figures 1,2 paragraph '0124! - paragraph '0182!; figures 22-26</p> <p>-----</p>	1-11

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/JP 03/05105

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1061497 A	20-12-2000	JP 2001060076 A CN 1278635 A EP 1061497 A1 TW 502233 B US 6583775 B1	06-03-2001 03-01-2001 20-12-2000 11-09-2002 24-06-2003
US 2002171611 A1	21-11-2002	EP 1260959 A2 JP 2003015606 A	27-11-2002 17-01-2003
WO 9724706 A	10-07-1997	US 5812105 A AT 237859 T AT 196209 T AT 219274 T AU 1337297 A CA 2241555 A1 CN 1206484 A ,B DE 1139325 T1 DE 69610224 D1 DE 69610224 T2 DE 69621853 D1 DE 69621853 T2 DE 69627554 D1 DE 69627554 T2 DK 1139325 T3 DK 870294 T3 DK 989539 T3 EP 1139325 A1 EP 0870294 A2 EP 0989539 A1 ES 2169712 T1 ES 2150706 T3 ES 2177198 T3 HK 1015922 A1 JP 2000503133 T WO 9724706 A2	22-09-1998 15-05-2003 15-09-2000 15-06-2002 28-07-1997 10-07-1997 27-01-1999 17-10-2002 12-10-2000 26-04-2001 18-07-2002 02-10-2002 22-05-2003 15-01-2004 16-06-2003 02-01-2001 07-10-2002 04-10-2001 14-10-1998 29-03-2000 16-07-2002 01-12-2000 01-12-2002 23-03-2001 14-03-2000 10-07-1997
EP 0762374 A	12-03-1997	US 5748160 A EP 0762374 A1 JP 9138659 A	05-05-1998 12-03-1997 27-05-1997
JP 2001290457 A	19-10-2001	US 2001010512 A1	02-08-2001

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 L
	G 0 9 G 3/20	6 8 0 G
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100107766

弁理士 伊東 忠重

(72) 発明者 チャイルズ, マーク ジェイ

イギリス国, サリー アールエイチ1 5エイチエイ, レッドヒル, クロス・オーク・レーン, フィリップス インテレクチュアル プロパティ アンド スタンダーズ内(番地なし)

Fターム(参考) 3K007 AB04 BA06 DB03 GA04

5C080 AA06 BB05 CC03 DD03 EE25 EE29 EE30 FF11 HH09 JJ02

JJ03 JJ04

专利名称(译)	有源矩阵电致发光显示装置		
公开(公告)号	<a href="#">JP2006507531A</a>	公开(公告)日	2006-03-02
申请号	JP2004554768	申请日	2003-11-11
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	チャイルズマークジェイ		
发明人	チャイルズ,マーク ジェイ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G3/2014 G09G3/2074 G09G3/2081 G09G2300/0842 G09G2320/0233 G09G2320/0606 G09G2320/0626 G09G2320/0666 G09G2330/021		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.612.F G09G3/20.612.G G09G3/20.624.B G09G3/20.641.D G09G3/20.642.L G09G3/20.680.G H05B33/14.A		
F-TERM分类号	3K007/AB04 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE25 5C080/EE29 5C080/EE30 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2002027356 2002-11-23 GB		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

彩色有源矩阵EL显示装置具有彩色像素(1)的行和列阵列,每个彩色像素(1)具有与电源线(26)上的驱动晶体管(22)串联连接的电致发光显示元件(2)。行中不同颜色的像素连接到相应的电源线(26和26')。每个电力供给与像素的行相关联,单独的相应电源线的,以使在工作周期的不同颜色的像素的控制在一行中,分别地切换(45,48)可以一。以这种方式,也可以分配在显示元件中散射的不同颜色的EL材料的不同效率,并且可以实现每种颜色的相对亮度的调节。

