

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-524107

(P2005-524107A)

(43) 公表日 平成17年8月11日(2005.8.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/30 K	5C080
H05B 33/14	G09G 3/20 611A	
	G09G 3/20 612A	
	G09G 3/20 612E	
審査請求 未請求 予備審査請求 未請求 (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2004-500278 (P2004-500278)
 (86) (22) 出願日 平成15年4月22日 (2003. 4. 22)
 (85) 翻訳文提出日 平成16年11月25日 (2004. 11. 25)
 (86) 国際出願番号 PCT/GB2003/001712
 (87) 国際公開番号 W02003/091983
 (87) 国際公開日 平成15年11月6日 (2003. 11. 6)
 (31) 優先権主張番号 0209502. 4
 (32) 優先日 平成14年4月25日 (2002. 4. 25)
 (33) 優先権主張国 英国 (GB)
 (31) 優先権主張番号 0211735. 6
 (32) 優先日 平成14年5月21日 (2002. 5. 21)
 (33) 優先権主張国 英国 (GB)

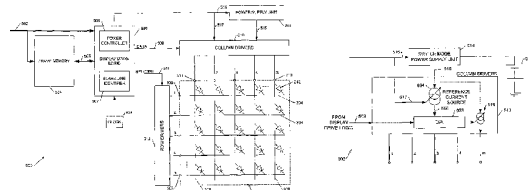
(71) 出願人 597063048
 ケンブリッジ ディスプレイ テクノロジ
 ー リミテッド
 イギリス・ケンブリッジシャー・CB3・
 6DW・キャンボーン・キャンボーン・ビ
 ジネス・パーク・(番地なし)・ビルディ
 ング・2020
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 ブランク・ラインをスキップする有機発光ダイオードのためのディスプレイ・ドライバ回路

(57) 【要約】

より大きい効率を有した有機発光ダイオード・ディスプレイ、特に受動マトリクス・ディスプレイを駆動するためのディスプレイ・ドライバ回路を記載している。ディスプレイ・ドライバ制御回路(506)は、受動マトリクスOLEDディスプレイ上に提起するためにフレーム・メモリ(504)からデータを読み取るためのフレーム・メモリ・インターフェース(505)を備える。ブランク・ライン識別子(507)は、フレーム・メモリ内のデータによって限定されるピクセルの1つ以上の実質的にブランクの行を識別し、そして制御回路(506)は、受動マトリクス・ディスプレイがアドレス指定されたときにこれらの行を通過してスキップする。ブランク・ラインがスキップされると、残りのラインの見掛けの明るさは増加し、従って、好ましくは、制御回路は、スキップされたラインの数に比例してディスプレイへの電源を減少させるための電力コントローラ(505)を含む。本発明は、制御された電流駆動を提供するディスプレイ・ドライバに特に適している。



【特許請求の範囲】

【請求項 1】

行及び列に配列されて行及び列電極でアドレス指定される複数のピクセルを備えた受動マトリクス放射型ディスプレイのためのディスプレイ・ドライバ制御回路であって、該制御回路は、ディスプレイ上に画像の現出を与えるよう順番に各行をアドレス指定するように構成されており、

ディスプレイ上に提起するためにフレーム・メモリからデータを読み取るためのフレーム・メモリ・インターフェースと、

前記データによって限定されるピクセルの 1 つ以上の実質的にブランクの行を識別するためのブランク・ライン識別子と、

を備え、前記制御回路は、さらに、前記行のアドレス指定中、前記ピクセルの 1 つ以上のブランクの行を通過してスキップするよう構成されているディスプレイ・ドライバ制御回路。

10

【請求項 2】

前記制御回路は、さらに、前記ディスプレイに対して実質的に一定のフレーム・レートを維持するよう構成されている請求項 1 に記載のディスプレイ・ドライバ制御回路。

【請求項 3】

さらに、前記ディスプレイのための電源を制御するための制御信号を提供するよう制御出力を含み、前記制御信号は、ピクセルの 1 つ以上のブランクの行の前記識別に依存して変化する請求項 1 または 2 に記載のディスプレイ・ドライバ制御回路。

20

【請求項 4】

前記制御回路は、さらに、ピクセルの前記ブランクの行の数が変化する時、知覚されるピクセルの明るさが実質的に一定にとどまるように、前記ピクセルへの列駆動を減少するよう構成されている請求項 1 または 2 に記載のディスプレイ・ドライバ制御回路。

【請求項 5】

さらに、前記ディスプレイに電流駆動を変化させるための列出力信号を提供して、列出力によって駆動される列におけるピクセルの明るさを変えるために少なくとも 1 つの列出力を含む請求項 1 または 2 に記載のディスプレイ・ドライバ制御回路。

【請求項 6】

さらに、前記電流駆動の基準レベルを決定するための基準駆動出力を含み、ここに、前記基準駆動出力は、前記ブランクの行の識別に依存している請求項 5 に記載のディスプレイ・ドライバ制御回路。

30

【請求項 7】

さらに、前記ディスプレイのための電源の電圧を制御するための電源制御出力を含む請求項 5 または 6 に記載のディスプレイ・ドライバ制御回路。

【請求項 8】

前記制御回路は、前記電源電圧が、前記フレーム・メモリ・データによって決定される実質的に最大に必要なとされる知覚されるディスプレイの明るさを提供するのに常にちょうど充分であるように、前記電源制御出力を制御するよう構成されている請求項 7 に記載のディスプレイ・ドライバ制御回路。

40

【請求項 9】

さらに、前記電源のためのスイッチ・モード電源回路を備える請求項 7 または 8 に記載のディスプレイ・ドライバ制御回路。

【請求項 10】

さらに、前記ディスプレイに前記電流駆動を提供するための制御可能な電流発生器を備える請求項 5 乃至 9 のいずれかに記載のディスプレイ・ドライバ制御回路。

【請求項 11】

前記ブランク・ライン識別子は、前記フレーム・メモリから読み取られたデータを用いて、ピクセルの前記 1 つ以上のブランクの行を識別するよう構成されている請求項 1 乃至 10 のいずれかに記載のディスプレイ・ドライバ制御回路。

50

【請求項 1 2】

前記ブランク・ライン識別子は、前記フレーム・メモリに書き込まれるデータをたどることにより、ピクセルの前記 1 つ以上のブランクの行を識別するように構成されている請求項 1 乃至 1 0 のいずれかに記載のディスプレイ・ドライバ制御回路。

【請求項 1 3】

前記制御回路は、さらに、前記行におけるピクセルの明るさに依存して、前記ディスプレイの行がアドレス指定されるライン周期を変化させるように構成されている請求項 1 乃至 1 2 のいずれかに記載のディスプレイ・ドライバ制御回路。

【請求項 1 4】

さらに、前記列電極を駆動するために、複数個の列ドライバを備えた請求項 1 乃至 1 3 のいずれかに記載のディスプレイ・ドライバ制御回路。 10

【請求項 1 5】

さらに、前記行電極を駆動するために複数個の行ドライバを備えた請求項 1 乃至 1 4 のいずれかに記載のディスプレイ・ドライバ制御回路。

【請求項 1 6】

さらに、前記フレーム・メモリを備えた請求項 1 乃至 1 5 のいずれかに記載のディスプレイ・ドライバ制御回路。

【請求項 1 7】

有機発光ダイオードを基にした受動マトリクス・ディスプレイのための請求項 1 乃至 1 6 のいずれかに記載のディスプレイ・ドライバ制御回路。 20

【請求項 1 8】

行及び列に配列されて行及び列電極によってアドレス指定される複数のピクセルを備えた受動マトリクス・エレクトロルミネセント・ディスプレイのためのディスプレイ・ドライバ制御回路であって、該制御回路は、ディスプレイ上に画像の現出を与えるよう順番に各行をアドレス指定するよう構成されており、

ディスプレイ上に提起するためにフレーム・メモリからデータを読み取るためのフレーム・メモリ・インターフェースと、

前記データによって限定されるピクセルの 1 つ以上の実質的にブランクの行を識別するためのブランク・ライン識別子と、

前記行のアドレス指定中にピクセルの前記 1 つ以上のブランクの行を通過してスキップするための手段と、 30

前記ディスプレイのための電源を制御するために制御信号を提供する制御出力と、を備え、前記制御信号は、ピクセルの 1 つ以上のブランクの行の前記識別に依存するディスプレイ・ドライバ制御回路。

【請求項 1 9】

第 1 の複数の第 1 の電極と第 2 の複数の第 2 の電極とによってアドレス指定されるエレクトロルミネセント・ディスプレイ素子のマトリクスを駆動するためのディスプレイ・ドライバ回路であって、

前記第 1 の電極に対しインターフェースするための第 1 のディスプレイ・インターフェース回路と、 40

前記第 2 の電極に対しインターフェースするための第 2 のディスプレイ・インターフェース回路と、

前記第 1 のディスプレイ・インターフェース回路及び前記第 2 のディスプレイ・インターフェース回路に結合されて前記第 1 及び第 2 のディスプレイ・インターフェース回路を制御し、前記第 2 の電極の組と結合して前記第 1 の電極の引き続く組を付勢することにより前記ディスプレイ素子の引き続く組を付勢するよう構成された制御回路と、

前記制御回路に結合され、不動作である前記ディスプレイ素子の組を識別するためにディスプレイ情報を格納するメモリと、

を備え、ここに、前記制御回路は、さらに、前記第 1 の電極と関連したディスプレイ素子の前記不動作の組を検出し、該検出に応答して、前記不動作の組の素子と関連した前記第 50

1の電極を付勢させることなく引き続く前記第1の電極を付勢させるように構成されたディスプレイ・ドライバ回路。

【請求項20】

さらに、ディスプレイ素子の前記マトリクスのための電源を制御するために制御出力を備え、ここに、前記制御回路は、さらに、前記検出に応答して前記電源を減らすように前記制御出力上に信号を提供するように構成されている請求項19に記載のディスプレイ・ドライバ回路。

【請求項21】

前記素子への電流供給を制御することによって前記ディスプレイ素子の明るさを制御するよう構成され、ここに、前記制御回路は、前記検出に依存して電流制御出力を提供するよう構成されている請求項19または20に記載のディスプレイ・ドライバ回路。

10

【請求項22】

フレーム周期は、前記第1の電極の同じものの引き続く付勢の間の期間もしくは周期によって定義され、ここに、前記制御回路は、実質的に一定のフレーム・レートを提供するよう構成されている請求項19、20または21に記載のディスプレイ・ドライバ回路。

【請求項23】

ディスプレイのピクセルを発光させるように駆動するための複数の第1の電極及び複数の第2の電極を有するピクセル化された有機発光ダイオード・ディスプレイのためのディスプレイ・ドライバ回路であって、前記ディスプレイのラインを順番にアドレス指定するよう前記電極を駆動し、暗いラインを検出してスキップするように構成されたディスプレイ・ドライバ回路。

20

【請求項24】

複数個のラインを有するディスプレイの電力消費を減少する方法であって、
前記ディスプレイ上に提起するためにデータを読み取る段階と、
前記データが提起された時に実質的にブランクであるであろう前記ディスプレイの1つ以上のラインを検出する段階と、
前記ラインのためのデータで前記ディスプレイを順次に駆動し、前記実質的にブランクのラインをスキップする段階と、
を含む方法。

【請求項25】

さらに、いかに多くの前記実質的にブランクのラインが検出されたかに従って、前記ディスプレイのための電源を制御する段階を含む請求項24に記載の方法。

30

【請求項26】

前記ディスプレイは、ピクセル化された有機発光ダイオード・ディスプレイであり、前記ディスプレイのピクセルの明るさは、前記ディスプレイへの電流を変えることによって変えられ、前記方法は、さらに、表示されたピクセルのみかけの最大の明るさにとって必要とされるものよりも実質的に多くないように前記電源の電圧出力を制御する段階を含む請求項24または25に記載の方法。

【請求項27】

さらに、前記ディスプレイのフレーム・レートが実質的に一定であるように前記表示されたラインのリタイミングを取る段階を含む請求項24、25または26に記載の方法。

40

【請求項28】

さらに、ラインのためのディスプレイ周期がラインの明るさに従って変わるように前記表示されたラインのリタイミングを取る段階を含む請求項24乃至27のいずれかに記載の方法。

【請求項29】

前記検出は、前記複数のディスプレイ・ラインを読み取って実質的にブランクのラインを計数する請求項24乃至28のいずれかに記載の方法。

【請求項30】

実行時に、請求項24乃至29のいずれかに記載の方法を履行する、プロセッサの制御

50

コード。

【請求項 31】

請求項 30 のプロセッサの制御コードを担持する担体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、電気光学ディスプレイのためのディスプレイ・ドライバ回路に関し、より詳細には、有機発光ダイオード、特に、一層大きい効率を有した受動マトリクス・ディスプレイを駆動するための回路及び方法に関する。 10

【背景技術】

【0002】

有機発光ダイオード(OLED)は、電気光学ディスプレイの特に長所的な形態を備える。これら有機発光ダイオードは、輝いており、カラフルで高速切換え可能であり、広範な視角を提供し、そして種々の基板上に製造するのに容易で安価である。有機LEDは、使用される材料に依存して、複数色の範囲で(または多色の表示で)小分子もしくはポリマのいずれかを用いて製造され得る。ポリマを基にした有機LEDの例は、WO90/13148、WO95/06400及びWO99/48160に記載されており、いわゆる 20
小分子を基にしたデバイスの例は、米国特許第4,539,507号に記載されている。

【0003】

代表的な有機LEDの基本構造100が図1aに示されている。ガラスまたはプラスチック基板102は、例えばインジウム・スズ酸(ITO)を含む透明アノード層104を支持し、その上に、正孔運搬層106、エレクトロルミネセント層108及びカソード110が沈積される。エレクトロルミネセント層108は、例えば、PPV(ポリ(p-フェニレンビニレン))及び正孔運搬層106を含み得、これはアノード層104の正孔エネルギーレベルを整合させるのを助け、そしてエレクトロルミネセント層108は、例えばPEDOT:PSS(ポリスチレン-スルフォネート-ドーピングされたポリエチレン-ジオキシチオフェン)を含み得る。カソード層110は、代表的にはカルシウムのような低負荷機能金属 30
を含み、改良された電子エネルギー・レベル整合のための、アルミニウムの層のような、エレクトロルミネセント層108に直ぐ隣接した追加の層を含み得る。アノード及びカソードへのそれぞれの接点ワイヤ114及び116は、電源118への接続を提供する。同じ基本構造は、小電子デバイスに対しても用いられ得る。

【0004】

図1aに示された例においては、光120は、透明のアノード104及び基板102を通して発せられ、かかるデバイスは「底部エミッタ」と称される。カソードが実質的に透明であるように例えばカソード層の厚さを50-100nm辺りよりも小さく保つことによって、カソードを通して発するデバイスを構成しても良い。

【0005】

有機LEDは、単一色または多数色の画素化(ピクセル化)されたディスプレイを形成するために、ピクセルのマトリクスで基板上に沈積され得る。多色化されたディスプレイは、赤、緑及び青を発光するピクセルのグループを用いて構成され得る。このようなディスプレイにおいて、個々の素子は、概して、ピクセルを選択するよう行(または列)を活性化させることによりアドレス指定され、そしてピクセルの行(または列)は、ディスプレイを創成するよう書かれる。いわゆる能動マトリクス・ディスプレイは、各ピクセルと関連したメモリ素子、代表的には記憶コンデンサ及びトランジスタを有し、他方、受動マトリクス・ディスプレイは、このようなメモリ素子を有してはならず、代わりに、安定した画像の印象を与えるよう、テレビ画像に幾分類似した反復的な走査が行われる。 40

【0006】

図1bは、受動マトリクスOLEDディスプレイ150を通した断面図を示し、それにおいて、図1aのものと同様の素子は、同様の参照数字によって示されている。受動マトリクス・ディスプレイ150において、エレクトロルミネセント層108は複数のピクセル152を含み、カソード層110は複数の相互に電氣的に絶縁された導電ライン154を含み、該ラインは図1bの頁の奥に向かって走り、各ラインは、関連の接点156を有している。同様に、ITOアノード層104も複数のアノード・ライン158を含み、該ラインは、カソード・ラインと直角に走っていて、図1bではただ1本だけが示されている。各アノード・ラインに対しても接点が設けられている（接点は図1bでは示されていない）。カソード・ラインとアノード・ラインとの交差点におけるエレクトロルミネセント・ピクセル152は、関連のアノード・ラインとカソード・ラインとの間に電圧を印加することによりアドレス指定され得る。

10

【0007】

さて、図2aを参照すると、図1bに示された型の受動マトリクスOLEDディスプレイ150のための駆動装置が概念的に示されている。複数の定電流発生器200が設けられており、各々は、供給ライン202に接続されると共に、複数の列ライン204の1つに接続されている。なお、複数の列ラインは明瞭さのためにその1つだけが示されている。複数の行ライン206（その1つだけが示されている）も設けられており、それらの各々は、切換え接続210により接地ライン208に選択的に接続され得る。示されているように、ライン202上の正の供給電圧の場合、列ライン204はアノード接続158を備え、行ライン206は、カソード接続154を含むが、もし、電源ライン202が接地ライン208に対して負である場合には、接続は逆にされるであろう。

20

【0008】

ディスプレイの示されたピクセル212はそれに与えられる電力を有し、従って、明るくされる。完全な行がアドレス指定されてしまうまで列ラインの各々が活性されるので、画像を創成するために行に対する接続210が維持され、次に、次の行が選択されてプロセスは繰り返される。代替的には、行が選択され得て、すべての列が並列に書込まれ、すなわち、行が選択されて電流が列ラインの各々上に同時に駆動されて、その所望の明るさで行における各ピクセルを同時に照射する。この後者の装置は、一層多くの列駆動回路を必要とするけれども、各ピクセルの一層急速な再生を許容するので好適である。さらなる代替的な装置において、或る列における各ピクセルは、次の列がアドレス指定される前にアドレス指定され得るけれども、このことは、以下に述べるように、とりわけ、列の容量の影響のために好適ではない。図2aの装置において、列ドライバ回路及び行ドライバ回路の機能は交換され得ることが理解されるであろう。

30

【0009】

OLEDの明るさは、それが出力する光子の数を決定する、それを流れる電流によって決定されるので、OLEDには、電圧制御される駆動ではなくむしろ電流制御される駆動を提供するのが普通である。電圧制御される形態において、明るさは、ディスプレイの領域を横切って、かつ時間、温度及び年数と共に変化し得、このことは、与えられた電圧によって駆動される場合にピクセルがどのくらい明るく輝くかを予測することを困難にする。カラー・ディスプレイにおいては、色表示の精度にも影響を与え得る。

40

【0010】

図2b～図2dは、それぞれ、ピクセルがアドレス指定されるときに時間に対する、ピクセルに与えられる電流駆動220、ピクセルにかかる電圧222、及びピクセルからの光出力224を示す。該当ピクセルを含む行がアドレス指定され、点線228によって示される時刻において、電流が該当ピクセルに対する列ライン上に駆動される。列ライン（及びピクセル）は関連の容量を有し、従って、電圧は徐々に最大230まで上昇する。ピクセルにかかる電圧がOLEDダイオード電圧降下よりも大きい点232に達するまで、ピクセルは発光を始めない。同様に、駆動電流もしくはドライブ電流が時刻234においてターンオフするとき、電圧及び光出力は、列容量が放電するにつれ徐々に減衰する。行におけるピクセルがすべて同時に書込まれる場合、すなわち、列が並列に駆動される場合

50

、時刻 2 2 8 及び 2 3 4 間の時間間隔は、ライン走査期間に対応する。

【 0 0 1 1 】

オンまたはオフを単純に設定するのではなく、むしろ個々のピクセルの見掛けの明るさが変化し得るものであるグレースケール型のディスプレイを提供できることが望ましい。本発明の文脈において、「グレースケール」とは、ピクセルが白黒であろうがまたは色付きであろうが、かかる可変の明るさ表示を言うものとする。

【 0 0 1 2 】

ピクセルの明るさを変化させる従来の方法は、パルス幅変調 (PWM) を用いてピクセルを時間で変化させることである。上の図 2 b の文脈において、見掛けのピクセルの明るさは、駆動電流が与えられる時刻 2 2 8 及び 2 3 4 間の間隔のパーセンテージを変えること
10

【 0 0 1 3 】

パルス幅変調の体系は良好な線形的明るさ応答を提供するが、しかし、ピクセルの遅延されたターンオンに関連する影響を克服するために、それらパルス幅変調体系は、一般に、駆動電流波形の前縁 2 3 6 上で予充電電流パルス (図 2 b には図示せず) を用い、そして時には、波形の後縁 2 3 8 上で放電パルスを用いる。結果として、列容量の充電 (及び放電) が、この種の明るさ制御を組み込んだディスプレイにおける全電力消費の半分の割合を占める。ディスプレイとドライバとの組合せの電力消費に寄与するもとして本件出願人が識別した他の重要な要素は、O L E D 自体内の消失 (O L E D 効率の関数)、行及び列ラインにおける抵抗損失、そして実際の回路において重要なものとして、以後、一層詳細に説明する、制限された電流駆動の影響を含む。

【 0 0 1 4 】

図 3 は、受動マトリクス O L E D ディスプレイのための一般的なドライバ回路の概略図 3 0 0 を示す。O L E D ディスプレイは点線 3 0 2 によって示されており、各々が対応の行電極接点 3 0 6 を有する複数の n の行ライン 3 0 4 と、複数の対応の列電極接点 3 1 0 を有する複数の m の列ライン 3 0 8 とを備える。O L E D は、行ラインと列ラインとの各々の対間で接続され、示された配列においては、そのアノードが列ラインに接続されている。y - ドライバ 3 1 4 は、列ライン 3 0 8 を定電流で駆動し、x - ドライバ 3 1 6 は行
30

【 0 0 1 5 】

O L E D ディスプレイ・ドライバの特定の例は、US6,014,119、US6,201,520、US6,332,661、EP1,079,361A 及び EP1,091,339A に記載されており、O L E D ディスプレイ・ドライバ集積回路も、米国、マサチューセッツ州、ベバリーの Clare Micronix of Clare, Inc., によって販売されている。Clare Micronix ドライバは、電流制御されるドライブを提供し、従来の PWM 方法を用いたグレースケールを達成する。US6,014,119 は、明るさを制御するためにパルス幅変調が用いられるドライバ回路を記載している。US6,201,520 は、ディ
40

【 0 0 1 6 】

特にグレースケール・ディスプレイを提供する能力を維持したままで、ディスプレイとドライバとの組合せの電力消費を減少することが概して望ましい。さらに、ディスプレイとドライバとの組合せに対して必要とされる最大電源電圧を減少することも望ましい。
50

【0017】

液晶ディスプレイ(LCDs)の電力消費を減少するための従来技術は、US6,323,849及びEP0811866Aに記載されている。US6,323,849は、制御回路が、有用な情報を示さないディスプレイの部分をターンオフするようディスプレイ・ドライバを制御する部分ディスプレイ・モードを有したLCDディスプレイを記載している。LCDモジュールが部分ディスプレイ・モードにあるとき、ライン周波数も、同じフレーム・リフレッシュ・レートを維持しつつ減少され得、より低い電圧が同じ荷電量を生成するよう用いられるのを許容する。しかしながら、ユーザは、ディスプレイのどの部分が用いられるべきかを予め決定しなければならず、このことは、代表的には、ディスプレイが提供される装置に追加の制御機能及びソフトウェアを必要とするであろう。EP0811866Aは、一層柔軟な駆動配列を有しているけれども、同様の技術を記載している。従って、ユーザの一層透明な履行を提供する改良された低電力消費のディスプレイ・ドライバに対する必要性があるのを理解するであろう。

10

【0018】

US4,823,121は、ラインの画像データにおけるELパネルのスポット照射を表すHIGHレベル信号が無いのを検出し、これに 응답して、4つの回路(プリチャージ回路、プルアップ回路、書込み回路及びソース回路)が付勢されるのを避けるエレクトロルミネセント(EL)パネル駆動システムを記載している。しかしながら、この技術によって与えられる電力の節約は、記載されたエレクトロルミネセント・パネルの型のための駆動配列に特定のものであり、容易に一般化することができない。さらに、節約は比較的控えめなものである。

20

【発明の開示】

【発明が解決しようとする課題】

【0019】

出願人は、相当の追加の電力節約が、放出性もしくは放射性のディスプレイ技術で、特に、有機発光ダイオードを基にしたディスプレイで達成され得ることを認識した。

【課題を解決するための手段】

【0020】

図4aは、見て分る通り非線形であるOLEDのための代表的な光強度 電圧曲線400を示す。装置の効率(エネルギー入力についての光出力)を高めかつ劣化速度を遅くするので、高電圧よりも低電圧でOLEDディスプレイを動作させることが望ましい。抵抗性の損失も減少され、画像データが変化する場合、(電圧の平方に依存して)容量性の損失も減少される。低電圧で動作させることの1つの問題は、比例せずに減少される光強度であるということが曲線400から分る。しかしながら、走査される受動マトリクス型のディスプレイの知覚された明るさは、減少された電圧で動作させても、従って個々のピクセルからの減少された光強度出力で動作させても、維持され得るという状況があるということをも本件出願人は認識した。特に、携帯電話や個人用デジタル補助手段(PDAs)のような或る応用においては、ピクセル化されたディスプレイ上にしばしば1つ以上の全ブランクの(非放射(放出)のもしくは非発光の)ラインがあるということを出願人は特に認識した。このような状況においては、照射されたピクセルを有するライン上に、走査されるプロセスがより長く存在し得るように、これらのブランクのラインはスキップされ得る。このように、一体化プロセスを行う目によって知覚されるとき、照射されたラインは一層明るく見え、もしくは等価的に、同じ見かけの明るさが、減少された電圧駆動を用いて達成され得る。さらに、以下に一層詳細に説明するように、可変の電圧電源によって付勢される制御可能な電源によって与えられる電流駆動を用いて、節約が行われる。

30

40

【0021】

従って、本発明の第1の態様によれば、行及び列に配列されて行及び列電極でアドレス指定される複数のピクセルを備えた受動マトリクス放射型ディスプレイのためのディスプレイ・ドライバ制御回路であって、該制御回路は、ディスプレイ上に画像の現出を与えるよう順番に各行をアドレス指定するように構成されており、

50

ディスプレイ上に提起するためにフレーム・メモリからデータを読み取るためのフレーム・メモリ・インターフェースと、

前記データによって限定されるピクセルの1つ以上の実質的にブランクの行を識別するためのブランク・ライン識別子と、

を備え、前記制御回路は、さらに、前記行のアドレス指定中、前記ピクセルの1つ以上のブランクの行を通過してスキップするよう構成されているディスプレイ・ドライバ制御回路が提供される。

【0022】

ブランクのもしくは非照射のラインを通過してスキップすることにより、残りのラインはより早くリフレッシュされ得、もしくはより長く照射され得、従って、同じみかけの明るさを維持したまま、減少されたレベルで駆動され得る。例えば、60 Hzのフレーム・リフレッシュ・レートを有する64ライン・ディスプレイは、3.84 KHzのライン・リフレッシュ・レート及び0.26 m秒のライン周期を有するが、もし16ラインだけが照射されたピクセルを有するならば、ライン周期は、同じフレーム・リフレッシュ・レートを維持したままで、ほぼ4.2 m秒まで増加され得、該ラインを16倍明るく見えるようにする。ディスプレイのためのデータ内で1つ以上の実質的にブランクのピクセルの行を識別することによって、ディスプレイのどの部分が用いられ、どの部分が用いられないかを予め決定する必要がない。このことは、例えばテキストを表示する際またはスクロール表示を提供する際に、ディスプレイのどの部分がピクセルの実質的にブランクの行を含んでいるかを前もって決定することが容易でない場合に特に有用である。

【0023】

フレーム・メモリ・インターフェースが、内部または外部のインターフェースであって良いことは理解されるであろう。例えば、制御回路は、フレーム・メモリ及び任意選択的には行及び/または列ドライバが含まれ得る集積回路の回路部分を含み得る。フレーム・メモリは、ディスプレイ上に提起するためのデータをリタイミングするために有用であり、またブランクの行を識別するために、及び任意選択的にはそれらを計数するために読み取られ得るバッファをも提供する。しかしながら、フレーム・メモリは、ブランクの行を識別するために必須のものではなく、と言うのは、これは、後述するように、バス・スヌーピングを行うことによっても行われ得るからである。当業者は、さらに、行及び列のラベリングが殆ど完全に任意的なものであり、本発明の目的にとっては、ブランク行がスキップされるかまたはブランク列がスキップされるかは重要でないということを認識するであろう。

【0024】

制御回路は、実質的に一定のライン・レートを維持するように動作し得、この場合、表示されるラインが少ないほどフレーム・レートが増加する。しかしながら、この動作モードは、フレーム・レートが実質的に一定に保たれ、ライン・レートが調節され、それにより表示されるラインが少ないほどライン・レートが減少するというものよりも好ましくはない。これは、ライン・レートを減少することにより、ディスプレイ素子と関連した容量における電力消失が減少され得るからである。しかしながら、双方の場合において、ディスプレイに対する駆動は減少され得る。

【0025】

本件出願人は、さらに、ディスプレイ素子を流れる電流を変えることによってディスプレイ素子の明るさが変えられる、OLEDディスプレイのような電流駆動されるディスプレイにおいて、追加の電力の節約が為されるということを認識した。このタイプのディスプレイにおいて、行または列に対する電流駆動は、代表的には、可変のまたは制御可能な定電流源によって与えられる。

【0026】

電流源は、該電流源が接続される負荷に実質的に一定の電流を出力しようとするが、その出力電圧が供給電圧に接近するにつれ、これがもはや可能でない点があるであろうことが理解されるであろう。電流源が負荷にほぼ一定の電流を提供する電圧範囲は、電流源の

コンプライアンスと称される。コンプライアンスは、 $(V_s - V_0)$ によって特徴付けられることができ、ここに、 V_s は供給電圧であり、 V_0 は実質的に電流源の最大出力電圧であり、これにおいて、 $V_s - V_0$ が小さいとき、コンプライアンスは高く、またその逆も真である。(便宜のため、本明細書では、参照は、1つの電流源及び複数の電流源に対して為されるが、これらは1つの電流シンクまたは複数のシンクに代えられ得る。)

【0027】

電流源から必要とされる実質的に一定の最大電流出力が低ければ低いほど、必要とされる供給電圧も低い。従って、最大電流駆動が減少される場合の電流駆動されるディスプレイにおいては、ディスプレイ上のより少ないラインが照射されるので、電流源への供給電圧は減少され得る。従って、好ましくは、ディスプレイ・ドライバ制御回路は、ディスプレイへの(可変の)電流駆動に与えられる電源電圧を制御するための出力を提供する。制御回路は、また、最大電流駆動レベルのような基準電流駆動レベルを設定するための電流基準レベル出力をも提供する。

10

【0028】

電源は、電源の出力電圧が電源効率を維持したままで減少され得るように、スイッチ・モード電源のような電圧コンバータ型のものが好ましい。電源は、例えば制御回路からの直接制御信号により直接制御されても良く、または例えば最大もしくは基準駆動電流レベルを設定してこの基準レベルの電流が与えられ得るのを確実にするよう電源を制御することによって、間接的に制御されても良いことが認識されるであろう。好ましくは、電源の出力電圧は、ディスプレイを駆動する電流源(または電流シンク)によって必要とされるものよりも実質的に大きくないように制御される。

20

【0029】

出願人はさらに、電流ドライバ・コンプライアンス(すなわち、より大きい $V_s - V_0$)が低ければ低いほど、制限されたドライバ・コンプライアンスに起因して電力損失が多くなると言うことを認識した。従って、高いコンプライアンスを有する電流ドライバが用いられることが好ましく、その理由は、このことが一層低い電源出力電圧の使用を許容するからである。このように、好ましくは、ディスプレイのための電流発生器は、ディスプレイへの電流駆動出力と直列に少なくとも1つのバイポーラ・トランジスタを備え、好ましくは、このトランジスタは、電源入力もしくは接続に実質的に直接接続されたエミッタ端子と、電極ドライバ出力に結合されたコレクタ端子とを有する。

30

【0030】

前述のように、回路がどのように履行されるか(例えば単一のICで、または複数の集積回路間で共有されるか及び/または個別の構成要素を含むか)に依存して、電源接続及び上述の制御回路出力は、内部のまたは外部の接続もしくは出力のいずれかであり得ることが認識されるであろう。同様に、1つ以上の制御可能な電流発生器は、制御回路内に含まれ得る。

【0031】

電源及び/または基準電流制御信号は、ディスプレイ上のブランクの行の数に比例して変わり得る。ブランクの行の数は、フレーム・メモリからのデータを読み取って、どの行が実質的にブランクであるかを計数することによって決定され得る。代替的には、フレーム・メモリにデータを書き込むためのデータ・バスも制御回路への入力を提供し得、制御回路がフレーム・メモリに書き込まれるデータを追跡するのを許容し、従って、どの行が、そして任意選択的にはいかに多くの行がブランクであるかを決定するために変化をモニタする。この後者の技術で、制御回路は、フレーム・メモリからのデータを読み取ることによって追跡する変化を周期的にチェックし、及び/またはリセットし得る。

40

【0032】

制御回路は、任意選択的に、行におけるピクセルの明るさに依存して、例えば、オンのピクセルの数に依存してもしくはそれに比例して変化して、ラインもしくは行のディスプレイ周期を変えるようにさらに構成され得る。このことは有益であり、と言うのは、内在的には、少ないオンのピクセルだけを有するラインの場合よりも、多くのピクセルがオン

50

であるラインの場合の方が一層大きい電力の節約が行われるからである。例えば、単一のピクセルだけを表示しているラインのリフレッシュ・レートを増加させるかライン周期を拡張させることによって得るものはほとんどないが、ピクセルのすべてがオンであるラインのリフレッシュ・レートを増加させるかライン周期を拡張することによって内在的に非常に大きい節約が行われる。例えばフレームごとのベースではなく、むしろラインごとのベースで基準電流駆動/電源電圧を調節することによって、この実施形態においてはさらなる有益性が得られる。

【0033】

上述したディスプレイ・ドライバ制御回路の機能は、個別の構成要素及び/または集積回路を用いて、またはシリコンで、もしくはASIC（応用特定集積回路）またはFPGA（分野でプログラム可能なゲート・アレイ）で、または適切なプロセッサ制御コードを有する専用のプロセッサによって、行われ得ることが認識されるであろう。

10

【0034】

本発明のもう一つの態様によれば、行及び列に配列されて行及び列電極によってアドレス指定される複数のピクセルを備えた受動マトリクス・エレクトロルミネセント・ディスプレイのためのディスプレイ・ドライバ制御回路であって、該制御回路は、ディスプレイ上に画像の現出を与えるよう順番に各行をアドレス指定するよう構成されており、

ディスプレイ上に提起するためにフレーム・メモリからデータを読み取るためのフレーム・メモリ・インターフェースと、

前記データによって限定されるピクセルの1つ以上の実質的にブランクの行を識別するためのブランク・ライン識別子と、

20

前記行のアドレス指定中にピクセルの前記1つ以上のブランクの行を通過してスキップするための手段と、

前記ディスプレイのための電源を制御するために制御信号を提供する制御出力と、を備え、前記制御信号は、ピクセルの1つ以上のブランクの行の前記識別に依存するディスプレイ・ドライバ制御回路が提供される。

【0035】

本発明のさらなる態様によれば、第1の複数の第1の電極と第2の複数の第2の電極とによってアドレス指定されるエレクトロルミネセント・ディスプレイ素子のマトリクスを駆動するためのディスプレイ・ドライバ回路であって、

30

前記第1の電極に対しインターフェースするための第1のディスプレイ・インターフェース回路と、

前記第2の電極に対しインターフェースするための第2のディスプレイ・インターフェース回路と、

前記第1のディスプレイ・インターフェース回路及び前記第2のディスプレイ・インターフェース回路に結合されて前記第1及び第2のディスプレイ・インターフェース回路を制御し、前記第2の電極の組と結合して前記第1の電極の引き続く組を付勢することにより前記ディスプレイ素子の引き続く組を付勢するよう構成された制御回路と、

前記制御回路に結合され、不動作である前記ディスプレイ素子の組を識別するためにディスプレイ情報を格納するメモリと、

40

を備え、ここに、前記制御回路は、さらに、前記第1の電極と関連したディスプレイ素子の前記不動作の組を検出し、該検出に応答して、前記不動作の組の素子と関連した前記第1の電極を付勢させることなく引き続く前記第1の電極を付勢させるように構成されたディスプレイ・ドライバ回路が提供される。

【0036】

本発明のさらにもう一つの態様によれば、ディスプレイのピクセルを発光させるように駆動するための複数の第1の電極及び複数の第2の電極を有するピクセル化された有機発光ダイオード・ディスプレイのためのディスプレイ・ドライバ回路であって、前記ディスプレイのラインを順番にアドレス指定するよう前記電極を駆動し、暗いラインを検出してスキップするよう構成されたディスプレイ・ドライバ回路が提供される。

50

【0037】

本発明によれば、また、複数個のラインを有するディスプレイの電力消費を減少する方法であって、

前記ディスプレイ上に提起するためにデータを読み取る段階と、

前記データが提起された時に実質的にブランクであるであろう前記ディスプレイの1つ以上のラインを検出する段階と、

前記ラインのためのデータで前記ディスプレイを順次に駆動し、前記実質的にブランクのラインをスキップする段階と、

を含む方法も提供される。

【0038】

読み取る段階は、フレーム・ストアから提起するためのデータを読み取り得もしくは該データをフレーム・ストアに書込まれるもとして読み取り得る。

【0039】

本発明は、さらに、上述の方法及びディスプレイ・ドライバ回路機能を履行するために、プロセッサ制御コード及び該コードを担持する担持媒体を提供する。このコードは、従来のプログラム・コードもしくはASICまたはFPGAをセットアップするもしくは制御するためのコードもしくはマイクロコードを含み得る。担体もしくはキャリアは、ハードもしくはフロッピ・ディスク、CD-またはDVD-ROM、もしくはリード・オンリ・メモリ（ファームウェア）のようなプログラムされたメモリのような記憶媒体、もしくは光または電気信号キャリアのようなデータ担体を含み得る。当業者には理解されるように、コードは、互いに通信する複数の結合された要素間で配分され得る。

【0040】

上述の制御回路、方法及びコードは、小分子またはポリマLEDディスプレイのような有機発光ダイオード、特に、受動マトリクスOLEDディスプレイ戸共に用いられるときに特に有利である。

【0041】

さて、本発明のこれら及び他の態様を、例としてのみ、添付図面を参照してさらに説明する。

【発明を実施するための最良の形態】

【0042】

図4bは、図3のディスプレイ302のような受動マトリクスOLEDの1つの列ラインのための電流ドライバ402を図式的に示す。代表的には、このような電流ドライバの複数個が、複数の受動マトリクス・ディスプレイ列電極を駆動するために、図3のY-ドライバ314のような列ドライバ集積回路内に設けられる。

【0043】

電流ドライバ402の特に長所的な形態は、“ディスプレイ・ドライバ回路”と言う名称の本件出願人による同時係属中の英国特許出願第0126120.5号に記載されている。電流ドライバ402は、この回路の主な特徴を略述しており、バイポーラ・トランジスタ416を組み込んだ電流ドライバ・ブロック406を備えている。バイポーラ・トランジスタ416は、供給電圧Vsの電源ライン404に直接接続されたエミッタ端子を有する。列駆動出力408は、通常、行ドライバMOSスイッチ（図4bには図示せず）を介して、接地接続414をも有するOLED412に電流駆動を提供する。電流制御入力410は、電流ドライバ・ブロック406に提供され、図示の目的で、これはトランジスタ416のベースに接続されて示されているが、実際は電流ミラー配列が好ましい。電流制御ライン410上の信号は、電圧または電流信号のいずれかを含み得るが、これはインターフェースを容易にするために、デジタル・アナログ・コンバータ（図4bには図示せず）から与えられるのが好ましい。

【0044】

先に説明したように、電流制御は、これが図4aに示された光電圧曲線の非線形を克服するのを助け、OLEDのための光電流曲線が実質的に線形であると言う理由で、OLED

10

20

30

40

50

Dに対する電圧制御よりも好ましい。図4cは、制御可能な定電流源から駆動される有機LEDディスプレイ素子のための電源電圧に対する、電源から抽出される電流のグラフ420を示す。初期の非線形領域422の後に、点線426で示される電圧以上で、曲線の実質的に平坦な部分424が来る。点線426の電圧においては、供給電圧が電流源のコンプライアンス限界に見合うのに十分なものである。換言すれば、点線426で示される電圧は、定電流源が出力するよう制御される電流で良好に動作するのを確実にするために必要とされる最小供給電圧である。

【0045】

グラフ420の曲線の領域424において、電源出力電圧を高めることは、単に余分の無駄な電力消失を増加させることであり、従って、この無駄な電力を最小にするために、点線426によって示されるコンプライアンス限界においてまたはその近くで動作させることが好ましいということが分かる。しかしながら、このコンプライアンス限界に対する電圧の位置は、定電流源によって与えられている電流に依存するであろうことも分かるであろう。

10

【0046】

さて、図5を参照すると、電力を節約するためにライン・スキッピングを行い、かつ前述の説明で示されたラインに沿ってディスプレイ電源を制御をもする、受動マトリクスOLEDドライバ500の実施形態の概略図が示されている。

【0047】

図5において、図3を参照して説明したものと同様の受動マトリクスOLEDディスプレイ302は、行ドライバ回路512によって駆動される行電極306及び列ドライバ510によって駆動される列電極310を有する。各行ごとのドライバは、代表的には、行電極を接地に選択的に接続するためにMOSトランジスタを備え、好適な実施形態における各列ごとのドライバは、図4bを参照して説明したもののような制御可能な電流源を備える。行ドライバ回路512は、接地への接続のための1つの（またはそれ以上の）行電極を選択するために制御入力511を有する。列ドライバ510は、電流駆動を列電極の1つまたはそれ以上に設定するための制御入力509を有する。好ましくは、制御入力509及び511は、インターフェースを容易にするためにデジタル入力であり、そして好ましくは制御入力509は、ディスプレイ302のすべてのm列のための電流駆動を設定する。列ドライバ510を用いて各行を順番に選択しかつ選択された行におけるすべてのピクセルを駆動することによって、次に、次の行を選択しかつ従来のラスタ走査パターンを用いて画像を創設するためにプロセスを繰り返すことによって、二次元画像がディスプレイ302上に提起され得る。グレースケールまたはカラー・ディスプレイが提供される場合、所望のピクセルの明るさに従って各列ごとに可変の電流駆動が与えられる。行ドライバ回路512のいくつかの実施形態において、ラスタ走査機能が、制御入力511の制御下の行ドライバによって自動的に与えられる。

20

30

【0048】

電源ユニット514は、ディスプレイ・ドライバ500の種々の素子に電力を供給し、特に、列ドライバ510に電力供給するための出力515を有する。電源ユニット514はまた、ライン515上で列ドライバに与えられる出力電圧を制御するための制御入力516をも有する。いくつかの実施形態において、列ドライバ510はまた、個々の列ドライバによって使用するための基準電流駆動レベルを設定するために制御入力517をも有する。従って、例えば、制御入力517は、個々の列のための電流ドライバに電流制御信号を供給する1つのまたは複数のデジタル・アナログ・コンバータに基準電流（または電圧）を供給する基準電流（または電圧）発生器のための制御信号を提供する。ドライバ500のいくつかの実施形態において、制御入力516及び517は、双方とも同じ信号を受信する。

40

【0049】

ディスプレイ302上の表示のためのデータが、例えば、少なくとも1つのデータ・ライン及び書き込みラインを有するデータ及び制御バス502上に与えられる。バス502

50

は、パラレルまたはシリアル・バスのいずれであっても良い。バス502は、ディスプレイ302の各ピクセルごとに表示データを記憶するフレーム・ストアもしくはフレーム・メモリ504に入力を提供し、実際、該メモリ内に、表示のためのデータの画像を形成する。従って、例えば、メモリの1つ以上のビットが各ピクセルと関連し得、グレースケールのピクセルの明るさレベルまたはピクセルの色を限定する。フレーム・ストア504におけるデータは、行におけるピクセルの明るさの値が読み出され得るように記憶され、示された実施形態においては、フレーム・ストア504はデュアル・ポート化されており、フレーム・ストアから読み出されたデータを第2の読み取りデータ・バス505上に出力する。他の実施形態においては、データ・バス502及びデータ・バス505の機能は単一のデータ・バスに結合されても良い。

10

【0050】

受動マトリクスOLEDドライバ500はまた、列ドライバ510の制御入力509に表示データを提供するために、そしてディスプレイのラスト走査を制御するための行ドライバ512の制御入力511に行選択または走査制御出力を提供するために、ディスプレイ駆動ロジック506をも組み込んでいる。ディスプレイ駆動ロジック506によって行われるタイミングまたは処理は、クロック発生器508からのクロック信号によって制御される。ディスプレイ駆動ロジック506は、また、フレーム・メモリ504からのデータを読み取るために読み取りデータ及び制御バス505に結合される。

【0051】

ディスプレイ駆動ロジック506は、フレーム・メモリ504からのデータを読み取るために、そして制御入力509及び511に制御データ信号を提供してこのデータを受動マトリクス・ディスプレイ302上に表示するために、従来の態様で動作する。しかしながら、ディスプレイ駆動ロジック506はまた、フレーム・メモリ504に格納されたデータがブランクであるもしくは実質的に非照射されるピクセルの過去の行を識別してスキップするために、内部メモリを有したブランク・ライン識別子507をも含む。同様にディスプレイ駆動ロジック506はさらに、電源ユニット514及び列ドライバ510のそれぞれの制御入力516及び517に制御信号を提供するための電力コントローラ505を含む。

20

【0052】

動作において、ディスプレイ駆動ロジック506は、ラインごとに、すなわちディスプレイ・ピクセルの行ごとに、フレーム・メモリ504からデータを読み取り、そしてもしラインが完全にブランクならば、ラスト走査パターンにおけるそのラインのディスプレイはスキップされ、そしてピクセルの引き続くラインのデータが読み取られる。もしフレーム・メモリ504から読み取られたピクセルのラインのブランクでなければ、ディスプレイ302の適切な行が選択され、そして列ドライバ510が、あるレベルでディスプレイ302の列を駆動するよう制御されて、格納されたデータによって決定される適切な明るさで行の各ピクセルを照射する。この行は、次に、次のラインのためのデータが読み取られる前に、ライン周期に対して表示され、そして再度、ラインが実質的にブランクであるか否かを決定するためにチェックされる。これらの機能、特にブランク・ラインの識別は、PLA（プログラム可能なロジック・アレイ）上で行われる状態マシンによって行われ

30

40

【0053】

ディスプレイ駆動ロジック506、特に、電力コントローラ505は、制御入力516及び517のための制御信号出力を提供するために非照射されたラインの数（もしくは代替的には非ブランク・ラインの数）を決定するようにも構成されており、ディスプレイに与えられる最大駆動電流を制御する。一実施形態においては、最大駆動電流はフレームごとのベースで設定され、ブランク・ラインの数に比例して減少される。同様に、制御信号は電源ユニット514に与えられてこの電源を制御し、それにより列ドライバ510へのライン515上の電圧は、フレームのための最大電流駆動にとって必要とされるものよりも実質的に小さい。これは、列電流ドライバのための既知のまたは仮定されたコンプライ

50

アンス限界に基づいて容易に決定され得る。

【0054】

ブランク・ラインの数は、単に、フレーム・メモリ504からの全フレームのためのディスプレイ・データを読み取ることによって、かつブランク・ラインの数を計数することによって、決定され得る。これは、例えば、順次ロジックを用いて、または先のフレームの読み出し中に、非常に迅速に行われる。代替的には、例えば、フレーム・メモリ504がディスプレイ駆動ロジック506と一体化されているという理由でバス505が非常に広い場合には、どのラインが、及び幾つのラインがブランクであるかを識別するために、結合ロジックが用いられ得る。

【0055】

ディスプレイ駆動ロジック506がブランク・ラインを識別すると、このラインはスキップされ、次の非ブランク・ラインが読み取られ、実質的に一定のライン・レートを維持する。この方法で、非ブランク・ラインは、一層頻りにリフレッシュされてそれらの効果的な明るさを増す。しかしながら、実質的に一定のフレーム・レートを維持するためにライン・レートをスロー・ダウンし、それ故、各非ブランク・ライン上に一層長く存在してその見掛けの明るさを増すことが好ましい。この方法でライン・リフレッシュ・レートをゆっくりさせることによって、電力消費は、容量性損失を減少させることによりさらに減少される。この後者の配列において、平均ライン・レートは、 $n/1$ の係数だけスケールされ、ここに、 n は全行数であり、 1 はブランク行の数である。

【0056】

この後者の配列の改良において、ライン周期は、ラインにおける示されたピクセルの数に従って、ラインごとのベースで変更され得る。従って、平均（拡張された）ライン周期は実質的に同じままであり得るけれども、大きい数の示されたピクセルを有するラインに対するライン周期は、さらに拡張され得、他方、平均ピクセルよりも少ないピクセルを有するラインに対するライン周期は、平均（拡張された）ライン周期以下に短くされ得る。このことは有益であり、その理由は、小さい数の示されたピクセルだけを有するラインに対するライン周期を拡張することによって為されるべき電力の節約が比較的小さいのに対し、それに反して大きい数の示されたピクセルを有するラインに対するライン周期を拡張することによって為されるべき節約は非常に大きいからである。

【0057】

上述の実施形態の変形例において、ディスプレイ駆動ロジック506は、データ・バス502からの入力を受け、ブランク・ライン識別子507は、フレーム・メモリ504に格納されたデータの状態を突き止めるためにバス・スヌーピングを行う。従って、ブランク・ライン識別子507は、バス502をスヌープして、フレーム・メモリ504へのデータ書き込みを識別し、そして次に、どのラインがブランクであるかの記録を内部メモリに保つ。理論的には、この配列でもって、データ・バス505を省くことが可能であるけれども、実際には、フレーム・メモリ504からの読み取りは、初期状態からの変化が迎られる（もしくは突き止める）ことができる、その初期状態を決定するために用いられ得、好ましくは、更なる周期的な読み取りは、ブランク・ラインの状態情報を有効化するために用いられ得る。

【0058】

さて、図6を参照すると、電源ユニット514と列ドライバ510とが一層詳細に示されている。電源ユニット514は、バッテリー602からの入力を有したスイッチ・モード電源であるのが好ましく、該バッテリー602は、代表的な携帯可能な消費者電子装置との互換性のために、例えば3ボルトのような比較的低い電圧であるのが好ましい。電源出力ライン515上に与えられる電圧は、一般にバッテリー電圧よりも高く、所望の明るさを提供するように受動マトリクスOLEDディスプレイを駆動するために、代表的には5ボルトと10ボルトの間である。

【0059】

列ドライバ回路510は、制御ライン517上の入力信号によって制御される制御可能

10

20

30

40

50

な基準電流源 604 を含み、該基準電流源 604 は、例えばデジタル・アナログ・コンバータ 608 によって用いられるライン 606 上の基準電流出力を提供する。電力ライン 515 は、また、列駆動電流出力を提供する複数個の制御可能な電流発生器 610 (便宜のため 1 つだけが示されている) をも供給する。各列のための電流は、ディスプレイ駆動ロジック 506 からのライン 509 上の制御信号を受ける D/A コンバータ 608 を用いて各電流発生器 610 を制御することによって設定される。前述したように、ディスプレイ駆動ロジック 506 は、表示された非ブランク行の数に従って、それ故ライン周期またはライン・リフレッシュ・レートに従って、(フレームごとのベースで) 行におけるピクセルへの最大電流駆動を変えるように、ライン 516 及び 517 上に制御信号を与える。他の実施形態においては、基準電流源 604 は免除され得、例えば、基準もしくは最大駆動電流は、電源出力ライン 515 上の電圧によって設定されることが理解されるであろう。

10

【0060】

図 7 は、平均ライン周期が変化するにつれて、図 5 のドライバ 500 の効率がいかに変化するかを示すグラフ 700 を示す。グラフの原点 702 において、非ブランク・ラインが無く、ライン周期は最小であり、ラインの数によって分割されるフレーム周期に等しい。この点において、効率 704 は、単に、従来のディスプレイのものである。しかしながら、ブランク・ラインの数が増加するにつれて、ライン周期も増加し、従って、全電力効率が増加する。点線 706 は、ディスプレイにブランク・ラインが存在することに起因する、増加されたライン周期を示し、従って、増加された効率 708 を示す。ブランク・ラインの存在によってライン周期ではなくむしろフレーム・レートが増加される場合、x 軸

20

【0061】

当業者には、疑い無く、多くの実際的な代替物が実施されるであろう。例えば、ディスプレイ駆動ロジック 506 は、専用のロジックにおけるよりもむしろソフトウェア制御下でマイクロプロセッサを用いて実施することもできるし、またはマイクロプロセッサと専用のロジックとの組み合わせを用いても良い。マイクロプロセッサが用いられる場合、バス 502 及び 505 は、共用のアドレス/データ/制御バスに結合され得るけれども、再度、フレーム・メモリ 504 は、ディスプレイを他の装置にインターフェースするのを簡単にするためにデュアル・ポート化されるのが好ましい。本発明は、上述した実施形態に

30

【図面の簡単な説明】

【0062】

【図 1 a】有機発光ダイオードを示す断面図である。

【図 1 b】受動マトリクス OLED ディスプレイを示す断面図である。

【図 2】 a は、受動マトリクス OLED ディスプレイのための概念的なドライバ配列を、b は、ディスプレイ・ピクセルのための時間に対する電流駆動のグラフを、c は、時間に対するピクセル電圧のグラフを、そして d は、時間に対するピクセル光出力のグラフを示す図である。

40

【図 3】従来技術による受動マトリクス OLED ディスプレイのための総括的なドライバ回路を示す概略図である。

【図 4 a】OLED ディスプレイ素子のための光電圧曲線を示す図である。

【図 4 b】受動マトリクス OLED ディスプレイの列のための電流ドライバを示す図である。

【図 4 c】OLED ディスプレイ素子のための電流電圧曲線を示す図である。

【図 5】本発明の実施形態による受動マトリクス OLED ドライバ回路を示す概略図である。

【図 6】図 5 の回路のための電源配列の詳細を示す図である。

【図 7】ディスプレイ・ライン周期が変化するにつれ図 5 の回路の効率が変化するのを示

50

すグラフである。

【符号の説明】

【0063】

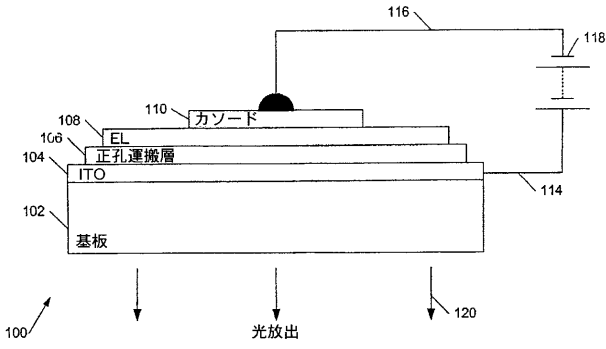
- 302・・・受動マトリクスOLEDディスプレイ
- 306・・・行電極
- 310・・・列電極
- 500・・・ディスプレイ・ドライバ
- 502・・・制御バス
- 504・・・フレーム・メモリ
- 505・・・読み取りデータ・バス
- 506・・・ディスプレイ駆動ロジック
- 507・・・ブランク・ライン識別子
- 508・・・クロック発生器
- 509・・・制御入力
- 510・・・列ドライバ
- 511・・・制御入力
- 512・・・行ドライバ回路
- 514・・・電源ユニット
- 515・・・出力
- 516・・・制御入力
- 517・・・制御入力

10

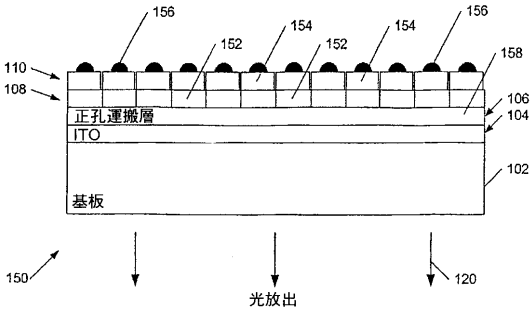
20

30

【図 1 a】



【図 1 b】



【図 2 a】

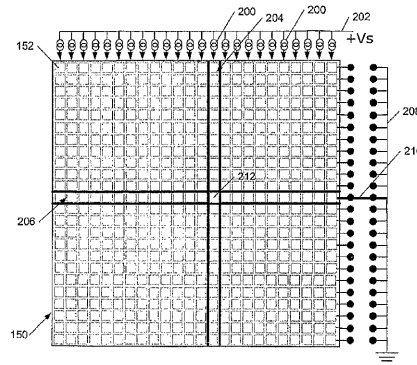


Figure 2a

【図 2 b】

Figure 2b



Figure 2c

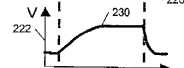
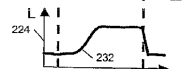


Figure 2d



【図 2 c】

Figure 2b

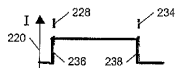


Figure 2c

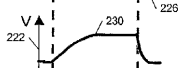
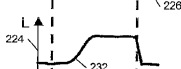


Figure 2d



【図 2 d】

Figure 2b

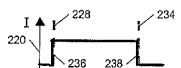


Figure 2c

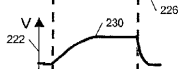
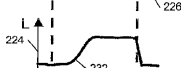
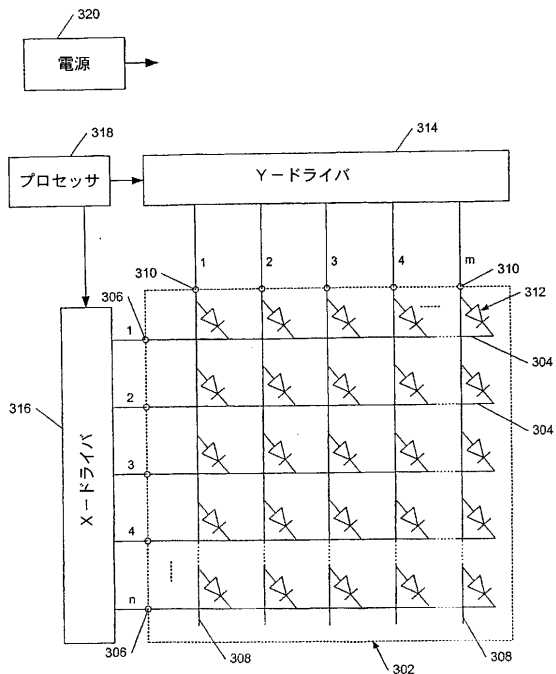


Figure 2d

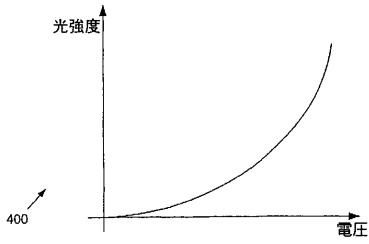


【図 3】

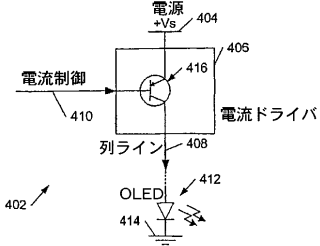


300

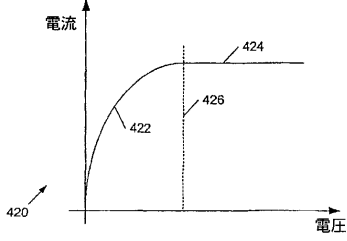
【図4a】



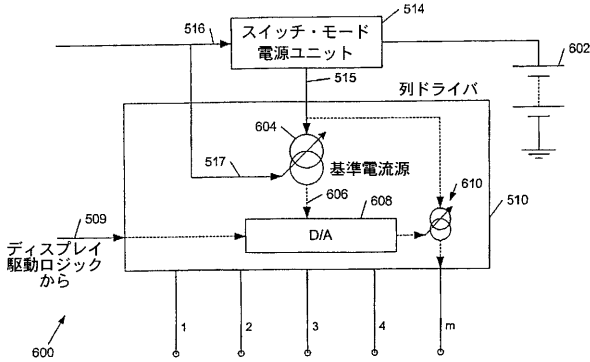
【図4b】



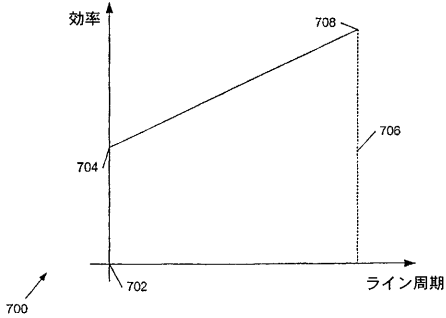
【図4c】



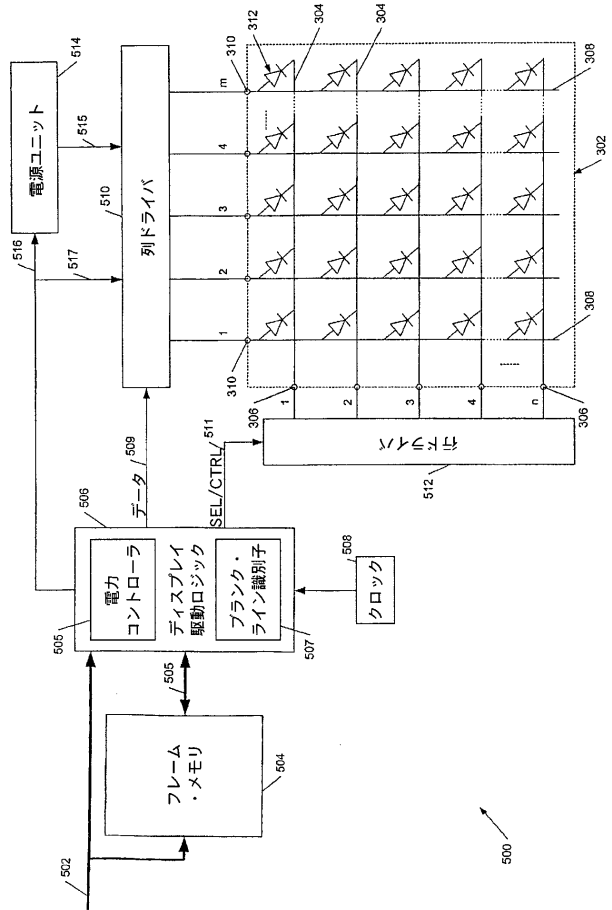
【図6】



【図7】



【図5】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internat Application No PCT/GB 03/01712
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, COMPENDEX, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 323 849 B1 (ROCCAPRIORE PHILLIP L ET AL) 27 November 2001 (2001-11-27) cited in the application column 1, line 63 column 2, line 19 - line 21 column 2, line 37 column 2, line 48 - line 61 column 3, line 12 -column 4, line 45; figure 1 column 4, line 48 - line 50	1-5,7-31
Y	US 6 037 919 A (HANSON GEORGE E) 14 March 2000 (2000-03-14) column 4, line 24 - line 26; figures 3,7 column 4, line 37 - line 59	1-5,7-31
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 30 July 2003		Date of mailing of the international search report 07/08/2003
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gundlach, H

INTERNATIONAL SEARCH REPORT

Internet Application No
PCT/GB 03/01712

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 823 121 A (OHBA TOSHIHIRO ET AL) 18 April 1989 (1989-04-18) cited in the application column 4, line 24 - line 26; figure 3 column 6, line 34 - line 37 column 10, line 45 - line 50; figure 5 -----	19
A	US 6 075 510 A (BLOUIN FRANCOIS ET AL) 13 June 2000 (2000-06-13) column 2, line 1 - line 4 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat Application No

PCT/GB 03/01712

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6323849	BI	27-11-2001	CN 1262454 A	09-08-2000
US 6037919	A	14-03-2000	NONE	
US 4823121	A	18-04-1989	JP 1861972 C	08-08-1994
			JP 5069433 B	01-10-1993
			JP 62089090 A	23-04-1987
			DE 3634686 A1	23-04-1987
			GB 2183385 A , B	03-06-1987
US 6075510	A	13-06-2000	NONE	

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 2 U
	G 0 9 G 3/20	6 2 1 A
	G 0 9 G 3/20	6 2 2 Q
	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 3 1 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 E
	H 0 5 B 33/14	A

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 エーアン・クリストファー・スミス
イギリス・ケンブリッジシャー・C B 3・0 T X・ケンブリッジ・マディングリー・ロード・マディングリー・ライズ・(番地なし)・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド・グリニッジ・ハウス内

(72) 発明者 ポール・リチャード・ロートレイ
イギリス・ケンブリッジシャー・C B 3・0 T X・ケンブリッジ・マディングリー・ロード・マディングリー・ライズ・(番地なし)・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド・グリニッジ・ハウス内

(72) 発明者 ウィリアム・グッドチャイルド
イギリス・ケンブリッジシャー・C B 3・0 T X・ケンブリッジ・マディングリー・ロード・マディングリー・ライズ・(番地なし)・ケンブリッジ・ディスプレイ・テクノロジー・リミテッド・グリニッジ・ハウス内

F ターム(参考) 3K007 AB04 AB11 AB17 BA06 DB03 GA00
5C080 AA06 BB05 DD03 DD26 DD29 EE29 FF12 GG02 GG11 GG15
GG17 HH09 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2005524107A5	公开(公告)日	2006-06-15
申请号	JP2004500278	申请日	2003-04-22
[标]申请(专利权)人(译)	剑桥显示技术有限公司		
申请(专利权)人(译)	剑桥显示科技有限公司		
[标]发明人	エーアंकリストファースミス ポールリチャードロートレイ ウィリアムグッドチャイルド		
发明人	エーアंकリストファースミス ポールリチャードロートレイ ウィリアムグッドチャイルド		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H05B33/14		
CPC分类号	G09G3/3216 G09G2310/04 G09G2330/021		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.A G09G3/20.612.A G09G3/20.612.E G09G3/20.612.U G09G3/20.621.A G09G3/20.622.Q G09G3/20.623.U G09G3/20.631.B G09G3/20.641.D G09G3/20.642.E H05B33/14.A		
F-TERM分类号	3K007/AB04 3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF12 5C080/GG02 5C080/GG11 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	渡边 隆 村山 彦		
优先权	2002009502 2002-04-25 GB 2002011735 2002-05-21 GB		
其他公开文献	JP2005524107A		

摘要(译)

描述了用于以更高效率驱动有机发光二极管显示器的显示驱动器电路，特别是无源矩阵显示器。显示驱动器控制电路（506）包括帧存储器接口（505），用于从帧存储器（504）读取数据以在无源矩阵OLED显示器上呈现。空行标识符（507）标识由帧存储器中的数据定义的一个或多个基本上空白的像素行，并且控制电路（506）确定无源矩阵显示器是否正在寻址当通过这些线路时跳过。当跳过空白行时，剩余行的表现亮度增加，因此优选地，控制电路增加用于减少与跳过的行数成比例地向显示器供电的功率。控制器（505）。本发明特别适用于提供受控电流驱动的显示驱动器。