

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-520192

(P2005-520192A)

(43) 公表日 平成17年7月7日(2005.7.7)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/30</b>	G09G 3/30 J	3K007
<b>G09G 3/20</b>	G09G 3/20 624B	5C080
<b>H05B 33/14</b>	G09G 3/20 641D	
	G09G 3/20 642C	
	H05B 33/14 A	
審査請求 未請求 予備審査請求 未請求 (全 15 頁)		

(21) 出願番号 特願2003-575366 (P2003-575366)  
 (86) (22) 出願日 平成15年2月7日(2003.2.7)  
 (85) 翻訳文提出日 平成16年9月9日(2004.9.9)  
 (86) 国際出願番号 PCT/IB2003/000524  
 (87) 国際公開番号 W02003/077230  
 (87) 国際公開日 平成15年9月18日(2003.9.18)  
 (31) 優先権主張番号 0205859.2  
 (32) 優先日 平成14年3月13日(2002.3.13)  
 (33) 優先権主張国 英国(GB)

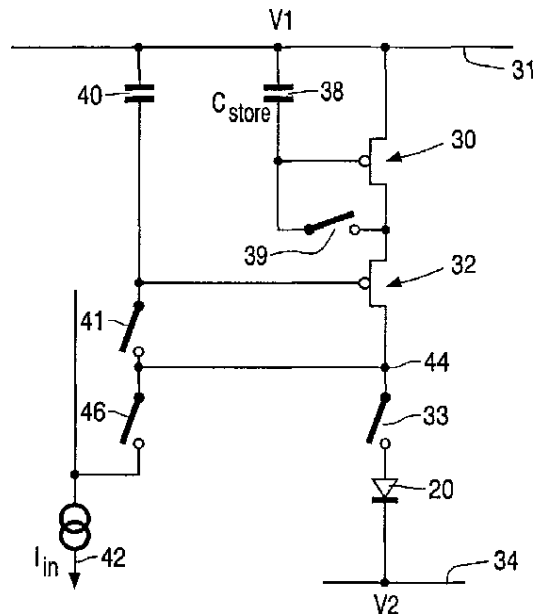
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 Koninklijke Philips Electronics N. V.  
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1  
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 エレクトロルミネッセンス表示装置

(57) 【要約】

アクティブマトリクスエレクトロルミネッセンス(EL)表示装置は、関連するEL表示素子(20)と直列の状態の駆動トランジスタ(30)とカスコードトランジスタ(32)を有する各々の表示画素に対するスイッチング回路を有する。スイッチング回路は、2つのモード、即ち、入力電流が前記駆動トランジスタ(30)と前記第1スイッチとによりサンプリングされる第1モードと、駆動トランジスタが前記EL表示素子(20)を通る前記入力電流に対応する電流を駆動する第2モードとにおいて動作可能である。この構成は、電流駆動に関して電流サンプリングするために同じトランジスタを用い、それ故、マッチングされるトランジスタの必要性を回避することができる。カスコードトランジスタは出力インピーダンスを増加させ、電圧変動が駆動トランジスタに伝わらないことが確実にされ、それ故、一定電流の供給は維持される。



## 【特許請求の範囲】

## 【請求項 1】

エレクトロルミネッセンス (EL) 表示素子のマトリクスアレイを有するアクティブマトリクスエレクトロルミネッセンス表示装置であって、前記エレクトロルミネッセンス表示素子の各々は、印加される駆動信号に従って前記エレクトロルミネッセンス表示素子を通る電流を制御するために関連するスイッチング回路を有する、アクティブマトリクスエレクトロルミネッセンス表示装置であり、前記スイッチング回路は：

関連する EL 表示素子と直列の状態にある駆動トランジスタ及びカスコードトランジスタであって、前記駆動トランジスタは前記関連する EL 表示素子を通る電流を駆動するためのものである、駆動トランジスタ及びカスコードトランジスタ；

10

前記駆動トランジスタのためにゲート電圧を蓄積するために、電源ラインと前記駆動トランジスタの前記ゲートとの間に接続された蓄積コンデンサ；並びに

前記駆動電流が前記 EL 表示素子を通して流れるようにする又は流れないようにするための第 1 スイッチ；

を有し、

前記スイッチング回路は、2つのモード、即ち、入力電流が前記駆動トランジスタによりサンプリングされ且つ前記第 1 スイッチが開状態である第 1 モードと、前記駆動トランジスタが前記 EL 表示素子を通る前記入力電流に対応する電流を駆動し且つ前記第 1 スイッチが閉状態である第 2 モードと、において動作可能である；

ことを特徴とするアクティブマトリクス EL 表示装置。

20

## 【請求項 2】

請求項 1 に記載の EL 表示装置であって、前記ゲートと前記駆動トランジスタのドレインとの間に第 2 スイッチを更に有する、ことを特徴とする EL 表示装置。

## 【請求項 3】

請求項 2 に記載の EL 表示装置であって、前記第 2 スイッチは、並列状態の n - チャネルトランジスタと p - チャネルトランジスタとを有する、ことを特徴とする EL 表示装置。

## 【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の EL 表示装置であって、前記カスコードトランジスタのゲートとドレインとの間に第 3 スイッチを更に有する、ことを特徴とする EL 表示装置。

30

## 【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の EL 表示装置であって、前記カスコードトランジスタの前記ゲートと電力供給ラインとの間に接続された第 2 蓄積コンデンサを更に有する、ことを特徴とする EL 表示装置。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の EL 表示装置であって、前記カスコードトランジスタの前記ドレインと前記スイッチング回路への電流入力部との間に第 4 スイッチを更に有する、ことを特徴とする EL 表示装置。

## 【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の EL 表示装置であって、前記第 1 スイッチは前記カスコードトランジスタと前記関連する表示素子との間に接続されている、ことを特徴とする EL 表示装置。

40

## 【請求項 8】

請求項 1 乃至 6 のいずれか一項に記載の EL 表示装置であって、前記第 1 スイッチは前記関連する表示素子と前記装置の表示素子全てに共通である第 2 電源ラインとの間に接続されている、ことを特徴とする EL 表示装置。

## 【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の EL 表示装置であって、前記表示素子は行列状に配列され、表示素子の行のための前記スイッチング回路の前記スイッチは、その行にお

50

ける前記スイッチを動作するための選択信号が供給される、それぞれの共通の行アドレス導体に接続され、各々の行アドレス導体は順に選択信号を受けるとして配列され、それ故、前記表示素子の行は、順に、一度にアドレス指定される行である、ことを特徴とする E L 表示装置。

【請求項 10】

請求項 9 に記載の E L 表示装置であって、列における前記表示素子ための前記駆動信号は、前記列における前記表示素子に共通のそれぞれの列アドレス導体により供給され、前記入力電流は前記列アドレス導体に供給される又は前記列アドレス導体から流れ出される、ことを特徴とする E L 表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の E L 表示装置であって、前記駆動トランジスタ、前記カスコードトランジスタ及び前記スイッチは、絶縁基板に形成された薄膜トランジスタを有する、ことを特徴とする E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、高分子 L E D のような有機 L E D 装置を用いるエレクトロルミネッセンス表示装置に関する。

【背景技術】

【0002】

エレクトロルミネッセンス発光装置を用いるマトリクス型表示装置は良く知られている。その表示素子は、例えば、高分子材料を用いる有機薄膜エレクトロルミネッセンス素子、あるいは、従来の I I I - V 族半導体化合物を用いる発光ダイオード ( L E D ) を有することが可能である。有機エレクトロルミネッセンス材料、特に高分子材料における近年の研究は、映像表示装置に対して実際に使用される能力を示してきた。代表的には、それらの材料は、一对の電極間に挟まれた半導体性共役系高分子の 1 層またはそれ以上の数の層を有し、それら電極の一方は透明であり、他方は高分子層にホールまたは電子を注入するために適する材料から成る。

【0003】

高分子材料層は、C V D プロセスを用いて形成することができ、または可溶性共役高分子の溶液を用いるスピンコーティング技術により簡単に形成することができる。有機エレクトロルミネッセンス材料は、ダイオードのような I - V 族半導体材料の特性を示し、それ故、それら材料は表示機能およびスイッチング機能両方を提供することができ、受動型表示装置において用いられることができる。また、それらの材料はアクティブマトリクス表示装置のために用いることが可能であり、各々の画素は表示素子を流れる電流を制御するためのスイッチング素子と表示素子とを有する。

【0004】

有機エレクトロルミネッセンス材料は、非常に効率がよく、比較的小さい ( D C ) 駆動電圧を必要とする点で、優位性を提供する。更に、従来の L C D とは対照的に、バックライトを全く必要としない。

【0005】

この種類の表示装置は電流アドレス型表示素子を有し、それ故、従来のアナログ駆動スキームは表示素子に制御可能な電流を供給する。電流源トランジスタを画素構成の一部として備えることが知られており、このとき、電流源トランジスタに供給されるゲート電圧は表示素子を流れる電流を決定する。保持容量はアドレスフェーズの後、ゲート電圧を維持する。

【0006】

このようにして、表示素子はアクティブマトリクスに集積化され、それ故、行アドレス期間よりかなり長い期間の間、光出力を維持するように、各々の表示素子は、表示素子に駆動電流を供給するために動作可能である関連するスイッチング回路を有する。このよう

10

20

30

40

50

にして、例えば、各々の表示素子回路は、関連する表示素子の行が次にアドレスされるまで、フィールド期間の間に表示素子を通る必要な駆動電流を維持するために駆動信号は蓄積され且つ有効である、それぞれの行アドレス期間におけるフィールド期間毎に、一回、アナログ（表示データ）駆動信号をロードされる。

【0007】

そのようなアクティブマトリクス・アドレス・エレクトロルミネッセンス表示装置は、欧州特許出願公開第A-0717446号明細書に記載されている。従来の種類のLCDにおいて用いられるアクティブマトリクス回路構成は、LCD表示素子は容量性であり、それ故、実質的に電流を流さず、駆動信号電圧が全フィールド期間の間にその容量に蓄積されるようにすることを考慮すると、光を生成するために表示素子は連続的に電流を流す必要があるようなエレクトロルミネッセンス表示素子と共に用いられることができない。欧州特許出願公開第A-0717446号明細書においては、各々のスイッチング回路は、2つのTFT（Thin Film Transistor：薄膜トランジスタ）と蓄積容量とを有する。表示素子の陽極は第2TFTのドレインに接続され、第1TFTは、又その容量の一方側に接続された第2TFTのゲートに接続される。行アドレス期間の間に、第1TFTは行選択（ゲート）信号によりオンにされ、駆動（データ）信号はこのTFTにより容量に転送される。

10

【0008】

選択信号の除去の後、第1TFTはオフにされ、第2TFTのためにゲート電圧から構成される容量に蓄積される電圧は、表示素子に電流を供給するために配列された第2TFTの動作のために寄与する。第1TFTのゲートは、同じ行における全ての表示素子に共通のゲートライン（行導体）に接続され、第1TFTのソースは、同じ列における全ての表示素子に共通のソースライン（列導体）に接続される。第2TFTのドレイン及びソース電極は、表示素子のアノードと、同じ列における全ての表示素子に共通であり且つソースラインに並列に伸びるグラウンドラインとに接続される。容量の他の側は又、このグラウンドラインに接続される。

20

【0009】

アクティブマトリクス構造は、適切に透明な絶縁性の基板であって、例えばガラス上に、AMLCDの製造において用いられるプロセス技術に類似するプロセス技術と薄膜析出法を用いて、作製される。

30

【0010】

この配列を用いる場合、発光ダイオード表示素子に対する駆動電流は、第2TFTのゲートに印加される電圧により決定される。従って、この電流は、そのTFTの特性に著しく依存する。閾値電圧の変化、移動度及びTFTの寸法は、表示素子の電流、それ故、光出力における不所望の変化を生じる。アレイの領域に亘る又は異なるアレイ間の表示素子に関連する第2TFTにおけるそのような変化は、製造プロセスによるものであって、表示素子からの光出力の不均一性をもたらす。

【0011】

この問題に対処するために、国際公開第99/65012号パンフレットにおいて、各々のスイッチング回路が、電流駆動信号をサンプリングし且つ蓄積するため及び同一の画素駆動トランジスタにそのサンプリングされた駆動信号を加えるために、動作するカレントミラー回路を有する、画素回路について開示している。このカレントミラー回路は、表示素子を駆動する電流は電流を供給する個々のトランジスタの特性における変化の影響を受けにくいことを確実にすることにより、光出力の均一性を改善している。電流サンプリングトランジスタと画素駆動トランジスタの適合は、それらが基板の隣接領域において形成されていることを前提としており、それ故、基板の領域における変化を無視することができる。

40

【0012】

電流サンプリングトランジスタと画素駆動トランジスタの適合を必要としない、代わりとなるカレントミラー回路については、国際公開第99/60511号パンフレットに開

50

示されている。この回路においては、表示素子に対して必要とされる駆動電流を後に生成するため及び検知するために同じトランジスタが使用される、カレントミラー回路が実現されている。このことは、トランジスタ特性における全ての変化が補償されるようにしている。

【0013】

これら2つの回路においては、入力電流がサンプリングされ、蓄積されるゲート電圧に変換される。電流サンプリング動作の結果として蓄積されたゲート電圧は、TFTの寄生容量の結果としての変化を受け易くなる。この影響は“キックバック”として知られている。

【0014】

更に、カレントミラー回路における電流供給トランジスタの有限出力インピーダンスは制限をもたらす。

【発明の開示】

【課題を解決するための手段】

【0015】

本発明に従って、エレクトロルミネッセンス表示素子のマトリクスアレイを有するアクティブマトリクスエレクトロルミネッセンス(EL)表示装置であって、エレクトロルミネッセンス表示素子の各々は、加えられる駆動信号に従って前記表示素子を通る電流を制御するために関連するスイッチング回路を有する、アクティブマトリクスエレクトロルミネッセンス(EL)表示装置であり、前記スイッチング回路は：関連するEL表示素子と直列の状態にある駆動トランジスタ及びカスコードトランジスタであって、前記駆動トランジスタは前記関連するEL表示素子を通る電流を駆動するためのものである、駆動トランジスタ及びカスコードトランジスタ；前記駆動トランジスタのためにゲート電圧を蓄積するための、電源ラインと前記駆動トランジスタの前記ゲートとの間に接続された蓄積コンデンサ；並びに、前記駆動電流が前記EL表示素子を通して流れるようにする又は止めるようにするための第1スイッチ；を有し、前記スイッチング回路は、2つのモード、即ち、入力電流が前記駆動トランジスタによりサンプリングされ且つ前記第1スイッチが開状態である第1モードと、駆動トランジスタが前記EL表示素子を通る前記入力電流に対応する電流を駆動し且つ前記第1スイッチは閉状態である第2モードと、において動作可能である；ことを特徴とするアクティブマトリクスEL表示装置を提供する。

【0016】

この構成は、電流駆動に関して電流サンプリングするために同じトランジスタを用い、それ故、マッチングされたトランジスタの必要性を回避することができる。カスコードトランジスタは出力インピーダンスを増加させ、電圧変動が駆動トランジスタに伝わらないことが確実とされ、それ故、一定電流の供給は維持される。従って、キックオフの影響は最小化される。

【0017】

第2スイッチは、好適には、電流サンプリングモードの間に、駆動トランジスタをダイオード接続するために、駆動トランジスタのゲートとドレインとの間に与えられる。この第2スイッチは、このスイッチがオフにされるとき(第1モードから第2モードにスイッチングするとき)、電荷転送の影響を低減させるために、同時にスイッチングされる並列状態にあるn-チャネルトランジスタとp-チャネルトランジスタとを有することが可能である。

【0018】

第3スイッチは、好適には、電流サンプリングモードの間に、カスコードトランジスタにダイオード接続するために、カスコードトランジスタのゲートとドレインとの間に与えられる。第2蓄積コンデンサは又、第2モードの間にカスコードトランジスタをオンに保つために、カスコードトランジスタのゲートと電源ラインとの間に接続される。

【0019】

第4スイッチは、好適には、カスコードトランジスタのドレインとスイッチング回路へ

10

20

30

40

50

の電流入力部との間に与えられ、入力電流のための入力スイッチとして機能する。

【0020】

1つの見地から、第1スイッチは、カスコードトランジスタと関連する表示素子との間において接続され、このようにして、1つの第1スイッチは各々のスイッチング回路のために備えられる。しかしながら、第1スイッチは、関連する表示素子と、装置の表示素子全部に共通の第2電源ラインとの間において接続されることができ、このようにして、第1スイッチは全ての表示素子間で共有されることができ、それ故、各々の個々の画素スイッチング回路においてトランジスタの数を減少させることができる。

【0021】

表示素子は、好適には、行列状態に配列され、表示素子の行に対するスイッチング回路のスイッチは、その行におけるスイッチを動作させるための選択信号が供給される、それぞれの共通の行アドレス導体に接続され、各々の行アドレス導体は、順に選択信号を受けるために配列され、それにより、表示素子の列は、順に、一度にアドレス指定される行である。

10

【0022】

本発明に従ったアクティブマトリクスエレクトロルミネッセンス表示装置について、以下に、添付図面を参照して、例を示して説明する。

【発明を実施するための最良の形態】

【0023】

図1を参照するに、アクティブマトリクス・アドレス・エレクトロルミネッセンス表示装置は、ブロック10により表され且つアドレススイッチング回路と共にエレクトロルミネッセンス表示素子を有し、行(選択)列(データ)アドレス導体、即ちライン12及び14の交差集合の交点に位置される、一定間隔を置く画素の行列マトリクスアレイを有するパネルを有する。簡単化のために、図1においては、幾らかの画素のみを示している。実際には、数百の画素の行および列が存在することが可能である。画素10は、それぞれ導体の集合の端部に接続される、走査のための行の駆動回路16と、データのための列の駆動回路18とを有する周辺駆動回路により、行および列のアドレス導体の集合によりアドレスされる。

20

【0024】

図2は、本発明に従った代表的な画素ブロック10の回路を簡単化した模式図の状態を示しており、動作の基本的方式を表すことを意図されている。図2の画素回路の実際の実施については図3に示している。

30

【0025】

参照符号20で示すエレクトロルミネッセンス表示素子は、ここでは、発光ダイオード(LED)素子として表され、1つ又はそれ以上の有機エレクトロルミネッセンス材料の活性層が挟まれた一対の電極を有する、有機発光ダイオードを有する。そのアレイの表示素子は、関連する活性マトリクス回路構成と共に絶縁体基板の一方側に形成される。表示素子の陰極又は陽極のどちらかは、透明導体材料から形成される。基板はガラスのような透明材料から成り、基板に最も近い表示素子20の電極は、基板の他の側においてビューアに見えるように、エレクトロルミネッセンス層により生成される光が基板とこれらの電極とを透過するように、ITOのような透明導体材料から成る。しかしながら、この具体的な実施形態においては、光出力はパネルの上から見えるように意図され、表示素子の陽極は、電位源に接続され、固定基準電位に保たれ且つアレイにおける全ての表示素子に共通の第2供給ラインを有する、連続的なITO層22部分を有する。表示素子の陰極は、カルシウム又はマグネシウムの銀合金のような小さい仕事関数の金属から構成される。代表的には、有機エレクトロルミネッセンス材料層の厚さは100nm乃至200nmである。表示素子20のために用いられることができる適切な有機エレクトロルミネッセンス材料の代表的な例は、更なる説明のために文献として援用し、ここでは説明の一部を代替する、欧州特許出願公開第0717446号明細書に記載されている。国際公開第96/36959号パンフレットに記載されているような共役高分子材料を又、用いることがで

40

50

きる。

【0026】

各々の表示素子20は、表示素子に隣接する察及び列導体12及び14に接続され、素子の駆動電流であって、それ故、光出力(階調)を決定する加えられるアナログ駆動(データ)信号レベルに従って、表示素子を駆動するために配列される、関連するスイッチ回路を有する。表示データ信号は、電流シンクとして機能する列駆動回路18により提供される。適切に処理された映像信号は、映像信号をサンプリングするこの回路に供給され、同期される走査行駆動回路と列駆動回路の動作を用いてアレイを同時にアドレス指定する行に適切な方法で、各々の列導体に映像情報に関連するデータ信号を構成する電流を供給する。

10

【0027】

図2を参照するに、スイッチ回路は、駆動トランジスタ30であって、更に詳細には、p-チャンネルFETを有する。そのp-チャンネルFETの第1通電(ソース)端子は供給ライン31に接続され、その第2通電(ドレイン)端子は、カスコードトランジスタ32に第1通電(ソース)端子に接続されている。カスコード端子32の第2通電(ドレイン)端子は、スイッチ33を経由して、表示素子20の陽極に接続される。表示素子の陽極は、固定基準電位に保たれた連続する電極層により実質的に構成される、第2供給ライン34に接続されている。

【0028】

駆動トランジスタ30のゲートは、別々に形成されたコンデンサ即ちゲート-ソース間真性容量である蓄積容量38により、供給ライン31、それ故、ソース電極に接続される。駆動トランジスタ30のゲートは又、スイッチ39により、そのドレイン端子に接続される。

20

【0029】

カスコードトランジスタ32のゲートは又、蓄積容量40を経由して供給ライン31に接続され、カスコードトランジスタ32のゲートは又、スイッチ41を経由してそのドレイン端子に接続される。

【0030】

トランジスタ回路は、電流サンプリング機能と電流出力機能の両方を実行する同じトランジスタと、負荷として機能する表示素子20とを伴う単一のトランジスタカレントミラーの方式で動作する。スイッチング回路の出力は、カスコードカレントミラー回路を規定する。

30

【0031】

このカレントミラー回路への入力は、ノードへの入力信号の供給を制御する更なるスイッチ46を経由して、スイッチ33とカスコードトランジスタ32との間のノード44に接続される入力ライン42により供給される。

【0032】

回路の動作は2つのフェーズにおいて生じる。第1の、アドレス期間に合わせて対応する、サンプリングフェーズにおいては、表示素子からの必要な出力を決定するために入力信号は、回路から流れ出され、結果として生じる駆動トランジスタ30におけるゲート-ソース間電圧はサンプリングされ、容量38において蓄積される。続く出力フェーズにおいて、駆動トランジスタ30は、例えば、続く新しいサンプリングフェーズにおいて表示素子が次にアドレス指定されるまで、出力が維持される、入力信号により決定されるような、表示素子からの必要な出力を生成するために、蓄積電圧のレベルに従って、表示素子20を通して電流を流すために、駆動トランジスタ30は動作する。両方のフェーズの間に、供給ライン31及び34は、適切な、予め設定された電位レベル、V1及びV2にある。このような構成において、供給ライン31は、標準的には、正電位(V1)にあり、供給ライン34は、グランド電位(V2)にある。

40

【0033】

サンプリングフェーズの間、スイッチ39、41及び46は閉じており、そのダイオー

50

ドは、駆動トランジスタ30とカスコードトランジスタ32を接続し、入力42をノード44に結合する。スイッチ33は開状態であり、表示素子の負荷を分離する。ここでは $I_{in}$ で表され、必要な表示素子電流に対応する入力信号は、入力ライン41、閉状態のスイッチ46及び入力端子44を経由して、外部電源であって、例えば、図1における列駆動回路18により、駆動トランジスタ30とカスコードトランジスタ32とを通過される。駆動トランジスタ30は、閉状態のスイッチ39により接続されたダイオードであるため、定常状態における容量38に印加される電圧は、駆動トランジスタ30のチャネルを通る電流 $I_{in}$ を通過させるために必要な、ゲート-ソース間電圧である。この電流が安定化するための十分な時間を割り当てられた場合、サンプリングフェーズは、スイッチ39、41及び46の開状態において終了し、入力ライン42から入力端子44を分離し、

10

#### 【0034】

次いで、出力フェーズはスイッチ33の閉状態時に開始し、それ故、表示素子の陽極をカスコードトランジスタ32のドレインに接続する。次いで、駆動トランジスタ30は電流電源として動作し、 $I_{in}$ に略等しい電流は、カスコードトランジスタ32及び表示素子20を通過して引き出される。

20

#### 【0035】

カスコードの動作は、本質的に、駆動トランジスタ30に印加されるソース-ドレイン間電圧を略一定に保ち(カスコードトランジスタのゲートはコンデンサ40により一定に保たれるため)、このようにして、その回路は、最小のキックバックとカスコードトランジスタにより達成される大きい出カインピーダンスとを有する。

#### 【0036】

サンプリングフェーズの間に $I_{in}$ をサンプリングし、出力フェーズの間に電流を生成するために、同じトランジスタが用いられるため、表示素子の電流は、トランジスタの移動度又は閾値電圧に依存しない。

#### 【0037】

図3は、図1の表示装置において用いられる、図2の画素回路の実際的な実施形態を示している。この図において、各々が駆動トランジスタ30とカスコードトランジスタ32と共に、トランジスタ及びこれらのスイッチングトランジスタにより構成されるスイッチ33、41及び46は、薄膜電界効果型トランジスタ、TFETとして全て形成されている。入力ライン42、及び同じ列における画素回路全ての対応する入力ラインは、列アドレス導体に接続され、これを通して列駆動回路18に接続される。

30

#### 【0038】

トランジスタ33、41及び46のゲート、及び、同様に、同じ行の画素回路における対応するトランジスタのゲートは、同じ行アドレス導体12に、全て接続されている。トランジスタ41及び46は、 $n$ -チャネル装置を有し、行駆動回路16により行アドレス導体12に印加される電圧パルスの形態である選択(走査)信号により、オン(閉状態)にされる。トランジスタ33は、トランジスタ41及び46が導体12において選択信号に反応して閉状態であるとき、オフ(開状態)であるように、トランジスタ41及び46に対して、 $p$ -チャネル装置から構成される反対の導電性タイプであり、相補的に動作し、その逆もまた同様である。

40

#### 【0039】

図2に示すように、スイッチ39は、並列状態の2つのトランジスタとして実施される。第1トランジスタ39aは、行アドレス導体12に印加される電圧パルスによってオンにされる $n$ -チャネル装置であり、それ故、サンプリングフェーズの間、そのスイッチは、駆動トランジスタ30をダイオード接続するために、閉状態にされる。第2トランジス

50

タ 39 b は、p - チャネル装置であり、端子 50 に加えられる外部制御信号によりオン又はオフにされる。この付加トランジスタは、アドレス電圧により、蓄積コンデンサ 38 へのキックバックを回避するために提供される。

【0040】

トランジスタ 39 a 及び 39 b は、同時にオン及びオフにされる。これらの n タイプトランジスタ及び p - タイプトランジスタは正確に所定サイズに作られ、それ故、それらの寄生容量（即ち、各々のトランジスタと蓄積コンデンサとの間の容量）は等しい。これは、2つのトランジスタからのキックバックを相殺する効果がある。

【0041】

供給ライン 34 は行導体 12 に並列な電極として伸びており、同じ行における画素回路全てにより共有されている。行全ての供給ライン 34 は、それらの端部において共に接続されることができる。それに代えて、供給ラインは、列方向に伸びることが可能であり、それ故、各々の供給ラインは、それぞれの列における表示素子により共有されることが可能である。又、行及び列の両方の方向に伸びており、グリッド構造を構成するように相互接続した供給ラインを提供することが可能である。

10

【0042】

アレイは、直列状態の各々の行導体 12 に供給される選択信号により、一度に、順次、行を駆動される。選択信号の持続時間は、サンプリングフェーズの期間に対応する行アドレス期間を決定する。選択信号との同期において、データ信号から構成される適切な入力電流駆動信号は、表示素子から必要な表示出力を決定するそれぞれの入力信号を有する行アドレス期間と同時に、必要な駆動レベルに選択された行における表示素子全てを設定するようにアドレス指定する時間に行に対して、必要に応じて、列駆動回路 18 により、列導体 14 に加えられる。このようにして、行のアドレッシングに従って、表示素子の次の行は、同様の方法でアドレス指定される。表示素子の行全てがフィールド期間にアドレス指定された後、そのアドレスシーケンスは、所定の表示素子に対する駆動電流を用いて続くフィールド期間において繰り返され、それ故、出力は、それぞれの行アドレス期間において設定され、対象の表示素子の行が次にアドレス指定されるまで、フィールド期間の間、維持される。

20

【0043】

TFT、アドレスラインの集合、蓄積コンデンサ（ディスクリット構成要素として与えられる場合）、表示素子電極及びそれらの相互接続部を有する、アレイのマトリクス構造は、アクティブマトリクスLCDにおいて用いられる技術と同様の、標準的な薄膜処理技術であって、CVD析出技術及びフォトリソグラフィパターンニング技術によりガラス又はプラスチック材料のような絶縁基板の表面における導電性材料、絶縁体材料及び半導体材料の種々の薄膜層の析出及びパターンニングを基本的に有する、薄膜処理技術を有する。そのような例については、欧州特許出願公開第 A - 0717446 号明細書に記載されている。TFTは、アモルファスシリコンTFT又は多結晶シリコンTFTを有することが可能である。表示素子の有機エレクトロルミネセンス材料層を、気相析出法又はスピニングのような他の適切な既知の技術により形成することが可能である。

30

【0044】

図 4 は、各々の画素において必要なトランジスタ数を減少させる画素回路の、他の修正された構成について示している。

40

【0045】

この回路においては、トランジスタ 33 は取り除かれ、入力端子 44 は表示素子 20 に、直接、接続されている。その代わりに、表示素子の陰極が、供給ライン 34（例えば、アース）にトランジスタ 50 を介して接続されている。1つのトランジスタ 50 が全表示のために与えられている。

【0046】

上記の回路と同様に、カレントミラーの動作において、2つのフェーズ、即ち、サンプリング及び出力フェーズが存在する。しかしながら、表示における画素全ては、陰極がア

50

ースに接続される前に、サンプリングフェーズの対象となる。例えば、アドレッシングは、非接続の陰極によってフィールド期間の2/3において生じ、次いで、陰極は接続され、それ以上のアドレッシングは起こらず、フィールド期間の残りの1/3の間、表示がなされる。このことは、アドレス期間が減少するに従い、出力強度の増加を必要とするが、この方法は、サンプル及びホールド効果とを減少させる利点を有している。画像が、全フィールド期間の間、静止のまま保たれるとき、動画はぼやけて現れ、これはサンプル及びホールド効果として知られている。

【0047】

出力インピーダンスの増加は、透明陰極を備える、所謂、“上方発光”LED装置に対して特に有利である。これは、抵抗接触となり、カスコード電流電源の出力インピーダンスの増加は、より正確な電流駆動を可能にする。

10

【0048】

上記の画素回路は、p-チャネル駆動トランジスタ30とカスコードトランジスタ32とに基づいているが、これらオトランジスタの極性が反転される場合、同じ動作モードが可能であり、表示素子の極性は反転し、そして、供給ラインと行導体とに加えられるパルスの極性は反転される、ことが理解されるであろう。n-タイプトランジスタが用いられる場合(39a、41、46)、これらはp-タイプとなる。

【0049】

示したようなp-チャネルトランジスタを用いる表示装置が所望可能であるように、ダイオード表示素子の1つの又は他のオリエンテーションを選ぶ技術的理由が存在する。例えば、有機エレクトロルミネッセンス材料を用いる表示素子の陰極のために必要な材料は、通常は、低い仕事関数を有し、代表的には、マグネシウムベースの合金又はカルシウムを有する。そのような材料は、フォトリソグラフィの技術においてはパターンニングが困難である傾向にあり、それ故、アレイにおける表示素子全てに共通のそのような材料の連続層を選択することが可能である。

20

【0050】

絶縁基板上的TFET及びコンデンサを構成する薄膜技術を用いることに代えて、半導体基板であって、例えば、シリコン基板上にIC技術を用いて、アクティブマトリクス回路構成を作製することが可能であることが、考えられる。このような基板上に設けられるLED表示素子の上部電極は、それ故、これら上部電極を通してみることが出来る素子の光出力を有する、例えば、ITO等の透明導体材料から成る。

30

【0051】

又、回路におけるスイッチはトランジスタを有する必要はないが、マイクロリレー、マイクロスイッチ又はトランスミッションゲートスイッチ等の他のタイプのスイッチを有することが可能である、ことが考えられる。

【0052】

上記の実施形態は、特に、有機エレクトロルミネッセンス表示素子に関して説明したが、電流が光出力を生成するために流れるエレクトロルミネッセンス材料を有する他の種類のエレクトロルミネッセンス表示素子を、代替として用いることが可能であることが、理解されるであろう。

40

【0053】

表示装置は、単色又は多色表示装置であることが可能である。カラー表示装置は、アレイにおいて異なるカラーの光を発光する表示素子を用いることにより提供されることが可能であると理解されるであろう。異なるカラーの発光表示素子は、代表的には、例えば、赤、緑及び青色の光を発光する表示素子の、一定の繰り返しパターンの状態で提供されることが可能である。

【0054】

本発明の開示内容を読むことにより、他の修正が可能であることは当業者に理解されるであろう。そのような修正は、マトリクスエレクトロルミネッセンス表示装置およびその構成部品の分野で既に周知である他の特徴を有することが可能であり、すでにここで説明し

50



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

PCT/JP 03/00524

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/32		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 99 65012 A (KONINKL PHILIPS ELECTRONICS NV ; PHILIPS SVENSKA AB (SE)) 16 December 1999 (1999-12-16) abstract the whole document	1-11
A	EP 1 130 565 A (SONY CORP) 5 September 2001 (2001-09-05) abstract page 12, paragraph 78 -page 13, paragraph 82; figure 12	1-11
A	EP 1 170 718 A (SEIKO EPSON CORP) 9 January 2002 (2002-01-09) abstract the whole document	1
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search  13 June 2003		Date of mailing of the international search report  24/06/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3076		Authorized officer  Wolff, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

PCT/IB 03/00524

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	US 2002/084463 A1 (SCHLIG EUGENE S ET AL) 4 July 2002 (2002-07-04) abstract page 4, paragraph 58; figure 6	1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

PCT/IB 03/00524

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9965012	A	16-12-1999	EP 1034529 A2	13-09-2000
			WO 9965012 A2	16-12-1999
			JP 2002518691 T	25-06-2002
			US 2002126073 A1	12-09-2002
			US 6359605 B1	19-03-2002
EP 1130565	A	05-09-2001	EP 1130565 A1	05-09-2001
			WO 0106484 A1	25-01-2001
EP 1170718	A	09-01-2002	CN 1388951 T	01-01-2003
			EP 1170718 A1	09-01-2002
			WO 0205254 A1	17-01-2002
			US 2002033718 A1	21-03-2002
US 2002084463	A1	04-07-2002	WO 02054373 A2	11-07-2002

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN, GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC, EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,M X,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100107766

弁理士 伊東 忠重

(72)発明者 フィッシュ, デイヴィッド エイ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD03 FF11 JJ02 JJ03

专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">JP2005520192A</a>	公开(公告)日	2005-07-07
申请号	JP2003575366	申请日	2003-02-07
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	フィッシュデイヴィッドエイ		
发明人	フィッシュ,デイヴィッド エイ		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/325 G09G2300/0814 G09G2300/0852 G09G2300/0861 G09G2320/02 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD03 5C080/FF11 5C080/JJ02 5C080/JJ03		
代理人(译)	伊藤忠彦		
优先权	2002005859 2002-03-13 GB		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有源矩阵电致发光 (EL) 显示装置具有用于每个显示像素的开关电路，具有与相关EL显示元件 (20) 串联的驱动晶体管 (30) 和共源共栅晶体管 (32)。开关电路，这两种模式，即，所述第一开关和所述驱动晶体管 (30)，通过输入电流驱动晶体管，所述其中输入电流由采样的第一模式的EL显示装置 (20) 而第二种模式是驱动相应的电流。这种配置使用与电流驱动相同的晶体管来进行电流采样，从而避免了匹配晶体管的需要。共源共栅晶体管增加输出阻抗并确保电压波动不会传输到驱动晶体管，因此保持恒定电流供应。

