

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-55922

(P2005-55922A)

(43) 公開日 平成17年3月3日(2005.3.3)

(51) Int.CI.⁷

G09G 3/30
G09F 9/30
G09G 3/20
H05B 33/14

F 1

GO9G 3/30 J
 GO9F 9/30 3 3 8
 GO9F 9/30 3 6 5 Z
 GO9G 3/20 6 1 1 J
 GO9G 3/20 6 1 2 J

テーマコード(参考)

3K007
 5C080
 5C094

審査請求 有 請求項の数 7 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-318011(P2004-318011)
 (22) 出願日 平成16年11月1日(2004.11.1)
 (62) 分割の表示 特願2003-359383(P2003-359383)
 の分割
 原出願日 平成6年10月31日(1994.10.31)

(71) 出願人 000003067
 TDK株式会社
 東京都中央区日本橋1丁目13番1号
 (71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100103827
 弁理士 平岡 憲一
 (74) 代理人 100083297
 弁理士 山谷 晴榮
 (74) 代理人 100096530
 弁理士 今村 辰夫
 (72) 発明者 高山 一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】エレクトロルミネセンス表示装置

(57) 【要約】

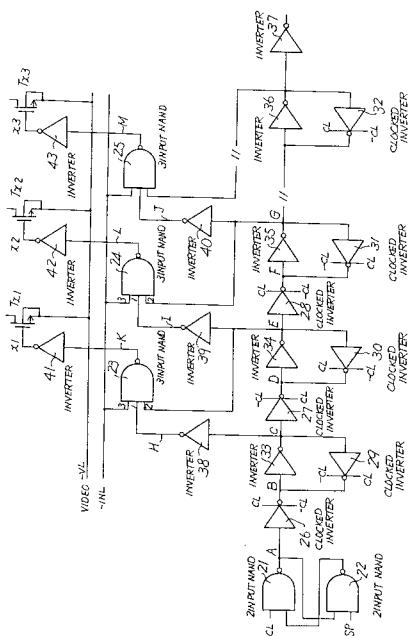
【課題】 選択信号と次の選択信号との間に、信号のオーバラップ時間をなくすことにより、画質を向上すること。

【解決手段】 同一基板上に形成された表示画面と、X軸とY軸のシフトレジスタと、複数のエレクトロルミネセンス素子を選択する複数の選択スイッチT×1～T×3と、選択スイッチT×1～T×3を順次駆動する選択信号x1～x3を出力する選択信号発生回路と、選択信号x1～x3をマスクするマスク信号-INL発生回路とを備え、選択信号間のオーバラップ時間なくすようにした。

【選択図】

図2

本発明の実施の形態の説明図



【特許請求の範囲】

【請求項 1】

ゲートがゲート信号線と接続し、ソースまたはドレインの一方がソース信号線と接続するトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続するドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続するEL素子と、

前記ドライブトランジスタのソースまたはドレインの他方と接続するEL電源線と、
を有する画素と、

前記画素がマトリクス状に配列されて構成される表示画面と、

10

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

前記選択スイッチのゲートに選択信号を出力するX軸シフトレジスタと、

前記トランジスタの前記ゲートに選択信号を出力するY軸シフトレジスタとを有し、

前記トランジスタ、前記ドライブトランジスタ、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、それぞれ薄膜トランジスタで構成され、

前記表示画面、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、同一表示パネル上に形成され、

前記X軸シフトレジスタからの前記選択信号によって前記選択スイッチを選択し、且つ前記Y軸シフトレジスタからの前記選択信号によって前記トランジスタを選択することにより、前記選択スイッチ及び前記トランジスタを介して、前記ドライブトランジスタの前記ゲートに前記画像データ信号は入力され、

20

前記ドライブトランジスタに入力された前記画像データ信号に応じて、電流が前記EL電源線から前記ドライブトランジスタに流れ前記EL素子が発光することを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 2】

ゲートがゲート信号線と接続し、ソースまたはドレインの一方がソース信号線と接続するトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続するドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続するEL素子と、

30

前記ドライブトランジスタのソースまたはドレインの他方と接続するEL電源線と、

前記ドライブトランジスタの前記ゲートと前記ドライブトランジスタのソースまたはドレインの前記他方との間に配置されるコンデンサと、

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示画面と、

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

前記選択スイッチのゲートに選択信号を出力するX軸シフトレジスタと、

前記トランジスタの前記ゲートに選択信号を出力するY軸シフトレジスタとを有し、

前記トランジスタ、前記ドライブトランジスタ、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、それぞれ薄膜トランジスタで構成され、

40

前記表示画面、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、同一表示パネル上に形成され、

前記X軸シフトレジスタからの前記選択信号によって前記選択スイッチを選択し、且つ前記Y軸シフトレジスタからの前記選択信号によって前記トランジスタを選択することにより、前記選択スイッチ及び前記トランジスタを介して、前記ドライブトランジスタの前記ゲートに前記画像データ信号は入力され、

前記ドライブトランジスタに入力された前記画像データ信号に応じて、電流が前記EL電源線から前記ドライブトランジスタに流れ前記EL素子が発光することを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 3】

50

ゲートがゲート信号線と接続し、ソースまたはドレインの一方がソース信号線と接続するトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続するドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続するEL素子と、

前記ドライブトランジスタのソースまたはドレインの他方と接続するEL電源線と、

前記ドライブトランジスタのゲートと前記EL電源線とに接続するコンデンサと、

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示画面と、

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

10

前記選択スイッチのゲートに選択信号を出力するX軸シフトレジスタと、

前記トランジスタの前記ゲートに選択信号を出力するY軸シフトレジスタとを有し、

前記トランジスタ、前記ドライブトランジスタ、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、それぞれ薄膜トランジスタで構成され、

前記表示画面、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、同一表示パネル上に形成され、

前記X軸シフトレジスタからの前記選択信号によって前記選択スイッチを選択し、且つ前記Y軸シフトレジスタからの前記選択信号によって前記トランジスタを選択することにより、前記選択スイッチ及び前記トランジスタを介して、前記ドライブトランジスタの前記ゲートに前記画像データ信号は入力され、

20

前記ドライブトランジスタに入力された前記画像データ信号に応じて、電流が前記EL電源線から前記ドライブトランジスタに流れて前記EL素子が発光することを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項4】

ゲートがゲート信号線と接続し、ソースまたはドレインの一方がソース信号線と接続するトランジスタと、

ゲートが前記トランジスタのソースまたはドレインの他方と接続するドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続するEL素子と、

30

前記ドライブトランジスタのソースまたはドレインの他方と接続するEL電源線と、

を有する画素と、

前記画素がマトリクス状に配列されて構成される表示画面と、

前記ソース信号線を介して前記画素に画像データ信号を入力する選択スイッチと、

30

前記選択スイッチのゲートに選択信号を出力するX軸シフトレジスタと、

前記トランジスタの前記ゲートに選択信号を出力するY軸シフトレジスタとを有し、

前記トランジスタ、前記ドライブトランジスタ、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、それぞれ薄膜トランジスタで構成され、

前記表示画面、前記X軸シフトレジスタ及び前記Y軸シフトレジスタは、同一表示パネル上に形成され、

前記X軸シフトレジスタからの前記選択信号によって前記選択スイッチを選択し、且つ前記Y軸シフトレジスタからの前記選択信号によって前記トランジスタを選択することにより、前記選択スイッチ及び前記トランジスタを介して、前記ドライブトランジスタの前記ゲートに前記画像データ信号は入力され、

40

前記ドライブトランジスタに入力された前記画像データ信号に応じて、電流が前記EL電源線から前記ドライブトランジスタに流れて前記EL素子が発光し、

前記X軸シフトレジスタにはマスク信号が入力されることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項5】

請求項4において、前記マスク信号は、ある画素列の選択スイッチへ入力された前記選択信号の立ち下がりと、次の画素列の選択スイッチへ入力された前記選択信号の立ち上が

50

りがオーバラップする期間をマスクすることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 6】

請求項 4 または請求項 5 において、前記マスク信号はマスク信号発生回路から出力されることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、前記 E L 電源線は前記ソース信号線と平行に伸びていることを特徴とするアクティブマトリクス型エレクトロルミネセンス表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、薄膜トランジスタ（以下、TFT という）を用いてエレクトロルミネセンス（以下、EL という）素子を駆動する EL 表示装置に関する。

【背景技術】

【0002】

図 5～図 6 は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】

図 5 は、従来例の X 軸シフトレジスタの説明図である。図 5 において、 NAND 回路 21 と 22 は波形整形回路であり、逆位相のクロック - CL と低レベル（「L」）のスタートパルス（X 軸同期信号）- SP が入力される。また、クロックドインバータ 26～32 とインバータ 33～37 はシフトレジスタである。さらに、インバータ 38～43 と NAND 回路 44～46 は、選択信号 x1～x3 を出力する論理回路である。

20

【0004】

クロック CL と逆位相クロック - CL は、一方が高レベル（「H」）の時他方が低レベル（「L」）になる。

【0005】

クロックドインバータは、クロック CL 入力が「L」で逆位相クロック - CL 入力が「H」のときアクティブ状態となり、インバータとして動作し、また逆に、クロック CL 入力が「H」で逆位相クロック - CL 入力が「L」のときハイインピーダンス状態となるものである。

30

【0006】

例えば、クロックドインバータ 26 とクロックドインバータ 29 とは、クロック CL 入力と逆位相クロック入力 - CL とが逆に接続されている。このため、クロックドインバータ 26 がアクティブ状態の時、クロックドインバータ 29 はハイインピーダンス状態となる。

【0007】

図 6 は、従来例の波形説明図であり、以下、図 5 の X 軸のシフトレジスタの動作を図 6 の各点の波形に基づいて説明する。

【0008】

（1）波形整形回路の出力である A 点の電位は、スタートパルス - SP（「L」）がない時「H」である。この時、「L」のスタートパルス - SP が入力されると、A 点は「L」となる（図 6、A 参照）。

40

【0009】

（2）B 点は、A 点が「L」になる時、クロックドインバータ 26 はアクティブ状態となるので、「H」となり、次にクロックドインバータ 26 がハイインピーダンス状態となる時、クロックドインバータ 29 がアクティブ状態となるので、前記 B 点の「H」がクロックドインバータ 29 のアクティブ期間だけ保持される（図 6、B 参照）。

【0010】

（3）C 点は、インバータ 33 により B 点と逆位相の波形となる（図 6、C 参照）。

50

【0011】

(4) D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0012】

(5) E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイクル遅れた波形となる(図6、E参照)。

【0013】

(6) F点は、クロックドインバータ30と同時にアクティブ状態となるクロックドインバータ28と、インバータ35とクロックドインバータ31による保持回路によりD点より半クロックサイクル遅れた波形となる。 10

【0014】

(7) G点は、インバータ35によりF点と逆位相の波形となり、E点の波形より半クロックサイクル遅れた波形となる(図6、G参照)。

【0015】

(8) H点は、インバータ38によりC点の反転信号となる(図6、H参照)。I点は、インバータ39によりE点の反転信号となる(図6、I参照)。また、J点は、インバータ40によりG点の反転信号となる(図6、J参照)。 20

【0016】

(9) K点は、 NAND回路44の出力であり、 NAND回路44の2つの入力にはH点とE点の信号が入力される。L点は、 NAND回路45の出力であり、 NAND回路45の2つの入力にはI点とG点の信号が入力される。また、M点は、 NAND回路46の出力であり、 NAND回路46の2つの入力にはJ点とインバータ(図示せず)からの信号が入力される。 20

【0017】

(10) 選択信号x1は、インバータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。 30

【0018】

(11) 選択信号x2は、インバータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。 30

【0019】

(12) 選択信号x3は、インバータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。 40

【0020】

このようにして、選択信号x1、x2、x3、・・・と順に、半クロックサイクルシフトとした信号が得られる。この選択信号x1～x3の実線の波形は、理想波形であり、現実に選択スイッチであるトランジスタTx1～Tx3のゲートに印加される波形は、回路の容量や抵抗のため点線のように、波形の立上がりと立下がりに時間Tが必要となる。 40

【発明の開示】

【発明が解決しようとする課題】

【0021】

上記のような従来のものにおいては、次のような課題があった。

【0022】

選択信号x1～x3の現実の波形(図6の点線)は、立上がりと立下がりに、その回路によって決まる時間Tが必要となる。このため、この時間Tの期間では、例えば選択信号x1と次の選択信号x2の出力がオーバラップする。これにより、この期間で、選択 50

スイッチであるトランジスタ T_{x 1} とトランジスタ T_{x 2} が同時にオンとなり、コンデンサ c_{1 1} の画像データ信号 - VL が隣りの画素のコンデンサ c_{2 1} に入り込むことになる。このため、EL 表示装置の画質が悪くなることがあった。

【0023】

本発明は、選択信号と次の選択信号との間にマスク期間を設け、選択信号間のオーバラップをなくすことにより、EL 表示装置の画質を向上することを目的とする。

【課題を解決するための手段】

【0024】

本発明は、上記の課題を解決するため次のように構成した。

【0025】

図2は、本発明の実施の形態の説明図であり、X軸シフトレジスタである選択信号発生回路構成を示す。図2において、 NAND 回路21と22は、波形整形回路であり、逆位相のクロック - CL と「L」のスタートパルス - SP が入力される。また、クロックドインバータ26～32とインバータ33～37は、シフトレジスタである。さらに、インバータ38～43と3入力 NAND 回路23～25は、X軸の選択信号 x1～x3 を出力する論理回路である。マスク信号発生回路からのマスク信号 - INL は、3入力 NAND 回路23～25の1つの入力に接続され、画像データ信号 - VL は、X軸の選択スイッチであるトランジスタ T_{x 1}～T_{x 3} に接続されている。

【0026】

上記構成に基づく作用を説明する。

【0027】

X軸の選択信号 x1 は、シフトレジスタのインバータ33からの出力をインバータ38で反転した出力と、シフトレジスタのインバータ34の出力と、マスク信号 - INL とを3入力 NAND 回路23に入力し、この3入力 NAND 回路23の出力をインバータ41で反転したものである。

【0028】

選択信号 x2 は、インバータ34からの出力をインバータ39で反転した出力と、インバータ35の出力と、マスク信号 - INL とを3入力 NAND 回路24に入力し、この3入力 NAND 回路24の出力をインバータ42で反転したものである。

【0029】

同様に選択信号 x3 は、3入力 NAND 回路25からの出力をインバータ43で反転したものである。

【0030】

このマスク信号 - INL のマスク期間は、従来例（図6参照）の選択信号 x1 と次の選択信号 x2 のオーバラップ期間 T 以上とする。

【0031】

このように、選択信号と次の選択信号が同時に出力されるオーバラップをなくすことにより EL 表示装置の画質を向上することができる。

【発明の効果】

【0032】

以上のように本発明によれば、選択スイッチであるトランジスタ T_{x 1}～T_{x 3} を順次駆動する選択信号のオーバラップ時間をなくすマスク手段を設けたため、ある画素の画像データ信号が他の画素の画像データ信号に入り込むことがなく、EL 表示装置の画質の向上を図ることができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態を図面に基づいて説明する。

【0034】

図1～図4は、本発明の実施の形態を示した図であり、図5～図6と同じものは同じ符号で示してある。

【0035】

図1は本発明の説明図であり、図1(a)はパネルブロック図である。図1(a)において、ディスプレイ(表示)パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0036】

ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフトレジスタ13には、シフトレジスタ電源の供給とY軸同期信号の入力が行われる。また、X軸のシフトレジスタ12の出力部に画像データ信号の出力が設けてある。

【0037】

図1(b)は、図1(a)のA部の拡大説明図であり、ディスプレイ画面11の1画素(点線の四角で示す)は、トランジスタが2個、コンデンサが1個、EL素子が1個より構成されている。

【0038】

この1画素の発光動作は、例えば、Y軸のシフトレジスタ13で選択信号y1の出力があり、またX軸のシフトレジスタ12で選択信号x1の出力があった場合、トランジスタTy11とトランジスタTx1がオンとなる。

【0039】

このため、画像データ信号-VLは、ドライブトランジスタM11のゲートに入力される。これにより、このゲート電圧に応じた電流がEL電源からドライブトランジスタM11のドレイン、ソース間に流れ、EL素子EL11が発光する。

【0040】

次のタイミングでは、X軸のシフトレジスタ12は、選択信号x1の出力をオフとし、選択信号x2を出力することになるが、ドライブトランジスタM11のゲート電圧は、コンデンサc11で保持されるため、次にこの画素が選択されるまでEL素子EL11の前記発光は、持続することになる。

【0041】

図2は本発明の実施の形態の説明図であり、X軸のシフトレジスタの回路構成を示す。図2において、 NAND回路21と22は、波形整形回路であり、逆位相のクロック-C Lと'L'のスタートパルス-SPが入力される。また、クロックドインバータ26~32とインバータ33~37は、シフトレジスタである。これらの波形整形回路とシフトレジスタは、図5の従来例と同じものである。

【0042】

インバータ38~43と3入力 NAND回路23~25は、X軸の選択信号x1~x3を出力する論理回路である。

【0043】

3入力 NAND回路23の第1入力にはインバータ38によりC点の反転信号であるH点の信号が入力され、第2入力にはE点の信号が入力され、第3入力には、マスク信号-INLが入力される。この3入力 NAND回路23の出力であるK点の信号をインバータ41で反転したものが選択信号x1となる。

【0044】

3入力 NAND回路24の第1入力にはインバータ39によりE点の反転信号であるI点の信号が入力され、第2入力にはG点の信号が入力され、第3入力にはマスク信号-INLが入力される。この3入力 NAND回路24の出力であるL点の信号をインバータ42で反転したものが選択信号x2となる。

【0045】

3入力 NAND回路25の第1入力にはインバータ40によりG点の反転信号であるJ点の信号が入力され、第2入力にはシフトレジスタのインバータ(図示せず)からの信号が入力され、第3入力にはマスク信号-INLが入力される。この3入力 NAND回路25の出力であるM点の信号をインバータ42で反転したものが選択信号x3となる。

【0046】

このようにして、X軸のシフトパルスである選択信号 $\times 1$ 、 $\times 2$ 、 $\times 3 \dots$ を得ることができる。

【0047】

図3は実施の形態における波形説明図であり、3入力 NAND 回路23の第1入力に入力されるH点の波形は、シフトレジスタのC点の反転波形であり、1クロックサイクル分「H」となる。3入力 NAND 回路23の第2入力に入力されるE点の波形は、C点の波形より半クロックサイクル遅れた波形である。また、3入力 NAND 回路23の第3入力にはマスク信号-INLが入力される。このマスク信号のマスク期間MKは、選択信号 $\times 1$ と次の選択信号 $\times 2$ の立下がりと立上がりがオーバラップしない程度の期間とする。

10

【0048】

この3入力 NAND 回路23の出力であるK点の波形は、クロック波形CLよりマスク期間MKだけ「L」の期間が少なくなる。このK点の反転信号が選択信号 $\times 1$ となる。

【0049】

以下、同様に選択信号 $\times 2$ 、 $\times 3$ もマスク信号-INLのマスク期間MKだけ幅の短いパルスとなる。

【0050】

このように、選択信号と選択信号との間に「H」のパルスのないマスク期間を設け、選択スイッチであるトランジスタTx1と次のトランジスタTx2が同時にオンとなることを防止することができる。

20

【0051】

図4はマスク信号の説明図であり、図4(a)はマスク信号発生回路の説明図である。図4(a)において、発生器(図示せず)より発生した8倍クロックを8分周回路1と、順次回路2に入力する。

【0052】

8分周回路1は、入力クロック(8倍クロック)の4クロックパルスを計数して「H」、次の4クロックパルスを計数して「L」、 \dots と4パルス毎に出力を「H」、「L」とするものである。これにより8倍のパルス幅である標準のクロックCLが得られる。

【0053】

順次回路2は、入力クロックを3クロックサイクル計数として、1クロックサイクル分「L」とする繰り返し波形を出力するものである。これにより、マスク信号-INLが得られる。

30

【0054】

図4(b)は、波形説明図であり、上記8倍クロックと、8分周出力であるクロックCLと、マスク信号-INLの波形を示す。この場合マスク信号-INLのマスク期間MKは、半クロックサイクルの25%となる。このマスク期間は、これに限らず選択信号のオーバラップ期間T等により適宜変更することができる。

【図面の簡単な説明】

【0055】

【図1】本発明の説明図である。

40

【図2】本発明の実施の形態の説明図である。

【図3】実施の形態における波形説明図である。

【図4】実施の形態におけるマスク信号の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

【0056】

21～22 ナンド回路

23～25 3入力 NAND 回路

26～32 クロックドインバータ

50

3 3 ~ 4 3 インバータ

$T \times 1 \sim T \times 3$ トランジスタ（選択スイッチ）

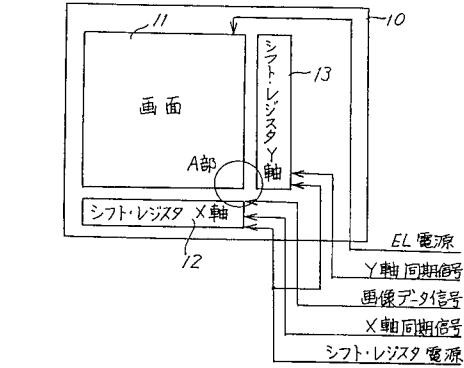
x 1 ~ x 3 選択信号

- I N L マスク信号

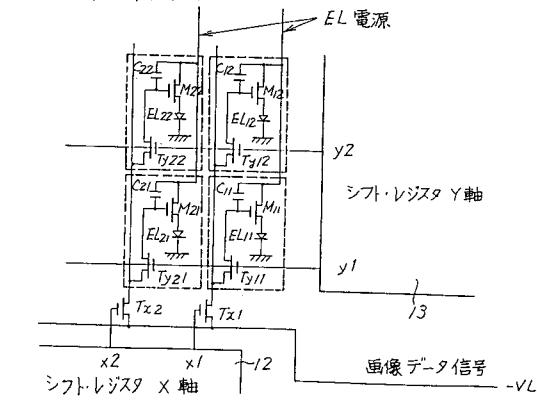
- V L 画像データ信号

【図1】

本発明の説明図
(a) パネルブロック図

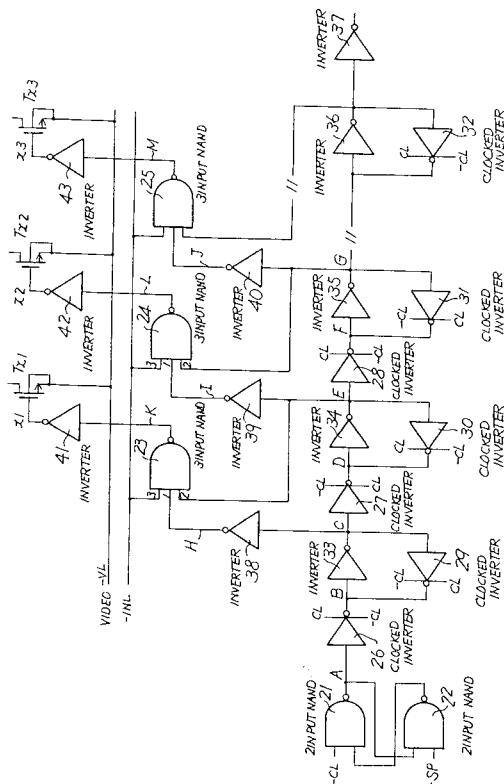


(b) A部の拡大図



【図2】

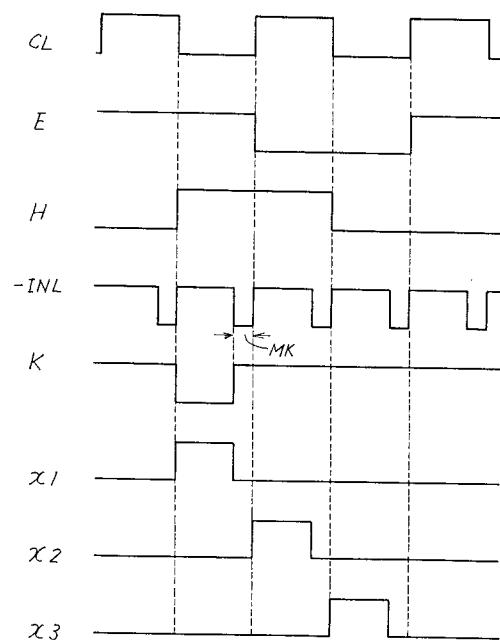
本発明の実施の形態の説明図



【 図 3 】

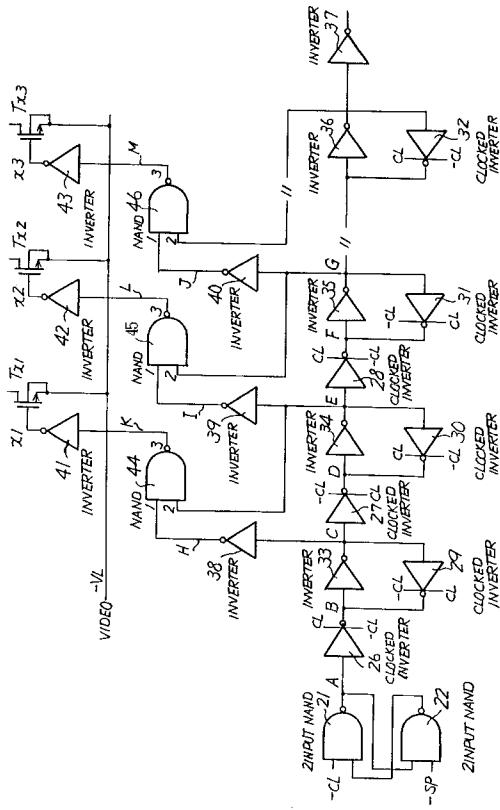
【 図 4 】

実施の形態における波形説明図

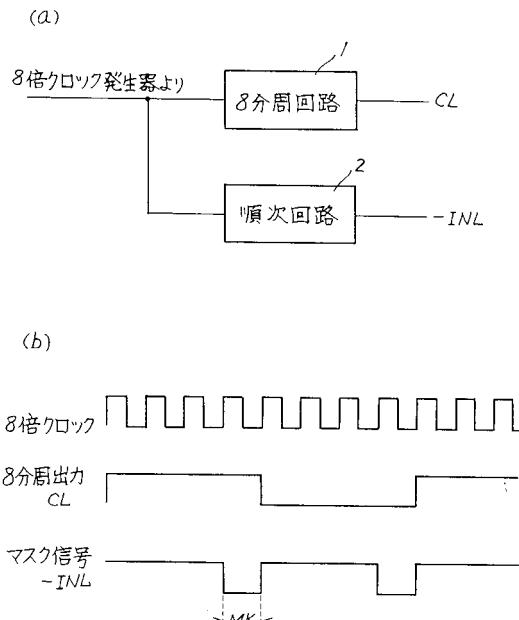


【 図 5 】

従来例のX軸シフトレジスタの説明図

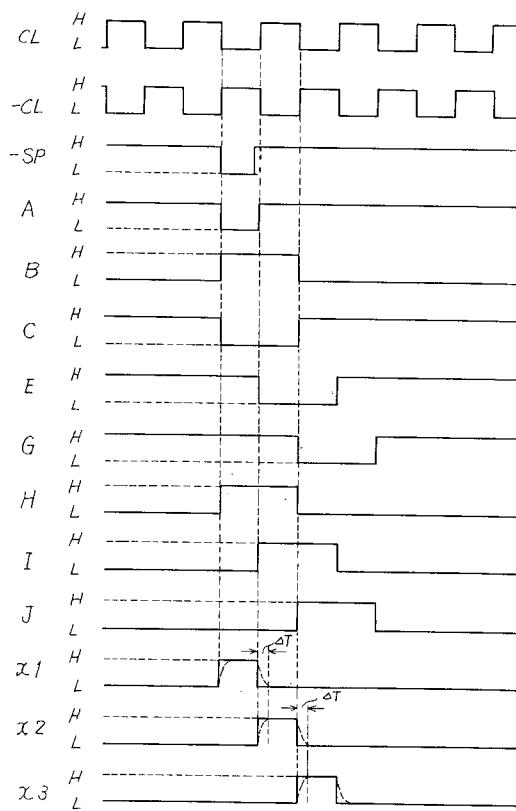


マスク信号の説明図



【 図 6 】

従来例の波形説明図



フロントページの続き(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 M
G 0 9 G	3/20	6 2 4 B
H 0 5 B	33/14	A

(72)発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD01 FF11 HH09 JJ02 JJ03 JJ04

5C094 AA02 AA21 AA53 BA03 BA27 CA19 DA09

专利名称(译)	电致发光显示装置		
公开(公告)号	JP2005055922A	公开(公告)日	2005-03-03
申请号	JP2004318011	申请日	2004-11-01
[标]申请(专利权)人(译)	东京电气化学工业株式会社 株式会社半导体能源研究所		
申请(专利权)人(译)	TDK株式会社 半导体能源研究所有限公司		
[标]发明人	高山一郎 荒井三千男		
发明人	高山一郎 荒井三千男		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
F1分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09G3/20.611.J G09G3/20.612.J G09G3/20.623.H G09G3 /20.623.M G09G3/20.624.B H05B33/14.A G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD01 5C080 /FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA02 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 3K107/AA01 3K107/BB01 3K107/CC31 3K107 /EE03 3K107/HH02 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BB08 5C380/CA02 5C380/CA09 5C380/CA12 5C380/CB01 5C380/CB33 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380 /CD012 5C380/CF07 5C380/CF32 5C380/CF59 5C380/DA02 5C380/DA06		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过消除选择信号和下一个选择信号之间的信号重叠时间来提高图像质量。依次布置在同一基板上形成的显示屏，X轴和Y轴移位寄存器，用于选择多个电致发光元件的多个选择开关Tx1至Tx3以及选择开关Tx1至Tx3。提供输出要被驱动的选择信号x1至x3的选择信号生成电路和掩蔽选择信号x1至x3的掩蔽信号-INL生成电路，以消除选择信号之间的重叠时间。[选择图]图2

本发明的实施例的形态的说明图

